

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号  
特許第6178516号  
(P6178516)

(45) 発行日 平成29年8月9日(2017.8.9)

(24) 登録日 平成29年7月21日(2017.7.21)

(51) Int.Cl.

G 1 1 C 11/406 (2006.01)

F I

G 1 1 C 11/406 4 6 O

G 1 1 C 11/406 1 2 O

請求項の数 11 (全 18 頁)

(21) 出願番号	特願2016-536942 (P2016-536942)	(73) 特許権者	507364838
(86) (22) 出願日	平成26年11月20日 (2014.11.20)		クアルコム、インコーポレイテッド
(65) 公表番号	特表2016-540337 (P2016-540337A)		アメリカ合衆国 カリフォルニア 921
(43) 公表日	平成28年12月22日 (2016.12.22)		21 サン ディエゴ モアハウス ドラ
(86) 国際出願番号	PCT/US2014/066726		イブ 5775
(87) 国際公開番号	W02015/088740	(74) 代理人	100108453
(87) 国際公開日	平成27年6月18日 (2015.6.18)		弁理士 村山 靖彦
審査請求日	平成29年6月1日 (2017.6.1)	(74) 代理人	100163522
(31) 優先権主張番号	61/913,788		弁理士 黒田 晋平
(32) 優先日	平成25年12月9日 (2013.12.9)	(72) 発明者	シアンユ・ドン
(33) 優先権主張国	米国 (US)		アメリカ合衆国・カリフォルニア・921
(31) 優先権主張番号	14/276,452		21-1714・サン・ディエゴ・モアハ
(32) 優先日	平成26年5月13日 (2014.5.13)		ウス・ドライブ・5775
(33) 優先権主張国	米国 (US)		
早期審査対象出願		最終頁に続く	

(54) 【発明の名称】 ネクストビット表を用いたメモリセルのためのリフレッシュ方式

(57) 【特許請求の範囲】

【請求項1】

メモリコントローラ内のメモリリフレッシュ方法であって、  
リフレッシュアドレスカウンタからリフレッシュアドレスを読むステップと、  
弱アドレス表から弱アドレスを読むステップと、  
前記リフレッシュアドレスに対応する保持ビットによって規定されるリフレッシュ速度に従ってビットシーケンスを決定するステップと、  
前記弱アドレスの一部分に組み合わせられた前記ビットシーケンスに少なくとも部分的に基づいて次の弱アドレスの値を生成するステップと、  
前記リフレッシュアドレスを前記弱アドレスおよび前記次の弱アドレスの値と比較するステップと、  
前記比較に少なくとも部分的に基づいて、リフレッシュサイクルをスキップすることと、前記リフレッシュアドレスをリフレッシュすることと、前記弱アドレスをリフレッシュすることと、前記リフレッシュアドレスと前記弱アドレスの両方をリフレッシュすることとの間で選択するステップとを含む、方法。

【請求項2】

前記弱アドレスの各リフレッシュの後、前記ビットシーケンスに従ってネクストビットシーケンスを変更するステップをさらに含む、請求項1に記載の方法。

【請求項3】

10

20

前記リフレッシュアドレスが前記弱アドレスに等しく、前記次の弱アドレスに等しくないとき、前記リフレッシュサイクルをスキップするステップと、

前記リフレッシュアドレスが前記弱アドレスに等しくなく、前記次の弱アドレスに等しくないとき、前記リフレッシュアドレスをリフレッシュするステップと、

前記リフレッシュアドレスが前記弱アドレスに等しく、前記次の弱アドレスに等しいとき、前記弱アドレスをリフレッシュするステップと、

前記リフレッシュアドレスが前記弱アドレスに等しくなく、前記次の弱アドレスに等しいとき、前記リフレッシュアドレスと前記弱アドレスの両方をリフレッシュするステップと

をさらに含む、請求項1に記載の方法。

10

【請求項4】

前記弱アドレス表から強アドレスを読むステップと、

前記強アドレスのリフレッシュサイクルをスキップするステップと

をさらに含む、請求項1に記載の方法。

【請求項5】

前記メモリコントローラが、携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、娯楽ユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム(PCS)ユニット、ポータブルデータユニット、および/または固定位置データユニット中に組み込まれる、請求項1に記載のメモリリフレッシュ方法。

【請求項6】

20

リフレッシュアドレスを記憶するためのリフレッシュカウンタと、

弱アドレスを記憶するための弱アドレス表と、

前記弱アドレスの一部に組み合わせられたビット表内のビットシーケンスに少なくとも部分的に基づいて次の弱アドレスの生成を可能にするためのビット表と、

前記リフレッシュアドレスに対応する保持ビットによって規定されるリフレッシュ速度に従って前記ビットシーケンスを決定するための手段と、前記リフレッシュアドレスを前記弱アドレスおよび前記次の弱アドレスと比較することに少なくとも部分的に基づいて、リフレッシュサイクルをスキップすることと、前記リフレッシュアドレスをリフレッシュすることと、前記弱アドレスをリフレッシュすることと、前記リフレッシュアドレスと前記弱アドレスの両方をリフレッシュすることとの間で選択するための手段と

30

を含む、メモリコントローラ装置。

【請求項7】

前記弱アドレスの各リフレッシュの後、前記ビットシーケンスに従ってネクストビットシーケンスを変更するための手段

をさらに含む、請求項6に記載のメモリコントローラ装置。

【請求項8】

前記リフレッシュアドレスが前記弱アドレスに等しく、前記次の弱アドレスに等しくないとき、前記リフレッシュサイクルをスキップするための手段と、

前記リフレッシュアドレスが前記弱アドレスに等しくなく、前記次の弱アドレスに等しくないとき、前記リフレッシュアドレスをリフレッシュするための手段と、

40

前記リフレッシュアドレスが前記弱アドレスに等しく、前記次の弱アドレスに等しいとき、前記弱アドレスをリフレッシュするための手段と、

前記リフレッシュアドレスが前記弱アドレスに等しくなく、前記次の弱アドレスに等しいとき、前記リフレッシュアドレスと前記弱アドレスの両方をリフレッシュするための手段と

をさらに含む、請求項6に記載のメモリコントローラ装置。

【請求項9】

携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、娯楽ユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム(PCS)ユニット、ポータブルデータユニット、および/または固定位置データユニット中に組み込ま

50

れる、請求項6に記載のメモリコントローラ装置。

【請求項10】

プログラムコードを含む、メモリリフレッシュのためのコンピュータプログラムであって、前記プログラムコードが、

リフレッシュカウンタ内にリフレッシュアドレスを記憶するためのプログラムコードと、

弱アドレス表内に弱アドレスを記憶するためのプログラムコードと、

前記リフレッシュアドレスに対応する保持ビットによって規定されるリフレッシュ速度に従ってビットシーケンスを決定するためのプログラムコードと、

前記弱アドレスの一部分に組み合わされたビット表内の前記ビットシーケンスに少なくとも部分的に基づいて次の弱アドレスを生成するためのプログラムコードと、

前記リフレッシュアドレスを前記弱アドレスおよび前記次の弱アドレスと比較することに少なくとも部分的に基づいて、リフレッシュサイクルをスキップすることと、前記リフレッシュアドレスをリフレッシュすることと、前記弱アドレスをリフレッシュすることと、前記リフレッシュアドレスと前記弱アドレスの両方をリフレッシュすることとの間で選択するためのプログラムコードと

を含む、コンピュータプログラム。

【請求項11】

前記プログラムコードが、

前記弱アドレスの各リフレッシュの後、前記ビットシーケンスに従ってネクストビットシーケンスを変更するためのプログラムコード

をさらに含む、請求項10に記載のコンピュータプログラム。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

本出願は、参照によりその全体が本明細書に組み込まれる、2013年12月9日に提出された「REFRESH SCHEME FOR MEMORY CELLS WITH NEXT BIT TABLE」という名称の米国仮特許出願第61/913,788号の利益を主張する。

【0002】

本開示は、電子メモリ動作に関し、より詳細には、弱保持時間(Weak Retention Time)をもつメモリセルのためのリフレッシュ方式に関する。

【背景技術】

【0003】

半導体メモリデバイスは、たとえば、スタティックランダムアクセスメモリ(SRAM)およびダイナミックランダムアクセスメモリ(DRAM)を含む。DRAMメモリセルは概して、1つのトランジスタおよび1つのキャパシタを含み、それによって、高度の統合をもたらす。キャパシタは、対応するビット値(たとえば、0または1)として情報を記憶するために充電されるか、または放電され得る。キャパシタは電荷を漏電するので、記憶された情報は、キャパシタ電荷が周期的にリフレッシュされない限り、最終的に減衰する。リフレッシュ要件により、DRAMは、SRAMおよび他のスタティックメモリとは対照的にダイナミックメモリと呼ばれる。DRAMの連続的なリフレッシュは、概して、その使用をコンピュータメインメモリに限定する。

【0004】

DRAMスケーリングは、DRAMチップごとのビット総数を増加させ続け、セルの値を可読に保つプロセスであるDRAMリフレッシュの仕様に直接影響を及ぼす。DRAMリフレッシュの仕様は、リフレッシュコマンドが各DRAMに送られる間隔( $t_{REFI}$ )と、リフレッシュコマンドがDRAMインターフェースを占有する時間量( $t_{RFC}$ )とを含む。残念ながら、DRAMスケーリングは、弱保持セル(たとえば、減少した保持時間を有するセル)の数を増加させる。そのようなセルは、記憶された情報を維持するために追加のリフレッシュサイクルを伴う。チッ

10

20

30

40

50

ブまたは他の同様のコンピュータアーキテクチャ上のシステムにおけるリフレッシュサイクルの増加により、性能および電力消費量への顕著な影響がもたらされる。場合によっては、リフレッシュサイクルの増加なしに潜在的なDRAMチップ歩留まり損失が生じる。

【発明の概要】

【課題を解決するための手段】

【0005】

メモリコントローラ内のメモリリフレッシュ方法は、リフレッシュアドレスカウンタからリフレッシュアドレスを読むステップと、弱アドレス表から弱アドレスを読むステップとを含み得る。本方法はまた、弱アドレスに組み合わせられたネクストビットシーケンスに少なくとも部分的に基づいて次の弱アドレスを生成するステップと、リフレッシュアドレスを弱アドレスおよび次の弱アドレスと比較するステップとを含む。本方法は、リフレッシュサイクルをスキップすることと、リフレッシュアドレスをリフレッシュすることと、弱アドレスをリフレッシュすることと、リフレッシュアドレスと弱アドレスの両方をリフレッシュすることとの間で選択するステップをさらに含む。前記選択するステップは、リフレッシュアドレスと弱アドレスおよび次の弱アドレスとの比較に少なくとも部分的に基づいている。

10

【0006】

メモリリフレッシュ装置は、リフレッシュアドレスを記憶するように動作可能なリフレッシュカウンタと、弱アドレスを記憶するように動作可能な弱アドレス表とを含み得る。本装置は、弱アドレスに組み合わせられたネクストビット表内のネクストビット値に少なくとも部分的に基づいて次の弱アドレスを生成するように動作可能なネクストビット表をさらに含む。本装置はまた、リフレッシュサイクルをスキップすることと、リフレッシュアドレスをリフレッシュすることと、弱アドレスをリフレッシュすることと、リフレッシュアドレスと弱アドレスの両方をリフレッシュすることとの間で選択するように動作可能なリフレッシュコントローラを含む。リフレッシュコントローラは、リフレッシュアドレスを弱アドレスおよび次の弱アドレスと比較することに少なくとも部分的に基づいて、この選択を行う。

20

【0007】

メモリコントローラ装置は、リフレッシュアドレスを記憶するためのリフレッシュカウンタと、弱アドレスを記憶するための弱アドレス表とを含み得る。本装置は、弱アドレスに組み合わせられたネクストビット表内のネクストビット値に少なくとも部分的に基づいて次の弱アドレスを生成するためのネクストビット表をさらに含む。本装置はまた、リフレッシュアドレスを弱アドレスおよび次の弱アドレスと比較することに少なくとも部分的に基づいて、リフレッシュサイクルをスキップすることと、リフレッシュアドレスをリフレッシュすることと、弱アドレスをリフレッシュすることと、リフレッシュアドレスと弱アドレスの両方をリフレッシュすることとの間で選択するための手段を含む。

30

【0008】

本開示の別の態様は、非一時的コンピュータ可読媒体がプログラムコードを記録された、メモリリフレッシュのためのコンピュータプログラム製品を含む。プログラムコードは、リフレッシュカウンタ内にリフレッシュアドレスを記憶するためのプログラムコードと、弱アドレス表内に弱アドレスを記憶するためのプログラムコードと、弱アドレスに組み合わせられたネクストビット表内のネクストビット値に少なくとも部分的に基づいて次の弱アドレスを生成するためのプログラムコードとを含む。プログラムコードはまた、リフレッシュアドレスを弱アドレスおよび次の弱アドレスと比較することに少なくとも部分的に基づいて、リフレッシュサイクルをスキップすることと、リフレッシュアドレスをリフレッシュすることと、弱アドレスをリフレッシュすることと、リフレッシュアドレスと弱アドレスの両方をリフレッシュすることとの間で選択するためのプログラムコードを含む。

40

【0009】

上記は、続く詳細な説明をよりよく理解することができるように、本開示の特徴および

50

技術的利点について、かなり大まかに概説したものである。本開示のさらなる特徴および利点について、以下で説明する。本開示は、本開示と同じ目的を果たすための他の構造を修正または設計するための基礎として容易に利用できることを、当業者には理解されたい。そのような均等な構成が、添付の特許請求の範囲に記載の本開示の教示から逸脱しないことも、当業者は理解されたい。本開示の構成と動作方法の両方に関して本開示の特徴になると考えられる新規の特徴が、さらなる目的および利点とともに、以下の説明を添付の図と併せて検討することからよりよく理解されるであろう。しかしながら、図の各々は、例示および説明を目的として提供されているに過ぎず、本開示の制限を定めるものではないことを、明確に理解されたい。

【 0 0 1 0 】

10

本開示のより完全な理解のために、ここで、添付の図面と併せて以下の説明を参照する。

【図面の簡単な説明】

【 0 0 1 1 】

【図 1 A】本開示の態様による、他のメモリセルのためのリフレッシュ頻度を維持しながら、弱保持状態をもつメモリセルのリフレッシュ頻度を増加させるための技法を示す回路タイミング図である。

【図 1 B】本開示の態様による、他のメモリセルのためのリフレッシュ頻度を維持しながら、弱保持状態をもつメモリセルのリフレッシュ頻度を増加させるための技法を示す回路タイミング図である。

20

【図 2 A】本開示の一態様による、リフレッシュ制御ブロックを含むメモリコントローラを示すブロック図である。

【図 2 B】本開示の一態様による、弱保持状態を有するメモリアドレスを与えるためのリフレッシュ表である。

【図 3 A】対応するリフレッシュ速度と、対応するリフレッシュ速度に対する次の弱アドレスを生成するための対応するNEXT BITとを示すための保持ビットの使用を示す表である。

【図 3 B】対応するリフレッシュ速度に対する次の弱アドレスを生成するためのNEXT BITと弱アドレスとの組合せを示す概念図である。

【図 3 C】対応するリフレッシュ速度に対する次の弱アドレスを生成するためのネクストビットと弱アドレスとの組合せを示す概念図である。

30

【図 4】本開示の別の態様による、弱保持状態をもつメモリセルのためのリフレッシュ方式を示すフローチャートである。

【図 5】本開示の一態様による、2×速度リフレッシュサイクルの一例を示す表である。

【図 6】本開示の一態様による、1.5×速度リフレッシュサイクルの一例を示す表である。

【図 7 A】本開示の一態様による、対応するリフレッシュ速度と、強メモリセルに対する0.5×リフレッシュ速度を実装するための対応するNEXT BITとを示すための保持ビットの使用を示す表である。

【図 7 B】本開示の一態様による、強メモリセルに対する0.5×リフレッシュ速度を実装するための、強アドレスをもつNEXT BITの使用を示す概念図である。

40

【図 7 C】本開示の一態様による、強メモリセルに対する0.5×リフレッシュ速度を実装するための、強アドレスをもつNEXT BITの使用を示す概念図である。

【図 8】本開示の態様を有利に用いることができる例示的なワイヤレス通信システムを示すブロック図である。

【発明を実施するための形態】

【 0 0 1 2 】

添付の図面に関して以下に記載される詳細な説明は、様々な構成の説明として意図されており、本明細書で説明される概念が実施され得る唯一の構成を表すことを意図されていない。詳細な説明は、様々な概念の完全な理解を与えるための具体的な詳細を含む。しか

50

しながら、これらの概念がこれらの具体的な詳細がなくても実施することができることは当業者に明らかであろう。いくつかの例では、そのような概念を不明瞭にすることを避けるために、よく知られている構造および構成要素がブロック図形式で示される。本明細書の説明では、「および/または」という用語の使用は、「包含的論理和」を表すことが意図され、「または」という用語の使用は、「排他的論理和」を表すことが意図される。

#### 【0013】

ダイナミックランダムアクセスメモリ(DRAM)スケーリングは、DRAMチップ当たりのビット総数を増加させ続けている。容量のこの増加は、ビットセルの値が可読に保たれるプロセスであるDRAMリフレッシュの仕様に直接影響を及ぼす。DRAMリフレッシュの仕様は、リフレッシュコマンドが各DRAMに送られる間隔( $t_{REFI}$ )と、リフレッシュコマンドがDRAMインターフェースを占有する時間量( $t_{RFC}$ )とを含む。残念ながら、DRAMスケーリングは、弱保持セル(たとえば、減少した保持時間を有するセル)の数をも増加させる。そのようなセルは、記憶された情報を維持するために増加したリフレッシュサイクルを伴う。性能および電力消費量は、チップ(SoC)または他の同様のコンピュータアーキテクチャ上のシステムにおけるDRAM上のリフレッシュサイクルの増加により著しく影響を及ぼされる。弱保持セルの数の増加からの潜在的なDRAMチップ歩留まり損失がリフレッシュサイクルの増加なしに生じる。

#### 【0014】

本開示の一態様は、リフレッシュ期間(たとえば、リフレッシュ間隔 $t_{REFI}$ )の名目上の増加に伴って、弱保持状態をもつセルに対するリフレッシュサイクルを挿入する。一構成では、リフレッシュコントローラは、弱セルに対するリフレッシュ動作を挿入すること、および/または強セルに対するリフレッシュサイクルをスキップすることの間で選択し得る。この構成では、リフレッシュコントローラは、リフレッシュアドレスを弱アドレスおよび次の弱アドレスと比較することに少なくとも部分的に基づいて、リフレッシュサイクルをスキップすることと、リフレッシュアドレスをリフレッシュすることと、弱アドレスをリフレッシュすることと、リフレッシュアドレスと弱アドレスの両方をリフレッシュすることとの間で選択する。

#### 【0015】

図1Aおよび図1Bは、他のメモリセルのためのリフレッシュ頻度を維持しながら、弱保持状態をもつメモリセル(たとえば、行)のリフレッシュ頻度を増加させるための既存の技法を示す回路タイミング図を示す。図1Aは、リフレッシュアドレス120に対してリフレッシュ動作を実行するためのダブルリフレッシュサイクル110をもつタイミング図100を示す。ダブルリフレッシュサイクル110は、たとえば、32ミリ秒(ms)のリフレッシュ仕様の場合には16ミリ秒(ms)であり得る。この例では、弱保持状態を有するリフレッシュアドレス12をもつ4行のメモリがある。典型的には、リフレッシュアドレス0、1、2、および3に対してリフレッシュ動作が実行される。ただし、この例では、後続のパス中でリフレッシュアドレス124と、リフレッシュアドレス126と、リフレッシュアドレス128とに対するリフレッシュ動作がスキップされる。図1Aに示すように、通常の保持状態をもつリフレッシュアドレスに対するリフレッシュサイクルをスキップしながら、弱保持状態を有するリフレッシュアドレス122に対するリフレッシュサイクルが倍化される。

#### 【0016】

図1Bは、リフレッシュアドレス170に対してリフレッシュ動作を実行するためにシングルリフレッシュサイクル160を用いる所望のタイミング図150を示す。シングルリフレッシュサイクル160は、たとえば、32ミリ秒(ms)であり得る。この例では、同じく、弱保持状態を有するリフレッシュアドレス172をもつ4行のメモリがある。典型的には、弱保持状態をもつリフレッシュアドレス172に対して挿入リフレッシュ動作180が実行される。この例では、弱行リフレッシュサイクルが挿入される。図1Bに示すように、通常の保持状態をもつリフレッシュアドレスに対するリフレッシュサイクルを維持しながら、弱保持状態をもつリフレッシュアドレス172のみに対するリフレッシュサイクルが倍化される。リフレッシュの増加により、リフレッシュ間隔( $t_{REFI}$ )がわずかに増加するが、弱セルの数は、通

10

20

30

40

50

常のセルの数に対して極めて少ない。その間隔の増加がより小さいために、図1Bに示すリフレッシュサイクルは、図1Aに示すリフレッシュサイクルと比較して好都合であり得る。

【0017】

いくつかの環境では、外部の(1×)リフレッシュ速度に基づいて弱メモリセルに対するダブル(2×)リフレッシュ速度を提供することに限定される既存のリフレッシュ方式は、メモリリソースを浪費する。たとえば、いくつかの弱メモリセルをリフレッシュするために1.5×リフレッシュ速度またはいくつかの他のリソースが、2×リフレッシュ速度よりも好適であり得る環境では、リソースが節約され得る。

【0018】

本開示の一態様は、外部の1×リフレッシュ速度に基づいてフレキシブルな内部のリフレッシュ速度を可能にするメモリリフレッシュ制御技法を含む。本開示の別の態様は、外部の1×リフレッシュ速度に基づいて強メモリ行に対するリフレッシュサイクルをスキップすることを可能にするメモリリフレッシュ制御技法を含む。

【0019】

図2Aは、本開示の一態様による、メモリブロック260に結合されたリフレッシュ制御ブロック210を含むメモリコントローラ200を示すブロック図である。この構成では、リフレッシュ制御ブロック210は、リフレッシュカウンタ220、弱行表(weak row table)230、NEXT BIT表240、およびリフレッシュ制御論理250を含む。図2Bにさらに示す弱行表230は、対応する弱保持状態をもつメモリアドレス(たとえば、弱アドレス(WADD))のみを含む。

【0020】

NEXT BIT表240は、弱行表230に対応する。NEXT BIT表240は、対応する弱行に対して1.5×リフレッシュ速度または2×リフレッシュ速度を実装するための、本開示の態様によるデータ構造体である。リフレッシュ制御論理250は、リフレッシュする次の行がどれであるべきかを決定する。NEXT BIT表240は、行リフレッシュをリフレッシュシーケンス内のどこに挿入すべきかを決定することによって適切なリフレッシュ速度を実装する。

【0021】

図3Aは、弱行表230(図2B)内の項目に対応する事前プログラムされる保持ビット302を含む表300である。事前プログラムされる保持ビット302は、弱行表230(図2B)に記載された各それぞれの行に適用されるリフレッシュ速度304を規定する。事前プログラムされる保持ビット302は、行が通常の行であるか、または弱行であるか、および弱行が2×リフレッシュ速度または1.5×リフレッシュ速度を受けべきかどうかに基づいて事前プログラムされ得る。保持ビット表では、本開示のこの態様によれば、保持ビット値00は外部の1×リフレッシュ速度における通常のリフレッシュを示し、保持ビット値01はメモリセルの弱行に適用される1.5×リフレッシュ速度を示し、保持ビット値10はメモリセルの弱行に適用される2×リフレッシュ速度を示す。この例では、保持ビット値11は、利用不可能なリフレッシュ速度、またはメモリセルの対応する行に適用される代替のリフレッシュ速度を示す。

【0022】

NEXT BIT306は、保持ビットに基づいて規定される。NEXT BIT306は、次の弱アドレス(NEXT\_WADD)を生成するために弱アドレスと組み合わせられる。図3Bに示すように、本開示の態様によれば、2×リフレッシュ速度を実装するためにNEXT BIT306に単一ビットのサイクル310が使用される場合があり、1.5×リフレッシュ速度を実装するために2ビットのNEXT BITサイクル312が使用される場合がある。図3Cは、本開示の一態様による、次の弱アドレス316を生成するためのNEXT BIT306と弱アドレス314との組合せを示す。図3Cに示す例は、次の弱アドレス316を生成するためにNEXT BIT306のうちの2つが使用される、1.5×リフレッシュ速度の実装形態である。2×リフレッシュ速度を実装するためには、次の弱アドレス316を生成するのに、NEXT BIT306のうちの1つのみを使用され、NEXT BIT306のうちの第2番目は無視される。

【0023】

本開示の一態様によれば、2×リフレッシュサイクルでは、次の弱アドレス316を生成す

10

20

30

40

50

るために、NEXT BIT306のうちの現在の単一のビットが、弱アドレス314のコピー内の最上位ビットと入れ替わる。1.5×リフレッシュサイクルでは、次の弱アドレス316を生成するために、NEXT BIT306のうちの2つの現在のビットが、弱アドレス314のコピー内の2つの最上位ビットと入れ替わる。

【 0 0 2 4 】

図4は、本開示の一態様による、弱保持状態をもつメモリセルのためのリフレッシュ方式を示すフローチャート400である。ブロック410では、どのNEXT BITを使用すべきかを決定するために、保持ビット(RET)が読まれる。ブロック412~416において、リフレッシュアドレス(REFADD)、弱行アドレス(WADD)、および次の弱行アドレス(NEXT\_WADD)が比較される。

10

【 0 0 2 5 】

リフレッシュアドレスが弱行アドレスに等しくなく、リフレッシュアドレスが次の弱行アドレスに等しくない場合、ブロック418において、リフレッシュアドレスがリフレッシュされる(たとえば、第1の基準)。本開示の態様によれば、リフレッシュアドレスが弱行アドレスに等しくないが、リフレッシュアドレスが次の弱行アドレスに等しい場合、ブロック420において、リフレッシュアドレスと弱行アドレスの両方がリフレッシュされる(たとえば、第2の基準)。

【 0 0 2 6 】

リフレッシュアドレスが弱行アドレスに等しいが、リフレッシュアドレスが次の弱行アドレスに等しくない場合、ブロック422において、リフレッシュアドレスがスキップされる(たとえば、第3の基準)。リフレッシュアドレスが弱行アドレスに等しく、リフレッシュアドレスが次の弱行アドレスに等しい場合、ブロック424において、弱行アドレスがリフレッシュされる(たとえば、第4の基準)。ブロック426および428では、すべての弱行アドレスがリフレッシュされた後、NEXT BIT(N0,N1)の値が保持ビットに基づいて更新され、次の弱行アドレスがNEXT BIT(N0,N1)に基づいて変更される。次いで、リフレッシュサイクルが開始402から繰り返される。

20

【 0 0 2 7 】

図5は、本開示の一態様による、2×速度リフレッシュサイクルの一例を示す表500を示す。表500は、2×速度リフレッシュ動作の各サイクルに対する、REFADD、WADD、およびNEXT\_WADDの値を含む。図5に示す例では、アドレス行0は、弱アドレスである。例示的なリフレッシュシーケンスは、リフレッシュ行アドレス0からリフレッシュ行アドレス15までの、16行メモリおよびサイクルをリフレッシュすることに基づいている。たとえば、実用的な実装形態は、16K行または32K行を有するはるかに大きいメモリを含み得る(たとえば、8Kを超える行をもつDRAMに関して、複数の行がグループ化され同時にリフレッシュされ、通常、8K「行グループ」が存在し、各リフレッシュコマンドが1つのグループをリフレッシュすること)を理解されたい。REFADDの値は、0から15まで循環し、次いで0に戻る。この例では、1つの弱行(行0)しか存在しないので、WADDの値は常に0である。NEXT\_WADD値は、0に初期化され、次いで、弱アドレスがリフレッシュされるたびに变化する。

30

【 0 0 2 8 】

図5に示す例では、第1のリフレッシュサイクル(REFADD=0)が上述の第4の基準を満たすので、第1のリフレッシュサイクル中にWADDのみがリフレッシュされる。その後、NEXT BITが更新され、それに応じて、NEXT\_WADDも、NEXT BITによって示される量だけ更新される。この例では、NEXT\_WADDは、2×リフレッシュ例におけるNEXT BIT値1に対応する8に更新される。REFADD=1からREFADD=7までの次の7つのリフレッシュサイクルの各々が条件1を満たすので、通常の1×リフレッシュのみが行われる。

40

【 0 0 2 9 】

第9のリフレッシュサイクル(たとえば、REFADD=8)が上述の第2の基準を満たすので、同じサイクルにおいて、通常のリフレッシュと弱行リフレッシュの両方が行われる(たとえば、REFADD=8とWADD=0の両方がリフレッシュされる)。このサイクルにおいてWADDがリフレッシュされたので、NEXT BIT、およびそれに応じてNEXT\_WADDが再び更新される。この

50



例では、NEXT\_WADDが0に更新される。次いで、第10～第16のリフレッシュサイクル(たとえば、REFADD=9からREFADD=15まで)では、16個のメモリアドレスの1つの全リフレッシュ期間を完了するために、通常のリフレッシュのみが行われる。次いで、リフレッシュシーケンスが繰り返される。リフレッシュされた行の得られたシーケンスは、0、1、2、3、4、5、6、7、(8および0)、9、10、11、12、13、14、15であり、シーケンス中に弱行0が2回リフレッシュされたことを示す。

【0030】

図6は、本開示の一態様による、1.5×速度リフレッシュサイクルの一例を示す表600を示す。表600は、1.5×速度リフレッシュ動作の各サイクルに対する、REFADD、WADD、およびNEXT\_WADDの値を含む。図6に示す例では、アドレス行0は、弱アドレスである。REFADDの値は、0から15まで循環し、次いで0に戻る。この例では、1つの弱行(行0)しか存在しないので、WADDの値は常に0である。NEXT\_WADD値は、0に初期化され、次いで、弱アドレスがリフレッシュされるたびに变化する。

【0031】

1.5×リフレッシュ速度の実装形態では、本開示の態様によれば、2つのNEXT BITは、図3Bに示すように00、11、10、01からのパターンで变化する。対応するNEXT\_WADDは、上述のように0から12、12から8、8から2、および2から0のパターンで再び变化する。この例では、サイクル0において、図4を参照しながら上述した4つの基準に基づいて、弱行リフレッシュのみが実行される。第11のリフレッシュサイクル(REFADD=12)では、4つの基準に基づいて、通常のリフレッシュ(メモリ行アドレス12)と弱行リフレッシュ(メモリ行アドレス0)の両方が再び実行される。第12～第14のサイクル(REFADD=13～REFADD=15)は、4つの基準に基づいて通常の動作を受ける。リフレッシュシーケンスの第2ラウンドにおけるREFADD=0である、第17のサイクルでは、第3の基準を満たすので、リフレッシュがスキップされる。リフレッシュシーケンスの第2ラウンドにおけるREFADD=8である、第25のサイクルでは、上述の4つの基準に基づいて、行8と行0の両方がリフレッシュされる。この例は、本開示の態様による、1.5×リフレッシュ速度でリフレッシュされる弱行を示す。

【0032】

本開示の別の態様によれば、弱行表は、強保持を有するメモリアドレスに関していくつかのリフレッシュサイクルのスキップを容易にするための強行アドレスも含み得る。これにより、強メモリセルに関して、外部の1×リフレッシュ速度よりも低いリフレッシュ速度を実装することが可能になる。図7Aを参照すると、保持ビット表700内の保持ビット値1は、メモリセルの強行に関して外部の1×リフレッシュ速度よりも低いリフレッシュ速度を示し得る。

【0033】

図7Aは、弱行表230(図2B)内の項目に対応する事前プログラムされる保持ビット702を含む表700を示す。事前プログラムされる保持ビット702は、弱行表230(図2B)に記載された各それぞれの行に適用されるリフレッシュ速度704を規定する。事前プログラムされる保持ビット702は、たとえば、行が通常の行であるか、または弱行であるか、および弱行が2×リフレッシュ速度保護または1.5×リフレッシュ速度を受けるべきかどうかに基づいて事前プログラムされる。本開示の態様による保持ビット表のこの例では、保持ビット値00は外部の1×リフレッシュ速度における通常のリフレッシュを示し、保持ビット値01はメモリセルの弱行に適用される1.5×リフレッシュ速度を示し、保持ビット値10はメモリセルの弱行に適用される2×リフレッシュ速度を示す。たとえば、保持ビット値11は、0.5×リフレッシュ速度が強メモリセルの対応する行に適用されていることを示し得る。

【0034】

NEXT BIT706は、0.5×リフレッシュ速度を実装するために11に設定されている事前プログラムされる保持ビット702に基づいて規定される。図7Bに示すように、保持ビットが11に設定されるとき、利用されるNEXT BITは単一ビット(たとえば、N1)であり、他方のNEXT BIT(たとえば、N0)は無視される。0.5×リフレッシュ速度を実装するために事前プログラムされる保持ビット702が11に設定されるとき、サイクル中に強行がリフレッシュされ

10

20

30

40

50

るかどうにかかわらず、強行アドレスのすべてのリフレッシュサイクルの後、NEXT BITは、その状態を変化させる。

【 0 0 3 5 】

図7Cは、本開示の一態様による、強行リフレッシュの動作をさらに示す。事前プログラムされる保持ビット702が11に設定される際、NEXT BIT(N1)706が1に設定されるときだけ、対応する強行アドレス710がリフレッシュされる。各リフレッシュサイクルの後、NEXT BIT(N1)706が0に設定される。これは、1つおきにリフレッシュサイクルをスキップさせ、それによって、強行アドレス710に対して0.5×リフレッシュ速度を実装する。したがって、本開示の一態様によれば、強アドレスの1つのリフレッシュサイクル内の通常のリフレッシュ動作と、強アドレスの次のリフレッシュサイクルをスキップすることとの間で交互に行うために、NEXT BIT706が使用される。

10

【 0 0 3 6 】

本開示の一態様によるメモリコントローラ装置は、リフレッシュアドレスを記憶するためのリフレッシュカウンタと、弱アドレスを記憶するための弱アドレス表と、弱アドレスに組み合わせられたネクストビット表内のネクストビット値に少なくとも部分的に基づいて次の弱アドレスを生成するためのネクストビット表とを含む。メモリコントローラは、リフレッシュアドレスを弱アドレスおよび次の弱アドレスと比較することに少なくとも部分的に基づいて、リフレッシュサイクルをスキップすることと、リフレッシュアドレスをリフレッシュすることと、弱アドレスをリフレッシュすることと、リフレッシュアドレスと弱アドレスの両方をリフレッシュすることとの間で選択するための手段を含み得る。本開示のこの態様によれば、選択するための前記手段は、図2Aに示すリフレッシュ制御論理250を含み得る。

20

【 0 0 3 7 】

メモリコントローラ装置はまた、リフレッシュアドレスに対応する少なくとも1つの保持ビットを読むための手段と、保持ビットに基づいてリフレッシュ速度を決定するための手段と、保持ビットに基づいてネクストビットシーケンスを決定するための手段と、弱アドレスの各リフレッシュの後、ネクストビットシーケンスに従ってネクストビットを変更するための手段とを含み得る。保持ビットを読み、リフレッシュ速度を決定し、ネクストビットシーケンスを決定し、ネクストビットを変更するための手段は、図2Aに示すように構成された、リフレッシュカウンタ220、弱行表230、NEXT BIT表240、およびリフレッシュ制御論理を含み得る。

30

【 0 0 3 8 】

本開示の一態様によれば、メモリコントローラ装置はまた、リフレッシュアドレスが弱アドレスに等しく、次の弱アドレスに等しくないとき、リフレッシュサイクルをスキップするための手段と、リフレッシュアドレスが弱アドレスに等しくなく、次の弱アドレスに等しくないとき、リフレッシュアドレスをリフレッシュするための手段と、リフレッシュアドレスが弱アドレスに等しく、次の弱アドレスに等しいとき、弱アドレスをリフレッシュするための手段と、リフレッシュアドレスが弱アドレスに等しくなく、次の弱アドレスに等しいとき、リフレッシュアドレスと弱アドレスの両方をリフレッシュするための手段とを含み得る。リフレッシュサイクルをスキップするための手段、リフレッシュアドレスをリフレッシュするための手段、弱アドレスをリフレッシュするための手段、およびリフレッシュアドレスと弱アドレスの両方をリフレッシュするための手段は、図2Aに示すように構成された、リフレッシュカウンタ220、弱行表230、NEXT BIT表240、およびリフレッシュ制御論理を含み得る。

40

【 0 0 3 9 】

メモリ制御システムの態様を、様々な装置および方法を参照して提示する。これらの装置および方法は、以下の発明を実施するための形態において説明され、様々なブロック、モジュール、構成要素、回路、ステップ、プロセス、アルゴリズムなど(「要素」と総称される)によって添付の図面に示される。これらの要素は、電子ハードウェア、コンピュータソフトウェア、またはそれらの任意の組合せを使用して実装され得る。そのような要

50

素をハードウェアとして実装するか、またはソフトウェアとして実装するかは、具体的な適用例およびシステム全体に課された設計制約に依存する。

【 0 0 4 0 】

例として、要素、もしくは要素の任意の部分、または要素の任意の組合せは、1つまたは複数のプロセッサを含む「処理システム」で実装され得る。プロセッサの例としては、マイクロプロセッサ、マイクロコントローラ、デジタル信号プロセッサ(DSP)、フィールドプログラマブルゲートアレイ(FPGA)、プログラマブル論理デバイス(PLD)、ステートマシン、ゲート論理、個別ハードウェア回路、および本開示全体にわたって説明される様々な機能を実行するように構成された他の適切なハードウェアがある。処理システム内の1つまたは複数のプロセッサは、ソフトウェアを実行することができる。ソフトウェアは、ソフトウェア、ファームウェア、ミドルウェア、マイクロコード、ハードウェア記述言語、または他の名称で呼ばれるかどうかを問わず、命令、命令セット、コード、コードセグメント、プログラムコード、プログラム、サブプログラム、ソフトウェアモジュール、アプリケーション、ソフトウェアアプリケーション、ソフトウェアパッケージ、ルーチン、サブルーチン、オブジェクト、実行可能ファイル、実行スレッド、手順、機能などを意味するように広く解釈されるべきである。

10

【 0 0 4 1 】

したがって、1つまたは複数の例示的な構成では、説明される機能は、ハードウェア、ソフトウェア、ファームウェア、またはそれらの任意の組合せに実装することができる。ソフトウェアで実装される場合、機能は、1つもしくは複数の命令またはコードとして非一時的コンピュータ可読媒体上に記憶されるか、あるいは非一時的コンピュータ可読媒体上で符号化され得る。コンピュータ可読媒体は、コンピュータ記憶媒体を含む。記憶媒体は、コンピュータによってアクセスされ得る任意の利用可能な媒体であり得る。限定ではなく例として、そのようなコンピュータ可読媒体は、RAM、ROM、EEPROM、CD-ROMもしくは他の光ディスクストレージ、磁気ディスクストレージもしくは他の磁気記憶デバイス、または、命令もしくはデータ構造の形態の所望のプログラムコードを搬送もしくは記憶するために使用することができ、コンピュータによってアクセスすることができる、任意の他の媒体を含み得る。上記の組合せもコンピュータ可読媒体の範囲の中に含まれるべきである。

20

【 0 0 4 2 】

図8は、本開示の一態様を有利に用いることができる例示的なワイヤレス通信システム800を示す。説明のために、図8は、3つの遠隔ユニット820、830、および850と、2つの基地局840とを示す。一般的なワイヤレス通信システムは、これよりも多くの遠隔ユニットおよび基地局を有し得ることが認識されよう。遠隔ユニット820、830、および850は、以下でさらに説明する本開示の態様であるメモリコントローラ回路825A、825B、および825Cをそれぞれ含む。図8は、基地局840から遠隔ユニット820、830、および850への順方向リンク信号880と、リモートユニット820、830、および850から基地局840への逆方向リンク信号890とを示す。

30

【 0 0 4 3 】

図8では、ワイヤレスローカルループシステムにおいて、遠隔ユニット820は携帯電話として示され、遠隔ユニット830はポータブルコンピュータとして示され、遠隔ユニット850は定位置遠隔ユニットとして示されている。たとえば、遠隔ユニットは、セルフォン、ハンドヘルドパーソナル通信システム(PCS)ユニット、携帯情報端末などのポータブルデータユニット、またはメータ読取り機器などの固定位置データユニットとすることができる。図8は、本開示の教示によるメモリコントローラ回路を示すが、本開示は、これらの例示的な図示のユニットに限定されない。たとえば、本開示の態様によるメモリコントローラ回路は、任意のデバイスにおいて最適に用いられ得る。

40

【 0 0 4 4 】

特定の回路が説明されたが、当業者は、本開示を実施するために、開示された回路のすべてが必要とされるわけではないことを理解されよう。その上、本開示に対する注目を維

50

持するために、いくつかのよく知られている回路は記載されなかった。同様に、説明はいくつかのロケーションにおける論理「0」および論理「1」に言及しているが、本開示の動作に影響を及ぼすことなく、論理値は入れ替えることができ、それに応じて回路の残りの部分が調整されることを当業者は諒解する。

#### 【0045】

様々な装置および方法に関連して、いくつかのプロセッサが説明されてきた。これらのプロセッサは、電子ハードウェア、コンピュータソフトウェア、またはそれらの任意の組合せを使用して実装され得る。そのようなプロセッサがハードウェアとして実装されるか、ソフトウェアとして実装されるかは、具体的な用途およびシステムに課される全体的な設計制約に依存する。例として、プロセッサ、プロセッサの任意の部分、または、本開示で提示されるプロセッサの任意の組合せは、マイクロプロセッサ、マイクロコントローラ、デジタル信号プロセッサ(DSP)、フィールドプログラマブルゲートアレイ(FPGA)、プログラマブル論理デバイス(PLD)、ステートマシン、ゲート論理、個別ハードウェア回路、および、本開示全体にわたって説明された様々な機能を実行するように構成された他の適切な処理構成要素で実装され得る。本開示で提示されるプロセッサ、プロセッサの任意の部分、またはプロセッサの任意の組合せの機能は、マイクロプロセッサ、マイクロコントローラ、DSP、または他の適切なプラットフォームによって実行されているソフトウェアにより実装され得る。

#### 【0046】

ソフトウェアは、ソフトウェア、ファームウェア、ミドルウェア、マイクロコード、ハードウェア記述言語、または他の名称で呼ばれるかどうかを問わず、命令、命令セット、コード、コードセグメント、プログラムコード、プログラム、サブプログラム、ソフトウェアモジュール、アプリケーション、ソフトウェアアプリケーション、ソフトウェアパッケージ、ルーチン、サブルーチン、オブジェクト、実行可能ファイル、実行スレッド、手順、機能などを意味するように広く解釈されるべきである。ソフトウェアは、非一時的コンピュータ可読媒体上に存在する場合がある。コンピュータ可読媒体は、例として、磁気記憶デバイス(たとえば、ハードディスク、フロッピーディスク、磁気ストリップ)、光ディスク(たとえば、コンパクトディスク(CD)、デジタル多用途ディスク(DVD))、スマートカード、フラッシュメモリデバイス(たとえば、カード、スティック、キードライブ)、ランダムアクセスメモリ(RAM)、読取り専用メモリ(ROM)、プログラマブルROM(PROM)、消去可能PROM(EPROM)、電氣的消去可能PROM(EEPROM)、レジスタ、またはリムーバブルディスクのようなメモリを含み得る。メモリは、本開示全体にわたって提示した様々な態様ではプロセッサとは別個に示されているが、メモリはプロセッサの内部にあり得る(たとえば、キャッシュまたはレジスタ)。

#### 【0047】

コンピュータ可読媒体はコンピュータプログラム製品において具体化され得る。例として、コンピュータプログラム製品は、パッケージング材料中のコンピュータ可読媒体を含み得る。当業者は、特定の適用例および全体的なシステムに課された設計制約全体に応じて、本開示全体にわたって提示された記載の機能を最もよく実装する方法を認識されよう。

#### 【0048】

本明細書で説明した、様々な例示的なブロック、モジュール、要素、構成要素、方法、およびアルゴリズムは、電子ハードウェア、コンピュータソフトウェア、または両方の組合せとして実装され得ることを当業者は諒解されよう。さらに、これらは、説明したことは別に区分され得る。ハードウェアとソフトウェアのこの互換性を説明するために、様々な例示的なセクション、ブロック、モジュール、要素、構成要素、方法、およびアルゴリズムを、上記では概してそれらの機能に関して説明してきた。そのような機能が、ハードウェアまたはソフトウェアのどちらとして実施されるのかは、具体的な適用例と、システム全体に課せられる設計制約とによって決まる。当業者は、各特定の用途のために様々な方法で説明した機能を実装することができる。

## 【 0 0 4 9 】

開示されたプロセスにおけるステップまたはブロックの特定の順序または階層は、例示的な手法の説明であることを理解されたい。設計上の選好に基づいて、プロセスにおけるステップまたはブロックの特定の順序または階層が並べ替えられてもよいことを理解されたい。添付の方法クレームは、様々なステップの要素を例示的な順序で提示したものであり、提示された特定の順序または階層に限定されることを意味するものではない。

## 【 0 0 5 0 】

本開示およびその利点について詳しく説明したが、添付の特許請求の範囲によって規定される本開示の趣旨および範囲から逸脱することなく、本明細書において様々な変更、代用および改変を行うことができることは理解されたい。さらに、本出願の範囲は、本明細書で説明したプロセス、機械、製造、組成物、手段、方法、およびステップの特定の構成に限定されるものではない。当業者が本開示から容易に諒解するように、本明細書で説明した対応する構成と実質的に同じ機能を実行するか、または実質的に同じ結果を実現する、現存するまたは今後開発されるプロセス、機械、製造、組成物、手段、方法、またはステップが、本開示に従って利用され得る。したがって、添付の特許請求の範囲は、そのようなプロセス、機械、製造、組成物、手段、方法、またはステップをそれらの範囲内に含むものとする。

## 【 0 0 5 1 】

本開示の前述の説明は、いかなる当業者も本開示を作製または使用できるようにするために提供される。本開示に対する様々な修正形態が当業者には容易に明らかとなり、本明細書で定義する一般原理は、本開示の趣旨または範囲から逸脱することなく、他の変形形態に適用され得る。したがって、本開示は、本明細書で説明される例および設計に限定されるものではなく、本明細書で開示される原理および新規の特徴に合致する最も広い範囲を与えられるべきである。

## 【 符号の説明 】

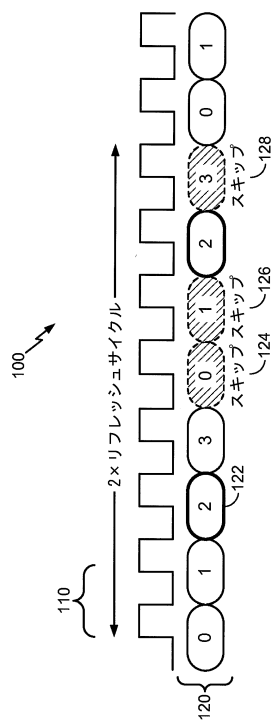
## 【 0 0 5 2 】

100	タイミング図	
110	ダブルリフレッシュサイクル	
120	リフレッシュアドレス	
122	弱保持状態を有するリフレッシュアドレス	30
124	リフレッシュアドレス	
126	リフレッシュアドレス	
128	リフレッシュアドレス	
150	タイミング図	
160	シングルリフレッシュサイクル	
170	リフレッシュアドレス	
172	弱保持状態を有するリフレッシュアドレス	
180	挿入リフレッシュ動作	
200	メモリコントローラ	
210	リフレッシュ制御ブロック	40
220	リフレッシュカウンタ	
230	弱行表	
240	NEXT BIT表	
250	リフレッシュ制御論理	
260	メモリブロック	
300	表	
302	事前プログラムされる保持ビット	
304	リフレッシュ速度	
306	NEXT BIT	
310	単一ビットのサイクル	50

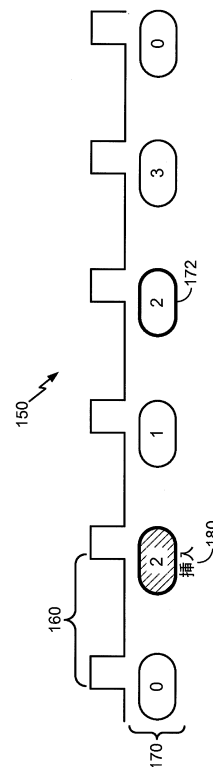
- 312 2ビットのNEXT BITサイクル
- 314 弱アドレス
- 316 次の弱アドレス
- 700 保持ビット表
- 702 事前プログラムされる保持ビット
- 704 リフレッシュ速度
- 706 NEXT BIT
- 710 強行アドレス
- 800 ワイヤレス通信システム
- 820 遠隔ユニット、携帯電話
- 825A メモリコントローラ回路
- 825B メモリコントローラ回路
- 825C メモリコントローラ回路
- 830 遠隔ユニット、ポータブルコンピュータ
- 840 基地局
- 850 遠隔ユニット、定位置遠隔ユニット
- 880 順方向リンク信号
- 890 逆方向リンク信号

10

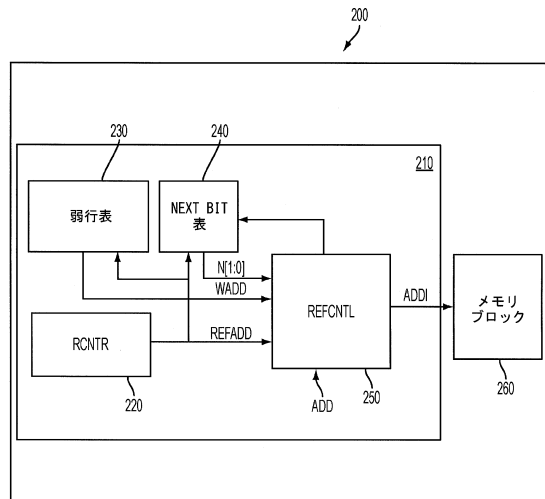
【図 1 A】



【図 1 B】



【図 2 A】



【図 2 B】

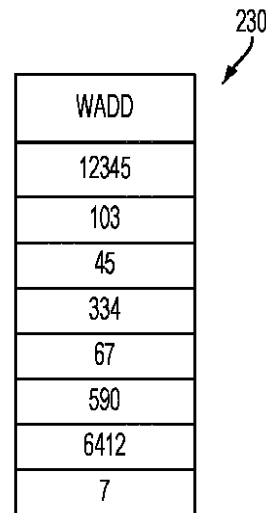


FIG. 2B

【図 3 A】

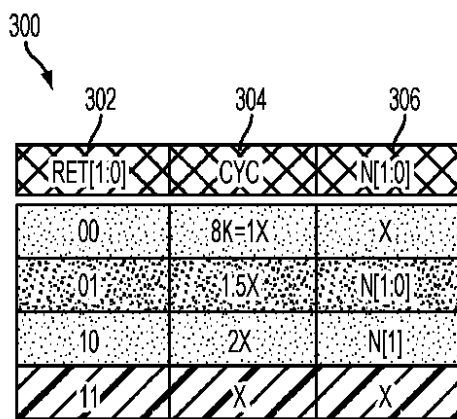


FIG. 3A

【図 3 B】

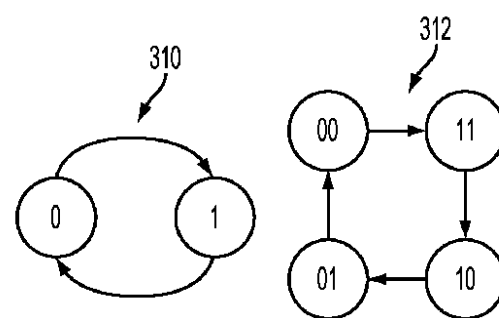
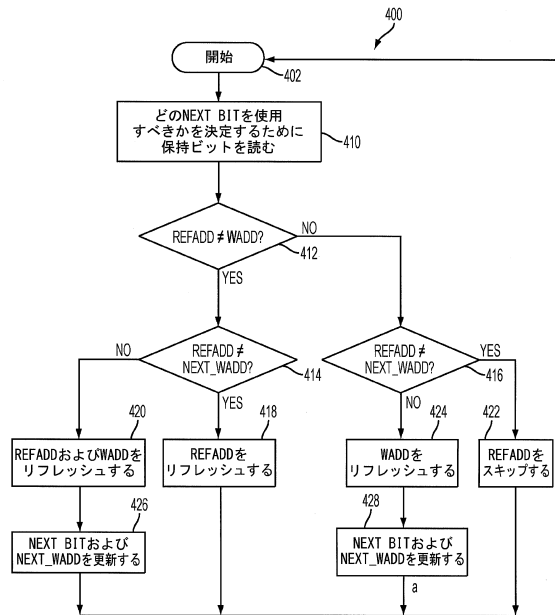


FIG. 3B

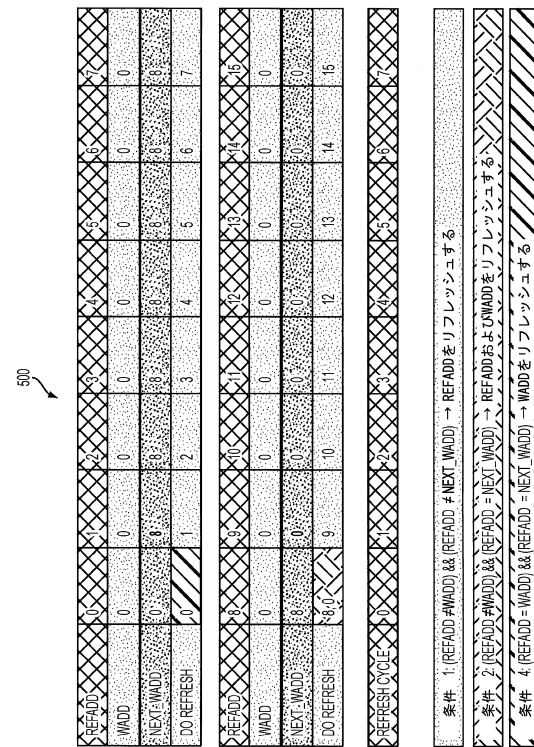
【図 3 C】



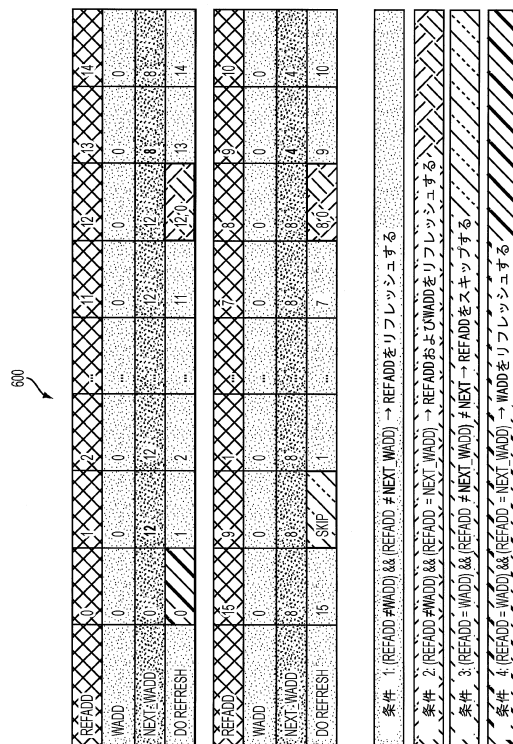
【図4】



【図5】



【図6】



【図7A】

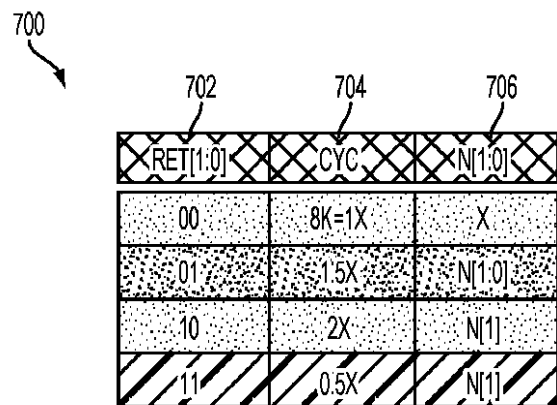


FIG. 7A

【図7B】

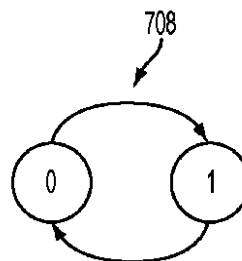
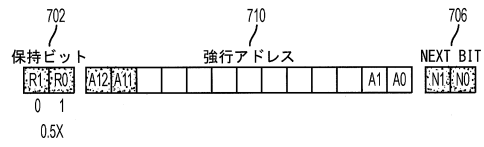


FIG. 7B



## 【図 7C】



## 【図 8】

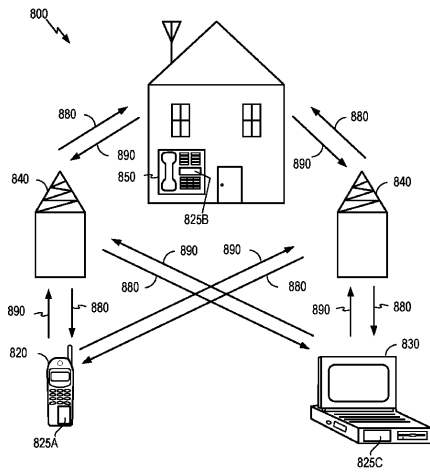


FIG. 8

---

フロントページの続き

- (72)発明者 ジュン・ピル・キム  
アメリカ合衆国・カリフォルニア・９２１２１－１７１４・サン・ディエゴ・モアハウス・ドライ  
ヴ・５７７５
- (72)発明者 ジュンウォン・スー  
アメリカ合衆国・カリフォルニア・９２１２１－１７１４・サン・ディエゴ・モアハウス・ドライ  
ヴ・５７７５

審査官 後藤 彰

- (56)参考文献 特開２０１４－２２０３３（ＪＰ，Ａ）  
特開平９－２３１７４８（ＪＰ，Ａ）  
特開２０１２－２４８２６５（ＪＰ，Ａ）  
特開２０１３－１４０５９２（ＪＰ，Ａ）  
特開２０１１－６５７４３（ＪＰ，Ａ）

- (58)調査した分野(Int.Cl.，ＤＢ名)  
Ｇ１１Ｃ １１／４０６