

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 2 区分

【発行日】平成 25 年 7 月 4 日 (2013.7.4)

【公開番号】特開 2011-95740 (P2011-95740A)

【公開日】平成 23 年 5 月 12 日 (2011.5.12)

【年通号数】公開・登録公報 2011-019

【出願番号】特願 2010-226942 (P2010-226942)

【国際特許分類】

G 0 9 G 3/36 (2006.01)

G 0 9 G 3/20 (2006.01)

G 0 2 F 1/133 (2006.01)

【 F I 】

G 0 9 G 3/36

G 0 9 G 3/20 6 4 1 A

G 0 9 G 3/20 6 4 1 E

G 0 2 F 1/133 5 5 0

G 0 2 F 1/133 5 7 5

G 0 9 G 3/20 6 4 1 F

【誤訳訂正書】

【提出日】平成 25 年 5 月 20 日 (2013.5.20)

【誤訳訂正 1】

【訂正対象書類名】特許請求の範囲

【訂正対象項目名】全文

【訂正方法】変更

【訂正の内容】

【特許請求の範囲】

【請求項 1】

複合データワードをディスプレイの画素に書き込むためのディスプレイドライバ回路であって、

前記複合データワードは、1 群の 2 値重み割り当てされたデータビットと、1 群の 2 値とは異なる重み割り当てがされたデータビットとを含み、該複合データワードは、前記 1 群の 2 値とは異なる重み割り当てがされたデータビットと、前記 1 群の 2 値重み割り当てされたデータビットとによって、少なくとも部分的に規定される値を有しており、

前記ディスプレイドライバ回路は、

2 値重み割り当てされたデータワードを受け取り、該 2 値重み割り当てされたデータワードを前記複合データワードへと変換し、該複合データを出力に供給するように構成された複合データ発生器と、

ディスプレイ制御信号を出力に供給するように構成された出力制御器と、

を含んでおり、

前記ディスプレイは、前記ディスプレイ制御信号に応答して、前記 1 群の 2 値とは異なる重み割り当てがされたデータビットの各ビットを、前記画素で関連付けられた期間アサートし、前記 1 群の 2 値重み割り当てされたデータビットの各ビットを、前記画素で各 2 値重み割り当てされたビットに関連付けられ、ビットがピクセル電極にアサート可能な時間量によって定められる重みに応じた期間アサートし、この結果、前記画素の出力が、前記複合データワードの前記値に対応するようになっており、

前記複合データワードは、前記 2 値重み割り当てされたデータワードよりも多くのグレイスケール値を定義する、

ことを特徴とするディスプレイドライバ回路。

## 【請求項 2】

複合データワードを表示画素に書き込むためのディスプレイドライバ回路であり、  
前記複合データワードは、2 値とは異なる重み割り当てスキームを有する第 1 のデータビット群と、2 値重み割り当てスキームを有する第 2 のデータビット群とを含んでおり、  
前記ディスプレイドライバ回路は、  
第 1 のタイプのデータワードを受け取り、該第 1 のタイプのデータワードを前記複合データワードに変換し、該複合データワードを出力に供給するように構成された複合データワード発生器と、  
ディスプレイ制御信号を供給するように構成された出力制御器と、  
を含んでおり、  
前記ディスプレイ制御信号は、前記第 1 のデータビット群の各ビットを、前記表示画素で関連付けられた期間アサートさせ、前記第 2 のデータビット群の各ビットを、前記表示画素で各々前記ビットに関連付けられ、ビットがピクセル電極にアサート可能な時間量によって定められる重みに応じた異なる期間アサートさせるものであり、  
前記複合データワードは、前記第 1 のタイプのデータワードよりも多くのグレースケール値を定義可能であり、  
前記複合データは、 $(m + 1)(2^n)$  個のグレースケール値を定義する  
ことを特徴とするディスプレイドライバ回路。

## 【請求項 3】

複合データワードを、表示画素でアサートするための方法であり、  
前記複合データワードは、特定の画素の値に対応し、かつ、2 値とは異なる重み割り当てスキームを有する第 1 のビット群と 2 値重み割り当てスキームを有する第 2 のビット群とを含んでおり、  
前記方法は、  
第 1 のタイプのデータワードを受け取る工程と、  
前記第 1 のタイプのデータワードの少なくとも 1 ビットを前記第 1 のビット群に変換する工程と、  
前記ビットの第 1 のビット群の各ビットを、前記表示画素で関連付けられた期間アサートする工程と、  
前記第 2 のビット群の各ビットを、前記表示画素で各該ビットに関連付けられ、ビットがピクセル電極にアサート可能な時間量によって定められる重みに応じた異なる期間アサートさせる工程と、  
を包含しており、  
それによって、前記画素の出力は、前記複合データワードの前記値に対応しており、  
前記複合データワードは、前記第 1 のタイプのデータワードよりも多くのグレースケール値を定義可能であり、  
前記複合データは、 $(m + 1)(2^n)$  個のグレースケール値を定義する  
ことを特徴とする方法。

## 【請求項 4】

複合データワードを、表示画素でアサートするための方法であり、  
前記複合データワードは、特定の画素の値に対応し、かつ、2 値とは異なる重み割り当てスキームを有する第 1 のビット群と、2 値重み割り当てスキームを有する第 2 のビット群とを含んでおり、  
前記方法は、  
2 値重み割り当てされたデータワードを受け取る工程と、  
前記 2 値重み割り当てされたデータワードから前記複合データワードを発生する工程と、  
前記第 1 のビット群の各ビットを、前記表示画素で互いに等しい期間アサートする工程と、  
、  
前記第 2 のビット群の各ビットを、前記表示画素で各該ビットに関連付けられ、ビットがピクセル電極にアサート可能な時間量によって定められる重みに応じた異なる期間アサート

トさせる工程と、  
を包含しており、  
それによって、該画素の出力は、該複合データワードの前記値に対応しており、  
前記複合データワードは、前記 2 値 重み割り当て されたデータワードよりも多くのグレイスケール値を定義可能であり、  
前記複合データワードは、 $(m + 1)(2^n)$  個のグレイスケール値を定義 する  
ことを特徴とする方法。

【請求項 5】

複合データワードを発生するための方法であり、  
第 1 のタイプのデータワードを受け取る工程と、  
2 値重み割り当てデータスキームを有するデータビットの第 1 のビット群を提供する工程  
であって、前記第 1 のビット群のビットは、関連付けられた重みを有し、当該重みは、ビットがピクセル電極にアサート可能な時間量によって定められ、上記受け取った第 1 のタイプのデータワードに基づいて生成される、工程と、  
前記 2 値重み割り当てスキームを有する第 2 のデータビット群を提供する工程であって、  
該第 2 のビット群のビットは、互いに異なる、ビットがピクセル電極にアサート可能な時間量によって定められる 重み を有しており、上記受け取った第 1 のタイプのデータワードに基づいて生成される、工程と、  
を包含しており、  
前記第 1 のデータビット群と前記第 2 のデータビット群とは、前記複合データワードを形成しており、  
前記複合データワードは、前記第 1 タイプのデータワードよりも多くのグレイスケール値を定義 する  
ことを特徴とする方法。

【請求項 6】

プロジェクタであって、ディスプレイとドライバ回路と、を備えており、  
前記ディスプレイは、複数の画素を含んでおり、  
前記ドライバ回路は、複合データワードを該ディスプレイへと書き込むために前記ディスプレイに接続されており、該複合データワードは、2 値とは異なる重み割り当てデータスキームを有する第 1 のデータビット群と、2 値データスキームを有する第 2 のデータビット群とを含んでおり、  
前記ドライバ回路は、  
第 1 のタイプのデータワードを受け取り、該第 1 のタイプのデータワードを前記複合データに変換し、該複合データワードを出力に供給するように構成された複合データワード発生器と、  
ディスプレイ制御信号を供給するように構成された出力制御器と、  
を含んでおり、  
前記ディスプレイ制御信号は、前記第 1 のデータビット群の各ビットを、前記画素の 1 つで 関連付けられた期間 アサートさせ、前記第 2 のデータビット群の各ビットを、前記画素の前記 1 つで各々前記ビットに関連付けられ、ビットがピクセル電極にアサート可能な時間量によって定められる 重み に応じた異なる期間アサートさせるものであり、  
前記複合データワードは、前記第 1 のタイプのデータワードよりも多くのグレイスケール値を定義可能であって、  
前記複合データワードは、 $(m + 1)(2^n)$  個のグレイスケール値を定義 する  
ことを特徴とするプロジェクタ。

【請求項 7】

前記互いに等しい各期間の長さは、前記第 2 のデータビット群の最上位ビットの前記期間の倍数である、請求項 2 に記載のディスプレイドライバ回路。

【請求項 8】

前記 第 1 のデータビット群の関連付けられた各期間 の長さは、前記第 2 のデータビット群

の最上位ビットの前記期間の長さの2倍である、請求項7に記載のディスプレイドライバ回路。

【請求項9】

前記複合データ発生器は、前記第1のタイプの前記データワードを演算して前記複合データワードを発生するための演算ユニットを含む、請求項2に記載のディスプレイドライバ回路。

【請求項10】

前記複合データ発生器はメモリ装置を含む、請求項2に記載のディスプレイドライバ回路。

【請求項11】

前記複合データ発生器はルックアップテーブルを含む、請求項2に記載のディスプレイドライバ回路。

【請求項12】

前記第1のタイプの前記データワードは、2値重み割り当てされたデータワードである、請求項2に記載のディスプレイドライバ回路。

【請求項13】

複合データワードを表示画素に書き込むためのディスプレイドライバ回路であって、該複合データワードは、2値とは異なる重み割り当てスキームを有する第1のデータビット群および2値重み割り当てスキームを有する第2のデータビット群を含み、該ディスプレイドライバ回路は、該複合データワードを出力に供給するように構成された複合データ発生器と、ディスプレイ制御信号を供給するように構成された出力制御器であって、該ディスプレイ制御信号は、該第1のデータビット群の各ビットを該表示画素上において互いに等しい期間アサートさせ、該第2のデータビット群の各ビットを該表示画素上において各該ビットに関連付けられ、ビットがピクセル電極にアサート可能な時間量によって定められる重みに応じた異なる期間アサートさせ、該複合データ発生器は、2値重み割り当てされたデータワードを受け取るための入力端子を含み、該複合データワードは該2値重み割り当てされたデータワードの受信に応答して発生され、該複合データ発生器は、該2値重み割り当てされたデータワードの少なくとも1ビットを該複合データワードの該第1のデータビット群に変換するように構成され、前記複合データワードが前記2値重み割り当てされたデータワードよりも多くのグレイスケール値を定義するディスプレイドライバ回路。

【請求項14】

前記複合データ発生器は、前記2値重み割り当てされたデータワードの第1のビットを受け取るように接続された出力端子を含む、請求項13に記載のディスプレイドライバ回路。

【請求項15】

前記複合データ発生器は、前記2値重み割り当てされたデータワードを受け取るための入力端子と、出力端子と、該2値重み割り当てされたデータワードの少なくとも一部を格納するバッファと、該ディスプレイ制御信号に応答して、前記複合データワードの前記第1のビット群のうち発生されたビットを該複合データ発生器の該出力端子上において選択的にアサートするように構成された論理アレイと、を含む、請求項13に記載のディスプレイドライバ回路。

【請求項16】

前記論理アレイは、該論理アレイの前記出力端子に接続された出力端子を含む、請求項15に記載のディスプレイドライバ回路。

【請求項17】

前記複合データ発生器によって発生される前記複合データワードの前記値(Vc)は、式 $Vc = INT(GC/N)$ によって規定され、ここで、Gは前記2値重み割り当てされた

データワードの前記値を表し、 $C$ は該複合データワードの可能な値の数を表し、 $N$ は前記2値重み割り当てされたデータワードの可能な値の数を表し、 $INT$ は整数関数を表す、請求項13に記載のディスプレイドライバ回路。

【請求項18】

前記第1の群の各ビットは、前記表示画素上において、前記第2のビット群の最上位ビットのビットがピクセル電極にアサート可能な時間量によって定められる重みに応じた期間の長さの2倍の期間アサートされる、請求項3に記載の複合データワードを表示画素上においてアサートするための方法。

【請求項19】

前記第1のタイプの前記データワードから前記複合データワードを発生する前記工程は、該第1のタイプの該データワードに対して演算を行う工程を包含する、請求項3に記載の複合データワードを表示画素上においてアサートするための方法。

【請求項20】

前記第1のタイプの前記データワードから前記複合データワードを発生する前記工程は、該第1のタイプの該データワードによって示されるメモリ位置から該複合データワードを検索する工程を包含する、請求項3に記載の複合データワードを表示画素上においてアサートするための方法。

【請求項21】

前記第1のタイプの前記データワードから前記複合データワードを発生する前記工程は、該第1のタイプの該データワードによって示されるルックアップテーブル位置から複合データワードを検索する工程を包含する、請求項3に記載の複合データワードを表示画素上においてアサートするための方法。

【請求項22】

前記第1のタイプの前記データワードは、2値重み割り当てされたデータワードである、請求項3に記載の複合データワードを表示画素上においてアサートするための方法。

【請求項23】

前記複合データワードを発生する前記工程は、該複合データワードの前記値( $V_c$ )を、式 $V_c = INT(GC/N)$ から計算する工程を包含し、ここで、 $G$ は前記2値重み割り当てされたデータワードの前記値を表し、 $C$ は該複合データワードの可能な値の数を表し、 $N$ は前記2値重み割り当てされたデータワードの可能な値の数を表し、 $INT$ は整数関数を表す、請求項4に記載の複合データワードを表示画素上においてアサートするための方法。

【請求項24】

前記第1のデータビット群を提供する前記工程および前記第2のデータビット群を提供する前記工程のうち少なくとも一方は、前記第1のタイプの前記データワードに対して演算を行う工程を包含する、請求項5に記載の複合データワードを表示画素上においてアサートするための方法。

【請求項25】

前記第1のデータビット群を提供する前記工程および前記第2のデータビット群を提供する前記工程のうち少なくとも一方は、前記第1のタイプの前記データワードによって示されるメモリ位置から前記第1のデータビット群および前記第2のデータビット群のうち少なくとも一方を検索する工程を包含する、請求項5に記載の複合データワードを表示画素上においてアサートするための方法。

【請求項26】

前記第1のデータビット群を提供する前記工程および前記第2のデータビット群を提供する前記工程のうち少なくとも一方は、該第1のタイプの該データワードによって示されるルックアップテーブル位置から前記第1のデータビット群および前記第2のデータビット群のうち少なくとも一方を検索する工程を包含する、請求項5に記載の複合データワードを表示画素上においてアサートするための方法。

【請求項27】

前記第 1 のタイプの前記データワードは、2 値重み割り当てされたデータワードである、請求項 5 に記載の複合データワードを表示画素上においてアサートするための方法。

【請求項 28】

複合データワードを発生するための方法であって、  
該方法は、

2 値重み割り当てされたデータワードを受け取る工程と、  
第 1 のデータビット群を提供する工程であって、該第 1 のデータビット群の該ビットは2 値とは異なる重み割り当てスキームを有する、工程と、  
第 2 のデータビット群を提供する工程であって、該第 2 のデータビット群の該ビットは2 値重みスキームを有する、工程と、  
を包含し、  
該第 1 のデータビット群および該第 2 のデータビット群のうち少なくとも一方は、該 2 値重み割り当てされたデータワードの受信に応答して提供され、  
該第 1 のデータビット群を提供する該工程は、該 2 値重み割り当てされたデータワードの少なくとも 1 ビットを該第 1 のビット群に変換する工程を包含し、  
前記複合データワードが前記 2 値重み割り当てされたデータワードよりも多くのグレイスケール値を定義する

方法。

【請求項 29】

前記 2 値重み割り当てされたデータワードの前記少なくとも 1 ビットを前記第 1 のデータビット群に変換する工程は、  
前記 2 値重み割り当てされたデータワードの少なくとも一部に対して論理 OR 演算を行う工程と、を包含する、請求項 49 に記載の複合データワードを発生するための方法。

【請求項 30】

前記第 1 のデータビット群および前記第 2 のデータビット群を提供する前記工程は、前記複合データワードの前記値 ( $V_c$ ) を、式  $V_c = INT(GC/N)$  から計算する工程を包含し、ここで、 $G$  は前記 2 値重み割り当てされたデータワードの前記値を表し、 $C$  は前記複合データワードの可能な値の数を表し、 $N$  は前記 2 重み割り当てされたデータワードの可能な値の数を表し、 $INT$  は整数関数を表す、請求項 28 に記載の複合データワードを発生するための方法。

【請求項 31】

各データビットが 1 つの連続的な信号としてアサートされる、請求項 13 に記載のディスプレイドライバ回路。

【請求項 32】

各ビットが 1 つの連続的な信号としてアサートされる、請求項 3 に記載の方法。

【請求項 33】

前記複合データワードが  $(2^n)(m+1)$  個のグレイスケール値を定義することができ、前記  $m$  が前記 2 値とは異なる重み割り当てがされたビットの群におけるビット数に等しく、前記  $n$  が前記 2 値重み割り当てされた群におけるビット数に等しい請求項 1 に記載のディスプレイドライバ回路。

【請求項 34】

前記複合データワードが  $(2^n)(m+1)$  個のグレイスケール値を定義することができ、前記  $m$  が前記第 1 のビットの群におけるビット数に等しく、前記  $n$  が前記第 2 のビット群におけるビット数に等しい請求項 2 に記載のディスプレイドライバ回路。

【請求項 35】

前記複合データワードが  $(2^n)(m+1)$  個のグレイスケール値を定義することができ、前記  $m$  が前記第 1 のビットの群におけるビット数に等しく、前記  $n$  が前記第 2 のビット群におけるビット数に等しい請求項 3 に記載の複合データワードを表示画素でアサートするための方法。

【請求項 36】

前記複合データワードが  $(2^n)(m+1)$  個のグレイスケール値を定義することができ、前記 m が前記第 1 のビットの群におけるビット数に等しく、前記 n が前記第 2 のビット群におけるビット数に等しい請求項 4 に記載の複合データワードを表示画素でアサートするための方法。

**【請求項 37】**

前記複合データワードが  $(2^n)(m+1)$  個のグレイスケール値を定義することができ、前記 m が前記第 1 のビットの群におけるビット数に等しく、前記 n が前記第 2 のビット群におけるビット数に等しい請求項 5 に記載の複合データワードを発生するための方法。

**【請求項 38】**

前記複合データワードが  $(2^n)(m+1)$  個のグレイスケール値を定義することができ、前記 m が前記第 1 のビットの群におけるビット数に等しく、前記 n が前記第 2 のビット群におけるビット数に等しい請求項 6 に記載のプロジェクト。

**【請求項 39】**

前記複合データワードが  $(2^n)(m+1)$  個のグレイスケール値を定義することができ、前記 m が前記第 1 のビットの群におけるビット数に等しく、前記 n が前記第 2 のビット群におけるビット数に等しい請求項 13 に記載のディスプレイドライバ。

**【請求項 40】**

前記複合データワードが  $(2^n)(m+1)$  個のグレイスケール値を定義することができ、前記 m が前記第 1 のビットの群におけるビット数に等しく、前記 n が前記第 2 のビット群におけるビット数に等しい請求項 28 に記載の複合データを生成するための方法。

**【請求項 41】**

前記 2 値とは異なる重み割り当てがされたビットの群が均一に重み割り当てされたビットの群を含む請求項 1 に記載のディスプレイドライバ。

**【請求項 42】**

前記第 1 のデータビット群が均一に重み割り当てされたビットの群を含む請求項 2 に記載のディスプレイドライバ。

**【請求項 43】**

前記第 1 のデータビット群が均一に重み割り当てされたビットの群を含む請求項 3 に記載の複合データワードを表示画素でアサートするための方法。

**【請求項 44】**

前記第 1 のデータビット群が均一に重み割り当てされたビットの群を含む請求項 4 に記載の複合データワードを表示画素でアサートするための方法。

**【請求項 45】**

前記第 1 のデータビット群が均一に重み割り当てされたビットの群を含む請求項 5 に記載の複合データワードを生成するための方法。

**【請求項 46】**

前記第 1 のデータビット群が均一に重み割り当てされたビットの群を含む請求項 6 に記載のプロジェクト。

**【請求項 47】**

前記第 1 のデータビット群が均一に重み割り当てされたビットの群を含む請求項 13 に記載のディスプレイドライバ回路。

**【請求項 48】**

前記第 1 のデータビット群が均一に重み割り当てされたビットの群を含む請求項 28 に記載の複合データワードを生成するための方法。

**【誤訳訂正 2】**

**【訂正対象書類名】** 明細書

**【訂正対象項目名】** 0006

**【訂正方法】** 変更

**【訂正の内容】**

**【0006】**

図 2 は、4 ビットグレイスケール値 ( 1 0 1 0 ) に相当する一連のパルスであり、最上位ビットは最も左のビットである。2 値重み割り当てされたパルス幅変調の場合、パルスは 2 値グレイスケール値のビットに相当して群分けされる。具体的には、第 1 の群 B 3 は、8 期間 ( 2 3 ) を含み、値 ( 1 0 1 0 ) の最上位ビットに相当する。同様に、群 B 2 は、次の上位ビットに相当する 4 期間 ( 2 2 ) を、群 B 1 は、更に次の上位ビットに相当する 2 期間 ( 2 1 ) を、そして、群 B 0 は、最下位ビットに相当する 1 期間 ( 2 0 ) を含む。この群分けは、要求されるパルスの数を 1 5 から 4 へ減らす。2 値グレイスケール値の各ビットの一つは、関連するビットの重みに対応するパルス幅を備えている。従って、値 ( 1 0 1 0 ) の場合、第 1 のパルス B 3 ( 8 期間幅 ) はハイであり、第 2 のパルス B 2 ( 4 期間幅 ) はローであり、第 3 のパルス B 1 ( 2 期間幅 ) はハイであり、最後のパルス B 0 ( 1 期間幅 ) はローである。この一連のパルスは、フルの値 ( 5 V ) の約 ( 2 / 3 ) ( 1 5 期間中の 1 0 個 ) すなわち、約 4 . 1 V の R M S 電圧である。

【誤訳訂正 3】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 0 9

【訂正方法】変更

【訂正の内容】

【0 0 0 9】

図 4 は、8 ビットの、2 値重み割り当てされた、パルス幅変調スキームの場合の、選択されたグレイスケール値間の位相差及びビット値を示す。グレイ値 1 2 7 と 1 2 8 は唯一のあるレベルの強度差を有するが、これは 1 0 0 % の位相差を有し、従って、隣接した画素セルに書き込まれたとき可視アーチファクトがおこることに留意されたい。同様に、グレイ値 6 3 と 6 4 ( およびグレイ値 1 9 1 と 1 9 2 ) は、1 2 7 / 2 5 5 の位相差を有し、容認しがたい画像アーチファクトもまた生じる。

【誤訳訂正 4】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 1 3

【訂正方法】変更

【訂正の内容】

【0 0 1 3】

任意的には、ディスプレイドライバ回路は、複合データ発生器を含み、複合データ発生器は、出力において複合データワードを提供するよう構成される。特定の実施態様において、複合データ発生器は、( 例えば、2 値重み割り当てされた ) 第 1 のタイプのデータワードを受け取るための入力端子を有し、複合データワードは第 1 のタイプのデータワードを受け取ることに応じて生成される。複合データ発生器は、例えば、ルックアップテーブルといった算術論理ユニットあるいはメモリデバイスを含んでもよい。算術論理ユニットは、第 1 のタイプのデータワード上で複合データワードを生成するために作動する。メモリデバイスは、第 1 のタイプのデータワードによって示された格納位置から複合データワードを検索する。

【誤訳訂正 5】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 1 4

【訂正方法】変更

【訂正の内容】

【0 0 1 4】

特定の実施形態では、2 値重み割り当てされたデータワードの最上位 ( X ) ビットの第 1 の集合を、複合データワードの均一に重み割り当てされた ( 2 X - 1 ) ビットに変換するように構成される。従って、2 値重み割り当てされたデータのグレイスケール解像度が維持される。別の実施形態では、2 値重み割り当てされたデータワードは、可能グレイスケール値の第 1 の数を定義し得、複合データワードは、可能な値の第 1 の数よりも少ない



可能な値の第2の数を定義し得、そして、2値重み割り当てされたデータワードは、グレイスケール解像度をいくらか犠牲にしながらも、複合データワード上にマッピングされる。

【誤訳訂正6】

【訂正対象書類名】明細書

【訂正対象項目名】0016

【訂正方法】変更

【訂正の内容】

【0016】

本発明は、以下の図面を参照して記載され、同じ参照番号は実質的に同じエレメントを示す。

【図1】図1は、液晶ディスプレイの単一の画素セルを示す。

【図2】図2は、4ビットパルス幅変調データの1フレームを示す。

【図3】図3は、液晶ディスプレイの3個の隣接した画素セルを示す。

【図4】図4は、8ビット2値重み割り当てされたデータスキームにおけるグレイスケール値間の位相差およびビット値を示す表である。

【図5A】図5Aは、2値重み割り当てされたデータワードの2つの最上位ビットを、複合データワードを3つの均一に重み割り当てされたビットへ変換する様子を示すブロック図を示す。

【図5B】図5Bは、2値重み割り当てされたデータワードの3つの最上位ビットを、複合データワードを7つの均一に重み割り当てされたビットへ変換する様子を示すブロック図を示す。

【図6A】図6Aは、図5Aの複合データワードによって定義された選択されたグレイスケール値間の位相差およびビット値を示す表である。

【図6B】図6Bは、図5Bの複合データワードによって定義された選択されたグレイスケール値間の位相差およびビット値を示す表である。

【図7】図7は、6個の均一に重み割り当てされたデータビットおよび4個の2値重み割り当てされたデータビットを有する複合データワードによって定義された選択されたグレイスケール値間の位相差およびビット値を示す表である。

【図8】図8は、均一に重み割り当てされたデータビットと、2値重み割り当てされたデータビットの異なった数を使用した複合データワードに関して、隣接するグレイレベル間の最大位相差及び利用可能なグレイレベルの数を示す表である。

【図9】図9は、本発明のディスプレイドライバ回路を示すブロック図である。

【図10】図10は、図9で示された出力制御器を詳細に示したブロック図である。

【図11A】図11Aは、別の複合データ発生器を詳細に示したブロック図である。

【図11B】図11Bは、さらに別の複合データ発生器を詳細に示したブロック図である。

【図12】図12は、本発明における別のディスプレイドライバ回路を示すブロック図である。

【図13】図13は、図12に示す複合データ発生器のブロック図である。

【図14】図14は、図13に示す論理アレイを詳細に示したブロック図である。

【図15】図15は、2つの2値重み割り当てされたデータビットから3つの均一に重み割り当てされたデータビットを生成する方法を示すフローチャートである。

【図16】図16は、別の複合データ発生器を示すブロック図である。

【図17】図17は、図16に示す論理アレイを詳細に示したブロック図である。

【図18】図18は、3つの2値重み割り当てされたデータビットから7つの均一に重み割り当てされたデータビットを生成する方法を示すフローチャートである。

【図19】図19は、本発明についての別のディスプレイドライバ回路を示すブロック図である。

【誤訳訂正7】

【訂正対象書類名】明細書

【訂正対象項目名】0020

【訂正方法】変更

【訂正の内容】

【0020】

本発明は、複合データワードを用いてフラットパネルディスプレイの隣接するピクセルにアサートされるデータの位相差を最小にするという従来技術に関する問題を克服する。詳しくは、本発明は、複合データワードを有するディスプレイを駆動するためのシステムおよび方法を説明する。複合データワードは、異なる重み割り当てスキームを有するビットからなる2つの群を組み合わせることによって形成される、データワードである。特定の例において、複合データワードは、均一に重み割り当てされたビットからなる群と2値重み割り当てされたビットからなる群とを含む。以下の説明において、本発明を完全に理解するために、多くの具体的な詳細を述べる（例えば、複合データワードを形成するように組み合わせられたビットの数およびタイプ）。しかしながら、当業者は、本発明がこれらの具体的な詳細以外で実行され得ることを認識する。他の例において、本発明を不必要に不明瞭にしないように、周知のディスプレイドライバ回路や方法の詳細を省略している。

【誤訳訂正8】

【訂正対象書類名】明細書

【訂正対象項目名】0021

【訂正方法】変更

【訂正の内容】

【0021】

図5Aは、この場合、2値重み割り当てされた、第1のタイプのデータワード502と、複合データワード504と、のビットブロック図を示す。各ブロック長は、対応するビットの重みを示し、従ってビットがピクセル電極にアサート可能な時間量を表す。データワード502は8個のビット（B7～B0）を有し、各ビットは、隣の最上位ビットの2分の1の（2値重み割り当てされた）重みを有する。例えば、データワード502のブロックB7はブロックB6の2倍の長さである。

【誤訳訂正9】

【訂正対象書類名】明細書

【訂正対象項目名】0022

【訂正方法】変更

【訂正の内容】

【0022】

複合データワード504は、均一に重み割り当てされた（均一な重みの）データビット（EB3～EB1）からなる第1の群と、2値重み割り当てされたデータビット（B5～B0）からなる第2の群と、を含む。3つの均一に重み割り当てされたデータビットが2値重み割り当てされたデータワード502のビットB6およびB7から形成される特定の例において、ビットEB3～EB1の重みはビットB6の重みと同じであり、従ってビットB6は、適切に、均一に重み割り当てされたデータビットからなる第1の群または2値重み割り当てされたデータビットからなる第2の群のいずれかの一部であるとみなされ得る。しかしながら当業者は、本発明が均一に重み割り当てされたデータビットからなる第1の群と2値重み割り当てされたデータビットからなる第2の群との間のこの関係を有することなく実行され得ることを認識し得る。

【誤訳訂正10】

【訂正対象書類名】明細書

【訂正対象項目名】0023

【訂正方法】変更

【訂正の内容】

【0023】

図 5 B は、2 値重み割り当てされたデータワード 5 0 2 のビット B 7 および B 6 を均一に重み付けされたビット E B 7 ~ E B 1 からなる群に変換して生じる複合データワード 5 0 6 を示す。ビット E B 1 の重みはビット B 4 の重みの 2 倍であるので、ビット E B 1 ~ B 5 はまた 2 値重み割り当てされたデータビットからなる第 2 の群の一部であるとみなされ得る。

【誤訳訂正 1 1】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 2 4

【訂正方法】変更

【訂正の内容】

【0 0 2 4】

図 6 A は、図 5 A の複合データワード 5 0 4 によって規定される選択されたグレイスケール値間のビット値および位相差を示す表である。1 2 7 / 2 5 5 の最大位相差が、グレイスケール値 1 2 7 ~ 1 2 8 間およびグレイスケール値 1 9 1 ~ 1 9 2 間で生じる。従って、隣接するグレイスケール値間の最大位相差は、図 4 に示される 2 値重み割り当てされたデータワード値の約 2 分の 1 である。

【誤訳訂正 1 2】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 2 5

【訂正方法】変更

【訂正の内容】

【0 0 2 5】

図 6 B は、図 5 B の複合データワード 5 0 6 によって規定される選択されたグレイスケール値間のビット値および位相差を示す表である。6 3 / 2 5 5 の最大位相差は、グレイスケール値 3 1 ~ 3 2 , 6 3 ~ 6 4 , 9 5 ~ 9 6 , 1 2 7 ~ 1 2 8 , 1 5 9 ~ 1 6 0 , 1 9 1 ~ 1 9 2 間、およびグレイスケール値 2 2 3 ~ 2 2 4 間で生じる。従って、隣接するグレイスケール値間の最大位相差は、図 4 に示される 2 値重み割り当てされたデータワード値の約 4 分の 1 である。

【誤訳訂正 1 3】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 2 6

【訂正方法】変更

【訂正の内容】

【0 0 2 6】

隣接するグレイスケール値間の最大位相差の減少は、1 フレーム時間の間にピクセルセルに書き込まなければならないビット数の増加を犠牲にし得る。詳しくは、2 値重み割り当てされたデータワードから形成された複合データワードが、2 値重み割り当てされたデータワードと同じグレイスケール値を規定し得るために、2 値重み割り当てされたデータワードの ( X ) の最上位ビットを複合データワードの ( 2 X - 1 ) の均一に重み割り当てされたビットに変換しなければならない。例えば、2 値重み割り当てされたデータワード 5 0 2 の 2 つのビット ( B 7 および B 6 ) を複合データワード 5 0 4 ( 図 5 A ) の 3 つの均一に重み割り当てされたビット ( E B 3 、 E B 2 および E B 1 ) に変換したことを思い出されたい。同様に 2 値重み割り当てされたデータワード 5 0 2 の 3 つのビット ( B 7 、 B 6 および B 5 ) を複合データワード 5 0 6 ( 図 5 B ) の 7 つの均一に重み割り当てされたビット ( E B 7 ~ E B 1 ) に変換したことを思い出されたい。

【誤訳訂正 1 4】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 2 7

【訂正方法】変更

【訂正の内容】

## 【 0 0 2 7 】

2 値重み割り当てされたデータワードのより多くのビットを均一に重み割り当てされたビットに変換するにつれて、隣接するグレイスケール値間の最大位相差は減少し続ける。しかし、増加したビット数は、ディスプレイインターフェース帯域幅要件を増加させる。いくつかのシステムにおいて、インターフェース帯域幅により、隣接するグレイスケール値間の最大位相差を許容されるレベルまで減少するように十分な均一に重み割り当てされたビットの使用が妨げられる。

## 【 誤訳訂正 1 5 】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 2 8

【訂正方法】変更

【訂正の内容】

## 【 0 0 2 8 】

しかし隣接するグレイスケール値間の最大位相差は、複合データワードのグレイスケールの解像度（規定された値の数）を減少することによって、均一に重み割り当てされたビットの極めて高い数を加えることなく減少され得る。例えば、8 ビットの2 値重み割り当てされたデータワードは、2 5 6 個のグレイスケール値を規定し得る。一般に、 $(n)$  個の2 値重み割り当てされたデータビットは、 $2^n$  個のグレイスケール値を規定し得る。対照的に、 $(m)$  個の均一に重み割り当てされたデータビットは、 $(m+1)$  個のグレイスケール値を規定し得る。従って、 $(m)$  個の均一に重み割り当てされたデータビットからなる第1の群と $(n)$  の2 値重み割り当てされたデータビットからなる第2の群とを含む複合データワードは、 $(m+1)(2^n)$  個のグレイスケール値を規定し得る。従って、均一に重み割り当てされたデータビットの数 $(m)$  および2 値重み割り当てされたデータビットの数 $(n)$  は、グレイスケール値の適切な数を規定するように選択され得る。次いで、（例えば、2 値重み割り当てされた）第1のタイプのデータワードは、同様の値を有する複合データワード上にマッピングされ得る。複合データワードが、2 値重み割り当てされたデータワードによって規定される数の値より小さなグレイスケール値の数を規定し得るのみであれば、次いで1 つ以上の2 値重み割り当てされたデータワードが複合データワードのいくつかのマッピングされ得る。

## 【 誤訳訂正 1 6 】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 2 9

【訂正方法】変更

【訂正の内容】

## 【 0 0 2 9 】

図7 は、6 つの均一に重み割り当てされたデータビット（B 9 ~ B 4）および4 つの2 値重み付けされたデータビット（B 3 ~ B 0）を有する複合データワードによって規定される選択されたグレイスケール値間のビット値および位相差を示す表である。3 1 / 1 1 1 の最大位相差は、グレイスケール値1 5 ~ 1 6, 3 1 ~ 3 2, 4 7 ~ 4 8, 6 3 ~ 6 4, 7 9 ~ 8 0 および9 5 ~ 9 6 間で生じる。この最大位相差は、複合データワード5 0 6 の最大位相差（6 3 / 2 5 5、図6 B）に匹敵するが、2 つ少ないビットを有して達成される。しかし、図7 に示されるように、1 0 ビットの複合データワード（B 9 ~ B 0）は、1 1 2 の異なるグレイスケール値を規定し得るのみである。

## 【 誤訳訂正 1 7 】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 3 0

【訂正方法】変更

【訂正の内容】

## 【 0 0 3 0 】

図8 は、隣接するグレイレベル間の利用可能なグレイレベル数および最大位相差を示す

表 8 0 0 である。複合データワードの場合、種々の数の均一に重み割り当てされたデータビットおよび 2 値重み割り当てされたデータビットを用いる。上述したように、( m ) の均一に重み付けされたビットおよび ( n ) の 2 値重み割り当てされたビットを有する複合データワードは、( m + 1 ) ( 2 n ) のグレイスケール値を規定し得る。隣接するグレイスケール値間の最大位相差は、1 つの均一に重み割り当てされたビットおよび全 2 値重み割り当てされたビット内の時間間隔の合計数をフレーム時間内の時間間隔の合計数で除算することによって計算される。この簡略化した結果は以下のようになる。

【誤訳訂正 1 8】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 3 2

【訂正方法】変更

【訂正の内容】

【0 0 3 2】

この計算は、グレイスケール値が増加するにつれて、複合データワードの均一に重み割り当てされたビットが一様にインクリメントされ、1 つの均一に重み割り当てされたデータビットにより隣接するグレイスケールレベル間の位相外にあり得ると仮定する。例えば、図 7 のグレイスケール値 4 8 の場合、ビット B 6 ~ B 4 はハイであり、B 9 ~ B 7 はローであるということに留意されたい。ビット B 9 ~ B 4 が均一に重み割り当てされたものであるので、グレイスケール値 4 8 はまた、ビット B 9 ~ B 7 をハイで、およびビット B 6 ~ B 4 をローで書き込まれ得る。しかし、この別の表示は、グレイスケール 4 7 に対して位相外のグレイスケール値 4 8 の 6 つの均一に重み割り当てされたビットのうち 5 個を有し得る。

【誤訳訂正 1 9】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 3 3

【訂正方法】変更

【訂正の内容】

【0 0 3 3】

特定の関係は、表 8 0 0 から明らかである。まず、任意の全ビット数に対して、2 値重み割り当てされたデータビットの数が増加するにつれてグレイスケール値の数が増加し得る。従って、均一に重み割り当てされたデータビットの数が増加するにつれて、隣接するグレイスケール値間の最大位相差は減少する。所定のディスプレイの場合、特定の複合データスキーム（すなわち ( m ) ビットの均一に重み割り当てされたデータビットおよび ( n ) ビットの 2 値重み割り当てされたデータビットからなる特定の数）を選択し、それにより必要な数のグレイスケールレベルを提供し、許容可能な最大位相差を維持し、システムのインターフェース帯域幅内で作動する。例えば、特定のディスプレイにおいて、隣接するグレイスケール値間の位相差が 3 5 % を越える場合、可視アーチファクトが現れ、システムが異なる 8 0 のグレイスケールレベルを発生可能であるか必要があると仮定されたい。表 8 0 0 は、8 0 のグレイレベルが 4 つの均一に重み割り当てされたビットおよび 4 つの 2 値重み割り当てされたビット ( 4 , 4 ) を有する 8 ビットの複合データワードを用いて得られ得るということを示す。しかし、( 4 , 4 ) スキームは、約 3 9 . 2 % の最大位相差を有し、従ってこの例のシステムに許容不可能である。一方、5 つの均一データビットおよび 4 つの 2 値重み割り当てされたデータビット ( 5 , 4 ) を有する 9 ビットの複合データワードを用いることにより、9 6 のグレイレベルが得られ、3 2 . 6 % の許容可能な最大位相差を有し得る。

【誤訳訂正 2 0】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 3 4

【訂正方法】変更

【訂正の内容】

## 【 0 0 3 4 】

特定の実施形態において、フレーム時間は、以下のように複合データワードのビット間で割り当てられる。まず、各均一に重み割り当てされたビットに割り当てられた時間が、ディスプレイ全体に1ビットを書き込むのに要する時間となるように規定される。次いで、2値重み割り当てされたビットの最上位ビットに割り当てられた時間が、各均一に重み割り当てされたビットに割り当てられた時間の2分の1となるように規定される。例えば、ディスプレイ全体に1ビットを書き込むのに25単位時間間隔を必要とするシステムを考慮されたい。このシステムにおいて、複合データワード(6, 4)のビットへの時間割り当ては、以下のものである。6つの均一に重み割り当てされたビットのそれぞれが、25時間単位に、ピクセル電極上にアサートされる。均一に重み割り当てされたビットに割り当てられた単位時間数は、2の累乗である(すなわち、2, 4, 8, 16, 32, . . .)必要はないことに留意されたい。次いで4つの2値ビットが12.5、6.25、3.125、および1.5625の時間単位に、それぞれアサートされる。

## 【誤訳訂正21】

【訂正対象書類名】明細書

【訂正対象項目名】0035

【訂正方法】変更

【訂正の内容】

## 【 0 0 3 5 】

図9は、上記の複合データスキームを実行することが可能なディスプレイドライバ回路900のブロック図である。ディスプレイドライバ回路900は、複合データ発生器902と、入力制御器904、制御選択器906と、データプラナライザ(planarizer)908と、フレームバッファA910と、フレームバッファB912と、出力制御器914とを備える。ディスプレイドライバ回路900は、8ビット2値重み割り当てされたデータワードを、データ入力バス916を介して受けとり、水平同期(Hsync)、垂直同期(Vsync)および画素ドットクロック信号を入力端子918、920、922それぞれから受けとる。受信された2値重み割り当てされたデータワードをプラナライザされた複合データワードに変換した後、ドライバ回路900は、プラナライザされた複合データワードを、32ビットデータ出力バス924を介して、LCD制御バス926を介する制御信号と共にマイクロLCD928に転送する。マイクロLCD928は、図1に示される画素セルと同様に液晶画素セルのアレイ(1024行×768列)を備える。ディスプレイドライバ回路900は、コンピュータディスプレイおよびビデオプロジェクタを含む多くのシステムにおいて有用であるが、これらに限定されない。

## 【誤訳訂正22】

【訂正対象書類名】明細書

【訂正対象項目名】0036

【訂正方法】変更

【訂正の内容】

## 【 0 0 3 6 】

複合データ発生器902は、8ビット2値重み割り当てされたデータワードをデータ入力バス916を介して受け取り、2値重み割り当てされたデータワードを10ビット複合データワードに変換し、複合データバス936に複合データワードをアサートする。ある実施形態において、複合データ発生器902は、ランダムアクセスメモリ(RAM)であり、これは受け取った2値重み割り当てされたデータワードによって示されるメモリ位置から格納された複合データワードを読み出す。当業者は、他のメモリデバイス、例えば、リードオンリメモリ(ROM)、または、ルックアップテーブルがRAMに代用し得ることを理解する。別の実施形態において、複合データ発生器902は、算術論理ユニットを備え、算術論理ユニットは、受け取った2値重み割り当てされたデータワードで数学上の計算を行い、複合データワードを生成する。

## 【誤訳訂正23】

【訂正対象書類名】明細書

【訂正対象項目名】0040

【訂正方法】変更

【訂正の内容】

【0040】

データバス930からフレームバッファ910およびフレームバッファ912へのデータの転送は、また、制御選択器906と協調して入力制御器904によって制御される。入力制御器904は、入力制御バス938でフレームバッファ信号および選択線940でフレームバッファ選択信号(SEL)をアサートする。入力制御バス938は、書き込みイネーブル線とデータが書きこまれるメモリ位置を示すアドレス線とを含む。各メモリ位置は、画素セルの特定の群を意図する複合データワードの特定のビットに対応する。例えば、ある特定の32ビットメモリ位置は、画素0-31のそれぞれに対して第1の均一に重み割り当てされたデータビットを含む。

【誤訳訂正24】

【訂正対象書類名】明細書

【訂正対象項目名】0049

【訂正方法】変更

【訂正の内容】

【0049】

図11Aは、別の複合データ発生器1100の詳細なブロック図である。これは、2つの最上位2値重み割り当てされたビット(B7およびB6)を3つの均一に重み割り当てされたビット(EB1-EB3)に変換することによって8ビット2値重み割り当てされたデータワードから9ビット複合データを生成可能である。複合データ発生器1100は、8ビット2値重み割り当てされたデータワードを8ビット(B7:B0)データ入力バス1102を介して受け取り、2値重み割り当てされたビット線1104、第1の均一に重み割り当てされたビット(EB1)線1106、第2の均一に重み割り当てされたビット(EB2)線1108、および第3の均一に重み割り当てされたビット(EB3)線1110を含む出力バスで複合データワードをアサートする。生成された複合データワードは、受け取った2値重み割り当てされたデータワードのビットB5-B0を含むので、データ入力バス1102のビット線B5-B0は、2値重み割り当てされたビット線1104のビット線B5-B0にそれぞれ結合される。

【誤訳訂正25】

【訂正対象書類名】明細書

【訂正対象項目名】0051

【訂正方法】変更

【訂正の内容】

【0051】

図11Bは、3つの最上位の2値重み割り当てされたビット(B7、B6およびB5)を7つの均一に重み割り当てされたビット(EB1-EB7)に変換することにより、8ビットの2値重み割り当てされたデータワードから12ビット複合データワードを生成可能な別の複合データ発生器1140を詳述するブロック図である。複合データ発生器1140は、8ビット(B7:B0)データ入力バス1142を介して8ビットの2値重み割り当てされたデータワードを受け取り、2値重み割り当てされたビットライン1144、第1の均一に重み割り当てされたビット(EB1)ライン1146、第2の均一に重み割り当てされたビット(EB2)ライン1148、第3の均一に重み割り当てされたビット(EB3)ライン1150、第4の均一に重み割り当てされたビット(EB4)ライン1152、第5の均一に重み割り当てされたビット(EB5)ライン1154、第6の均一に重み割り当てされたビット(EB6)ライン1156、第7の均一に重み割り当てされたビット(EB7)ライン1158を含む出力バス上で複合データワードをアサートする。生成された複合データワードが、受けとった2値重み付けされたデータワードのビット

B 4 - B 0を含むので、データ入力バス 1 1 4 2 のビットライン B 4 - B 0 が、2 値重み割り当てされたビットライン 1 1 4 4 の B 4 - B 0 とそれぞれ接続される。

【誤訳訂正 2 6】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 5 2

【訂正方法】変更

【訂正の内容】

【0 0 5 2】

複合データ発生器 1 1 4 0 は、第 1 の OR ゲート 1 1 6 0、第 2 の OR ゲート 1 1 6 2、第 3 の OR ゲート 1 1 6 4、第 4 の OR ゲート 1 1 6 6、第 1 の AND ゲート 1 1 6 8、第 2 の AND ゲート 1 1 7 0、第 3 の AND ゲート 1 1 7 2 および第 4 の AND ゲート 1 1 7 4 をさらに含み、以下のように、均一に重み割り当てされたビット E B 1 - E B 7 を生成する。E B 1 は、ビット B 7、B 6 および B 5 を論理結合するために接続された第 1 の OR ゲート 1 1 6 0 によって生成され、E B 1 ライン 1 1 4 6 上で結果 ( B 7 OR B 6 OR B 5 ) をアサートする。E B 2 は、ビット B 7 および B 6 を論理結合するために接続された第 2 の OR ゲート 1 1 6 2 によって生成され、E B 2 ライン 1 1 4 8 上で結果 ( B 7 OR B 6 ) をアサートする。E B 3 は、ビット B 5、B 6 を論理結合するために接続された第 1 の AND ゲート 1 1 6 8 およびビット B 7 と第 1 の AND ゲート 1 1 6 8 の出力を論理結合するために接続された第 3 の OR ゲート 1 1 6 4 によって生成され、E B 3 ライン 1 1 5 0 上で結果 ( [ B 6 AND B 5 ] OR B 7 ) をアサートする。E B 4 は、データ入力バス 1 1 4 2 ( E B 4 = B 7 ) のビットライン B 7 を E B 4 ライン 1 1 5 2 に接続することによって生成される。E B 5 は、ビット B 5、B 6 を論理結合するために接続された第 4 の OR ゲート 1 1 6 6 およびビット B 7 と第 4 の OR ゲート 1 1 6 6 の出力を論理結合するために接続された第 2 の AND ゲート 1 1 7 0 によって生成され、E B 5 ライン 1 1 5 4 上で結果 ( [ B 6 OR B 5 ] AND B 7 ) をアサートする。E B 6 は、ビット B 7 および B 6 を論理結合するために接続された第 3 の AND ゲート 1 1 7 2 によって生成され、E B 6 ライン 1 1 5 6 上で結果 ( B 7 AND B 6 ) をアサートする。E B 7 は、B 7、B 6 および B 5 を論理結合するために接続された第 4 の AND ゲート 1 1 7 4 によって生成され、E B 7 ライン 1 1 5 8 上で結果 ( B 7 AND B 6 AND B 5 ) をアサートする。

【誤訳訂正 2 7】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 5 3

【訂正方法】変更

【訂正の内容】

【0 0 5 3】

当業者は、任意の等価論理回路が上記で説明された複合データ発生器 1 1 4 0 の論理ゲートと置き換えられ得ることを理解する。当業者はまた、別の複合データ発生器 1 1 0 0 または別の複合データ発生器 1 1 4 0 を用いるために、ディスプレイドライバ回路 9 0 0 がルーチン変更 (例えば、9 ビットまたは 1 2 ビット複合データワードをプラナライジング ( p l a n a r i z i n g ) することのできるプラナライザ ( p l a n a r i z e r ) ) を要求され得ることを理解する。さらに、この開示を鑑みて、当業者は、組み合わせられた論理が、2 値重み割り当てされたデータビットの任意の数 ( X ) から ( 2 X - 1 ) の均一に重み割り当てされたデータビットを生成するために用いられ得ることを理解し得る。

【誤訳訂正 2 8】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 5 4

【訂正方法】変更

【訂正の内容】

【0 0 5 4】



図12は、本発明における別のディスプレイドライバ回路1200を示すブロック図である。ディスプレイドライバ回路1200は、複合データ発生器1202、入力制御器1204、制御セクタ906、データプラナライザ1208、フレームバッファA1210、フレームバッファB1212および出力制御器1214を備える。ディスプレイドライバ回路1200は、データ入力バス916を介して8ビット2値重み割り当てされたデータワードを受け取り、入力端子918、920および922を介して水平同期(Hsync)、垂直同期(Vsync)およびピクセルドットクロック信号をそれぞれ受け取る。受け取った2値重み割り当てされたデータワードをプラナライズされた複合データワードに変換した後、ドライバ回路1200は、プラナライズされた複合データワードを、32ビットデータ出力バス924を介してLCD制御バス926を介して制御信号とともにマイクロLCD928へ伝送する。

【誤訳訂正29】

【訂正対象書類名】明細書

【訂正対象項目名】0056

【訂正方法】変更

【訂正の内容】

【0056】

データプラナライザ1208は、データ入力バス916を介して8ビットデータワードにおいて2値重み割り当てされたデータを受け取り、それぞれの8ビット(Pr[0-7])は、マイクロLCD928の特定のピクセル(pixel(r))へ書き込まれるグレイスケール値に対応する。データプラナライザ1208は、32ピクセルのための8ビットグレイスケールを累積し、データを32ビットデータワードに再フォーマットし、それぞれの32ビットワードは、32の8ビット2値重み割り当てされたデータワードからなる群それぞれからの1つのビットを含む。例えば、ビットP0[0]-P31[0]により形成される32ビットワードは、ピクセル0-31のための2値重み割り当てされたデータワードの最下位ビットを含む。なぜなら、それは8ビットデータをプラナライズし、10ビット幅データプラナライザ908に対してデータプラナライザ1208は8ビット幅のみを必要とするからであり、従って、およそ20%の有益なサイズ削減をすることが可能である。

【誤訳訂正30】

【訂正対象書類名】明細書

【訂正対象項目名】0057

【訂正方法】変更

【訂正の内容】

【0057】

入力制御器1204はHsyncおよびVsync信号を用い、データ入力バス916からデータプラナライザ1208への2値重み割り当てされたデータの伝送、およびデータプラナライザ1208から32ビットデータバス930を介してフレームバッファA1210およびB1212へのプラナライズされたデータの伝送を調整する。データ入力バス916上の有効データを含むVsyncおよびHsync信号に応答して、入力制御器1204は、制御ラインDIR932およびCLK934上で信号をアサートし、データをデータプラナライザ1208の中へおよび外へクロックさせる(clock into and out)。入力制御器1204は、入力制御器1204が32の8ビットワードをデータプラナライザ1208の中へクロックし、8の32ビットワードとしてデータをクロックアウトする(clock the data out)ことを除いては、実質的に入力制御器904と同一である。従って、複合データのプラナライゼーションと比較して、およそ5%以下のクロックサイクルが2値重み割り当てされたデータをプラナライズするのに必要である。

【誤訳訂正31】

【訂正対象書類名】明細書

【訂正対象項目名】 0 0 6 0

【訂正方法】 変更

【訂正の内容】

【 0 0 6 0 】

出力制御器 1 2 0 4 は、出力制御器 9 1 4 に関して上記したように、フレームバッファ A 1 2 1 0 およびフレームバッファ B 1 2 1 2 からのデータの出力を制御し、LCD 制御バス 9 2 6 を介してディスプレイ制御信号をマイクロ LCD 9 2 8 へ供給する。出力制御器 1 2 1 4 はさらに、制御信号を制御バス 1 2 5 6 を介して複合データ発生器 1 2 0 2 へ供給し、それらは 2 値 重み割り当てされたデータを複合データへ変換するために用いられる。制御バス 1 2 5 6 内のビットラインの数は、以下に示されるように、均一に 重み割り当てされたデータビットへ変換される 2 値 重み割り当てされたデータビットの数に依存する。複合データ発生器 1 2 0 2 は、3 2 ビットプラナライズされた 2 値 重み割り当てされたデータをデータバス 1 2 2 4 を介して受け取り、プラナライズされた 2 値 重み割り当てされたデータをプラナライズされた複合データを生成するために用い、プラナライズされた複合データを複合データ出力バス 9 2 4 上でアサートし、全ては出力制御器 1 2 1 4 の制御下で行われる。必要な制御信号を供給する出力制御器 1 2 1 4 のプログラミングは、特に以下に提供される複合データ発生器 1 2 0 2 の詳細な説明を考慮して、当業者の裁量によって適切になされる。

【誤訳訂正 3 2】

【訂正対象書類名】 明細書

【訂正対象項目名】 0 0 6 1

【訂正方法】 変更

【訂正の内容】

【 0 0 6 1 】

図 1 3 は、ラインバッファ 1 3 0 2 および論理アレイ 1 3 0 4 を含む、複合データ発生器 1 2 0 2 をより詳細に示すブロック図である。本実施の形態の複合データ発生器 1 2 0 2 は、2 値 重み割り当てされたデータの 2 つの最上位ビット (B 7 および B 6) から 3 つの均一に 重み割り当てされたデータビット (E B 1、E B 2 および E B 3) を生成する。3 ビット制御バス 1 2 5 6 の 1 つのライン 1 3 0 6 を介して受け取られた制御信号に応答して、ラインバッファ 1 3 0 2 は、データバス 1 2 2 4 を介して、3 2 の隣接ピクセルを対象としたデータの最上位 2 値 重み割り当てされたビット (B 7) から構成されている 3 2 ビットのプラナライズされた 2 値 重み割り当てされたデータワードを受け取る。ラインバッファ 1 3 0 2 は、データを格納し、データライン 1 3 0 8 上で格納された 3 2 ビットデータワードをアサートする。そして、出力制御器 1 2 1 4 (図 1 2) からの制御信号に応答して、フレームバッファ A 1 2 1 0 またはフレームバッファ B 1 2 1 2 の何れかが、データバス 1 2 2 4 上で、同一の 3 2 の隣接ピクセルを対象とした、次に最上位 2 値 重み割り当てされたビット (B 6) から構成される 3 2 ビットデータワードをアサートする。最後に、制御バス 1 2 5 6 の 2 つのライン 1 3 1 0 を介して受け取られた制御信号に応答して、論理アレイ 1 3 0 4 は 2 値 重み割り当てされたビット (B 7 および B 6) を論理的に組み合わせ、均一に 重み割り当てされたビット (E B 1 - E B 3) のうちの 1 つを生成し、データ出力バス 9 2 4 上で均一に 重み割り当てされたビットをアサートする。

【誤訳訂正 3 3】

【訂正対象書類名】 明細書

【訂正対象項目名】 0 0 6 2

【訂正方法】 変更

【訂正の内容】

【 0 0 6 2 】

論理アレイ 1 3 0 4 もまた、データ出力バス 9 2 4 上で最下位 2 値 重み割り当てされたデータビット (B 5 - B 0) をアサートする。特に、出力制御器 1 2 1 4 から制御バス 1 2 5 6 の 2 つのライン 1 3 1 0 を介して受け取られた制御信号に応答して、論理アレイ 1

3 0 4 は、データバス 1 2 2 4 をデータ出力バス 9 2 4 に選択的に接続する。従って、フレームバッファ A 1 2 1 0 および B 1 2 1 2 によってデータバス 1 2 2 4 上でアサートされた 2 値重み割り当てされたビットは、また、データ出力 9 2 4 上でアサートされる。

【誤訳訂正 3 4】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 6 5

【訂正方法】変更

【訂正の内容】

【0 0 6 5】

このような構成で、論理アレイ 1 3 0 4 は複合データワードの各ビットを出力し得る。B 7 および B 6 が、それぞれデータライン 1 3 0 8 およびデータバス 1 2 2 4 上でアサートされるとき、マルチプレクサ 1 4 0 6 は、所望の論理的組み合わせに対応して、データ出力バス 9 2 4 を入力端子セット 1 4 2 0、1 4 2 2 または 1 4 2 4 の 1 つと選択的に接続することによって、均一に重み割り当てされたビット E B 1 - E B 3 を出力する。特に、第 1 の入力端子セット 1 4 2 0 は E B 1 ( E B 1 = B 7 OR B 6 ) に対応し、第 2 の入力端子セット 1 4 2 2 は E B 2 ( E B 2 = B 7 ) に対応し、第 3 の入力端子セット 1 4 2 4 は E B 3 ( E B 3 = B 7 AND B 6 ) に対応する。マルチプレクサ 1 4 0 6 は、フレームバッファ A 1 2 1 0 または B 1 2 1 2 の 1 つがデータバス 1 2 2 4 上の 1 つの 2 値重み割り当てされたビット B 5 - B 0 のうちの 1 つをアサートしている場合、入力端子セット 1 4 2 6 をデータ出力バス 9 2 4 と選択的に接続することによって 2 値重み割り当てされたビットを出力する。

【誤訳訂正 3 5】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 6 6

【訂正方法】変更

【訂正の内容】

【0 0 6 6】

図 1 5 は、2 つの 2 値重み割り当てされたデータビット ( B 7 および B 6 ) から 3 つの均一に重み割り当てされたデータビット ( E B 1 , E B 2 , および E B 3 ) を生成する方法 1 5 0 0 を示すフローチャートである。方法 1 5 0 0 は、複合データ発生器 1 2 0 2 の観点から説明する。しかし当業者は、複合データ発生器 1 2 0 2 が、フレームバッファ A 1 2 1 0 および B 1 2 1 2 と同様に出力制御器 1 2 1 4 の制御下で駆動することを認識する。例えば、複合データ発生器 1 2 0 2 がデータビット ( 例えば B 7 ) のラインを「読み出す」ために、出力制御器 1 2 1 4 は、制御信号をフレームバッファの A 1 2 1 0 または B 1 2 1 2 の 1 つに供給しなければならず、それにより B 7 がデータバス 1 2 2 4 上でアサートされ、また出力制御器 1 2 1 4 は、制御信号を複合データ発生器 1 2 0 2 に供給し、そのためラインバッファ ( l i n e b u f f e r ) 1 3 0 2 がアサートされたデータをロードする。

【誤訳訂正 3 6】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 6 7

【訂正方法】変更

【訂正の内容】

【0 0 6 7】

第 1 工程 1 5 0 2 において、出力制御器 1 2 1 4 は、第 1 の均一に重み割り当てされたビット ( E B 1 ) が生成されるか否かを判定する。E B 1 が生成される場合、続く第 2 工程 1 5 0 4 において複合データ発生器がラインバッファ 1 3 0 2 内の B 7 を読み出す。次に第 3 工程 1 5 0 6 において、複合データ発生器 1 2 0 2 は B 6 を読み出す ( すなわちフレームバッファ A 1 2 1 0 または B 1 2 1 2 は、データバス 1 2 2 4 上に B 6 をアサートする ) 。次いで第 4 工程 1 5 0 8 において、OR ゲート 1 4 0 2 は、E B 1 を生成するた

めに B 7 および B 6 を論理的に組み合わせ、そして第 5 工程 1 5 1 0 においてマルチプレクサ 1 4 0 6 は、第 1 の入力端子セット 1 4 2 0 とデータ入力バス 9 2 4 とを結合することにより E B 1 を出力し、その後、方法 1 5 0 0 は終了する。

【誤訳訂正 3 7】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 6 8

【訂正方法】変更

【訂正の内容】

【0 0 6 8】

第 1 工程 1 5 0 2 において出力制御器 1 2 1 4 は、E B 1 が生成されないことを判定する場合、続く第 6 工程 1 5 1 2 において出力制御器 1 2 1 4 は、第 2 の均一に重み割り当てされたビット (E B 2) が生成されるか否かを判定する。E B 2 が生成される場合、続く第 7 工程 1 5 1 4 において複合データ発生器 1 2 0 2 は、ラインバッファ 1 3 0 2 内に B 7 を読み出す。次に第 8 工程 1 5 1 6 において、論理アレイ 1 3 0 4 は、B 7 に等しい E B 2 (データライン 1 3 0 8 に結合した入力端子 1 4 2 2 の第 2 の組) をセットする。次いで方法 1 5 0 0 は第 5 工程 1 5 1 0 に進み、マルチプレクサ 1 4 0 6 は、第 2 の入力端子セット 1 4 2 2 をデータ出力バス 9 2 4 に結合することによって E B 2 を出力し、その後、方法 1 5 0 0 は終了する。

【誤訳訂正 3 8】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 6 9

【訂正方法】変更

【訂正の内容】

【0 0 6 9】

第 6 工程 1 5 1 2 において出力制御器 1 2 1 4 は、E B 2 が生成されないことを判定する場合、続く第 9 工程 1 5 1 8 において、出力制御器 1 2 1 4 は、第 3 の均一に重み割り当てされたビット (E B 3) が生成されるか否かを判定する。E B 3 が生成される場合、続く第 1 0 工程 1 5 2 0 において、複合データ発生器は、バッファ 1 3 0 2 内に B 7 を読み出し、第 1 1 工程 1 5 2 2 において B 6 を読み出す。次いで第 1 2 工程 1 5 2 4 において AND ゲート 1 4 1 6 は、E B 3 を生成するために B 7 と B 6 を論理的に組み合わせる。さらに方法 1 5 0 0 は第 5 工程 1 5 1 0 に進み、マルチプレクサ 1 4 0 6 は、第 3 の入力端子セット 1 4 2 4 とデータ入力バス 9 2 4 とを結合することによって E B 3 を出力する。第 9 工程 1 5 1 8 において、出力制御器は E B 3 が生成しないと判定する場合、次いで方

法 1 5 0 0 は、第 1 工程 1 5 0 2 に戻る。

【誤訳訂正 3 9】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 7 0

【訂正方法】変更

【訂正の内容】

【0 0 7 0】

図 1 6 は、代替複合データ発生器 1 2 0 2 A をより詳細に示すブロック図であり、第 1 のラインバッファ 1 6 0 2、第 2 のラインバッファ 1 6 0 4、および論理アレイ 1 6 0 6 を含む。複合データ発生器 1 2 0 2 A のこの実施態様は、2 値重み割り当てされたデータから成る 3 つの最上位ビット (B 7 - B 5) から 7 つの均一に重み割り当てされたデータビット (E B 1 - E B 7) を生成する。5 ビット制御バス 1 2 5 6 A の 2 つのライン 1 6 0 8 を介して受信された制御信号に応答して、第 1 ラインバッファ 1 6 0 2 および第 2 ラインバッファ 1 6 0 4 は、データバス 1 2 2 4 を介して、最上位 2 値重み割り当てされたビット (B 7) およびその次の最上位 2 値重み割り当てされたビット (B 6) それぞれから構成される 3 2 ビット平坦化された 2 値重み割り当てされたデータを受信する。ライン

バッファ 1 6 0 2 および 1 6 0 4 はデータを格納し、データライン 1 6 1 0 およびデータライン 1 6 1 2 それぞれに格納された 3 2 ビットデータワードをアサートする。出力制御器 1 2 1 4 ( 図 1 2 ) からの制御信号に応答して、フレームバッファ A 1 2 1 0 またはフレームバッファ B 1 2 1 2 のいずれかは、データバス 1 2 2 4 上に次の最上位 2 値 重み割り当てされたビット ( B 5 ) から構成される 3 2 ビットデータワードをアサートする。最終的に、制御バス 1 2 5 6 A の 3 つのライン 1 6 1 4 を介して受信された制御信号に応答して、論理アレイ 1 6 0 6 は、2 値 重み割り当てされたビット ( B 7 - B 5 ) を論理的に組み合わせ、均一に 重み割り当てされたビット ( E B 1 - E B 7 ) の 1 つを生成し、データ出力バス 9 2 4 上の均一に 重み割り当てされたビットをアサートする。

【誤訳訂正 4 0】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 7 1

【訂正方法】変更

【訂正の内容】

【0 0 7 1】

論理アレイ 1 6 0 6 はまた、データ出力バス 9 2 4 上で有効でない 2 値 重み割り当てされたデータビット ( B 4 - B 0 ) をアサートする。特に制御バス 1 2 5 6 A の 3 つのライン 1 6 1 4 を介して出力制御器 1 2 1 4 から受信された制御信号に応答して、論理アレイ 1 6 0 6 は、選択的にデータバス 1 2 2 4 とデータ出力バス 9 2 4 とを結合する。従って、フレームバッファ A 1 2 1 0 および B 1 2 1 2 によってデータバス 1 2 2 4 上にアサートされた 2 値 重み割り当てされたビットはまた、データ出力バス 9 2 4 上にアサートされる。

【誤訳訂正 4 1】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 7 3

【訂正方法】変更

【訂正の内容】

【0 0 7 3】

論理アレイ 1 6 0 6 は以下のような均一に 重み割り当てされたビット ( E B 1 - E B 7 ) を生成する。E B 1 は、第 1 O R ゲート 1 7 0 2 によって生成され、第 1 O R ゲート 1 7 0 2 は、ビット B 7、B 6 および B 5 を論理的に組み合わせて結合し、マルチプレクサ 1 7 1 8 の第 1 の入力端子セット 1 7 2 0 上の結果 ( B 7 O R B 6 O R B 5 ) をアサートする。E B 2 は、第 2 O R ゲート 1 7 0 4 によって生成され、その第 2 O R ゲート 1 7 0 4 は、B 7 および B 6 を論理的に組み合わせて結合し、マルチプレクサ 1 7 1 8 の第 2 の入力端子セット 1 7 2 2 上の結果 ( B 7 O R B 6 ) をアサートする。E B 3 は、第 1 A N D ゲート 1 7 1 0 および第 3 の O R ゲート 1 7 0 6 によって生成され、その第 1 A N D ゲート 1 7 1 0 は、ビット B 5 および B 6 を論理的に組み合わせるために接続され、第 3 の O R ゲート 1 7 0 6 は、B 7 を有する第 1 A N D ゲート 1 7 1 0 の出力とビット B 7 とを論理的に組み合わせるために接続され、マルチプレクサ 1 7 1 8 の第 3 の入力端子セット 1 7 2 4 上の結果 ( [ B 6 A N D B 5 ] O R B 7 ) をアサートする。E B 4 は、データライン 1 6 1 0 ( E B 4 = B 7 ) をマルチプレクサ 1 7 1 8 の第 4 入力端子セット 1 7 2 6 に結合することによって生成される。E B 5 は、第 4 O R ゲート 1 7 0 8 および第 2 A N D ゲート 1 7 1 2 によって生成され、その第 1 O R ゲート 1 7 0 8 は、ビット B 5 および B 6 と論理的に組み合わせるために接続され、第 2 A N D ゲート 1 7 1 2 は、第 4 O R ゲートの出力とビット B 7 とを論理的に結合するために接続され、マルチプレクサ 1 7 1 8 の第 5 の入力端子セット 1 7 2 8 上の生成物 ( [ B 6 O R B 5 ] A N D B 7 ) をアサートする。E B 6 は、第 3 A N D ゲート 1 7 1 4 によって生成され、その第 3 A N D ゲート 1 7 1 4 は、B 7 および B 6 と論理的に組み合わせて接続され、マルチプレクサ 1 7 1 8 の第 6 の入力端子セット 1 7 3 0 上の結果 ( B 7 A N D B 6 ) をアサートする。E B 7 は、第 4 A N D ゲート 1 7 1 6 によって生成され、その第 4 A N

Dゲート1716は、B7、B6、およびB5と論理的に結合し、マルチプレクサ1718の第7の入力端子セット1732上の結果(B7 AND B6 AND B5)をアサートする。制御バス1256Aの3つのライン1614を介して受信された制御信号に応答して、マルチプレクサ1718は、データ出力バス924上のビットEB1 - EB7を選択的にアサートする。

【誤訳訂正42】

【訂正対象書類名】明細書

【訂正対象項目名】0074

【訂正方法】変更

【訂正の内容】

【0074】

2値重み割り当てされたビット(B4 - B0)は、マルチプレクサ1718の第8入力末端セット1734をデータバス1224に結合することによって生成される。制御バス1256Aの3つのライン1614を介して受信された制御信号に応答して、マルチプレクサ1718は、第8の入力端子セット1734をデータ出力バス924に結合し、そのためビットB4 - B0が、フレームバッファA1210またはB1212の1つによってデータバス1224上にアサートされる場合、ビットB4 - B0はまた、データ出力バス924上にアサートされる。

【誤訳訂正43】

【訂正対象書類名】明細書

【訂正対象項目名】0075

【訂正方法】変更

【訂正の内容】

【0075】

図18は、3つの2値重み割り当てされたデータビット(B7 - B5)から7つの均一に重み付けされたデータビット(EB1 - EB7)を生成するための方法1800を示すフローチャートである。第1工程1802において、出力制御器1214は、第1の均一に重み付けされたビット(EB1)が生成されるか否かを判定する。EB1が生成される場合、続く第2工程1804において、複合データ発生器1202Aは、ラインバッファ1602内にB7を読み出し、そして第3工程1806においてラインバッファ1604内にB6を読み出す。次に第4工程1808において、複合データ発生器1202Aは、B5を読み出す(すなわちフレームバッファA1210またはB1212はデータバス1224上でB6をアサートする)。従って、第15工程1810において、ORゲート1702は、EB1を生成するために論理的にB7、B6、およびB5に組み合わせ、そして第6工程1812において、マルチプレクサ1718は、第1の入力端子セット1720とデータ出力バス924とを接続することによってEB1を出力し、その後、方法1800は終了する。

【誤訳訂正44】

【訂正対象書類名】明細書

【訂正対象項目名】0076

【訂正方法】変更

【訂正の内容】

【0076】

第1工程1802において、出力制御器1214は、EB1が生成されないことを判定する場合、次いで第7工程1814において、出力制御器1214は、第2の均一に重み割り当てされたビット(EB2)が生成するか否かを判定する。EB2が生成する場合、第8工程1816において、複合データ発生器1202Aはラインバッファ1602内にB7を読み出し、そして第9工程1818において、ラインバッファ1604内にB6を読み出す。次に第10工程1820において、ORゲート1704は、EB2を生成するためにB7およびB6に論理的に組み合わせる。次いで方法1800は、第6工程181

2に進み、マルチプレクサ1718は、第2の入力端子セット1722とデータ出力バス924とを結合することによって、EB2を出力し、その後、方法1800は、終了する。

【誤訳訂正45】

【訂正対象書類名】明細書

【訂正対象項目名】0077

【訂正方法】変更

【訂正の内容】

【0077】

第7工程1814において、出力制御器1214は、EB2が生成されないことを判定する場合、続く第11工程1822において、出力制御器1214は、第3の均一に重み割り当てされたビット(EB3)が生成されるか否かを判定する。EB3が生成される場合、続く第12工程1824において、複合データ発生器1202Aは、ラインバッファ1602内にB7を読み出し、第13工程1826において、ラインバッファ1604内にB6を読み出す。次に第14工程1828において、複合データ発生器1202Aは、B5を読み出す。次いで、第15工程1830においてORゲート1706およびANDゲート1710は、EB3を生成するためにB7、B6、およびB5に論理的に組み合わせ、方法1800は、第6工程1812に進み、マルチプレクサ1718は、第3の入力端子セット1724とデータ出力バス924とを結合することによってEB3を出力し、その後方法1800は終了する。

【誤訳訂正46】

【訂正対象書類名】明細書

【訂正対象項目名】0078

【訂正方法】変更

【訂正の内容】

【0078】

第11工程1822において、出力制御器1214は、EB3が生成されないことを判定する場合、続く第16工程1832において、出力制御器1214は、第4の均一に重み付けされたビット(EB4)が生成されるか否かを判定する。EB4が生成された場合、次いで第17工程1834において、複合データ発生器1202Aは、ラインバッファ1602内にB7を読み出し、第18工程1836において、論理アレイ1606は、B7に等しいB4(データライン1610に結合された第4組の入力端子1726)に設定する。次に方法1800は、第6工程1812に進み、マルチプレクサ1718は、第4の入力端子セット1726をデータ出力バス924に結合することによってEB4を出力し、その後方法1800は終了する。

【誤訳訂正47】

【訂正対象書類名】明細書

【訂正対象項目名】0080

【訂正方法】変更

【訂正の内容】

【0080】

第19工程1838において、出力制御器1214は、EB5が、生成されないことを判定する場合、次いで、第24工程1848において、出力制御器1214は、第6の均一に重み割り当てされたビット(EB6)が生成されるか否かを判定する。EB6が生成された場合、次いで第25工程1850において、複合データ発生器1202Aは、ラインバッファ1602内にB7を読み出し、第26工程1852において、B6をラインバッファ1604内に読み出す。次に第27工程1854において、ANDゲート1714は、EB6を生成するためにB7およびB6を論理的に組み合わせる。次いで方法1800は、第6工程1812に進み、マルチプレクサ1718は、第6の入力端子セット1730をデータ出力バス924に結合することによってEB6を出力し、その後方法1800

0 は終了する。

【誤訳訂正 48】

【訂正対象書類名】明細書

【訂正対象項目名】0081

【訂正方法】変更

【訂正の内容】

【0081】

第24工程1848において、出力制御器1214は、EB6が、生成されないことを判定する場合、続く第28工程1856において、出力制御器1214は、第7の均一に重み割り当てされたビット(EB7)が生成されるか否かを判定する。EB7が生成された場合、次いで第29工程1858において、複合データ発生器1202Aは、ラインバッファ1602内にB7を読み出し、第30工程1860において、B6をラインバッファ1604内に読み出す。次に第31工程1862において、複合データ発生器1202AはB5を読み出す。続く第32工程1864においてANDゲート1716は、EB7を生成するためにB7、B6、およびB5を論理的に組み合わせ、そして方法1800は、第6工程1812に進み、マルチプレクサ1718は、第7の入力端子セット1732をデータ出力バス924に結合することによってEB7を出力し、その後方法1800は終了する。第28工程1856において出力制御器はEB7が生成しないことを判定する場合、次いで方法1800が第1工程1802に戻る。

【誤訳訂正 49】

【訂正対象書類名】明細書

【訂正対象項目名】0082

【訂正方法】変更

【訂正の内容】

【0082】

図19は、本発明による代替的ディスプレイ駆動回路1900のブロック図である。ディスプレイ駆動回路1900は、出力制御器1902および複合データ発生器1904を含む。2値重み割り当てされたデータワードを複合データワードに変換し、図9の複合データ発生器902と対照的に、その発生器は、複合データ発生器1904は、所望の表示を生成するために必要な複合データワードと共にプリロードされる。出力制御器1902は、出力制御バス1908およびディスプレイ制御バス1910それぞれを介して、制御信号を複合データ発生器1904およびディスプレイ1906に供給し、実質的に上述のように出力制御器914に関して、複合データ発生器1904からディスプレイ1906までのデータの転送を制御する。

【誤訳訂正 50】

【訂正対象書類名】明細書

【訂正対象項目名】0083

【訂正方法】変更

【訂正の内容】

【0083】

入来の2値重み割り当てされたデータワードを複合データワードに変換する必要がないため、ディスプレイ駆動回路1900は、ディスプレイ駆動回路900よりも複雑ではなく、表示される画像は、前もって格納されるアプリケーションにおいて有用である(例えば広告に繰り返し表示する信号)。

【誤訳訂正 51】

【訂正対象書類名】明細書

【訂正対象項目名】0084

【訂正方法】変更

【訂正の内容】

【0084】



本発明の特定の実施態様の記載はここで終了する。多くの記載された特徴は、本発明の範囲から逸脱することなく置換、変更または省略され得る。例えば、他のタイプ（即ち2値重み割り当てされたもの以外）のデータは複合データに変換され得る。さらに、複合データワードは、ビットから成る3つ以上の群から形成され得る。例えば複合データワードは、2値重み割り当てされたビットの第1群、均一に重み割り当てされたビットの第2群、および均一に重み割り当てされたビットの第2群よりも異なる有効を有する均一に重み割り当てされたビットの第3群を含み得る。さらに複合データ利用は、液晶ディスプレイに限定されない。むしろ複合データは、隣接データ値の間の位相差を減少することが望ましいいかなる場合でも有益に使用され得る。