

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成25年7月4日(2013.7.4)

【公開番号】特開2011-95740(P2011-95740A)

【公開日】平成23年5月12日(2011.5.12)

【年通号数】公開・登録公報2011-019

【出願番号】特願2010-226942(P2010-226942)

【国際特許分類】

G 09 G 3/36 (2006.01)

G 09 G 3/20 (2006.01)

G 02 F 1/133 (2006.01)

【F I】

G 09 G 3/36

G 09 G 3/20 6 4 1 A

G 09 G 3/20 6 4 1 E

G 02 F 1/133 5 5 0

G 02 F 1/133 5 7 5

G 09 G 3/20 6 4 1 F

【誤訳訂正書】

【提出日】平成25年5月20日(2013.5.20)

【誤訳訂正1】

【訂正対象書類名】特許請求の範囲

【訂正対象項目名】全文

【訂正方法】変更

【訂正の内容】

【特許請求の範囲】

【請求項1】

複合データワードをディスプレイの画素に書き込むためのディスプレイドライバ回路であ  
て、

前記複合データワードは、1群の2値重み割り当てされたデータビットと、1群の2値と  
は異なる重み割り当てがされたデータビットとを含み、該複合データワードは、前記1群  
の2値とは異なる重み割り当てがされたデータビットと、前記1群の2値重み割り當  
てされたデータビットとによって、少なくとも部分的に規定される値を有しており、  
前記ディスプレイドライバ回路は、

2値重み割り当てされたデータワードを受け取り、該2値重み割り当てされたデータワー  
ドを前記複合データワードへと変換し、該複合データを出力に供給するように構成された  
複合データ発生器と、

ディスプレイ制御信号を出力に供給するように構成された出力制御器と、  
を含んでおり、

前記ディスプレイは、前記ディスプレイ制御信号に応答して、前記1群の2値とは異なる  
重み割り当てがされたデータビットの各ビットを、前記画素で関連付けられた期間アサー  
トし、前記1群の2値重み割り当てされたデータビットの各ビットを、前記画素で各2値  
重み割り当てされたビットに関連付けられ、ビットがピクセル電極にアサート可能な時間  
量によって定められる重みに応じた期間アサートし、この結果、前記画素の出力が、前記  
複合データワードの前記値に対応するようになっており、

前記複合データワードは、前記2値重み割り当てされたデータワードよりも多くのグレイ  
スケール値を定義する、

ことを特徴とするディスプレイドライバ回路。

**【請求項 2】**

複合データワードを表示画素に書き込むためのディスプレイドライバ回路であり、前記複合データワードは、2値とは異なる重み割り当てスキームを有する第1のデータビット群と、2値重み割り当てスキームを有する第2のデータビット群とを含んでおり、前記ディスプレイドライバ回路は、第1のタイプのデータワードを受け取り、該第1のタイプのデータワードを前記複合データワードに変換し、該複合データワードを出力に供給するように構成された複合データワード発生器と、ディスプレイ制御信号を供給するように構成された出力制御器と、を含んでおり、前記ディスプレイ制御信号は、前記第1のデータビット群の各ビットを、前記表示画素で関連付けられた期間アサートさせ、前記第2のデータビット群の各ビットを、前記表示画素で各々前記ビットに関連付けられ、ビットがピクセル電極にアサート可能な時間量によって定められる重みに応じた異なる期間アサートさせるものであり、前記複合データワードは、前記第1のタイプのデータワードよりも多くのグレイスケール値を定義可能であり、前記複合データは、(m + 1) (2^n) 個のグレイスケール値を定義することを特徴とするディスプレイドライバ回路。

**【請求項 3】**

複合データワードを、表示画素でアサートするための方法であり、前記複合データワードは、特定の画素の値に対応し、かつ、2値とは異なる重み割り当てスキームを有する第1のビット群と2値重み割り当てスキームを有する第2のビット群とを含んでおり、前記方法は、第1のタイプのデータワードを受け取る工程と、前記第1のタイプのデータワードの少なくとも1ビットを前記第1のビット群に変換する工程と、前記ビットの第1のビット群の各ビットを、前記表示画素で関連付けられた期間アサートする工程と、前記第2のビット群の各ビットを、前記表示画素で各該ビットに関連付けられ、ビットがピクセル電極にアサート可能な時間量によって定められる重みに応じた異なる期間アサートさせる工程と、を包含しており、それによって、前記画素の出力は、前記複合データワードの前記値に対応しており、前記複合データワードは、前記第1のタイプのデータワードよりも多くのグレイスケール値を定義可能であり、前記複合データは、(m + 1) (2^n) 個のグレイスケール値を定義することを特徴とする方法。

**【請求項 4】**

複合データワードを、表示画素でアサートするための方法であり、前記複合データワードは、特定の画素の値に対応し、かつ、2値とは異なる重み割り当てスキームを有する第1のビット群と、2値重み割り当てスキームを有する第2のビット群とを含んでおり、前記方法は、2値重み割り当てされたデータワードを受け取る工程と、前記2値重み割り当てされたデータワードから前記複合データワードを発生する工程と、前記第1のビット群の各ビットを、前記表示画素で互いに等しい期間アサートする工程と、前記第2のビット群の各ビットを、前記表示画素で各該ビットに関連付けられ、ビットがピクセル電極にアサート可能な時間量によって定められる重みに応じた異なる期間アサ-

トさせる工程と、  
を包含しており、

それによって、該画素の出力は、該複合データワードの前記値に対応しており、  
前記複合データワードは、前記2値重み割り当てされたデータワードよりも多くのグレイ  
スケール値を定義可能であり、  
前記複合データワードは、 $(m + 1) (2^n)$ 個のグレイスケール値を定義する  
ことを特徴とする方法。

#### 【請求項5】

複合データワードを発生するための方法であり、  
第1のタイプのデータワードを受け取る工程と、

2値重み割り当てデータスキームを有するデータビットの第1のビット群を提供する工程  
であって、前記第1のビット群のビットは、関連付けられた重みを有し、当該重みは、ビ  
ットがピクセル電極にアサート可能な時間量によって定められ、上記受け取った第1のタ  
イプのデータワードに基づいて生成される、工程と、

前記2値重み割り当てスキームを有する第2のデータビット群を提供する工程であって、  
該第2のビット群のビットは、互いに異なる、ビットがピクセル電極にアサート可能な時  
間量によって定められる重みを有しており、上記受け取った第1のタイプのデータワード  
に基づいて生成される、工程と、

を包含しており、

前記第1のデータビット群と前記第2のデータビット群とは、前記複合データワードを形  
成しており、

前記複合データワードは、前記第1タイプのデータワードよりも多くのグレイスケール値  
を定義する  
ことを特徴とする方法。

#### 【請求項6】

プロジェクタであって、ディスプレイとドライバ回路と、を備えており、

前記ディスプレイは、複数の画素を含んでおり、

前記ドライバ回路は、複合データワードを該ディスプレイへと書き込むために前記ディ  
スプレイに接続されており、該複合データワードは、2値とは異なる重み割り当てデータ  
スキームを有する第1のデータビット群と、2値データスキームを有する第2のデータビ  
ット群とを含んでおり、

前記ドライバ回路は、

第1のタイプのデータワードを受け取り、該第1のタイプのデータワードを前記複合データ  
に変換し、該複合データワードを出力に供給するように構成された複合データワード発  
生器と、

ディスプレイ制御信号を供給するように構成された出力制御器と、  
を含んでおり、

前記ディスプレイ制御信号は、前記第1のデータビット群の各ビットを、前記画素の1つ  
で関連付けられた期間アサートさせ、前記第2のデータビット群の各ビットを、前記画素  
の前記1つで各々前記ビットに関連付けられ、ビットがピクセル電極にアサート可能な時  
間量によって定められる重みに応じた異なる期間アサートさせるものであり、

前記複合データワードは、前記第1のタイプのデータワードよりも多くのグレイスケール  
値を定義可能であって、

前記複合データワードは、 $(m + 1) (2^n)$ 個のグレイスケール値を定義する  
ことを特徴とするプロジェクタ。

#### 【請求項7】

前記互いに等しい各期間の長さは、前記第2のデータビット群の最上位ビットの前記期間  
の倍数である、請求項2に記載のディスプレイドライバ回路。

#### 【請求項8】

前記第1のデータビット群の関連付けられた各期間の長さは、前記第2のデータビット群

の最上位ビットの前記期間の長さの 2 倍である、請求項7に記載のディスプレイドライバ回路。

【請求項 9】

前記複合データ発生器は、前記第 1 のタイプの前記データワードを演算して前記複合データワードを発生するための演算ユニットを含む、請求項2に記載のディスプレイドライバ回路。

【請求項 10】

前記複合データ発生器はメモリ装置を含む、請求項2に記載のディスプレイドライバ回路。

【請求項 11】

前記複合データ発生器はルックアップテーブルを含む、請求項2に記載のディスプレイドライバ回路。

【請求項 12】

前記第 1 のタイプの前記データワードは、2 値重み割り当てされたデータワードである、請求項2に記載のディスプレイドライバ回路。

【請求項 13】

複合データワードを表示画素に書き込むためのディスプレイドライバ回路であって、該複合データワードは、2 値とは異なる重み割り当てスキームを有する第 1 のデータビット群および2 値重み割り当てスキームを有する第 2 のデータビット群を含み、該ディスプレイドライバ回路は、該複合データワードを出力に供給するように構成された複合データ発生器と、ディスプレイ制御信号を供給するように構成された出力制御器であって、該ディスプレイ制御信号は、該第 1 のデータビット群の各ビットを該表示画素上において互いに等しい期間アサートさせ、該第 2 のデータビット群の各ビットを該表示画素上において各該ビットに関連付けられ、ビットがピクセル電極にアサート可能な時間量によって定められる重みに応じた異なる期間アサートさせ、

該複合データ発生器は、2 値重み割り当てされたデータワードを受け取るための入力端子を含み、該複合データワードは該2 値重み割り当てされたデータワードの受信に応答して発生され、該複合データ発生器は、該2 値重み割り当てされたデータワードの少なくとも 1 ビットを該複合データワードの該第 1 のデータビット群に変換するように構成され、前記複合データワードが前記2 値重み割り当てされたデータワードよりも多くのグレイスケール値を定義する

ディスプレイドライバ回路。

【請求項 14】

前記複合データ発生器は、前記2 値重み割り当てされたデータワードの第 1 のビットを受け取るように接続された出力端子を含む、請求項13に記載のディスプレイドライバ回路。

【請求項 15】

前記複合データ発生器は、

前記2 値重み割り当てされたデータワードを受け取るための入力端子と、出力端子と、

該2 値重み割り当てされたデータワードの少なくとも一部を格納するバッファと、

該ディスプレイ制御信号に応答して、前記複合データワードの前記第 1 のビット群のうち発生されたビットを該複合データ発生器の該出力端子上において選択的にアサートするように構成された論理アレイと、を含む、請求項13に記載のディスプレイドライバ回路。

【請求項 16】

前記論理アレイは、該論理アレイの前記出力端子に接続された出力端子を含む、請求項15に記載のディスプレイドライバ回路。

【請求項 17】

前記複合データ発生器によって発生される前記複合データワードの前記値 ( $V_c$ ) は、式  $V_c = INT(GC/N)$  によって規定され、ここで、G は前記2 値重み割り当てされた

データワードの前記値を表し、Cは該複合データワードの可能な値の数を表し、Nは前記2値重み割り当てされたデータワードの可能な値の数を表し、INTは整数関数を表す、請求項1\_3に記載のディスプレイドライバ回路。

【請求項 1 8】

前記第1の群の各ビットは、前記表示画素上において、前記第2のビット群の最上位ビットのビットがピクセル電極にアサート可能な時間量によって定められる重みに応じた期間の長さの2倍の期間アサートされる、請求項3に記載の複合データワードを表示画素上においてアサートするための方法。

【請求項 1 9】

前記第1のタイプの前記データワードから前記複合データワードを発生する前記工程は、該第1のタイプの該データワードに対して演算を行う工程を包含する、請求項3に記載の複合データワードを表示画素上においてアサートするための方法。

【請求項 2 0】

前記第1のタイプの前記データワードから前記複合データワードを発生する前記工程は、該第1のタイプの該データワードによって示されるメモリ位置から該複合データワードを検索する工程を包含する、請求項3に記載の複合データワードを表示画素上においてアサートするための方法。

【請求項 2 1】

前記第1のタイプの前記データワードから前記複合データワードを発生する前記工程は、該第1のタイプの該データワードによって示されるルックアップテーブル位置から複合データワードを検索する工程を包含する、請求項3に記載の複合データワードを表示画素上においてアサートするための方法。

【請求項 2 2】

前記第1のタイプの前記データワードは、2値重み割り当てされたデータワードである、請求項3に記載の複合データワードを表示画素上においてアサートするための方法。

【請求項 2 3】

前記複合データワードを発生する前記工程は、該複合データワードの前記値(Vc)を、式  $V_c = INT(GC / N)$  から計算する工程を包含し、ここで、Gは前記2値重み割り当てされたデータワードの前記値を表し、Cは該複合データワードの可能な値の数を表し、Nは前記2値重み割り当てされたデータワードの可能な値の数を表し、INTは整数関数を表す、請求項4に記載の複合データワードを表示画素上においてアサートするための方法。

【請求項 2 4】

前記第1のデータビット群を提供する前記工程および前記第2のデータビット群を提供する前記工程のうち少なくとも一方は、前記第1のタイプの前記データワードに対して演算を行う工程を包含する、請求項5に記載の複合データワードを表示画素上においてアサートするための方法。

【請求項 2 5】

前記第1のデータビット群を提供する前記工程および前記第2のデータビット群を提供する前記工程のうち少なくとも一方は、前記第1のタイプの前記データワードによって示されるメモリ位置から前記第1のデータビット群および前記第2のデータビット群のうち少なくとも一方を検索する工程を包含する、請求項5に記載の複合データワードを表示画素上においてアサートするための方法。

【請求項 2 6】

前記第1のデータビット群を提供する前記工程および前記第2のデータビット群を提供する前記工程のうち少なくとも一方は、該第1のタイプの該データワードによって示されるルックアップテーブル位置から前記第1のデータビット群および前記第2のデータビット群のうち少なくとも一方を検索する工程を包含する、請求項5に記載の複合データワードを表示画素上においてアサートするための方法。

【請求項 2 7】

前記第1のタイプの前記データワードは、2値重み割り当てされたデータワードである、請求項5に記載の複合データワードを表示画素上においてアサートするための方法。

【請求項28】

複合データワードを発生するための方法であって、

該方法は、

2値重み割り当てされたデータワードを受け取る工程と、

第1のデータビット群を提供する工程であって、該第1のデータビット群の該ビットは2値とは異なる重み割り当てスキームを有する、工程と、

第2のデータビット群を提供する工程であって、該第2のデータビット群の該ビットは2値重みスキームを有する、工程と、

を包含し、

該第1のデータビット群および該第2のデータビット群のうち少なくとも一方は、該2値重み割り当てされたデータワードの受信に応答して提供され、

該第1のデータビット群を提供する該工程は、該2値重み割り当てされたデータワードの少なくとも1ビットを該第1のビット群に変換する工程を包含し、

前記複合データワードが前記2値重み割り当てされたデータワードよりも多くのグレイスケール値を定義する

方法。

【請求項29】

前記2値重み割り当てされたデータワードの前記少なくとも1ビットを前記第1のデータビット群に変換する工程は、

前記2値重み割り当てされたデータワードの少なくとも一部に対して論理OR演算を行う工程と、を包含する、請求項49に記載の複合データワードを発生するための方法。

【請求項30】

前記第1のデータビット群および前記第2のデータビット群を提供する前記工程は、前記複合データワードの前記値( $V_c$ )を、式 $V_c = INT(GC/N)$ から計算する工程を包含し、ここで、Gは前記2値重み割り当てされたデータワードの前記値を表し、Cは前記複合データワードの可能な値の数を表し、Nは前記2重み割り当てされたデータワードの可能な値の数を表し、INTは整数関数を表す、請求項28に記載の複合データワードを発生するための方法。

【請求項31】

各データビットが1つの連続的な信号としてアサートされる、請求項13に記載のディスプレイドライバ回路。

【請求項32】

各ビットが1つの連続的な信号としてアサートされる、請求項3に記載の方法。

【請求項33】

前記複合データワードが $(2^n)(m+1)$ 個のグレイスケール値を定義することができ、前記mが前記2値とは異なる重み割り当てがされたビットの群におけるビット数に等しく、前記nが前記2値重み割り当てされた群におけるビット数に等しい請求項1に記載のディスプレイドライバ回路。

【請求項34】

前記複合データワードが $(2^n)(m+1)$ 個のグレイスケール値を定義することができ、前記mが前記第1のビットの群におけるビット数に等しく、前記nが前記第2のビット群におけるビット数に等しい請求項2に記載のディスプレイドライバ回路。

【請求項35】

前記複合データワードが $(2^n)(m+1)$ 個のグレイスケール値を定義することができ、前記mが前記第1のビットの群におけるビット数に等しく、前記nが前記第2のビット群におけるビット数に等しい請求項3に記載の複合データワードを表示画素でアサートするための方法。

【請求項36】

前記複合データワードが(2<sup>n</sup>)(m+1)個のグレイスケール値を定義することができ、前記mが前記第1のビットの群におけるビット数に等しく、前記nが前記第2のビット群におけるビット数に等しい請求項4に記載の複合データワードを表示画素でアサートするための方法。

**【請求項37】**

前記複合データワードが(2<sup>n</sup>)(m+1)個のグレイスケール値を定義することができ、前記mが前記第1のビットの群におけるビット数に等しく、前記nが前記第2のビット群におけるビット数に等しい請求項5に記載の複合データワードを発生するための方法。

**【請求項38】**

前記複合データワードが(2<sup>n</sup>)(m+1)個のグレイスケール値を定義することができ、前記mが前記第1のビットの群におけるビット数に等しく、前記nが前記第2のビット群におけるビット数に等しい請求項6に記載のプロジェクタ。

**【請求項39】**

前記複合データワードが(2<sup>n</sup>)(m+1)個のグレイスケール値を定義することができ、前記mが前記第1のビットの群におけるビット数に等しく、前記nが前記第2のビット群におけるビット数に等しい請求項13に記載のディスプレイドライバ。

**【請求項40】**

前記複合データワードが(2<sup>n</sup>)(m+1)個のグレイスケール値を定義することができ、前記mが前記第1のビットの群におけるビット数に等しく、前記nが前記第2のビット群におけるビット数に等しい請求項28に記載の複合データを生成するための方法。

**【請求項41】**

前記2値とは異なる重み割り当てがされたビットの群が均一に重み割り当てされたビットの群を含む請求項1に記載のディスプレイドライバ。

**【請求項42】**

前記第1のデータビット群が均一に重み割り当てされたビットの群を含む請求項2に記載のディスプレイドライバ。

**【請求項43】**

前記第1のデータビット群が均一に重み割り当てされたビットの群を含む請求項3に記載の複合データワードを表示画素でアサートするための方法。

**【請求項44】**

前記第1のデータビット群が均一に重み割り当てされたビットの群を含む請求項4に記載の複合データワードを表示画素でアサートするための方法。

**【請求項45】**

前記第1のデータビット群が均一に重み割り当てされたビットの群を含む請求項5に記載の複合データワードを生成するための方法。

**【請求項46】**

前記第1のデータビット群が均一に重み割り当てされたビットの群を含む請求項6に記載のプロジェクタ。

**【請求項47】**

前記第1のデータビット群が均一に重み割り当てされたビットの群を含む請求項13に記載のディスプレイドライバ回路。

**【請求項48】**

前記第1のデータビット群が均一に重み割り当てされたビットの群を含む請求項28に記載の複合データワードを生成するための方法。

**【誤訳訂正2】**

**【訂正対象書類名】**明細書

**【訂正対象項目名】**0006

**【訂正方法】**変更

**【訂正の内容】**

**【0006】**

図2は、4ビットグレイスケール値(1010)に相当する一連のパルスであり、最上位ビットは最も左のビットである。2値重み割り当てされたパルス幅変調の場合、パルスは2値グレイスケール値のビットに相当して群分けされる。具体的には、第1の群B3は、8期間(23)を含み、値(1010)の最上位ビットに相当する。同様に、群B2は、次の上位ビットに相当する4期間(22)を、群B1は、更に次の上位ビットに相当する2期間(21)を、そして、群B0は、最下位ビットに相当する1期間(20)を含む。この群分けは、要求されるパルスの数を15から4へ減らす。2値グレイスケール値の各ビットの一つは、関連するビットの重みに対応するパルス幅を備えている。従って、値(1010)の場合、第1のパルスB3(8期間幅)はハイであり、第2のパルスB2(4期間幅)はローであり、第3のパルスB1(2期間幅)はハイであり、最後のパルスB0(1期間幅)はローである。この一連のパルスは、フルの値(5V)の約(2/3)(15期間中の10個)すなわち、約4.1VのRMS電圧である。

#### 【誤訳訂正3】

【訂正対象書類名】明細書

【訂正対象項目名】0009

【訂正方法】変更

【訂正の内容】

【0009】

図4は、8ビットの、2値重み割り当てされた、パルス幅変調スキームの場合の、選択されたグレイスケール値間の位相差及びビット値を示す。グレイ値127と128は唯一のあるレベルの強度差を有するが、これは100%の位相差を有し、従って、隣接した画素セルに書き込まれたとき可視アーチファクトがおこることに留意されたい。同様に、グレイ値63と64(およびグレイ値191と192)は、127/255の位相差を有し、容認しがたい画像アーチファクトもまた生じる。

#### 【誤訳訂正4】

【訂正対象書類名】明細書

【訂正対象項目名】0013

【訂正方法】変更

【訂正の内容】

【0013】

任意的には、ディスプレイドライバ回路は、複合データ発生器を含み、複合データ発生器は、出力において複合データワードを提供するよう構成される。特定の実施態様において、複合データ発生器は、(例えば、2値重み割り当てされた)第1のタイプのデータワードを受け取るための入力端子を有し、複合データワードは第1のタイプのデータワードを受け取ることに応じて生成される。複合データ発生器は、例えば、ルックアップデーブルといった算術論理ユニットあるいはメモリデバイスを含んでもよい。算術論理ユニットは、第1のタイプのデータワード上で複合データワードを生成するために作動する。メモリデバイスは、第1のタイプのデータワードによって示された格納位置から複合データワードを検索する。

#### 【誤訳訂正5】

【訂正対象書類名】明細書

【訂正対象項目名】0014

【訂正方法】変更

【訂正の内容】

【0014】

特定の実施形態では、2値重み割り当てされたデータワードの最上位(X)ビットの第1の集合を、複合データワードの均一に重み割り当てされた( $2X - 1$ )ビットに変換するように構成される。従って、2値重み割り当てされたデータのグレイスケール解像度が維持される。別の実施形態では、2値重み割り当てされたデータワードは、可能グレイスケール値の第1の数を定義し得、複合データワードは、可能な値の第1の数よりも少ない

可能な値の第2の数を定義し得、そして、2値重み割り当てされたデータワードは、グレイスケール解像度をいくらか犠牲にしながらも、複合データワード上にマッピングされる。

【誤訳訂正6】

【訂正対象書類名】明細書

【訂正対象項目名】0016

【訂正方法】変更

【訂正の内容】

【0016】

本発明は、以下の図面を参照して記載され、同じ参照番号は実質的に同じエレメントを示す。

【図1】図1は、液晶ディスプレイの単一の画素セルを示す。

【図2】図2は、4ビットパルス幅変調データの1フレームを示す。

【図3】図3は、液晶ディスプレイの3個の隣接した画素セルを示す。

【図4】図4は、8ビット2値重み割り当てされたデータスキームにおけるグレイスケール値間の位相差およびビット値を示す表である。

【図5A】図5Aは、2値重み割り当てされたデータワードの2つの最上位ビットを、複合データワードを3つの均一に重み割り当てされたビットへ変換する様子を示すブロック図を示す。

【図5B】図5Bは、2値重み割り当てされたデータワードの3つの最上位ビットを、複合データワードを7つの均一に重み割り当てされたビットへ変換する様子を示すブロック図を示す。

【図6A】図6Aは、図5Aの複合データワードによって定義された選択されたグレイスケール値間の位相差およびビット値を示す表である。

【図6B】図6Bは、図5Bの複合データワードによって定義された選択されたグレイスケール値間の位相差およびビット値を示す表である。

【図7】図7は、6個の均一に重み割り当てされたデータビットおよび4個の2値重み割り当てされたデータビットを有する複合データワードによって定義された選択されたグレイスケール値間の位相差およびビット値を示す表である。

【図8】図8は、均一に重み割り当てされたデータビットと、2値重み割り当てされたデータビットの異なる数を使用した複合データワードに関して、隣接するグレイレベル間の最大位相差及び利用可能なグレイレベルの数を示す表である。

【図9】図9は、本発明のディスプレイドライバ回路を示すブロック図である。

【図10】図10は、図9で示された出力制御器を詳細に示したブロック図である。

【図11A】図11Aは、別の複合データ発生器を詳細に示したブロック図である。

【図11B】図11Bは、さらに別の複合データ発生器を詳細に示したブロック図である。

【図12】図12は、本発明における別のディスプレイドライバ回路を示すブロック図である。

【図13】図13は、図12に示す複合データ発生器のブロック図である。

【図14】図14は、図13に示す論理アレイを詳細に示したブロック図である。

【図15】図15は、2つの2値重み割り当てされたデータビットから3つの均一に重み割り当てされたデータビットを生成する方法を示すフローチャートである。

【図16】図16は、別の複合データ発生器を示すブロック図である。

【図17】図17は、図16に示す論理アレイを詳細に示したブロック図である。

【図18】図18は、3つの2値重み割り当てされたデータビットから7つの均一に重み割り当てされたデータビットを生成する方法を示すフローチャートである。

【図19】図19は、本発明についての別のディスプレイドライバ回路を示すブロック図である。

【誤訳訂正7】

【訂正対象書類名】明細書

【訂正対象項目名】0020

【訂正方法】変更

【訂正の内容】

【0020】

本発明は、複合データワードを用いてフラットパネルディスプレイの隣接するピクセルにアサートされるデータの位相差を最小にするという従来技術に関する問題を克服する。詳しくは、本発明は、複合データワードを有するディスプレイを駆動するためのシステムおよび方法を説明する。複合データワードは、異なる重み割り当てスキームを有するビットからなる2つの群を組み合わせることによって形成される、データワードである。特定の例において、複合データワードは、均一に重み割り当てされたビットからなる群と2値重み割り当てされたビットからなる群とを含む。以下の説明において、本発明を完全に理解するために、多くの具体的な詳細を述べる（例えば、複合データワードを形成するように組み合わされたビットの数およびタイプ）。しかしながら、当業者は、本発明がこれらの具体的な詳細以外で実行され得ることを認識する。他の例において、本発明を必要に不明瞭にしないように、周知のディスプレイドライバ回路や方法の詳細を省略している。

【誤訳訂正8】

【訂正対象書類名】明細書

【訂正対象項目名】0021

【訂正方法】変更

【訂正の内容】

【0021】

図5Aは、この場合、2値重み割り当てされた、第1のタイプのデータワード502と、複合データワード504とのビットブロック図を示す。各ブロック長は、対応するビットの重みを示し、従ってビットがピクセル電極にアサート可能な時間量を表す。データワード502は8個のビット（B7～B0）を有し、各ビットは、隣の最上位ビットの2分の1の（2値重み割り当てされた）重みを有する。例えば、データワード502のブロックB7はブロックB6の2倍の長さである。

【誤訳訂正9】

【訂正対象書類名】明細書

【訂正対象項目名】0022

【訂正方法】変更

【訂正の内容】

【0022】

複合データワード504は、均一に重み割り当てされた（均一な重みの）データビット（EB3～EB1）からなる第1の群と、2値重み割り当てされたデータビット（B5～B0）からなる第2の群と、を含む。3つの均一に重み割り当てされたデータビットが2値重み割り当てされたデータワード502のビットB6およびB7から形成される特定の場合において、ビットEB3～EB1の重みはビットB6の重みと同じであり、従ってビットB6は、適切に、均一に重み割り当てされたデータビットからなる第1の群または2値重み割り当てされたデータビットからなる第2の群のいずれかの一部であるとみなされ得る。しかしながら当業者は、本発明が均一に重み割り当てされたデータビットからなる第1の群と2値重み割り当てされたデータビットからなる第2の群との間のこの関係を有することなく実行され得ることを認識し得る。

【誤訳訂正10】

【訂正対象書類名】明細書

【訂正対象項目名】0023

【訂正方法】変更

【訂正の内容】

【0023】

図 5 B は、2 値重み割り当てされたデータワード 5 0 2 のビット B 7 および B 6 を均一に重み付けされたビット E B 7 ~ E B 1 からなる群に変換して生じる複合データワード 5 0 6 を示す。ビット E B 1 の重みはビット B 4 の重みの 2 倍であるので、ビット E B 1 ~ B 5 はまた2 値重み割り当てされたデータビットからなる第 2 の群の一部であるとみなされ得る。

【誤訛訂正 1 1】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 2 4

【訂正方法】変更

【訂正の内容】

【0 0 2 4】

図 6 A は、図 5 A の複合データワード 5 0 4 によって規定される選択されたグレイスケール値間のビット値および位相差を示す表である。1 2 7 / 2 5 5 の最大位相差が、グレイスケール値 1 2 7 ~ 1 2 8 間およびグレイスケール値 1 9 1 ~ 1 9 2 間で生じる。従って、隣接するグレイスケール値間の最大位相差は、図 4 に示される2 値重み割り当てされたデータワード値の約 2 分の 1 である。

【誤訛訂正 1 2】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 2 5

【訂正方法】変更

【訂正の内容】

【0 0 2 5】

図 6 B は、図 5 B の複合データワード 5 0 6 によって規定される選択されたグレイスケール値間のビット値および位相差を示す表である。6 3 / 2 5 5 の最大位相差は、グレイスケール値 3 1 ~ 3 2 , 6 3 ~ 6 4 , 9 5 ~ 9 6 , 1 2 7 ~ 1 2 8 , 1 5 9 ~ 1 6 0 , 1 9 1 ~ 1 9 2 間、およびグレイスケール値 2 2 3 ~ 2 2 4 間で生じる。従って、隣接するグレイスケール値間の最大位相差は、図 4 に示される2 値重み割り当てされたデータワード値の約 4 分の 1 である。

【誤訛訂正 1 3】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 2 6

【訂正方法】変更

【訂正の内容】

【0 0 2 6】

隣接するグレイスケール値間の最大位相差の減少は、1 フレーム時間の間にピクセルセルに書き込まれなければならないビット数の増加を犠牲にし得る。詳しくは、2 値重み割り当てされたデータワードから形成された複合データワードが、2 値重み割り当てされたデータワードと同じグレイスケール値を規定し得るために、2 値重み割り当てされたデータワードの ( X ) の最上位ビットを複合データワードの ( 2 X - 1 ) の均一に重み割り当てされたビットに変換しなければならない。例えば、2 値重み割り当てされたデータワード 5 0 2 の 2 つのビット ( B 7 および B 6 ) を複合データワード 5 0 4 ( 図 5 A ) の 3 つの均一に重み割り当てされたビット ( E B 3 、 E B 2 および E B 1 ) に変換したことを思い出されたい。同様に 2 値重み割り当てされたデータワード 5 0 2 の 3 つのビット ( B 7 、 B 6 および B 5 ) を複合データワード 5 0 6 ( 図 5 B ) の 7 つの均一に重み割り当てされたビット ( E B 7 ~ E B 1 ) に変換したことを思い出されたい。

【誤訛訂正 1 4】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 2 7

【訂正方法】変更

【訂正の内容】

## 【0027】

2値重み割り当てされたデータワードのより多くのビットを均一に重み割り当てされたビットに変換するにつれて、隣接するグレイスケール値間の最大位相差は減少し続ける。しかし、増加したビット数は、ディスプレイインターフェース帯域幅要件を増加させる。いくつかのシステムにおいて、インターフェース帯域幅により、隣接するグレイスケール値間の最大位相差を許容されるレベルまで減少するように十分な均一に重み割り当てされたビットの使用が妨げられる。

## 【誤訳訂正15】

【訂正対象書類名】明細書

【訂正対象項目名】0028

【訂正方法】変更

【訂正の内容】

## 【0028】

しかし隣接するグレイスケール値間の最大位相差は、複合データワードのグレイスケールの解像度（規定された値の数）を減少することによって、均一に重み割り当てされたビットの極めて高い数を加えることなく減少され得る。例えば、8ビットの2値重み割り当てされたデータワードは、256個のグレイスケール値を規定し得る。一般に、(n)個の2値重み割り当てされたデータビットは、 $2^n$ 個のグレイスケール値を規定し得る。対照的に、(m)個の均一に重み割り当てされたデータビットは、(m+1)個のグレイスケール値を規定し得る。従って、(m)個の均一に重み割り当てされたデータビットからなる第1の群と(n)の2値重み割り当てされたデータビットからなる第2の群とを含む複合データワードは、(m+1)( $2^n$ )個のグレイスケール値を規定し得る。従って、均一に重み割り当てされたデータビットの数(m)および2値重み割り当てされたデータビットの数(n)は、グレイスケール値の適切な数を規定するように選択され得る。次いで、（例えば、2値重み割り当てされた）第1のタイプのデータワードは、同様の値を有する複合データワード上にマッピングされ得る。複合データワードが、2値重み割り当てされたデータワードによって規定される数の値より小さなグレイスケール値の数を規定し得るのみであれば、次いで1つ以上の2値重み割り当てされたデータワードが複合データワードのいくつかにマッピングされ得る。

## 【誤訳訂正16】

【訂正対象書類名】明細書

【訂正対象項目名】0029

【訂正方法】変更

【訂正の内容】

## 【0029】

図7は、6つの均一に重み割り当てされたデータビット(B9～B4)および4つの2値重み付けされたデータビット(B3～B0)を有する複合データワードによって規定される選択されたグレイスケール値間のビット値および位相差を示す表である。31/111の最大位相差は、グレイスケール値15～16, 31～32, 47～48, 63～64, 79～80および95～96間で生じる。この最大位相差は、複合データワード506の最大位相差(63/255、図6B)に匹敵するが、2つ少ないビットを有して達成される。しかし、図7に示されるように、10ビットの複合データワード(B9～B0)は、112の異なるグレイスケール値を規定し得るのみである。

## 【誤訳訂正17】

【訂正対象書類名】明細書

【訂正対象項目名】0030

【訂正方法】変更

【訂正の内容】

## 【0030】

図8は、隣接するグレイレベル間の利用可能なグレイレベル数および最大位相差を示す

表 800 である。複合データワードの場合、種々の数の均一に重み割り当てされたデータビットおよび2 値重み割り当てされたデータビットを用いる。上述したように、(m) の均一に重み付けされたビットおよび(n) の2 値重み割り当てされたビットを有する複合データワードは、(m + 1)(2n) のグレイスケール値を規定し得る。隣接するグレイスケール値間の最大位相差は、1 つの均一に重み割り当てされたビットおよび全2 値重み割り当てされたビット内の時間間隔の合計数をフレーム時間内の時間間隔の合計数で除算することによって計算される。この簡略化した結果は以下のようになる。

#### 【誤訳訂正 18】

【訂正対象書類名】明細書

【訂正対象項目名】0032

【訂正方法】変更

【訂正の内容】

#### 【0032】

この計算は、グレイスケール値が増加するにつれて、複合データワードの均一に重み割り当てされたビットが一様にインクリメントされ、1 つの均一に重み割り当てされたデータビットにより隣接するグレイスケールレベル間の位相外にあり得ると仮定する。例えば、図 7 のグレイスケール値 48 の場合、ビット B6 ~ B4 はハイであり、B9 ~ B7 はローであるということに留意されたい。ビット B9 ~ B4 が均一に重み割り当てされたものであるので、グレイスケール値 48 はまた、ビット B9 ~ B7 をハイで、およびビット B6 ~ B4 をローで書き込まれ得る。しかし、この別の表示は、グレイスケール 47 に対して位相外のグレイスケール値 48 の 6 つの均一に重み割り当てされたビットのうち 5 個を有し得る。

#### 【誤訳訂正 19】

【訂正対象書類名】明細書

【訂正対象項目名】0033

【訂正方法】変更

【訂正の内容】

#### 【0033】

特定の関係は、表 800 から明らかである。まず、任意の全ビット数に対して、2 値重み割り当てされたデータビットの数が増加するにつれてグレイスケール値の数が増加し得る。従って、均一に重み割り当てされたデータビットの数が増加するにつれて、隣接するグレイスケール値間の最大位相差は減少する。所定のディスプレイの場合、特定の複合データスキーム（すなわち (m) ビットの均一に重み割り当てされたデータビットおよび (n) ビットの2 値重み割り当てされたデータビットからなる特定の数）を選択し、それにより必要な数のグレイスケールレベルを提供し、許容可能な最大位相差を維持し、システムのインターフェース帯域幅内で作動する。例えば、特定のディスプレイにおいて、隣接するグレイスケール値間の位相差が 35 % を越える場合、可視アーチファクトが現れ、システムが異なる 80 のグレイスケールレベルを発生可能であるか必要があると仮定されたい。表 800 は、80 のグレイレベルが 4 つの均一に重み割り当てされたビットおよび 4 つの2 値重み割り当てされたビット(4, 4) を有する 8 ビットの複合データワードを用いて得られ得るということを示す。しかし、(4, 4) スキームは、約 39.2 % の最大位相差を有し、従ってこの例のシステムに許容不可能である。一方、5 つの均一データビットおよび 4 つの2 値重み割り当てされたデータビット(5, 4) を有する 9 ビットの複合データワードを用いることにより、96 のグレイレベルが得られ、32.6 % の許容可能な最大位相差を有し得る。

#### 【誤訳訂正 20】

【訂正対象書類名】明細書

【訂正対象項目名】0034

【訂正方法】変更

【訂正の内容】

## 【0034】

特定の実施形態において、フレーム時間は、以下のように複合データワードのビット間で割り当てられる。まず、各均一に重み割り当てされたビットに割り当てられた時間が、ディスプレイ全体に1ビットを書き込むのに要する時間となるように規定される。次いで、2値重み割り当てされたビットの最上位ビットに割り当てられた時間が、各均一に重み割り当てされたビットに割り当てられた時間の2分の1となるように規定される。例えば、ディスプレイ全体に1ビットを書き込むのに25単位時間間隔を必要とするシステムを考えたい。このシステムにおいて、複合データワード(6,4)のビットへの時間割り当ては、以下のようである。6つの均一に重み割り当てされたビットのそれぞれが、25時間単位に、ピクセル電極上にアサートされる。均一に重み割り当てされたビットに割り当てられた単位時間数は、2の累乗である(すなわち、2, 4, 8, 16, 32, . . .)必要はないことに留意されたい。次いで4つの2値ビットが12.5、6.25、3.125、および1.5625の時間単位に、それぞれアサートされる。

## 【誤訳訂正21】

【訂正対象書類名】明細書

【訂正対象項目名】0035

【訂正方法】変更

【訂正の内容】

## 【0035】

図9は、上記の複合データスキームを実行することが可能なディスプレイドライバ回路900のブロック図である。ディスプレイドライバ回路900は、複合データ発生器902と、入力制御器904、制御選択器906と、データプランライザ(planarizer)908と、フレームバッファA910と、フレームバッファB912と、出力制御器914とを備える。ディスプレイドライバ回路900は、8ビット2値重み割り当てされたデータワードを、データ入力バス916を介して受けとり、水平同期(Hsync)、垂直同期(Vsync)および画素ドットクロック信号を入力端子918、920、922それから受けとる。受信された2値重み割り当てされたデータワードをプランライザされた複合データワードに変換した後、ドライバ回路900は、プランライザされた複合データワードを、32ビットデータ出力バス924を介して、LCD制御バス926を介する制御信号と共にマイクロLCD928に転送する。マイクロLCD928は、図1に示される画素セルと同様に液晶画素セルのアレイ(1024行×768列)を備える。ディスプレイドライバ回路900は、コンピュータディスプレイおよびビデオプロジェクタを含む多くのシステムにおいて有用であるが、これらに限定されない。

## 【誤訳訂正22】

【訂正対象書類名】明細書

【訂正対象項目名】0036

【訂正方法】変更

【訂正の内容】

## 【0036】

複合データ発生器902は、8ビット2値重み割り当てされたデータワードをデータ入力バス916を介して受け取り、2値重み割り当てされたデータワードを10ビット複合データワードに変換し、複合データバス936に複合データワードをアサートする。ある実施形態において、複合データ発生器902は、ランダムアクセスメモリ(RAM)であり、これは受け取った2値重み割り当てされたデータワードによって示されるメモリ位置から格納された複合データワードを読み出す。当業者は、他のメモリデバイス、例えば、リードオンリメモリ(ROM)、または、ルックアップテーブルがRAMに代用し得ることを理解する。別の実施形態において、複合データ発生器902は、算術論理ユニットを備え、算術論理ユニットは、受け取った2値重み割り当てされたデータワードで数学上の計算を行い、複合データワードを生成する。

## 【誤訳訂正23】

【訂正対象書類名】明細書

【訂正対象項目名】0040

【訂正方法】変更

【訂正の内容】

【0040】

データバス930からフレームバッファ910およびフレームバッファ912へのデータの転送は、また、制御選択器906と協調して入力制御器904によって制御される。入力制御器904は、入力制御バス938でフレームバッファ信号および選択線940でフレームバッファ選択信号(SEL)をアサートする。入力制御バス938は、書き込みイネーブル線とデータが書きこまれるメモリ位置を示すアドレス線とを含む。各メモリ位置は、画素セルの特定の群を意図する複合データワードの特定のビットに対応する。例えば、ある特定の32ビットメモリ位置は、画素0-31のそれぞれに対して第1の均一に重み割り当てされたデータビットを含む。

【誤訳訂正24】

【訂正対象書類名】明細書

【訂正対象項目名】0049

【訂正方法】変更

【訂正の内容】

【0049】

図11Aは、別の複合データ発生器1100の詳細なブロック図である。これは、2つの最上位2値重み割り当てされたビット(B7およびB6)を3つの均一に重み割り当てされたビット(EB1-EB3)に変換することによって8ビット2値重み割り当てされたデータワードから9ビット複合データを生成可能である。複合データ発生器1100は、8ビット2値重み割り当てされたデータワードを8ビット(B7:B0)データ入力バス1102を介して受け取り、2値重み割り当てされたビット線1104、第1の均一に重み割り当てされたビット(EB1)線1106、第2の均一に重み割り当てされたビット(EB2)線1108、および第3の均一に重み割り当てされたビット(EB3)線1110を含む出力バスで複合データワードをアサートする。生成された複合データワードは、受け取った2値重み割り当てされたデータワードのビットB5-B0を含むので、データ入力バス1102のビット線B5-B0は、2値重み割り当てされたビット線1104のビット線B5-B0にそれぞれ結合される。

【誤訳訂正25】

【訂正対象書類名】明細書

【訂正対象項目名】0051

【訂正方法】変更

【訂正の内容】

【0051】

図11Bは、3つの最上位の2値重み割り当てされたビット(B7、B6およびB5)を7つの均一に重み割り当てされたビット(EB1-EB7)に変換することにより、8ビットの2値重み割り当てされたデータワードから12ビット複合データワードを生成可能な別の複合データ発生器1140を詳述するブロック図である。複合データ発生器1140は、8ビット(B7:B0)データ入力バス1142を介して8ビットの2値重み割り当てされたデータワードを受け取り、2値重み割り当てされたビットライン1144、第1の均一に重み割り当てされたビット(EB1)ライン1146、第2の均一に重み割り当てされたビット(EB2)ライン1148、第3の均一に重み割り当てされたビット(EB3)ライン1150、第4の均一に重み割り当てされたビット(EB4)ライン1152、第5の均一に重み割り当てされたビット(EB5)ライン1154、第6の均一に重み割り当てされたビット(EB6)ライン1156、第7の均一に重み割り当てされたビット(EB7)ライン1156を含む出力バス上で複合データワードをアサートする。生成された複合データワードが、受けとった2値重み付けされたデータワードのビット

B 4 - B 0 を含むので、データ入力バス 1 1 4 2 のビットライン B 4 - B 0 が、2 値重み割り当てされたビットライン 1 1 4 4 の B 4 - B 0 とそれ接続される。

【誤訳訂正 2 6】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 5 2

【訂正方法】変更

【訂正の内容】

【0 0 5 2】

複合データ発生器 1 1 4 0 は、第 1 の OR ゲート 1 1 6 0 、第 2 の OR ゲート 1 1 6 2 、第 3 の OR ゲート 1 1 6 4 、第 4 の OR ゲート 1 1 6 6 、第 1 の AND ゲート 1 1 6 8 、第 2 の AND ゲート 1 1 7 0 、第 3 の AND ゲート 1 1 7 2 および第 4 の AND ゲート 1 1 7 4 をさらに含み、以下のように、均一に重み割り当てされたビット E B 1 - E B 7 を生成する。E B 1 は、ビット B 7 、B 6 および B 5 を論理結合するために接続された第 1 の OR ゲート 1 1 6 0 によって生成され、E B 1 ライン 1 1 4 6 上で結果 ( B 7 OR B 6 OR B 5 ) をアサートする。E B 2 は、ビット B 7 および B 6 を論理結合するために接続された第 2 の OR ゲート 1 1 6 2 によって生成され、E B 2 ライン 1 1 4 8 上で結果 ( B 7 OR B 6 ) をアサートする。E B 3 は、ビット B 5 、B 6 を論理結合するために接続された第 1 の AND ゲート 1 1 6 8 およびビット B 7 と第 1 の AND ゲート 1 1 6 8 の出力を論理結合するために接続された第 3 の OR ゲート 1 1 6 4 によって生成され、E B 3 ライン 1 1 5 0 上で結果 ( [ B 6 AND B 5 ] OR B 7 ) をアサートする。E B 4 は、データ入力バス 1 1 4 2 ( E B 4 = B 7 ) のビットライン B 7 を E B 4 ライン 1 1 5 2 に接続することによって生成される。E B 5 は、ビット B 5 、B 6 を論理結合するために接続された第 4 の OR ゲート 1 1 6 6 およびビット B 7 と第 4 の OR ゲート 1 1 6 6 の出力を論理結合するために接続された第 2 の AND ゲート 1 1 7 0 によって生成され、E B 5 ライン 1 1 5 4 上で結果 ( [ B 6 OR B 5 ] AND B 7 ) をアサートする。E B 6 は、ビット B 7 および B 6 を論理結合するために接続された第 3 の AND ゲート 1 1 7 2 によって生成され、E B 6 ライン 1 1 5 6 上で結果 ( B 7 AND B 6 ) をアサートする。E B 7 は、B 7 、B 6 および B 5 を論理結合するために接続された第 4 の AND ゲート 1 1 7 4 によって生成され、E B 7 ライン 1 1 5 8 上で結果 ( B 7 AND B 6 AND B 5 ) をアサートする。

【誤訳訂正 2 7】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 5 3

【訂正方法】変更

【訂正の内容】

【0 0 5 3】

当業者は、任意の等価論理回路が上記で説明された複合データ発生器 1 1 4 0 の論理ゲートと置き換えられ得ることを理解する。当業者はまた、別の複合データ発生器 1 1 0 0 または別の複合データ発生器 1 1 4 0 を用いるために、ディスプレイドライバ回路 9 0 0 がルーチン変更（例えば、9 ビットまたは 1 2 ビット複合データワードをプランアライジング（planarizing）することのできるプランライザ（planarizer））を要求され得ることを理解する。さらに、この開示を鑑みて、当業者は、組み合わされた論理が、2 値重み割り当てされたデータビットの任意の数 ( X ) から ( 2 X - 1 ) の均一に重み割り当てされたデータビットを生成するために用いられ得ることを理解し得る。

【誤訳訂正 2 8】

【訂正対象書類名】明細書

【訂正対象項目名】0 0 5 4

【訂正方法】変更

【訂正の内容】

【0 0 5 4】

図12は、本発明における別のディスプレイドライバ回路1200を示すブロック図である。ディスプレイドライバ回路1200は、複合データ発生器1202、入力制御器1204、制御セレクタ906、データプラナライザ1208、フレームバッファA1210、フレームバッファB1212および出力制御器1214を備える。ディスプレイドライバ回路1200は、データ入力バス916を介して8ビット2値重み割り当てされたデータワードを受け取り、入力端子918、920および922を介して水平同期(Hsync)、垂直同期(Vsync)およびピクセルドットクロック信号をそれぞれ受け取る。受け取った2値重み割り当てされたデータワードをプラナライズされた複合データワードに変換した後、ドライバ回路1200は、プラナライズされた複合データワードを、32ビットデータ出力バス924を介してLCD制御バス926を介して制御信号とともにマイクロLCD928へ伝送する。

#### 【誤訳訂正29】

【訂正対象書類名】明細書

【訂正対象項目名】0056

【訂正方法】変更

【訂正の内容】

【0056】

データプラナライザ1208は、データ入力バス916を介して8ビットデータワードにおいて2値重み割り当てされたデータを受け取り、それぞれの8ビット(Pr[0-7])は、マイクロLCD928の特定のピクセル(pixel(r))へ書き込まれるグレイスケール値に対応する。データプラナライザ1208は、32ピクセルのための8ビットグレイスケールを累積し、データを32ビットデータワードに再フォーマットし、それぞれの32ビットワードは、32の8ビット2値重み割り当てされたデータワードからなる群それぞれからの1つのビットを含む。例えば、ビットP0[0]-P31[0]により形成される32ビットワードは、ピクセル0-31のための2値重み割り当てされたデータワードの最下位ビットを含む。なぜなら、それは8ビットデータをプラナライズし、10ビット幅データプラナライザ908に対してデータプラナライザ1208は8ビット幅のみを必要とするからであり、従って、およそ20%の有益なサイズ削減が可能である。

#### 【誤訳訂正30】

【訂正対象書類名】明細書

【訂正対象項目名】0057

【訂正方法】変更

【訂正の内容】

【0057】

入力制御器1204はHsyncおよびVsync信号を用い、データ入力バス916からデータプラナライザ1208への2値重み割り当てされたデータの伝送、およびデータプラナライザ1208から32ビットデータバス930を介してフレームバッファA1210およびB1212へのプラナライズされたデータの伝送を調整する。データ入力バス916上の有効データを含むVsyncおよびHsync信号に応答して、入力制御器1204は、制御ラインDIR932およびCLK934上で信号をアサートし、データをデータプラナライザ1208の中へおよび外へクロックさせる(clock into and out)。入力制御器1204は、入力制御器1204が32の8ビットワードをデータプラナライザ1208の中へクロックし、8の32ビットワードとしてデータをクロックアウトする(clock the data out)ことを除いては、実質的に入力制御器904と同一である。従って、複合データのプラナライゼーションと比較して、およそ5%以下のクロックサイクルが2値重み割り当てされたデータをプラナライズするのに必要である。

#### 【誤訳訂正31】

【訂正対象書類名】明細書

【訂正対象項目名】0060

【訂正方法】変更

【訂正の内容】

【0060】

出力制御器1204は、出力制御器914に関して上記したように、フレームバッファA1210およびフレームバッファB1212からのデータの出力を制御し、LCD制御バス926を介してディスプレイ制御信号をマイクロLCD928へ供給する。出力制御器1214はさらに、制御信号を制御バス1256を介して複合データ発生器1202へ供給し、それらは2値重み割り当てされたデータを複合データへ変換するために用いられる。制御バス1256内のビットラインの数は、以下に示されるように、均一に重み割り当てされたデータビットへ変換される2値重み割り当てされたデータビットの数に依存する。複合データ発生器1202は、32ビットプラナライズされた2値重み割り当てされたデータをデータバス1224を介して受け取り、プラナライズされた2値重み割り当てされたデータをプラナライズされた複合データを生成するために用い、プラナライズされた複合データを複合データ出力バス924上でアサートし、全ては出力制御器1214の制御下で行われる。必要な制御信号を供給する出力制御器1214のプログラミングは、特に以下に提供される複合データ発生器1202の詳細な説明を考慮して、当業者の裁量によって適切になされる。

【誤訳訂正32】

【訂正対象書類名】明細書

【訂正対象項目名】0061

【訂正方法】変更

【訂正の内容】

【0061】

図13は、ラインバッファ1302および論理アレイ1304を含む、複合データ発生器1202をより詳細に示すブロック図である。本実施の形態の複合データ発生器1202は、2値重み割り当てされたデータの2つの最上位ビット(B7およびB6)から3つの均一に重み割り当てされたデータビット(EB1、EB2およびEB3)を生成する。3ビット制御バス1256の1つのライン1306を介して受け取られた制御信号に応答して、ラインバッファ1302は、データバス1224を介して、32の隣接ピクセルを対象としたデータの最上位2値重み割り当てされたビット(B7)から構成されている32ビットのプラナライズされた2値重み割り当てされたデータワードを受け取る。ラインバッファ1302は、データを格納し、データライン1308上で格納された32ビットデータワードをアサートする。そして、出力制御器1214(図12)からの制御信号に応答して、フレームバッファA1210またはフレームバッファB1212の何れかが、データバス1224上で、同一の32の隣接ピクセルを対象とした、次に最上位2値重み割り当てされたビット(B6)から構成される32ビットデータワードをアサートする。最後に、制御バス1256の2つのライン1310を介して受け取られた制御信号に応答して、論理アレイ1304は2値重み割り当てされたビット(B7およびB6)を論理的に組み合わせ、均一に重み割り当てされたビット(EB1 - EB3)のうちの1つを生成し、データ出力バス924上で均一に重み割り当てされたビットをアサートする。

【誤訳訂正33】

【訂正対象書類名】明細書

【訂正対象項目名】0062

【訂正方法】変更

【訂正の内容】

【0062】

論理アレイ1304もまた、データ出力バス924上で最下位2値重み割り当てされたデータビット(B5 - B0)をアサートする。特に、出力制御器1214から制御バス1256の2つのライン1310を介して受け取られた制御信号に応答して、論理アレイ1

304は、データバス1224をデータ出力バス924に選択的に接続する。従って、フレームバッファA1210およびB1212によってデータバス1224上でアサートされた2値重み割り当てされたビットは、また、データ出力924上でアサートされる。

【誤訳訂正34】

【訂正対象書類名】明細書

【訂正対象項目名】0065

【訂正方法】変更

【訂正の内容】

【0065】

このような構成で、論理アレイ1304は複合データワードの各ビットを出力し得る。B7およびB6が、それぞれデータライン1308およびデータバス1224上でアサートされるとき、マルチプレクサ1406は、所望の論理的組み合わせに対応して、データ出力バス924を入力端子セット1420、1422または1424の1つと選択的に接続することによって、均一に重み割り当てされたビットEB1-EB3を出力する。特に、第1の入力端子セット1420はEB1(EB1=B7 OR B6)に対応し、第2の入力端子セット1422はEB2(EB2=B7)に対応し、第3の入力端子セット1424はEB3(EB3=B7 AND B6)に対応する。マルチプレクサ1406は、フレームバッファA1210またはB1212の1つがデータバス1224上の1つの2値重み割り当てされたビットB5-B0のうちの1つをアサートしている場合、入力端子セット1426をデータ出力バス924と選択的に接続することによって2値重み割り当てされたビットを出力する。

【誤訳訂正35】

【訂正対象書類名】明細書

【訂正対象項目名】0066

【訂正方法】変更

【訂正の内容】

【0066】

図15は、2つの2値重み割り当てされたデータビット(B7およびB6)から3つの均一に重み割り当てされたデータビット(EB1, EB2, およびEB3)を生成する方法1500を示すフローチャートである。方法1500は、複合データ発生器1202の観点から説明する。しかし当業者は、複合データ発生器1202が、フレームバッファA1210およびB1212と同様に出力制御器1214の制御下で駆動することを認識する。例えば、複合データ発生器1202がデータビット(例えばB7)のラインを「読み出す」ために、出力制御器1214は、制御信号をフレームバッファのA1210またはB1212の1つに供給しなければならず、それによりB7がデータバス1224上でアサートされ、また出力制御器1214は、制御信号を複合データ発生器1202に供給し、そのためラインバッファ(line buffer)1302がアサートされたデータをロードする。

【誤訳訂正36】

【訂正対象書類名】明細書

【訂正対象項目名】0067

【訂正方法】変更

【訂正の内容】

【0067】

第1工程1502において、出力制御器1214は、第1の均一に重み割り当てされたビット(EB1)が生成されるか否かを判定する。EB1が生成される場合、続く第2工程1504において複合データ発生器がラインバッファ1302内のB7を読み出す。次に第3工程1506において、複合データ発生器1202はB6を読み出す(すなわちフレームバッファA1210またはB1212は、データバス1224上にB6をアサートする)。次いで第4工程1508において、ORゲート1402は、EB1を生成するた

めに B 7 および B 6 を論理的に組み合わせ、そして第 5 工程 1510においてマルチプレクサ 1406 は、第 1 の入力端子セット 1420 とデータ入力バス 924 とを結合することにより EB1 を出力し、その後、方法 1500 は終了する。

【誤訳訂正 37】

【訂正対象書類名】明細書

【訂正対象項目名】0068

【訂正方法】変更

【訂正の内容】

【0068】

第 1 工程 1502において出力制御器 1214 は、EB1 が生成されないことを判定する場合、続く第 6 工程 1512において出力制御器 1214 は、第 2 の均一に重み割り当てされたビット (EB2) が生成されるか否かを判定する。EB2 が生成される場合、続く第 7 工程 1514において複合データ発生器 1202 は、ラインバッファ 1302 内に B7 を読み出す。次に第 8 工程 1516において、論理アレイ 1304 は、B7 に等しい EB2 (データライン 1308 に結合した入力端子 1422 の第 2 の組) をセットする。次いで方法 1500 は第 5 工程 1510 に進み、マルチプレクサ 1406 は、第 2 の入力端子セット 1422 をデータ出力バス 924 に結合することによって EB2 を出力し、その後、方法 1500 は終了する。

【誤訳訂正 38】

【訂正対象書類名】明細書

【訂正対象項目名】0069

【訂正方法】変更

【訂正の内容】

【0069】

第 6 工程 1512において出力制御器 1214 は、EB2 が生成されないことを判定する場合、続く第 9 工程 1518において、出力制御器 1214 は、第 3 の均一に重み割り当てされたビット (EB3) が生成されるか否かを判定する。EB3 が生成される場合、続く第 10 工程 1520において、複合データ発生器は、バッファ 1302 内に B7 を読み出し、第 11 工程 1522において B6 を読み出す。次いで第 12 工程 1524において AND ゲート 1416 は、EB3 を生成するために B7 と B6 を論理的に組み合わせる。さらに方法 1500 は第 5 工程 1510 に進み、マルチプレクサ 1406 は、第 3 の入力端子セット 1424 とデータ入力バス 924 とを結合することによって EB3 を出力する。第 9 工程 1518において、出力制御器は EB3 が生成しないと判定する場合、次いで方法 1500 は、第 1 工程 1502 に戻る。

【誤訳訂正 39】

【訂正対象書類名】明細書

【訂正対象項目名】0070

【訂正方法】変更

【訂正の内容】

【0070】

図 16 は、代替複合データ発生器 1202A をより詳細に示すブロック図であり、第 1 のラインバッファ 1602、第 2 のラインバッファ 1604、および論理アレイ 1606 を含む。複合データ発生器 1202A のこの実施態様は、2 値重み割り当てされたデータから成る 3 つの最上位ビット (B7 - B5) から 7 つの均一に重み割り当てされたデータビット (EB1 - EB7) を生成する。5 ビット制御バス 1256A の 2 つのライン 1608 を介して受信された制御信号に応答して、第 1 ラインバッファ 1602 および第 2 ラインバッファ 1604 は、データバス 1224 を介して、最上位 2 値重み割り当てされたビット (B7) およびその次の最上位 2 値重み割り当てされたビット (B6) それぞれから構成される 32 ビット平坦化された 2 値重み割り当てされたデータを受信する。ライン

バッファ 1602 および 1604 はデータを格納し、データライン 1610 およびデータライン 1612 それに格納された 32 ビットデータワードをアサートする。出力制御器 1214 (図 12) からの制御信号に応答して、フレームバッファ A 1210 またはフレームバッファ B 1212 のいずれかは、データバス 1224 上に次の最上位 2 値重み割り当てされたビット (B5) から構成される 32 ビットデータワードをアサートする。最終的に、制御バス 1256A の 3 つのライン 1614 を介して受信された制御信号に応答して、論理アレイ 1606 は、2 値重み割り当てされたビット (B7 - B5) を論理的に組み合わせ、均一に重み割り当てされたビット (EB1 - EB7) の 1 つを生成し、データ出力バス 924 上の均一に重み割り当てされたビットをアサートする。

【誤訳訂正 40】

【訂正対象書類名】明細書

【訂正対象項目名】0071

【訂正方法】変更

【訂正の内容】

【0071】

論理アレイ 1606 はまた、データ出力バス 924 上で有効でない 2 値重み割り当てされたデータビット (B4 - B0) をアサートする。特に制御バス 1256A の 3 つのライン 1614 を介して出力制御器 1214 から受信された制御信号に応答して、論理アレイ 1606 は、選択的にデータバス 1224 とデータ出力バス 924 とを結合する。従って、フレームバッファ A 1210 および B 1212 によってデータバス 1224 上にアサートされた 2 値重み割り当てされたビットはまた、データ出力バス 924 上にアサートされる。

【誤訳訂正 41】

【訂正対象書類名】明細書

【訂正対象項目名】0073

【訂正方法】変更

【訂正の内容】

【0073】

論理アレイ 1606 は以下のようないくつかの均一に重み割り当てされたビット (EB1 - EB7) を生成する。EB1 は、第 1 OR ゲート 1702 によって生成され、第 1 OR ゲート 1702 は、ビット B7、B6 および B5 を論理的に組み合わせて結合し、マルチブレクサ 1718 の第 1 の入力端子セット 1720 上の結果 (B7 OR B6 OR B5) をアサートする。EB2 は、第 2 OR ゲート 1704 によって生成され、その第 2 OR ゲート 1704 は、B7 および B6 を論理的に組み合わせて結合し、マルチブレクサ 1718 の第 2 の入力端子セット 1722 上の結果 (B7 OR B6) をアサートする。EB3 は、第 1 AND ゲート 1710 および第 3 の OR ゲート 1706 によって生成され、その第 1 AND ゲート 1710 は、ビット B5 および B6 を論理的に組み合わせるために接続され、第 3 の OR ゲート 1706 は、B7 を有する第 1 AND ゲート 1710 の出力とビット B7 とを論理的に組み合わせるために接続され、マルチブレクサ 1718 の第 3 の入力端子セット 1724 上の結果 ([B6 AND B5] OR B7) をアサートする。EB4 は、データライン 1610 (EB4 = B7) をマルチブレクサ 1718 の第 4 入力端子セット 1726 に結合することによって生成される。EB5 は、第 4 OR ゲート 1708 および第 2 AND ゲート 1712 によって生成され、その第 1 OR ゲート 1708 は、ビット B5 および B6 と論理的に組み合わせるために接続され、第 2 AND ゲート 1712 は、第 4 OR ゲートの出力とビット B7 とを論理的に結合するために接続され、マルチブレクサ 1718 の第 5 の入力端子セット 1728 上の生成物 ([B6 OR B5] AND B7) をアサートする。EB6 は、第 3 AND ゲート 1714 によって生成され、その第 3 AND ゲート 1714 は、B7 および B6 と論理的に組み合わせて接続され、マルチブレクサ 1718 の第 6 の入力端子セット 1730 上の結果 (B7 AND B6) をアサートする。EB7 は、第 4 AND ゲート 1716 によって生成され、その第 4 AND ゲート 1716 は、

D ゲート 1716 は、B7、B6、および B5 と論理的に結合し、マルチプレクサ 1718 の第 7 の入力端子セット 1732 上の結果 (B7 AND B6 AND B5) をアサートする。制御バス 1256A の 3 つのライン 1614 を介して受信された制御信号に応答して、マルチプレクサ 1718 は、データ出力バス 924 上のビット EB1 - EB7 を選択的にアサートする。

【誤訳訂正 4 2】

【訂正対象書類名】明細書

【訂正対象項目名】0074

【訂正方法】変更

【訂正の内容】

【0074】

2 値 重み割り当てされたビット (B4 - B0) は、マルチプレクサ 1718 の第 8 入力末端セット 1734 をデータバス 1224 に結合することによって生成される。制御バス 1256A の 3 つのライン 1614 を介して受信された制御信号に応答して、マルチプレクサ 1718 は、第 8 の入力端子セット 1734 をデータ出力バス 924 に結合し、そのためビット B4 - B0 が、フレームバッファ A1210 または B1212 の 1 つによってデータバス 1224 上にアサートされる場合、ビット B4 - B0 はまた、データ出力バス 924 上にアサートされる。

【誤訳訂正 4 3】

【訂正対象書類名】明細書

【訂正対象項目名】0075

【訂正方法】変更

【訂正の内容】

【0075】

図 18 は、3 つの 2 値 重み割り当てされたデータビット (B7 - B5) から 7 つの均一に重み付けされたデータビット (EB1 - EB7) を生成するための方法 1800 を示すフローチャートである。第 1 工程 1802 において、出力制御器 1214 は、第 1 の均一に重み付けされたビット (EB1) が生成されるか否か判定する。EB1 が生成される場合、続く第 2 工程 1804 において、複合データ発生器 1202A は、ラインバッファ 1602 内に B7 を読み出し、そして第 3 工程 1806 においてラインバッファ 1604 内に B6 を読み出す。続に第 4 工程 1808 において、複合データ発生器 1202A は、B5 を読み出す（すなわちフレームバッファ A1210 または B1212 はデータバス 1224 上で B6 をアサートする）。従って、第 15 工程 1810 において、OR ゲート 1702 は、EB1 を生成するために論理的に B7、B6、および B5 に組み合わせ、そして第 6 工程 1812 において、マルチプレクサ 1718 は、第 1 の入力端子セット 1720 とデータ出力バス 924 とを接続することによって EB1 を出力し、その後、方法 1800 は終了する。

【誤訳訂正 4 4】

【訂正対象書類名】明細書

【訂正対象項目名】0076

【訂正方法】変更

【訂正の内容】

【0076】

第 1 工程 1802 において、出力制御器 1214 は、EB1 が生成されないことを判定する場合、次いで第 7 工程 1814 において、出力制御器 1214 は、第 2 の均一に 重み割り当てされたビット (EB2) が生成するか否かを判定する。EB2 が生成する場合、第 8 工程 1816 において、複合データ発生器 1202A はラインバッファ 1602 内に B7 を読み出し、そして第 9 工程 1818 において、ラインバッファ 1604 内に B6 を読み出す。次に第 10 工程 1820 において、OR ゲート 1704 は、EB2 を生成するために B7 および B6 に論理的に組み合わせる。次いで方法 1800 は、第 6 工程 181

2に進み、マルチブレクサ1718は、第2の入力端子セット1722とデータ出力バス924とを結合することによって、EB2を出力し、その後、方法1800は、終了する。

【誤訳訂正45】

【訂正対象書類名】明細書

【訂正対象項目名】0077

【訂正方法】変更

【訂正の内容】

【0077】

第7工程1814において、出力制御器1214は、EB2が生成されないことを判定する場合、続く第11工程1822において、出力制御器1214は、第3の均一に重み割り当てされたビット(EB3)が生成されるか否かを判定する。EB3が生成される場合、続く第12工程1824において、複合データ発生器1202Aは、ラインバッファ1602内にB7を読み出し、第13工程1826において、ラインバッファ1604内にB6を読み出す。次に第14工程1828において、複合データ発生器1202Aは、B5を読み出す。次いで、第15工程1830においてORゲート1706およびANDゲート1710は、EB3を生成するためにB7、B6、およびB5に論理的に組み合わせ、方法1800は、第6工程1812に進み、マルチブレクサ1718は、第3の入力端子セット1724とデータ出力バス924とを結合することによってEB3を出力し、その後方法1800は終了する。

【誤訳訂正46】

【訂正対象書類名】明細書

【訂正対象項目名】0078

【訂正方法】変更

【訂正の内容】

【0078】

第11工程1822において、出力制御器1214は、EB3が生成されないことを判定する場合、続く第16工程1832において、出力制御器1214は、第4の均一に重み付けされたビット(EB4)が生成されるか否かを判定する。EB4が生成された場合、次いで第17工程1834において、複合データ発生器1202Aは、ラインバッファ1602内にB7を読み出し、第18工程1836において、論理アレイ1606は、B7に等しいB4(データライン1610に結合された第4組の入力端子1726)に設定する。次に方法1800は、第6工程1812に進み、マルチブレクサ1718は、第4の入力端子セット1726をデータ出力バス924に結合することによってEB4を出力し、その後方法1800は終了する。

【誤訳訂正47】

【訂正対象書類名】明細書

【訂正対象項目名】0080

【訂正方法】変更

【訂正の内容】

【0080】

第19工程1838において、出力制御器1214は、EB5が、生成されないことを判定する場合、次いで、第24工程1848において、出力制御器1214は、第6の均一に重み割り当てされたビット(EB6)が生成されるか否かを判定する。EB6が生成された場合、次いで第25工程1850において、複合データ発生器1202Aは、ラインバッファ1602内にB7を読み出し、第26工程1852において、B6をラインバッファ1604内に読み出す。次に第27工程1854において、ANDゲート1714は、EB6を生成するためにB7およびB6を論理的に組み合わせる。次いで方法1800は、第6工程1812に進み、マルチブレクサ1718は、第6の入力端子セット1730をデータ出力バス924に結合することによってEB6を出力し、その後方法1800

0は終了する。

【誤訳訂正48】

【訂正対象書類名】明細書

【訂正対象項目名】0081

【訂正方法】変更

【訂正の内容】

【0081】

第24工程1848において、出力制御器1214は、EB6が、生成されないことを判定する場合、続く第28工程1856において、出力制御器1214は、第7の均一に重み割り当てされたビット(EB7)が生成されるか否かを判定する。EB7が生成された場合、次いで第29工程1858において、複合データ発生器1202Aは、ラインバッファ1602内にB7を読み出し、第30工程1860において、B6をラインバッファ1604内に読み出す。次に第31工程1862において、複合データ発生器1202AはB5を読み出す。続く第32工程1864においてANDゲート1716は、EB7を生成するためにB7、B6、およびB5を論理的に組み合わせ、そして方法1800は、第6工程1812に進み、マルチブレクサ1718は、第7の入力端子セット1732をデータ出力バス924に結合することによってEB7を出力し、その後方法1800は終了する。第28工程1856において出力制御器はEB7が生成しないことを判定する場合、次いで方法1800が第1工程1802に戻る。

【誤訳訂正49】

【訂正対象書類名】明細書

【訂正対象項目名】0082

【訂正方法】変更

【訂正の内容】

【0082】

図19は、本発明による代替的ディスプレイ駆動回路1900のブロック図である。ディスプレイ駆動回路1900は、出力制御器1902および複合データ発生器1904を含む。2値重み割り当てされたデータワードを複合データワードに変換し、図9の複合データ発生器902と対照的に、その発生器は、複合データ発生器1904は、所望の表示を生成するために必要な複合データワードと共にプリロードされる。出力制御器1902は、出力制御バス1908およびディスプレイ制御バス1910それぞれを介して、制御信号を複合データ発生器1904およびディスプレイ1906に供給し、実質的に上述のように出力制御器914に関して、複合データ発生器1904からディスプレイ1906までのデータの転送を制御する。

【誤訳訂正50】

【訂正対象書類名】明細書

【訂正対象項目名】0083

【訂正方法】変更

【訂正の内容】

【0083】

入來の2値重み割り当てされたデータワードを複合データワードに変換する必要がないため、ディスプレイ駆動回路1900は、ディスプレイ駆動回路900よりも複雑ではなく、表示される画像は、前もって格納されるアプリケーションにおいて有用である(例えば広告に繰り返し表示する信号)。

【誤訳訂正51】

【訂正対象書類名】明細書

【訂正対象項目名】0084

【訂正方法】変更

【訂正の内容】

【0084】

本発明の特定の実施態様の記載はここで終了する。多くの記載された特徴は、本発明の範囲から逸脱することなく置換、変更または省略され得る。例えば、他のタイプ（即ち2値重み割り当てされたもの以外）のデータは複合データに変換され得る。さらに、複合データワードは、ビットから成る3つ以上の群から形成され得る。例えば複合データワードは、2値重み割り当てされたビットの第1群、均一に重み割り当てされたビットの第2群、および均一に重み割り当てされたビットの第3群よりも異なる有効を有する均一に重み割り当てされたビットの第3群を含み得る。さらに複合データ利用は、液晶ディスプレイに限定されない。むしろ複合データは、隣接データ値の間の位相差を減少することが望ましいかなる場合でも有益に使用され得る。