

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2008 年 7 月 17 日 (17.07.2008)

PCT

(10) 国際公開番号
WO 2008/084545 A1

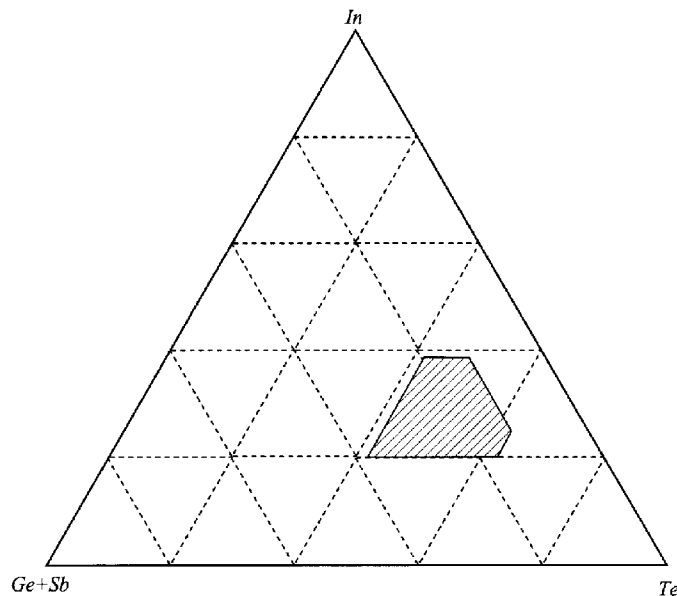
- (51) 国際特許分類:
H01L 27/105 (2006.01) *H01L 45/00* (2006.01)
- (21) 国際出願番号: PCT/JP2007/050269
- (22) 国際出願日: 2007 年 1 月 11 日 (11.01.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒1006334 東京都千代田区丸の内二丁目 4 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 森川 貴博 (MORIKAWA, Takahiro) [JP/JP]; 〒1858601 東京都国

分寺市東恋ヶ窪一丁目 2 8 0 番地株式会社日立製作所 中央研究所内 Tokyo (JP). 寺尾 元康 (TERAO, Motoyasu) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地株式会社日立製作所 中央研究所内 Tokyo (JP). 高浦 則克 (TAKAURA, Norikatsu) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地株式会社日立製作所 中央研究所内 Tokyo (JP). 黒土 健三 (KUROTSUCHI, Kenzo) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地株式会社日立製作所 中央研究所内 Tokyo (JP). 松崎 望 (MATSUZAKI, Nozomu) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地株式会社日立製作所 中央研究所内 Tokyo (JP). 藤崎 芳久 (FUJISAKI, Yoshihisa) [JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地株式会社日立製作所 中央研究所内 Tokyo (JP). 木下 勝治 (KINOSHITA, Masaharu)

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: This invention provides a phase change memory that can improve heat resistance during mounting through solder reflow treatment or during use in a high-temperature environment. The phase change memory comprises electrodes provided respectively on both sides of a recording layer which stores information by taking advantage of a resistance value change. The recording layer comprises a chalcogenide material comprising not less than 20 atomic% and not more than 38 atomic% of indium, not less than 9 atomic% and not more than 28 atomic% of germanium, not less than 3 atomic% and not more than 18 atomic% of antimony, and not less than 42 atomic% and not more than 63 atomic% of tellurium, wherein the germanium content is higher than the antimony content.

(57) 要約: 抵抗値変化により情報を記憶する記録層の両面に電極を設けた相変化メモリにおいて、前記記録層は、20原子%以上38原子%以下のインジウムと、9原子%以上28原子

[続葉有]

WO 2008/084545 A1



[JP/JP]; 〒1858601 東京都国分寺市東恋ヶ窪一丁目
280番地株式会社日立製作所 中央研究所内 Tokyo
(JP). 松井 裕一 (MATSUI, Yuichi) [JP/JP]; 〒1858601
東京都国分寺市東恋ヶ窪一丁目280番地株式会社
日立製作所 中央研究所内 Tokyo (JP).

MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ,
OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK,
SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, ZA, ZM, ZW.

(74) 代理人: 筒井 大和 (TSUTSUI, Yamato); 〒1020076 東
京都千代田区五番町14番地 国際中正会館 6階 筒
井国際特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護
が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG,
BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,
DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP,
KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD,

(84) 指定国 (表示のない限り、全ての種類の広域保護が可
能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,
SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,
KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,
IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

%以下のゲルマニウムと、3原子%以上18原子%以下のアンチモンと、42原子%以上63原子%以下のテルル
とを含むカルコゲナイド材料からなり、ゲルマニウム含有率をアンチモン含有率以上とすることにより、半田リフ
ロー処理による実装時あるいは高温環境での使用時における耐熱性を向上させる。

明 細 書

半導体装置

技術分野

[0001] 本発明は、半導体装置に関し、特に、相変化材料を含むメモリ素子を備えた半導体装置に適用して有効な技術に関するものである。

背景技術

[0002] カルコゲナイド材料の物性を利用した記録技術として、相変化メモリおよび相変化光ディスクが挙げられる。この相変化メモリおよび相変化光ディスクに用いられる相変化材料としてはTe(テルル)を含むカルコゲナイド材料が知られている。

[0003] また、米国特許第5, 254, 382号(特許文献1)には、 $\{(Ge_y Te_{1-y})_a (Sb_z Te_{1-z})_{1-a}\}_{1-b} (In_{1-x} Te_x)_b$ (ここに、 $0.4 \leq y \leq 0.6$ 、 $0.3 \leq z \leq 0.6$ 、 $0.4 \leq z \leq 0.6$ 、 $0.1 \leq a \leq 0.5$ 、 $0.01 \leq b \leq 0.3$)で表せるカルコゲナイド材料を記録層として用いた光ディスク媒体が開示されている。これは、高速で結晶化可能であるという特性を維持しつつ、非晶質状態の安定性を高め、データの長期保存性を向上することを目的として、Ge-Sb-TeにInを添加したものである。

[0004] 一方、米国特許第5, 883, 827号明細書(特許文献2)には、カルコゲナイド材料膜を用いた不揮発性メモリに関する詳述がされている。この不揮発性メモリは、相変化材料膜自体に流れる電流によるジュール熱と冷却速度に応じて、相変化材料膜の原子配列が変化することによって記憶情報が書き込まれる相変化メモリである。例えば、非晶質(アモルファス)化する際にはジュール熱で600℃を越える温度を相変化材料膜に加え、一旦相変化材料膜を融解させるために動作電流が大きくなりやすくなるが、状態に応じて抵抗値が2桁から3桁も変化する。

[0005] この電気的な相変化メモリにおいては、 $Ge_2 Sb_2 Te_5$ を使用するものを中心に研究が進められており、例えば、特開2002-109797号公報(特許文献3)にGeSbTeを用いた記録素子が開示されている。また、特開2003-100991号公報(特許文献4)では、カルコゲナイド材料を用いたメモリに関する技術が開示されている。また、 $Ge_2 Sb_2 Te_5$ からなる相変化膜を用いた相変化メモリで、 10^{12} 回の書換えが可能であるこ

とが報告されている(非特許文献1参照)。また、結晶成長型材料を用いた相変化メモリに関する技術が報告されている(非特許文献2参照)。

特許文献1:米国特許第5, 254, 382号明細書

特許文献2:米国特許第5, 883, 827号明細書

特許文献3:特開2002-109797号公報

特許文献4:特開2003-100991号公報

非特許文献1:「アイ・トリプル・イー インターナショナル エレクトロン デバイシズ ミーティング, テクニカル ダイジェスト(IEEE International Electron Devices meeting, TECHNICAL DIGEST)」, (米国), 2001年, p. 803-806

非特許文献2:「ネイチャー・マテリアルズ(Nature Materials)」, (米国), 2005年, Vol. 4, p. 347-351

発明の開示

発明が解決しようとする課題

[0006] 本発明者の検討によれば、次のことが分かった。

[0007] 例えば、米国特許第5, 883, 827号明細書(特許文献1)のFig. 12のメモリの構成によれば、当該メモリは、メモリセルアレイとロウ(行)デコーダXDEC、ビット(列)デコーダYDEC、読み出し回路RC、書き込み回路WCで構成される。メモリセルアレイは、ワード線 WL_p ($p=1, \dots, n$)とデータ線 $D L_r$ ($r=1, \dots, m$)の各交点にメモリセル MC_{pr} が配置されてなる。各メモリセルは、直列接続された記憶素子 RM と選択トランジスタ QM が、ビット線 DL と接地電位との間に挿入された構成である。ワード線 WL が選択トランジスタのゲートに、ビット選択線 $Y S_r$ ($r=1, \dots, m$)が対応するビット選択スイッチ $Q A_r$ にそれぞれ接続される。

[0008] このような構成により、ロウデコーダXDECで選択されたワード線上の選択トランジスタが導通し、さらにビットデコーダYDECで選択されたビット選択線に対応するビット選択スイッチが導通することにより、選択メモリセル内に電流経路が形成されて、共通ビット線 I/O に読み出し信号が発生される。選択メモリセル内の抵抗値は、記憶情報によって差があるので、共通ビット線 I/O に出力される電圧は記憶情報によって差が出る。この差を読み出し回路RCで判別することにより、選択メモリセルの記憶情

報が読み出される。

[0009] このような相変化メモリでは、光ディスクでも使用されている相変化材料を記録層として用いているが、相変化メモリでは光ディスクとは異なり、製造プロセスや使用環境において高温に耐えることが要求される場合がある。しかしながら、例えば $\text{Ge}_{20}\text{Sb}_{20}\text{Te}_{60}$ などの標準的な相変化材料を記録層としてメモリを構成した場合、高温で使用するためには次のような解決すべき課題がある。

[0010] 第1の課題は、非晶質状態の不安定性である。すなわち、非晶質状態は準安定相であるため、高温環境では結晶化が急速に進行してしまう。例えば、自動車制御用のマイコンに混載するメモリでは、 140°C 程度の高温環境での使用に耐えることが必要であるが、 $\text{Ge}_{20}\text{Sb}_{20}\text{Te}_{60}$ を記録層に用いた場合、非晶質は比較的短時間（例えば数時間程度）で結晶に変化、すなわち低抵抗状態に変化するため、このような高温ではデータ保持特性が不十分であり、使用には適さない。

[0011] また、メモリを搭載したマイコンでは、マイコンチップを実装する工程において、チップのはんだ付けや圧着のために、メモリ素子が高温環境にさらされる。マイコンの場合、メモリ部分にプログラムを記録した後に実装を行なうのが一般的であるが、実装工程の高温環境でデータが消去されてしまうようなメモリでは、実装後にデータを書き込まなければならない、通常とは異なるプロセスを取らなければならない。はんだ付けでは 260°C で数分、圧着では 180°C で数時間という熱負荷がかかるため、短い時間であるが動作温度よりもさらに高い温度環境でのデータ保持特性を保證する必要がある。したがって、マイコン向け不揮発メモリでは、このような製造プロセスでの熱負荷にも耐えるデータ保持特性を備えなければならない、光ディスクよりも遙かに高い耐熱性が要求される。

[0012] 第2の課題は、高温における非晶質状態の抵抗値の問題である。 Te （テルル）を主成分とするカルコゲナイドはバンドギャップが狭い半導体であるから、抵抗は、一般に、高温になるほど指数関数的に低くなる。その変化の度合いは、結晶状態よりも非晶質状態の方が大きいため、室温において大きな抵抗比がある場合でも、 100°C 以上の高温になると抵抗比は小さくなってしまい、読み出しマージンが取れなくなるという問題がある。例えば、 $\text{Ge}_{20}\text{Sb}_{20}\text{Te}_{60}$ の場合、室温におけるリセット抵抗／セット抵抗の

比はおよそ100倍であるが、100℃以上になると、リセット抵抗が著しく低下し、抵抗比は30倍程度にまで低下してしまう。そのため、相変化メモリの長所である大きな読み出しマージンが取れなくなり、場合によっては環境温度によって読み出し方式を変更しなければならないこともある。

- [0013] このように相変化材料を用いたメモリには課題が生じており、特に、第2の課題である高温における抵抗値については、電気的なカルコゲナイド材料メモリ特有の課題であるため、光記録媒体向けのカルコゲナイド材料では考慮されていない。そこで、高い温度になる使用環境や製造プロセスにおいても、適切な抵抗値を持ち、安定したデータ保持特性を実現可能なカルコゲナイド材料を用いた相変化メモリ素子が求められる。
- [0014] 一方、前述したような高温状態でのデータ保持特性(すなわち耐熱性)を向上させるため、相変化メモリ素子のカルコゲナイド記録層の組成にインジウム(In)を加えることが考えられる。
- [0015] 図32は、本発明者が本発明の前提として検討した半導体装置において、その相変化メモリ素子近傍の断面構成例を模式的に示す説明図である。なお、図32は、断面図であるが、図面を見やすくするために、ハッチングを省略している。
- [0016] 図32では、例えば、タングステン(W)などの主導体膜143bとチタン(Ti)/窒化チタン(TiN)積層膜などの導電性バリア膜143aからなるプラグ143(下部電極BCE)上に、メモリ素子154が形成されている。メモリ素子154は、例えば、酸化タンタル(例えば Ta_2O_5)などで形成されるはがれ防止作用を持つ界面層151と、In-Ge-Sb-Teカルコゲナイド層からなる記録層(記憶層)152と、タングステン(W)などからなる上部電極153から構成される。このように、カルコゲナイド層にインジウム(In)を添加し、 Ta_2O_5 などの酸化物や窒化物のはがれ防止層(界面層151)を設けると耐熱性が向上する。すなわち、非晶質状態から結晶状態へ遷移する温度を上げることができ、相変化メモリを有する半導体装置が高温になったときに非晶質状態から結晶状態へ意図せず変化してしまうのを防止できる。
- [0017] このような相変化メモリ素子では、ほとんどの場合、下部電極BCEと上部電極153の形状が異なる。通常はカルコゲナイド層との接触面積が小さい電極側(すなわち下

部電極BCE側)が高温になりやすいため、接触面積が大きい方の電極側(すなわち上部電極153側)はリセット時に融解せず、あるいは融解しても冷却中に再結晶化して結晶化する。接触面積が小さい側の電極(下部電極BCE)付近では非晶質化領域155ができ、その外側には製作プロセス中に結晶化して結晶状態に留まっている領域(結晶化領域)156が存在する。また、本明細書において接触とは、直接接する場合だけでなく、電流が流れる程度に薄い絶縁物、半導体などの層または領域を挟んで接する場合も含むものとする。

[0018] 下部電極BCEと最も近い上記結晶化領域156との最短距離は、リセット時にどれだけ大きな電流をどの程度の長さの時間流したかによって異なる。素子を指定するトランジスタの面積を小さくすると電流が減少し、下部電極BCEと上部電極153との間の膜厚方向の距離L2(あるいは下部電極BCEと上部電極153の手前の結晶化領域156aとの間の膜厚方向の距離L3)よりも、下部電極BCEとカルコゲナイド層(記録層152)の膜面方向の最近接の結晶化領域153との間の距離L1の方が小さくなる。このため初期から結晶化している部分の抵抗が低いとセット時にはこの最近接間隔(すなわち膜面方向)に電流が多く流れる可能性が高い。しかしながら、この最近接間隔は、記憶層のプロセスばらつきやプロセス欠陥等により不安定となる。そうすると、素子間の耐熱特性ばらつきや書き換え可能回数低下などの不具合が発生する恐れがある。

[0019] また、耐熱性(耐熱温度)とは、高温保持による抵抗の低下だけでなく、高温保持による抵抗上昇や次のセット動作のセット電圧の上昇も、非常に小さい値に抑制できる上限温度を示している。しかしながら、高温では、記録層152での原子配列が変化する可能性があり、これに起因し記録層152でリセット状態の抵抗からの更なる高抵抗化が起き、次のセット動作に高めの電圧(セット電圧)が必要になる恐れがある。すなわち、特にはがれ防止膜(界面層151)を厚めの膜として形成した場合であって、図32の領域155が非晶質状態の場合、下部電極BCE寄りの界面付近に強い電場がかかるために、高温時に、例えばこの領域全体でもともと存在するきわめて微細な組成変動(組成ムラ)から原子配列の変化が生じ、組成ムラの周期が大きくなってキャリアが移動しにくくなり、更なる高抵抗化が起きると、次のセット動作も困難となること

もあり得る。このような変化は、膜を融点付近にしない限り不可逆的に進行する変化である。

[0020] 更に、相変化メモリ素子では、特にはがれ防止膜(界面層151)を形成した場合、界面付近に強い電場がかかるために電極(上部電極153および下部電極BCE)間の膜中にイオン、またはイオン化しやすい元素や成分が存在する場合、これらが電場によって移動する可能性がある。すなわち、図32において、初期からの結晶化領域156は抵抗が低いので、In-Ge-Sb-Teが記録層152の膜厚方向に均一組成の場合、セット時には下部電極BCEの外縁部分と初期からの結晶化領域156aとの間の電位勾配が最大で、インパクトイオン化を伴うセット動作が始まる。この際に、イオン(プラスイオン)の移動も起こりやすく、高温になると偏析や構造の乱れが発生し、抵抗が高抵抗側に変化する原因となる。なお、セット/リセット動作時、通常は、下部電極側を基準に上部電極側に高い電圧が印加されるため、プラスイオンが下部電極側に移動し易い。プラスイオンとしては、下部電極BCEの周囲のTi層から拡散したTiや、場合によっては記録層152を構成する元素、あるいはタングステンのイオンも考えられる。

[0021] 上記のように相変化メモリでカルコゲナイド層にInを添加し、 Ta_2O_5 などの酸化物はがれ防止層(界面層)を設けると耐熱性が向上し、低めのリセット(非晶質化)電流が実現するが、高温では原子配列が変化することによるらしい更なる高抵抗化が起きたり、次のセット動作に高めの電圧が必要になったりする。

[0022] 従って、相変化メモリを有する半導体装置の性能を向上させるとともに、耐熱性を更に高めることが望まれる。

[0023] 本発明の目的は、半導体装置の更なる高耐熱性を実現し、高耐熱性と高性能を両立させることができる技術を提供することにある。

[0024] 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

課題を解決するための手段

[0025] 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

[0026] 本発明は、メモリ素子の記録層として、20原子%以上38原子%以下のインジウムと、9原子%以上28原子%以下のゲルマニウムと、3原子%以上18原子%以下のアンチモンと、42原子%以上63原子%以下のテルルとを含むカルコゲナイド材料を用いるものである。

[0027] また、本発明は、メモリ素子の記録層として、膜厚方向の平均組成が $\text{In}_{\alpha}\text{Ge}_X\text{Sb}_Y\text{Te}_Z$ 、ここで $0.20 \leq \alpha \leq 0.38$, $0.09 \leq X \leq 0.28$, $0.03 \leq Y \leq 0.18$, $0.42 \leq Z \leq 0.63$ 、で表されるカルコゲナイド材料を用いるものである。

発明の効果

[0028] 本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

[0029] 半導体装置の耐熱性を向上させることができる。

[0030] また、半導体装置の性能を向上させることができる。

図面の簡単な説明

[0031] [図1]本発明の一実施の形態の半導体装置の概略構成を示す平面図である。

[図2]本発明の一実施の形態の半導体装置の相変化メモリ領域のメモリアレイの構造の例を示す回路図である。

[図3]図2のアレイ構成に対応する平面レイアウトを示す平面図である。

[図4]本発明の一実施の形態の半導体装置の要部断面図である。

[図5]相変化メモリの相変化膜の状態と相変化膜の抵抗との相関を示す説明図である。

[図6]相変化メモリの動作を説明するためのグラフである。

[図7]相変化メモリの動作を説明するためのグラフである。

[図8]カルコゲナイド材料を用いた記憶素子の動作原理を模式的に示す説明図である。

[図9]メモリアレイの読み出し動作タイミングを示す説明図である。

[図10]メモリアレイの書き込み動作タイミングを示す説明図である。

[図11]本発明の一実施の形態の半導体装置の製造工程中の要部断面図である。

[図12]図11に続く半導体装置の製造工程中における要部断面図である。

[図13]図12に続く半導体装置の製造工程中における要部断面図である。

[図14]図13に続く半導体装置の製造工程中における要部断面図である。

[図15]図14に続く半導体装置の製造工程中における要部断面図である。

[図16]図15に続く半導体装置の製造工程中における要部断面図である。

[図17]図16に続く半導体装置の製造工程中における要部断面図である。

[図18]図17に続く半導体装置の製造工程中における要部断面図である。

[図19]図18に続く半導体装置の製造工程中における要部断面図である。

[図20]図19に続く半導体装置の製造工程中における要部断面図である。

[図21]本発明の一実施の形態の半導体装置の抵抗素子の近傍を示す要部断面図である。

[図22]カルコゲナイド材料の結晶化過程を模式的に示す説明図であり、(a)は結晶核生成型、(b)は結晶成長型を示している。

[図23]本発明の一実施の形態の半導体装置における記録層を構成するカルコゲナイド材料の望ましい組成範囲を示す説明図である。

[図24]本発明の一実施の形態の半導体装置における記録層を構成するカルコゲナイド材料の望ましい組成範囲を示す説明図である。

[図25]相変化メモリの耐熱温度の組成依存性を示すグラフである。

[図26]相変化メモリの耐熱温度の組成依存性を示すグラフである。

[図27]相変化メモリの耐熱温度の組成依存性を示すグラフである。

[図28]相変化メモリの記録層の剥離率の組成依存性を示すグラフである。

[図29]相変化メモリのリセット電流の組成依存性を示すグラフである。

[図30]相変化メモリの書換え可能回数の組成依存性を示すグラフである。

[図31]相変化メモリの耐熱温度の組成依存性を示すグラフである。

[図32]相変化メモリの抵抗素子の、下部電極近傍の相変化領域を示す要部断面図である。

発明を実施するための最良の形態

[0032] 以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに

無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等(個数、数値、量、範囲等を含む)に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、以下の実施の形態において、その構成要素(要素ステップ等も含む)は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

[0033] 以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

[0034] また、実施の形態で用いる図面においては、断面図であっても図面を見易くするためにハッチングを省略する場合もある。また、平面図であっても図面を見易くするためにハッチングを付す場合もある。

[0035] 本実施の形態の半導体装置およびその製造方法を図面を参照して説明する。

[0036] 本実施の形態の半導体装置は、相変化材料を含むメモリ素子を備え、後述するように、そのメモリ素子の記録層材料が主要な特徴となっている。

[0037] まず、このメモリ素子を含む本実施の形態の半導体装置の全体の構成例から説明を行う。

[0038] 図1は、本実施の形態の半導体装置の概略構成の一例を示す平面図(平面レイアウト図、チップレイアウト図)である。

[0039] 本実施の形態の半導体装置(半導体チップ)1は、相変化型の不揮発性メモリ(不揮発性記憶素子)である相変化メモリ(相変化型不揮発性メモリ、PCM(Phase Change Memory)、OUM(Ovonic Unified Memory))を含む半導体装置(半導体記憶装置

、不揮発性半導体記憶装置)である。

[0040] 図1に示されるように、本実施の形態の半導体装置1は、メモリ素子、ここでは相変化メモリのメモリセルアレイが形成された相変化メモリ領域2を有している。更に、半導体装置1は、DRAM (Dynamic RAM) またはSRAM (Static RAM) 等のようなRAM (Random Access Memory) 回路が形成されたRAM領域3、CPUまたはMPU等のような論理回路が形成されたCPU領域4、アナログ回路が形成されたアナログ回路領域5、入出力回路が形成されたI/O領域6などを必要に応じて有している。

[0041] 相変化メモリ領域2には、半導体装置1の主回路の1つとして、比較的大容量の情報記憶する不揮発性メモリが、メモリ素子、ここでは相変化型の不揮発性メモリである相変化メモリによって形成されている。相変化メモリは、各メモリセルの記録層(後述する記録層52に対応)の原子配列が変化することによって記憶情報が記憶される(書き込まれる)不揮発性メモリである。相変化メモリは、各メモリセルの記録層(後述する記録層52に対応)において、結晶状態(結晶相)とアモルファス状態(アモルファス相)との間の相変化のような原子配列変化を起こすことによって、その抵抗率(抵抗値)を変化させ、アクセス時における各メモリセルの通過電流が記憶情報に応じて変化するように構成される。相変化メモリにおいては、この記録層の原子配列状態(例えば記録層がアモルファス状態にあるかあるいは結晶状態にあるか)を記憶情報とし、すなわち記録層が原子配列状態によって高抵抗状態(電気抵抗値が高い状態)にあるか低抵抗状態(電気抵抗値が低い状態)にあるか(抵抗値変化)を記憶情報とし、アクセス時にアクセス対象である選択メモリセルの通過電流により、選択メモリセルの記憶情報を読み出すことができる。従って、相変化メモリは、メモリ素子の一種であり、記録層(後述する記録層52)において原子配列状態の変化(例えば結晶相と非晶質相との間の相変化)を起こすことによって抵抗値を変化させて、電気抵抗値が高い高抵抗状態と低い低抵抗状態とを記憶させることができ、抵抗値変化を記憶情報とするメモリ素子(抵抗メモリ素子)の一種とみなすことができる。

[0042] 次に、半導体装置1の相変化メモリ領域2のメモリアレイの構成例を、図2の回路図を参照して説明する。図2は、本実施の形態の半導体装置1の相変化メモリ領域2のメモリアレイの構成例を示す回路図である。

- [0043] 図2に示されるメモリアレイの構造は、NOR型として知られるものであり、読出しが高速に行えることから、システムプログラムの格納に適しており、例えば、単体メモリチップ、あるいはマイコンなどの論理LSI混載用として用いられる。図2では、図面や説明が煩雑になるのを防ぐため、通常多数含まれるワード線およびビット線を簡略化して、4本のワード線WL1～WL4と4本のビット線BL1～BL4を示し、アレイの一部を示すに留めている。
- [0044] 図2において、メモリセルMC11, MC12, MC13, MC14は、ワード線WL1に電氣的に接続されている。同様に、メモリセルMC21～MC24, MC31～MC34, MC41～MC44は、それぞれ、ワード線WL2, WL3, WL4に電氣的に接続されている。また、メモリセルMC11, MC21, MC31, MC41は、ビット線BL1に電氣的に接続されている。同様に、メモリセルMC12～MC42, MC13～MC43, MC14～MC44は、それぞれ、ビット線BL2, BL3, BL4に電氣的に接続されている。
- [0045] 各メモリセルMC11～MC44は、MISFET (Metal Insulator Semiconductor Field Effect Transistor) からなる1個のメモリセルトランジスタ(後述するMISFETQM1, QM2の一方に対応)と、それに直列に接続されたメモリ材料またはメモリ素子MR(後述する記録層52または記録層52を含む抵抗素子54に対応)からなる。各ワード線(WL1～WL4)は、各メモリセル(MC11～MC44)を構成するメモリセルトランジスタのゲート電極に電氣的に接続されている。各ビット線(BL1～BL4)は、各メモリセル(MC11～MC44)を構成するメモリ素子(記憶素子)MRに電氣的に接続されている。また、各メモリセルトランジスタにおけるメモリ素子MRに接続される側とは異なる側の一端は、ソース線CSLに電氣的に接続されている。
- [0046] ワード線WL1～WL4を駆動するのは、それぞれ、ワードドライバWD1～WD4である。どのワードドライバWD1～WD4を選択するかは、Xアドレスデコーダ(ロウデコーダ)XDECからの信号で決まる。ここで、符号VPLは各ワードドライバWD1～WD4への電源供給線で、Vddは電源電圧、VGLは各ワードドライバWD1～WD4の電位引き抜き線である。なお、ここでは電位引き抜き線VGLは、接地電圧(接地電位)に固定されている。
- [0047] 符号QD1はビット線BL1をプリチャージする選択トランジスタである。同様に、QD2

～QD4は、それぞれ、BL2～BL4をプリチャージする選択トランジスタである。各ビット線BL1～BL4の一端は、それぞれ、MISFETからなる選択トランジスタQD1～QD4を介してセンスアンプSAに接続される。各選択トランジスタQD1～QD4は、アドレス入力にしたがって、Yアドレスデコーダ(ビットデコーダ)YDEC1またはYDEC2を介して選択される。本実施の形態では、選択トランジスタQD1、QD2がYアドレスデコーダYDEC1で選択され、選択トランジスタQD3、QD4がYアドレスデコーダYDEC2で選択される構成となっている。センスアンプSAは、メモリセル(MC11～MC44)から選択トランジスタQD1～QD4を介して読み出した信号を検出および増幅する。なお、図示はしないが、各選択トランジスタQD1～QD4には、センスアンプSAに加えて読み出し用や書き込み用の電圧または電流を供給する回路が接続されている。

[0048] 図3に、図2のアレイ構成に対応する平面レイアウト(平面図)を示す。

[0049] 図3において、符号FLは活性領域、M1は第1層配線(後述する配線37に対応)、M2は第2層配線(後述する配線72に対応)、FGはシリコン基板上に形成されたMISFETのゲートとして用いられるゲート電極層(後述するゲート電極16a, 16b, 16cなどを構成する導体膜パターンに対応)である。また、符号FCTは、活性領域FL上面と第1層配線M1の下面とを結ぶコンタクトホール(後述するコンタクトホール32に対応)、SCTは第1層配線M1上面とメモリ素子MRの下面とを結ぶコンタクトホール(後述するスルーホール42に対応)、TCTは第1層配線M1上面と第2層配線M2下面とを結ぶコンタクトホール(後述するスルーホール65に対応)である。

[0050] メモリ素子MRは、同一のビット線(BL)に電氣的に接続されているメモリセル(MC)間で、コンタクトホールTCTを介して第2層配線M2に引き上げられる。この第2層配線M2がそれぞれのビット線(BL)として用いられる。ワード線WL1～WL4は、ゲート電極層FGで形成してある。ゲート電極層FGには、ポリシリコンとシリサイド(シリコンと高融点金属との合金)との積層などを用いている。また、例えば、メモリセルMC11を構成するメモリセルトランジスタQM1とメモリセルMC21を構成するメモリセルトランジスタQM2はソース領域を共有し、このソース領域は、コンタクトホールFCTを介して、第1層配線M1からなるソース線CSLに接続されている。図3に示されるように、他のメモリセルを構成するメモリセルトランジスタも、これに倣う。

- [0051] ビット線BL1～BL4は、メモリセルアレイ外周に配置された選択トランジスタQD1～QD4のソース側に接続されている。選択トランジスタQD1とQD2のドレイン領域、および選択トランジスタQD3とQD4のドレイン領域は共通である。これらの選択トランジスタQD1～QD4は、YアドレスレコーダYDEC1あるいはYDEC2からの信号を受けて、指定のビット線を選択する働きも持つ。なお、選択トランジスタQD1～QD4は、本実施の形態では、例えばnチャネル型である。
- [0052] 各ブロックを構成する回路素子は、特に限定されないが、典型的にはCMISFET(Complementary MISFET:相補型MISトランジスタ)等の半導体集積回路技術によって、単結晶シリコンのような1個の半導体基板上に形成される。さらに、相変化を示すカルコゲナイド材料等が集積回路の作成技術にハイブリッドして作成される。これらのパターンのパターニングには、周知の光リソグラフィとドライエッチングを用いることができる。これら製造工程については後でより詳細に説明する。
- [0053] 次に、本実施の形態の半導体装置の構造について、より詳細に説明する。
- [0054] 図4は、本実施の形態の半導体装置1の要部断面図である。図4においては、相変化メモリ領域10Aの断面(要部断面)と周辺回路領域(論理回路領域)10Bの断面(要部断面)とが示されている。相変化メモリ領域10Aは、半導体装置1の相変化メモリ領域2の一部に対応する。周辺回路領域10Bは、半導体装置1の周辺回路領域の一部(nチャネル型MISFETおよびpチャネル型MISFETが形成される領域)に対応し、周辺回路を構成するMISFET(周辺回路領域10Bに形成されるMISFET)などによって、Xデコーダ回路、Yデコーダ回路、メモリセルのセンスアンプ回路、入出力回路(I/O領域6の入出力回路)、ロジックの論理回路(CPU領域4の論理回路)などが形成される。なお、図4においては、理解を簡単にするために、相変化メモリ領域10Aの断面と周辺回路領域10Bとを隣接して示しているが、相変化メモリ領域10Aの断面と周辺回路領域10Bとの位置関係は必要に応じて変更することができる。
- [0055] 図4に示されるように、例えばp型の単結晶シリコンなどからなる半導体基板(半導体ウエハ)11の主面に素子分離領域12が形成されており、この素子分離領域12で分離された活性領域にはp型ウエル13a、13bおよびn型ウエル14が形成されている。このうち、p型ウエル13aは相変化メモリ領域10Aに形成され、p型ウエル13bおよ

びn型ウエル14は周辺回路領域10Bに形成されている。

[0056] 相変化メモリ領域10Aのp型ウエル13a上にはnチャネル型のMISFET (Metal Insulator Semiconductor Field Effect Transistor) QM1, QM2が形成されている。周辺回路領域10Bのp型ウエル13b上にはnチャネル型のMISFET (Metal Insulator Semiconductor Field Effect Transistor) QNが形成され、周辺回路領域10Bのn型ウエル14上にはpチャネル型のMISFET (Metal Insulator Semiconductor Field Effect Transistor) QPが形成されている。

[0057] 相変化メモリ領域10AのMISFETQM1, QM2は、相変化メモリ領域10Aのメモリセル選択用のMISFET (メモリセルトランジスタ) である。MISFETQM1, QM2は、p型ウエル13aの上部に互いに離間して形成されており、それぞれ、p型ウエル13aの表面のゲート絶縁膜15aと、ゲート絶縁膜15a上のゲート電極16aとを有している。ゲート電極16aの側壁上には酸化シリコン、窒化シリコン膜あるいはそれらの積層膜などからなるサイドウォール (側壁スペーサ) 18aが形成されている。p型ウエル13a内には、MISFETQM1のドレイン領域としての半導体領域 (n型不純物拡散層) 20とMISFETQM2のドレイン領域としての半導体領域 (n型不純物拡散層) 21と、MISFETQM1, QM2のソース領域としての半導体領域 (n型不純物拡散層) 22とが形成されている。各半導体領域20, 21, 22は、LDD (Lightly Doped Drain) 構造を有しており、 n^- 型半導体領域17aと、半導体領域17aよりも不純物濃度が高い n^+ 型半導体領域19aとにより形成されている。 n^- 型半導体領域17aは、サイドウォール18aの下にp型ウエル13aに形成され、 n^+ 型半導体領域19aは、ゲート電極16aおよびサイドウォール18aの外側のp型ウエル13aに形成されており、 n^+ 型半導体領域19aは、 n^- 型半導体領域17aの分だけチャネル領域から離間する位置のp型ウエル13aに形成されている。半導体領域22は、同一の素子活性領域に形成された隣り合うMISFETQM1, QM2に共有されて共通のソース領域となっている。なお、本実施の形態では、MISFETQM1, QM2のソース領域を共通とした場合について説明するが、他の形態としてドレイン領域を共通とすることもでき、この場合、半導体領域22がドレイン領域となり、半導体領域20, 21がソース領域となる。

[0058] 周辺回路領域10Bに形成されたMISFETQNもMISFETQM1, QM2とほぼ同

様の構成を有している。すなわち、MISFETQNは、p型ウエル13bの表面のゲート絶縁膜15bと、ゲート絶縁膜15b上のゲート電極16bとを有しており、ゲート電極16bの側壁上には酸化シリコンなどからなるサイドウォール(側壁スペーサ)18bが形成されている。サイドウォール18bの下のパ型ウエル13b内には n^- 型半導体領域17bが形成され、 n^- 型半導体領域17bの外側には n^- 型半導体領域17bよりも不純物濃度が高い n^+ 型半導体領域19bが形成されている。 n^- 型半導体領域17bおよび n^+ 型半導体領域19bにより、MISFETQNのLDD構造を有するソース・ドレイン領域が形成される。

[0059] 周辺回路領域10Bに形成されたMISFETQPは、n型ウエル14の表面のゲート絶縁膜15cと、ゲート絶縁膜15c上のゲート電極16cとを有しており、ゲート電極16cの側壁上には酸化シリコンなどからなるサイドウォール(側壁スペーサ)18cが形成されている。サイドウォール18cの下のパ型ウエル14内には p^- 型半導体領域17cが形成され、 p^- 型半導体領域17cの外側には p^- 型半導体領域17cよりも不純物濃度が高い p^+ 型半導体領域19cが形成されている。 p^- 型半導体領域17cおよび p^+ 型半導体領域19cにより、MISFETQPのLDD構造を有するソース・ドレイン領域が形成される。

[0060] ゲート電極16a, 16b, 16c、 n^+ 型半導体領域19a, 19bおよび p^+ 型半導体領域19cの表面には、それぞれ金属シリサイド層(例えばコバルトシリサイド(CoSi_2)層)25が形成されている。これにより、 n^+ 型半導体領域19a, 19bおよび p^+ 型半導体領域19cなどの拡散抵抗と、コンタクト抵抗とを低抵抗化することができる。

[0061] 半導体基板11上には、ゲート電極16a, 16b, 16cを覆うように絶縁膜(層間絶縁膜)31が形成されている。絶縁膜31は、例えば酸化シリコン膜などからなり、絶縁膜31の上面は、相変化メモリ領域10Aと周辺回路領域10Bとでその高さがほぼ一致するように、平坦に形成されている。

[0062] 絶縁膜31にはコンタクトホール(開口部、接続孔)32が形成されており、コンタクトホール32内にはプラグ(コンタクト電極)33が形成されている。プラグ33は、コンタクトホール32の底部および側壁上に形成されたチタン膜、窒化チタン膜あるいはそれらの積層膜などからなる導電性バリア膜33aと、導電性バリア膜33a上にコンタクトホール

32内を埋め込むように形成されたタングステン(W)膜(主導体膜)33bとからなる。コンタクトホール32およびプラグ33は、 n^+ 型半導体領域19a, 19bおよび p^+ 型半導体領域19c上やゲート電極16a, 16b, 16c上に形成されている。

[0063] プラグ33が埋め込まれた絶縁膜31上には、例えば酸化シリコン膜などからなる絶縁膜34が形成されており、絶縁膜34に形成された配線溝(開口部)内に第1層配線としての配線(第1配線層)37が形成されている。配線37は、配線溝の底部および側壁上に形成されたチタン膜、窒化チタン膜あるいはそれらの積層膜などからなる導電性バリア膜36aと、導電性バリア膜36a上に配線溝内を埋め込むように形成されたタングステン膜などからなる主導体膜36bとにより形成されている。配線37は、プラグ33を介して、 n^+ 型半導体領域19a, 19b、 p^+ 型半導体領域19cまたはゲート電極16a, 16b, 16cなどと電氣的に接続されている。相変化メモリ領域10Aにおいて、MISFETQM1, QM2のソース用の半導体領域22(n^+ 型半導体領域19a)にプラグ33を介して接続された配線37により、ソース配線37bが形成されている。

[0064] 配線37が埋め込まれた絶縁膜34上には、例えば酸化シリコン膜などからなる絶縁膜(層間絶縁膜)41が形成されている。相変化メモリ領域10Aにおいて、絶縁膜41にスルーホール(開口部、孔、接続孔)42が形成されており、スルーホール42内にはプラグ(コンタクト電極、下部電極)43が形成されている。プラグ43は、スルーホール42の底部および側壁上に形成されたチタン膜、窒化チタン膜あるいはそれらの積層膜などからなる導電性バリア膜43aと、導電性バリア膜43a上にスルーホール42内を埋め込むように形成されたタングステン(W)膜(主導体膜)43bとからなる。従って、プラグ43は、層間絶縁膜である絶縁膜41の開口部(スルーホール42)内に形成された(埋め込まれた)導電体部である。スルーホール42およびプラグ43は、配線37のうち、相変化メモリ領域10AのMISFETQM1, QM2のドレイン用の半導体領域20, 21(n^+ 型半導体領域19a)にプラグ33を介して接続された配線37a上に形成され、この配線37aと電氣的に接続されている。

[0065] 相変化メモリ領域10Aにおいて、プラグ43が埋め込まれた絶縁膜41上に、薄い界面層(相変化材料はがれ防止膜、絶縁膜)51と、界面層51上の記録層(記憶層、記録材料膜、相変化膜、相変化記録材料膜)52と、記録層52上の上部電極膜(上部

電極、金属膜) 53とからなる抵抗素子(可変抵抗素子) 54が形成されている。すなわち、抵抗素子 54は、界面層 51、記録層 52および上部電極膜 53からなる積層パターンにより形成されている。抵抗素子 54(またはその記録層 52)は、上記メモリ素子 MR となる。抵抗素子 54は、絶縁膜 41上に素子間の膜を除去してアイランド形状に形成されている。なお、抵抗素子 54とそれに接続するプラグ 43(下部電極)とを合わせたものを抵抗素子(可変抵抗素子)とみなすこともでき、また、抵抗素子 54とそれに接続するプラグ 43(下部電極)とを合わせたものがメモリ素子として機能するので、抵抗素子 54(界面層 51、記録層 52および上部電極膜 53)とそれに接続するプラグ 43とを合わせたものをメモリ素子(抵抗メモリ素子)とみなすこともできる。

[0066] 界面層 51は、プラグ 43が埋め込まれた絶縁膜 41と記録層 52との間に介在して両者の密着性(接着性)を向上させ、記録層 52が剥がれるのを防止するように機能することができる。すなわち、界面層 51は、はがれ(剥がれ)防止膜または相変化材料はがれ防止膜として機能することができる。また、界面層 51は、熱伝導率がプラグ 43と比較して小さく、記録層 52の熱(リセット動作またはセット動作で発生したジュール熱)がプラグ 43側に逃げる(伝導する)のを防止するように機能することができ、それによって、相変化メモリの熱効率が向上し、相変化メモリの低電流書き換えが可能になる。また、界面層 51は、記録層 52を加熱する発熱用の抵抗層として機能することもできる。界面層 51は、金属酸化物(特に遷移金属の酸化物)または金属窒化物(特に遷移金属の窒化物)であることが好ましく、酸化タンタルまたは酸化クロムから構成されていれば、より好ましく、酸化タンタル(例えば Ta_2O_5 または Ta_2O_5 に近い組成の材料)であれば更に好ましく、これにより、界面層 51の上記機能を的確に発揮させることができる。また、界面層 51の膜厚は、例えば 0.05~5nm 程度とすることができる。

[0067] 但し、酸化タンタルなどの接着性改良膜は界面付近の電位勾配を大きくして高温での抵抗変化の原因となる微細な組成変調(組成ムラ)を生じやすいので、界面層 51(酸化タンタル膜)の平均膜厚を、0.05nm 以上 0.8nm 以下の範囲内、特に 0.2nm 程度に薄くすれば、接着性を保って高温時の変化を問題無い程度に小さくすることができる。この場合、界面層 51は、微細な島状に分離していると考えられる。はがれが発生するかどうかは、ある程度プロセス機器に依存するので、この界面層 51を全

く形成しなくてもはがれが発生しない場合もあると考えられる。このため、界面層51は形成した方が好ましいが、不要であれば、界面層51の形成を省略することもできる。

[0068] 記録層52は、原子配列の変化を起こすことによって情報を記憶する記録層（記憶層）であり、例えば結晶相と非晶質相との間の相変化のような原子配列変化によって、その抵抗値（抵抗率）を変化させ、電気抵抗値が高い高抵抗状態と低い低抵抗状態とを記憶する記録層（記憶層）である。すなわち、記録層52は、メモリ素子（ここでは相変化メモリ）の情報の記録層（記憶層、記憶素子）であり、記憶素子として機能することができる。このため、記録層52は、相変化材料（相変化物質）からなる相変化膜であり、結晶状態とアモルファス状態（非晶質状態、非結晶状態）との2状態間の遷移（相変化）が可能な材料膜（半導体膜）である。

[0069] 記録層52は、カルコゲン元素（S, Se, Te）を含む材料（半導体）、すなわちカルコゲナイド材料（カルコゲナイド、カルコゲナイド半導体）により形成されているが、本実施の形態では、記録層52は、インジウム（In）、ゲルマニウム（Ge）、アンチモン（Sb）およびテルル（Te）を適切な組成比で含むカルコゲナイド材料（In-Ge-Sb-Te系カルコゲナイド材料）からなる。従って、本実施の形態では、記録層52は、インジウム（In）とゲルマニウム（Ge）とアンチモン（Sb）とテルル（Te）とを構成元素として含んでいる。なお、カルコゲナイドとは、硫黄（S）、セレン（Se）、テルル（Te）のうちの少なくとも1元素を含む材料をいう。記録層52の組成については、後でより詳細に説明する。記録層52の膜厚は、例えば10～200nm程度とすることができる。

[0070] 上部電極膜53は、相変化メモリの上部電極として機能し、導電体（好ましくは金属）からなり、例えばタングステン（W）膜またはタングステン合金膜などにより形成することができ、その膜厚は、例えば10～200nm程度とすることができる。また、抵抗素子54の厚み（すなわち界面層51、記録層52および上部電極膜53の積層膜の全厚み）の好ましい範囲は、30nm以上150nm以下である。

[0071] 上部電極膜53は、後述するプラグ64と抵抗素子54とのコンタクト抵抗の低減や、スルーホール63形成後に導電性バリア膜67aを形成する際に、記録層52が昇華するのを防止するように機能することができる。このため、上部電極膜53を形成することが好ましいが、上部電極膜53の形成を省略して後述するプラグ64を記録層52の上

面に接続した場合は、プラグ64が相変化メモリの上部電極として機能することになる。

[0072] プラグ43は、導電体(好ましくは金属)からなり、相変化メモリの下部電極(下部コンタクト電極)として機能し、抵抗素子54の下部(界面層51の下面)は、プラグ43と接触して電氣的に接続されている。従って、抵抗素子54の下部(界面層51の下面)は、プラグ43、配線37aおよびプラグ33を介して、相変化メモリ領域10AのMISFET QM1, QM2のドレイン領域20, 21 (n^+ 型半導体領域19a)に電氣的に接続されている。

[0073] 図4に示されるように、絶縁膜41上に、抵抗素子54を覆うように、絶縁膜61と、絶縁膜61上の絶縁膜(層間絶縁膜)62とが形成されている。すなわち、上部電極膜53の上面上および抵抗素子54(記録層52)の側壁上を含む絶縁膜41上に絶縁膜61が形成され、その絶縁膜61上に層間絶縁膜として絶縁膜62が形成されている。絶縁膜61の膜厚は、絶縁膜62の膜厚(例えば数百nm)よりも薄く、例えば5~20nm程度とすることができる。絶縁膜61は、例えば窒化シリコン膜からなり、絶縁膜62は、例えば酸化シリコン膜からなる。絶縁膜62の上面は、相変化メモリ領域10Aと周辺回路領域10Bとでその高さがほぼ一致するように、平坦に形成されている。

[0074] 相変化メモリ領域10Aにおいて、絶縁膜61, 62にスルーホール(開口部、接続孔)63が形成され、スルーホール63の底部で抵抗素子54の上部電極膜53の少なくとも一部が露出されている。スルーホール63内にはプラグ(コンタクト電極、上部電極コンタクト)64が形成されている。プラグ64は、スルーホール63の底部および側壁上に形成されたチタン膜、窒化チタン膜あるいはそれらの積層膜などからなる導電性バリア膜67aと、導電性バリア膜67a上にスルーホール63内を埋め込むように形成されたタングステン(W)膜(主導体膜)67bとからなる。タングステン膜67bの代わりにアルミニウム膜などを用いることもできる。スルーホール63およびプラグ64は、抵抗素子54の上部に形成されており、プラグ64は抵抗素子54の上部電極膜53と電氣的に接続されている。従って、プラグ64は、層間絶縁膜である絶縁膜62の開口部(スルーホール63)内に形成され(埋め込まれ)、上部電極膜53と電氣的に接続された導電体部である。

- [0075] 周辺回路領域10Bにおいて、絶縁膜41, 61, 62にスルーホール(開口部、接続孔)65が形成され、スルーホール65の底部で配線37の上面が露出されている。スルーホール65内にはプラグ(コンタクト電極)66が形成されている。プラグ66は、スルーホール65の底部および側壁上に形成されたチタン膜、窒化チタン膜あるいはそれらの積層膜などからなる導電性バリア膜67aと、導電性バリア膜67a上にスルーホール65内を埋め込むように形成されたタングステン膜(主導体膜)67bとからなる。スルーホール65およびプラグ66は、配線37と電氣的に接続されている。
- [0076] プラグ64, 66が埋め込まれた絶縁膜62上には、第2層配線としての配線(第2配線層)72が形成されている。配線72は、例えば、チタン膜、窒化チタン膜あるいはそれらの積層膜などからなる導電性バリア膜71aと、導電性バリア膜71a上のアルミニウム(Al)膜またはアルミニウム合金膜(主導体膜)71bとからなる。アルミニウム合金膜71b上に導電性バリア膜71aと同様の導電性バリア膜を更に形成して配線72を構成することもできる。
- [0077] 相変化メモリ領域10Aにおいて、配線72のうちの配線(ビット線)72aは、プラグ64を介して抵抗素子54の上部電極膜53に電氣的に接続されている。従って、相変化メモリ領域10Aのビット線を構成する配線72aは、プラグ64、抵抗素子54、プラグ43、配線37aおよびプラグ33を介して、相変化メモリ領域10AのMISFETQM1, QM2のドレイン領域20, 21(n^+ 型半導体領域19a)に電氣的に接続されている。
- [0078] 周辺回路領域10Bにおいて、配線72は、プラグ66を介して配線37と電氣的に接続され、更にプラグ33を介してMISFETQNの n^+ 型半導体領域19bやMISFETQPの p^+ 型半導体領域19cと電氣的に接続されている。
- [0079] 絶縁膜62上に、配線72を覆うように、層間絶縁膜としての絶縁膜(図示せず)が形成され、更に上層の配線層(第3層配線以降の配線)などが形成されるが、ここでは図示およびその説明は省略する。
- [0080] このように、半導体基板11に、相変化メモリ領域10Aの相変化メモリ(相変化型の不揮発性メモリ)と周辺回路領域10BのMISFETとを含む半導体集積回路が形成されて、本実施の形態の半導体装置が構成されている。
- [0081] 上記のように、記録層52(または記録層52を含む抵抗素子54)と、記録層52(抵

抗素子54)に接続されたメモリセルトランジスタ(メモリセル選択用トランジスタ)としてのMISFETQM1, QM2とにより、相変化メモリのメモリセルが構成されている。MISFETQM1, QM2のゲート電極16aは、ワード線(上記ワード線WL1~WL4に対応)に電氣的に接続されている。抵抗素子54の上面側(上部電極膜53)は、プラグ64を介して上記配線72aからなるビット線(上記ビット線BL1~BL4に対応)に電氣的に接続されている。抵抗素子54の下面側(記録層52の下面側、すなわち界面層51)は、プラグ43、配線37aおよびプラグ33を介して、MISFETQM1, QM2のドレイン用の半導体領域20, 21に電氣的に接続されている。MISFETQM1, QM2のソース用の半導体領域22は、プラグ33を介して、ソース配線37b(ソース線)に電氣的に接続されている。

[0082] なお、本実施の形態では、相変化メモリのメモリセルトランジスタ(メモリセル選択用トランジスタ)としてnチャネル型のMISFETQM1, QM2を用いた場合について示しているが、他の形態として、nチャネル型のMISFETQM1, QM2の代わりに、他の電界効果型トランジスタ、例えばpチャネル型のMISFETなどを用いることもできる。ただし、相変化メモリのメモリセルトランジスタとしては、高集積化の観点からMISFETを用いることが好ましく、pチャネル型のMISFETに比べ、オン状態でのチャネル抵抗の小さいnチャネル型のMISFETQM1, QM2がより好適である。

[0083] また、本実施の形態では、抵抗素子54を、プラグ43、配線37(37a)およびプラグ33を介してメモリ領域10AのMISFETQM1, QM2のドレイン(半導体領域10, 11)に電氣的に接続しているが、他の形態として、抵抗素子54を、プラグ43、配線37(37a)およびプラグ33を介してメモリ領域10AのMISFETQM1, QM2のソースに電氣的に接続することもできる。すなわち、抵抗素子54を、プラグ43、配線37(37a)およびプラグ33を介してメモリ領域10AのMISFETQM1, QM2のソースまたはドレインの一方に電氣的に接続すればよい。ただし、メモリ領域10AのMISFETQM1, QM2のソースよりもドレインをプラグ33、配線37(37a)およびプラグ43を介して抵抗素子54に電氣的に接続した方が、不揮発性メモリとしての機能を考慮すれば、より好ましい。

[0084] 次に、相変化メモリ(相変化メモリ領域2, 10Aに形成された相変化メモリ)の動作に

ついて説明する。

[0085] 図5は、記録層52の状態(相状態)と記録層52の抵抗(抵抗率)との相関を示す説明図(表)である。図5にも示されるように、記録層52は、アモルファス状態と結晶状態とで抵抗率が異なり、アモルファス状態では高抵抗(高抵抗率)となり、結晶状態では低抵抗(低抵抗率)となる。例えば、アモルファス状態での記録層52の抵抗率は、結晶状態での記録層52の抵抗率よりも、10～10000倍程度大きくなる。このため、記録層52は、結晶状態とアモルファス状態との2状態間の遷移(相変化)が可能で、この2状態間の遷移により抵抗値が変化する抵抗素子として機能することができる。記録層52は、後述するように、加熱処理(ジュール熱による加熱処理)により結晶状態とアモルファス状態との2状態間を遷移(相変化)させることが可能である。従って、記録層52は、加熱処理により抵抗値が変化する相変化材料からなり、加熱処理により抵抗値が変化する抵抗素子として機能することができる。

[0086] 図6および図7は、相変化メモリの動作を説明するためのグラフである。図6のグラフの縦軸は、相変化メモリに印加するリセットパルス、セットパルスおよびリードパルスの電圧(任意単位:arbitrary unit)に対応し、横軸は時間(任意単位:arbitrary unit)に対応する。図7のグラフの縦軸は、相変化メモリにリセットパルス、セットパルスまたはリードパルスを印加したときの記録層52の温度(任意単位:arbitrary unit)に対応し、横軸は時間(任意単位:arbitrary unit)に対応する。

[0087] 記憶素子(相変化メモリのメモリセル)に記憶情報‘0’を書き込む場合、すなわち相変化メモリのリセット動作(記録層52のアモルファス化)時には、図6に示されるようなリセットパルス(リセット電圧パルス)をビット線(配線72a)およびプラグ64を介して抵抗素子54(記録層52)に印加する。MISFETQM1, QM2のソース(半導体領域22)には、ソース配線37bおよびプラグ33を介して固定電位(例えば0V)を供給し、選択されたMISFETのゲート電極16aには、ワード線を介して所定の電圧を印加する。このリセットパルスは、記録層52を、その融点(記録層52を構成するカルコゲナイド材料の融点) T_m 以上に熱してからアモルファス化温度 T_a 以下まで急冷するような電圧パルスであり、比較的高い電圧(例えば1.5V程度)を比較的短い時間印加する。リセットパルス印加時は、比較的大きな電流が流れ、図7に示されるように、記録層52

の温度が記録層52の融点 T_m 以上に上昇して記録層52が溶融し、リセットパルスの印加が終了すると、記録層52はアモルファス化温度 T_a 以下にまで急冷し、記録層52はアモルファス状態となる(リセット状態)。リセットパルスの印加時間を短くして、与える全エネルギーを小さくし、冷却時間 t_1 を短く、例えば約1nsに設定することにより、記録層52(カルコゲナイド材料)は高抵抗のアモルファス状態となる。このように、リセット動作は、プラグ43(下部電極)と抵抗素子54とからなるメモリ素子(相変化メモリ素子)の書き換えのためにプラグ43と上部電極膜53との間を高抵抗化させる動作である。

[0088] 逆に、記憶情報‘1’を書き込む場合、すなわち相変化メモリのセット動作(記録層52の結晶化)時には、図6に示されるようなセットパルス(セット電圧パルス)を、ビット線(配線72a)およびプラグ64を介して抵抗素子54(記録層52)に印加する。MISFETQM1, QM2のソース(半導体領域22)には、ソース配線37bおよびプラグ33を介して固定電位(例えば0V)を供給し、選択されたMISFETのゲート電極16aには、ワード線を介して所定の電圧を印加する。このセットパルスは、記録層52をガラス転移点と同じかそれよりも高い結晶化温度 T_c より高い温度領域に保つような電圧パルスであり、リセットパルスよりも低い電圧(例えば0.8V程度)をリセットパルスよりも長い時間(結晶化時間以上)印加する。セットパルス印加時は、リセット時よりも低い電流が比較的長時間流れ、図7に示されるように、記録層52の温度が記録層52の結晶化温度 T_c 以上の温度に上昇して記録層52が結晶化し、セットパルスの印加が終了すると、記録層52は冷却し、低抵抗の結晶状態(多結晶状態)となる(セット状態)。結晶化に要する時間 t_2 は記録層52を構成するカルコゲナイド材料の組成によって異なるが、例えば、約50nsである。図7に示した記録層52(抵抗素子54)の温度は、記録層52自身が発するジュール熱や周囲への熱拡散などに依存する。このように、セット動作は、プラグ43(下部電極)と抵抗素子54とからなるメモリ素子(相変化メモリ素子)の書き換えのためにプラグ43と上部電極膜53との間を低抵抗化させる動作である。

[0089] 相変化メモリのリード動作時には、図6に示されるようなリードパルス(リード電圧パルス)を、ビット線(配線72a)およびプラグ64を介して抵抗素子54(記録層52)に印

加する。MISFETQM1, QM2のソース(半導体領域22)には、ソース配線37bおよびプラグ33を介して固定電位(例えば0V)を供給し、選択されたMISFETのゲート電極16aには、ワード線を介して所定の電圧を印加する。リードパルスは、セットパルスよりも更に低い電圧(例えば0.3V程度)をセットパルスよりも短い時間印加する。リードパルスの電圧は比較的低く、リードパルスを印加しても、図7に示されるように、記録層52の温度が記録層52の結晶化温度 T_c 以上に上昇することはないので、記録層52の相状態は変化しない。記録層52が結晶状態のときは、記録層52(抵抗素子54)は相対的に低抵抗であり、記録層52がアモルファス状態のときは、記録層52(抵抗素子54)は相対的に高抵抗である。このため、リードパルスを印加したときにその記録層52(抵抗素子54)が接続されたMISFET(QM1またはQM2)に流れる電流は、記録層52が結晶状態の場合は相対的に大きく、記録層52がアモルファス状態の場合は、相対的に小さくなる。従って、流れる電流の大小により、データ(プラグ43と上部電極膜53との間の記録層52が結晶状態(低抵抗状態)とアモルファス状態(高抵抗状態)のどちらであるか)を判別することができる。

[0090] このように、リセット動作およびセット動作により、記録層52の原子配列を変化させることにより、例えば記録層52がアモルファス状態であるかあるいは結晶状態であるかを移行させることにより、抵抗素子54(記録層52)の抵抗を変化させ、相変化メモリにデータを記録(記憶、格納、書き込み)することができる。そして、記録層52が高抵抗状態(アモルファス状態)であるかあるいは低抵抗状態(結晶状態)であるかを相変化メモリの記憶情報とし、相変化メモリに記録したデータ(記憶情報)をリード動作により読み出すことができる。従って、記録層52は、相変化メモリの情報の記録層である。

[0091] 図8は、カルコゲナイド材料を用いた記憶素子(記録層52)の動作原理を模式的に示す説明図(グラフ)であり、記憶素子のI-V特性が示されている。図8のグラフの横軸は記憶素子(記録層52)への印加電圧に対応し、縦軸は記憶素子(記録層52)を流れる電流に対応する。図8では、 I_{w1} から I_{w0} の範囲内のセット電流を印加する場合に記憶情報‘1’が書き込まれ、 I_{w0} 以上のリセット電流を印加する場合に記憶情報‘0’が書き込まれることを示している。図8のI-V特性に示されるように、書き込み情報に応じた値の電流パルスを記憶素子(記録層52)に印加することにより、記憶素子の

結晶状態が制御される。ただし、どちらの状態を‘0’、どちらの状態を‘1’としても良い。以下では、図8に従い、四通りの書き込み動作をより詳細に説明する。

[0092] 図8からも分かるように、第一に、初期状態‘1’の記憶素子(記録層52)に‘1’書き込みを行う場合、セット電流(セットパルス)が印加されると、セット(結晶)状態の低抵抗曲線を辿って初期状態とセット領域との間を往復するので、状態が保持される。第二に、初期状態‘1’の記憶素子(記録層52)に‘0’書き込みを行う場合、リセット電流(リセットパルス)が印加されると、セット状態の低抵抗曲線を辿ってリセット電流に達する。次に、ジュール熱により部分的に融解が始まるので、導電率が徐々に下がる。パルスが切れて液相の記憶素子が急冷されると、アモルファス状態に相変化するので、リセット(非晶質)状態の高抵抗曲線を一部辿って初期状態に戻る。図8で点線で示した部分は、リセットパルスは既に切れているが、そのまま電圧をかけ続けたら抵抗値の変化で電流はこうに変化するはず、という仮想的な線である。第三に、初期状態‘0’の記憶素子(記録層52)に‘1’書き込みを行う場合、セット電流(セットパルス)を印加すると、記憶素子の端子電圧がしきい電圧 V_{th} を超えた時に、低抵抗状態にスイッチする。スイッチング後は、ジュール熱によって結晶化が進行する。電流値がセット電流に達すると、結晶化領域が広がって相変化することにより、さらに抵抗値が下がるので、低抵抗曲線を辿って初期状態に戻る。途中から電圧－電流曲線の傾斜がゆるやかになるのは、低抵抗状態へスイッチングしていた領域がスイッチOFFとなり、結晶化による抵抗低下のみが残留するためである。第四に、初期状態‘0’の記憶素子(記録層52)に‘0’書き込みを行う場合、前述したスイッチング後にほとんど結晶化する時間はなく、スイッチングしたことによる低抵抗曲線を辿ってリセット領域に達し、融解、急冷、固化して初期状態に戻る。

[0093] このような記憶素子の動作原理から、読み出し時には、記憶情報を破壊しないようにするために、最高でもしきい値電圧 V_{th} より低い電圧に抑制しながら動作しなければならない。実際には、しきい値電圧 V_{th} は電圧印加時間にも依存し、時間が長いと低下する傾向があるため、読出し時間内にしきい電圧 V_{th} を越えて低抵抗状態へのスイッチングが起こらない電圧にする必要がある。そこで、これらの原理に基づいた、図2に示したメモリアレイ構成を実現する動作を以下に説明する。

[0094] 次に、図9および上記図2を参照して、図2に示したアレイ構成を用いたメモリセルの読み出し動作について説明する。ここで、図9は、メモリセルMC11を選択する場合の動作波形(電圧印加波形)の一例を示している。

[0095] まず、待機状態において、プリチャージイネーブル信号PCが電源電圧Vdd(例えば1.5V)に保持されているので、n型チャネル型MISトランジスタ(MISFET)QC1ないしQC4によりビット線BL1がプリチャージ電圧VDLに維持される。ここでプリチャージ電圧VDLは、Vddよりもトランジスタのしきい電圧だけ低下した値で、例えば1.0Vである。また、共通ビット線I/Oも、読み出し回路によりプリチャージ電圧VDLにプリチャージされている。

[0096] 読み出し動作が始まると、電源電圧Vddとなっているプリチャージイネーブル信号PCが接地電位GND(VSSに対応)に駆動され、接地電位GND(VSSに対応)となっているビット選択線(カラム選択線)YS1が昇圧電位VDH(例えば1.5V以上)に駆動されることにより、トランジスタ(MISFET)QD1が導通する。この時、ビット線BL1は共通ビット線I/Oと等電位にあるのでプリチャージ電圧VDLに保持されるが、ソース線CSLはソース電圧VSL(例えば0V)に駆動される。このソース電圧VSLとプリチャージ電圧VDLは、プリチャージ電圧VDLがソース電圧VSLよりも高く、その差は、メモリ素子MRの端子電圧が図8に示したような読み出し電圧領域の範囲内に収まるような関係に設定されている。

[0097] 次に、接地電位GND(VSSに対応)となっているワード線WL1が昇圧電位VDHに駆動されると、ワード線WL1上の全てのメモリセルにおけるトランジスタ(MISFET)QM_p(p=1、2、…、m)が導通する。この時、メモリ素子MRに電位差が生じたメモリセルMC11内に電流経路が発生し、ビット線BL1が、メモリ素子MRの抵抗値に応じた速さでソース電圧VSLに向かって放電される。図9では、記憶情報‘1’を保持している場合の方が、記憶情報‘0’の場合よりも抵抗値が小さいものとしているので、放電が速い。したがって、記憶情報に応じた信号電圧が発生される。非選択メモリセルMC12～MC1mではメモリ素子MRの電位差が0なので、非選択ビット線BL2ないしBL4はプリチャージ電圧VDLに保持される。すなわち、ワード線WL1とビット線BL1により選択されたメモリセルMC11のみが、ビット線BL1を通じて読み出し電流

を流す。ここで、読み出し回路で読み出し情報が弁別された後なら、ワード線WL1を立ち下げることができる。尚、この弁別が遅い場合にワード線WL1を立ち上げ続けると、記憶情報‘0’を読み出す場合においても、選択されたビット線BL1がソース電圧VSL付近まで放電されてしまい、‘0’読み出しの信号電圧と‘1’読み出しの信号電圧との差が減少して、記憶情報を正しく読み出せなくなる場合がある。このような場合には、図9のように、‘0’読み出しの場合のビット線電圧が参照電圧VDRを越える前のタイミングで、ワード線WL1を立ち下げることにより、誤動作を防止できる。ワード線を立ち下げて電流経路を遮断することにより、共通ビット線(共通データ線)I/O上の信号電圧が保持されるので、読み出し回路は参照電圧VDRを基準として発生された正または負の信号を弁別することが可能である。以上の読み出し動作が終了すると、共通ビット線(共通データ線)I/Oはプリチャージ電位VDLに駆動されて、待機状態に戻る。

- [0098] なお、待機状態において、メモリアレイのビット線やソース線をフローティングとすると、読み出し動作開始時にビット線と共通ビット線を接続した際に、電圧が不定であるビット線の容量が共通ビット線から充電されてしまう。このため、図9ではワード線WL1に応じてビット選択線(カラム選択線)YS1も立ち下げ、さらに接地電位GND(VSSに対応)となっているプリチャージイネーブル信号PCを電源電圧Vddに駆動することにより、ビット線およびソース線をプリチャージ電位VDLに駆動して待機状態としている。また、昇圧電位VDHは、従来のDRAMにおいて広く用いられているような電圧であり、電源電圧Vddとnチャネル型MISTランジスタのしきい電圧VTNを用いて、 $VDH > Vdd + VTN$ の関係を満たすように設定されている。例えば相変化メモリの書き込み動作では、後述するように、読み出し動作よりも大きな電流を流す必要がある。このため、本実施の形態では、ワード線とビット選択線を昇圧電位VDHに駆動してnチャネル型MISTランジスタの抵抗を下げることにより、正確な書き込み動作を行うことができる。また、プリチャージ電圧VDLをソース電圧VSLより高く設定することにより、選択ソース線を選択メモリセル中のランジスタ(MISFET)QMmのソースとし、メモリ素子MRの抵抗によらず、ランジスタのゲート-ソース間電圧を確保できる。なお、逆の電位関係であっても、その差が、図8に示したような読み出し電圧領域の範囲内

に収まるように設定されているならば、同様の選択動作が可能である。

- [0099] 尚、図9は、ソース線CSLを駆動してからワード線WL1を駆動する例であるが、設計の都合によっては、ワード線WL1を駆動してからソース線CSLを駆動してもよい。この場合には、最初はワード線WL1が駆動されて選択トランジスタQM1が導通するため、メモリ素子MRの端子電圧は0Vに確保される。その後、ソース線CSLを駆動すると、メモリ素子MRの端子電圧は0Vから大きくなるが、その値はソース線CSLの駆動速度で制御可能で、前述した読み出し領域の範囲に収めることができる。同様に、ワード線WL1とソース線CSLを、ほぼ同時に駆動することもできる。また、ワード線WL1とソース線CSLのうちで、駆動タイミングの遅い方のパルスに先行してビット選択線(カラム選択線)YS1を駆動すれば、I/Oへの出力待ち時間を減らせるので、アクセス時間が速くなる。
- [0100] 以上、メモリセルMC11を選択する例を示したが、同じビット線上のメモリセルは、それらのワード線電圧が接地電位GND(VSSに対応)に固定されているので選択されることはない。また、他のビット線とソース線は同じ電位VDLなので、残りのメモリセルも非選択セルの状態に維持される。
- [0101] 以上の説明では、待機状態のワード線を接地電位GND(VSSに対応)とし、選択状態のソース線を0.5Vといった正のソース電圧VSLとしている。この電圧関係は、非選択メモリセルを通じて流れる電流が動作に影響を及ぼさないように設定する。すなわち、ソース線が選択され、ワード線が非選択のメモリセル、例えばメモリセルMC11を選択する際の非選択メモリセルMC21～MCn1のトランジスタ(MISFET)QMが十分オフになるように設定すれば良い。ここで示したように、待機状態のワード線電圧を接地電位GND(VSSに対応)とし、ソース電圧VSLを正の電圧とすることにより、トランジスタQMのしきい値電圧を低くできる。場合によっては、選択されたソース線を接地電位0Vとして、待機状態のワード線を負の電圧にすることも可能である。その場合にも、トランジスタQMのしきい値電圧を低くできる。待機時のワード線用に負電圧を発生させる必要があるが、選択時のソース線の電圧が、外部から印加される接地電位GND(VSSに対応)であるため安定させ易い。トランジスタQMのしきい値電圧を十分高くすれば、選択時のソース線と待機状態のワード線を接地電位0Vとしても

良い。その場合、外部から印加される接地電位GND(VSSに対応)である上に、待機状態のワード線の容量が安定化容量として働くために、選択時のソース線の電圧をさらに安定なものにできる。

[0102] さらに、ここでは、共通ビット線(共通データ線)I/Oに読み出された信号電圧を、読み出し回路により弁別する動作を説明したが、共通ビット線(共通データ線)I/Oに流れる電流を弁別する動作も可能である。その場合、読み出し回路に、例えば前述の米国特許第5,883,827号明細書に述べられているような、入力インピーダンスが小さいセンス回路を用いることができる。そのような、電流をセンスする方式にすることにより、共通ビット線(共通データ線)の配線容量の影響が小さくなり、読み出し時間を短縮できる。

[0103] さらに、図10に従い、上記図2に示したアレイ構成を用いたメモリセルの書き込み動作について説明する。但し、図10は、メモリセルMC11を選択する場合の動作波形である。

[0104] まず、メモリセルMC11の選択動作は、読み出し動作と同じように行われる。メモリセルMC11が選択されると、書き込み回路が共通ビット線(共通データ線)I/Oを駆動することにより、書き込み電流IWCが発生される。‘0’書き込みの場合、図8に示した範囲の値に設定されたリセット電流がメモリセルMC11に印加される。リセット電流のパルス幅は短く、駆動後は直ちに待機状態に戻って、電流値が0となる。このようなリセット電流により、図6および図7に示したようなリセットパルスと同じジュール熱が発生される。反対に、‘1’書き込みの場合、図8に示した範囲の値に設定されたセット電流が印加される。このパルス幅は約50nsである。このようなセット電流により、図6および図7に示したようなセットパルスと同じジュール熱が発生される。このように、書き込みパルスの印加時間と電流値は書き込み回路で制御されるので、どちらの記憶情報を書き込む場合においても、メモリセルはセット電流のパルス幅だけ選択状態にある。

[0105] 次に、本実施の形態の半導体装置1の製造工程について、図面を参照して説明する。図11～図20は、本実施の形態の半導体装置1の製造工程中の要部断面図であり、上記図4に対応する領域が示されている。なお、理解を簡単にするために、図15

～図20では、図14の絶縁膜31およびそれより下の構造に対応する部分は図示を省略している。

- [0106] まず、図11に示されるように、例えばp型の単結晶シリコンなどからなる半導体基板(半導体ウエハ)11を準備する。それから、半導体基板11の主面に、例えばSTI(Shallow Trench Isolation)法またはLOCOS(Local Oxidization of Silicon)法などにより、絶縁体からなる素子分離領域12を形成する。素子分離領域12を形成することにより、半導体基板11の主面には、素子分離領域12によって周囲を規定された活性領域が形成される。
- [0107] 次に、半導体基板11の主面にp型ウエル13a、13bとn型ウエル14を形成する。このうち、p型ウエル13aは相変化メモリ領域10Aに形成され、p型ウエル13bおよびn型ウエル14は周辺回路領域10Bに形成される。例えば半導体基板11の一部にp型の不純物(例えばホウ素(B))をイオン注入することなどによりp型ウエル13a、13bを形成し、半導体基板11の他の一部にn型の不純物(例えばリン(P)またはヒ素(As))をイオン注入することなどによりn型ウエル14を形成することができる。
- [0108] 次に、例えば熱酸化法などを用いて、半導体基板11のp型ウエル13a、13bおよびn型ウエル14の表面に薄い酸化シリコン膜などからなるゲート絶縁膜用の絶縁膜15を形成する。絶縁膜15として酸化シリコン膜などを用いることもできる。絶縁膜15の膜厚は、例えば1.5～10nm程度とすることができる。
- [0109] 次に、p型ウエル13a、13bおよびn型ウエル14の絶縁膜15上にゲート電極16a、16b、16cを形成する。例えば、絶縁膜15上を含む半導体基板11の主面の全面上に導電体膜として低抵抗の多結晶シリコン膜を形成し、フォトリソ法およびドライエッチング法などを用いてその多結晶シリコン膜をパターン化することにより、パターンニングされた多結晶シリコン膜(導電体膜)からなるゲート電極16a、16b、16cを形成することができる。ゲート電極16aの下に残存する絶縁膜15がゲート絶縁膜15aとなり、ゲート電極16bの下に残存する絶縁膜15がゲート絶縁膜15bとなり、ゲート電極16cの下に残存する絶縁膜15がゲート絶縁膜15cとなる。なお、成膜時または成膜後に不純物をドーピングすることにより、ゲート電極16a、16bはn型不純物が導入された多結晶シリコン膜(ドーフトポリシリコン膜)により形成され、ゲート電極16cはp型不純物

が導入された多結晶シリコン膜(ドーフトポリシリコン膜)により形成される。

- [0110] 次に、リン(P)またはヒ素(As)などのn型の不純物をイオン注入することなどにより、p型ウエル13aのゲート電極16aの両側の領域に n^- 型半導体領域17aを形成し、p型ウエル13bのゲート電極16bの両側の領域に n^- 型半導体領域17bを形成する。また、ホウ素(B)などのp型の不純物をイオン注入することなどにより、n型ウエル14のゲート電極16cの両側の領域に p^- 型半導体領域17cを形成する。
- [0111] 次に、ゲート電極16a, 16b, 16cの側壁上に、サイドウォール18a, 18b, 18cを形成する。サイドウォール18a, 18b, 18cは、例えば、半導体基板11上に酸化シリコン膜、窒化シリコン膜またはそれらの積層膜からなる絶縁膜を堆積し、この絶縁膜を異方性エッチングすることによって形成することができる。
- [0112] 次に、リン(P)またはヒ素(As)などのn型の不純物をイオン注入することなどにより、p型ウエル13aのゲート電極16aおよびサイドウォール18aの両側の領域に n^+ 型半導体領域19aを形成し、p型ウエル13bのゲート電極16bおよびサイドウォール18bの両側の領域に n^+ 型半導体領域19bを形成する。また、ホウ素(B)などのp型の不純物をイオン注入することなどにより、n型ウエル14のゲート電極16cおよびサイドウォール18cの両側の領域に p^+ 型半導体領域19cを形成する。イオン注入後、導入した不純物の活性化のためのアニール処理(熱処理)を行うこともできる。
- [0113] これにより、相変化メモリ領域10AのMISFETQM1, QM2のドレイン領域として機能するn型の半導体領域20, 21と、共通のソース領域として機能するn型の半導体領域22とが、それぞれ、 n^+ 型半導体領域19aおよび n^- 型半導体領域17aにより形成される。そして、周辺回路領域10BのMISFETQNのドレイン領域として機能するn型の半導体領域とソース領域として機能するn型の半導体領域とが、それぞれ、 n^+ 型半導体領域19bおよび n^- 型半導体領域17bにより形成され、MISFETQPのドレイン領域として機能するp型の半導体領域とソース領域として機能するp型の半導体領域とが、それぞれ、 p^+ 型半導体領域19cおよび p^- 型半導体領域17cにより形成される。
- [0114] 次に、ゲート電極16a, 16b, 16c、 n^+ 型半導体領域19a, 19bおよび p^+ 型半導体領域19cの表面を露出させ、例えばコバルト(Co)膜のような金属膜を堆積して熱処

理することによって、ゲート電極16a, 16b, 16c、 n^+ 型半導体領域19a, 19bおよび p^+ 型半導体領域19cの表面に、それぞれ金属シリサイド層25を形成する。その後、未反応のコバルト膜(金属膜)は除去する。

[0115] このようにして、図11の構造が得られる。ここまでの工程により、相変化メモリ領域10Aに、 n チャネル型のMISFETQM1, QM2が形成され、周辺回路領域10Bに、 n チャネル型のMISFETQNと p チャネル型のMISFETQPとが形成される。従って、相変化メモリ領域10AのMISFETQM1, QM2と周辺回路領域10BのMISFETQN, QPとは、同じ製造工程で形成することができる。

[0116] 次に、図12に示されるように、半導体基板11上にゲート電極16a, 16b, 16cを覆うように絶縁膜(層間絶縁膜)31を形成する。絶縁膜31は、例えば酸化シリコン膜などからなる。絶縁膜31を複数の絶縁膜の積層膜により形成することもできる。絶縁膜31の形成後、必要に応じてCMP処理などを行って絶縁膜31の上面を平坦化する。これにより、相変化メモリ領域10Aと周辺回路領域10Bとで、絶縁膜31の上面の高さがほぼ一致する。

[0117] 次に、フォトリソグラフィ法を用いて絶縁膜31上に形成したフォトレジストパターン(図示せず)をエッチングマスクとして、絶縁膜31をドライエッチングすることにより、絶縁膜31にコンタクトホール32を形成する。コンタクトホール32の底部では、半導体基板11の主面の一部、例えば n^+ 型半導体領域19a, 19bおよび p^+ 型半導体領域19c(の表面上の金属シリサイド層25)の一部やゲート電極16a, 16b, 16c(の表面上の金属シリサイド層25)の一部などが露出される。

[0118] 次に、コンタクトホール32内に、プラグ33を形成する。この際、例えば、コンタクトホール32の内部を含む絶縁膜31上に導電性バリア膜33aをスパッタリング法などによって形成した後、タングステン膜33bをCVD法などによって導電性バリア膜33a上にコンタクトホール32を埋めるように形成し、絶縁膜31上の不要なタングステン膜33bおよび導電性バリア膜33aをCMP法またはエッチバック法などによって除去する。これにより、コンタクトホール32内に残存して埋め込まれたタングステン膜33bおよび導電性バリア膜33aからなるプラグ33を形成することができる。

[0119] 次に、図13に示されるように、プラグ33が埋め込まれた絶縁膜31上に、絶縁膜34

を形成する。それから、フォトリソグラフィ法を用いて絶縁膜34上に形成したフォトレジストパターン(図示せず)をエッチングマスクとして、絶縁膜34をドライエッチングすることにより、絶縁膜34に配線溝(開口部)35を形成する。配線溝35の底部では、プラグ33の上面が露出される。なお、配線溝35のうち、相変化メモリ領域10AのMISFETQM1, QM2のドレイン領域(半導体領域20, 21)上に形成されたプラグ33を露出する配線溝35、すなわち開口部35aは、溝状のパターンではなく、そこから露出するプラグ33の平面寸法よりも大きな寸法の孔(接続孔)状のパターンとして形成することができる。また、本実施の形態では、開口部35aを他の配線溝35と同時に形成しているが、開口部35a形成用のフォトレジストパターンと他の配線溝35形成用のフォトレジストパターンとを別に用いることで、開口部35aと他の配線溝35とを異なる工程で形成することもできる。

[0120] 次に、配線溝35内に配線(第1層配線)37を形成する。この際、例えば、配線溝35の内部(底部および側壁上)を含む絶縁膜34上に導電性バリア膜36aをスパッタリング法などにより形成した後、タングステン膜などからなる主導体膜36bをCVD法などによって導電性バリア膜36a上に配線溝35を埋めるように形成し、絶縁膜34上の不要な主導体膜36bおよび導電性バリア膜36aをCMP法またはエッチバック法などによって除去する。これにより、配線溝35内に残存して埋め込まれた主導体膜36bおよび導電性バリア膜36aからなる配線37を形成することができる。

[0121] 配線37のうち、相変化メモリ領域10Aの開口部35a内に形成された配線37aは、プラグ33を介して相変化メモリ領域10AのMISFETQM1, QM2のドレイン領域(半導体領域20, 21)に電氣的に接続される。配線37aは、半導体基板11上に形成された半導体素子間を接続するように絶縁膜31上に延在しているのではなく、プラグ43とプラグ33とを電氣的に接続するために絶縁膜31上に局所的に存在してプラグ43とプラグ33との間に介在している。このため、配線37aは、配線ではなく、接続用導体部(コンタクト電極)とみなすこともできる。また、相変化メモリ領域10Aにおいて、MISFETQM1, QM2のソース用の半導体領域22(n^+ 型半導体領域19a)にプラグ33を介して接続されたソース配線37bが、配線37により形成される。

[0122] 配線37は、上記のような埋め込みタングステン配線に限定されず種々変更可能で

あり、例えば埋め込み以外のタングステン配線や、アルミニウム配線などとする事もできる。

[0123] 次に、図14に示されるように、配線37が埋め込まれた絶縁膜34上に、絶縁膜(層間絶縁膜)41を形成する。

[0124] 次に、フォトリソグラフィ法を用いて絶縁膜41上に形成したフォトレジストパターン(図示せず)をエッチングマスクとして、絶縁膜41をドライエッチングすることにより、絶縁膜41にスルーホール(開口部、接続孔)42を形成する。スルーホール42は、相変化メモリ領域10Aに形成され、スルーホール42の底部では、上記配線37aの上面が露出される。

[0125] 次に、スルーホール42内に、プラグ43を形成する。この際、例えば、スルーホール42の内部を含む絶縁膜41上に導電性バリア膜43aをスパッタリング法などによって形成した後、タングステン膜43bをCVD法などによって導電性バリア膜43a上にスルーホール42を埋めるように形成し、絶縁膜41上の不要なタングステン膜43bおよび導電性バリア膜43aをCMP法またはエッチバック法などによって除去する。これにより、コンタクトホール42内に残存して埋め込まれたタングステン膜43bおよび導電性バリア膜43aからなるプラグ43を形成することができる。このように、プラグ43は、絶縁膜41に形成された開口部(スルーホール42)に導電体材料を充填して形成される。

[0126] また、本実施の形態においては、タングステン膜43bを用いて、スルーホール42内にプラグ43を埋めこんだが、プラグ43の上面が平坦となるような、CMP平坦性のよい金属を、タングステン膜43bの代わりに用いてもよい。例えば、結晶粒系の小さいMo(モリブデン)を用いることもできる。CMP平坦性のよい金属には、プラグ43の上面の凹凸部分で起こる電界集中による、局所的な相変化を抑える効果が有る。その結果、相変化メモリのメモリセル素子の電気特性の均一性、書き換え回数信頼性、および耐高温動作特性が向上する。

[0127] 次に、図15に示されるように、プラグ43が埋め込まれた絶縁膜41上に、界面層51、記録層52および上部電極膜53を順に形成(堆積)する。なお、上記のように、図15～図20では、図14の絶縁膜31およびそれより下の構造に対応する部分は図示を省略している。界面層51の膜厚(堆積膜厚)は、例えば0.05～5nm程度、記録層5

2の膜厚(堆積膜厚)は、例えば10～200nm程度、上部電極膜53の膜厚(堆積膜厚)は、例えば10～200nm程度である。また、界面層51、記録層52および上部電極膜53の積層膜の全厚みは、30nm以上150nm以下であれば、より好ましい。

[0128] 次に、図16に示されるように、フォトリソグラフィ法およびドライエッチング法を用いて、界面層51、記録層52および上部電極膜53からなる積層膜をパターンニングする。これにより、上部電極膜53、記録層52および界面層51の積層パターンからなる抵抗素子54が、プラグ43が埋め込まれた絶縁膜41上に形成される。界面層51を、上部電極膜53および記録層52をドライエッチングする際のエッチングストップ膜として用いることもできる。

[0129] なお、界面層51、記録層52および上部電極膜53からなる積層膜をパターンニングして抵抗素子54を形成する際に、絶縁膜をハードマスクとして用いて加工することもできる。この場合、上部電極膜53を形成した後、上部電極膜53上に絶縁膜(例えば酸化シリコン膜)を形成する。そして、上部電極膜53上の絶縁膜上に形成したフォトレジストパターンをエッチングマスクとして絶縁膜をドライエッチングしてから、このフォトレジストパターンをアッシングなどで除去した後、記録層53上に残存する絶縁膜をハードマスクとして用いて、上部電極膜53、記録層52および界面層51をドライエッチングしてパターンニングする。これにより、フォトレジストとカルコゲナイド材料のエッチング反応生成物の残渣が、加工した側壁に付着するのを防止することができる。

[0130] 次に、図17に示されるように、絶縁膜41上に、抵抗素子54を覆うように、絶縁膜(エッチングストップ膜)61を形成する。絶縁膜61の膜厚(堆積膜厚)は、例えば5～20nm程度とすることができる。

[0131] 絶縁膜61としては、記録層52が昇華しない温度(例えば400℃以下)で成膜できる材料膜を用いることが好ましい。絶縁膜61として窒化シリコン膜を用いれば、例えばプラズマCVD法などを用いて記録層52が昇華しない温度(例えば400℃以下)で成膜できるので、より好ましく、これにより、絶縁膜61の成膜時の記録層52の昇華を防止できる。

[0132] 次に、絶縁膜61上に絶縁膜(層間絶縁膜)62を形成する。絶縁膜62は絶縁膜61よりも厚く、層間絶縁膜として機能することができる。絶縁膜62の形成後、必要に応じ

てCMP処理などを行って絶縁膜62の上面を平坦化することもできる。

[0133] 次に、フォトリソグラフィ法を用いて絶縁膜62上にフォトレジストパターンRP1を形成する。フォトレジストパターンRP1は、スルーホール63を形成すべき領域に開口部を有している。

[0134] 次に、図18に示されるように、フォトレジストパターンRP1をエッチングマスクとして、絶縁膜62をドライエッチングすることにより、絶縁膜61、62にスルーホール（開口部、接続孔、貫通孔）63を形成する。この際、まず、絶縁膜61よりも絶縁膜62の方がエッチングされやすい条件で絶縁膜61が露出するまで絶縁膜62をドライエッチングして絶縁膜61をエッチングストップ膜として機能させ、それから、絶縁膜62よりも絶縁膜61の方がエッチングされやすい条件でスルーホール63の底部の絶縁膜61をドライエッチングすることで、絶縁膜61、62にスルーホール63を形成することができる。その後、フォトレジストパターンRP1は除去する。絶縁膜61をエッチングストップ膜として絶縁膜62をドライエッチングする際には、選択比が大きなエッチング法、例えばその選択比が10以上となる（絶縁膜61のエッチング速度に対して絶縁膜62のエッチング速度が10倍以上になる）エッチング法を用いることが好ましい。また、スルーホール63の底部の絶縁膜62をエッチングする際には、スルーホール63の底部に異物が発生しない、あるいは異物が発生してもそれを洗浄で容易に除去できるような方法を用いることが好ましい。これにより、異物発生を防いで、異物の寄生抵抗に起因した相変化メモリの特性劣化を防止でき、また信頼性を向上し、半導体装置の製造歩留まりを向上できる。

[0135] スルーホール63の底部では、抵抗素子54の上部電極膜53の少なくとも一部が露出される。絶縁膜62をドライエッチングする際のエッチングストップ膜としての絶縁膜61を用いているため、上部電極膜53のオーバーエッチングを防止し、スルーホール63形成のためのドライエッチング時のエッチングダメージや、プラグ64用の導電体膜成膜時の熱負荷ダメージを抑えて、プラグ64の直下の領域の記録層52の特性の変化を抑制または防止し、相変化メモリの電気特性の信頼性を良好なものとすることができる。また、記録層52の側壁は絶縁膜61で覆われているため、スルーホール63に目外れが生じたとしても、スルーホール63から記録層52が露出するのを防止でき、

プラグ64用の導電体膜成膜時に記録層52が昇華するのを防止できる。すなわち、記録層52を構成するカルコゲナイド材料は、昇華温度が低く、スルーホール63内にプラグ64用の導電体膜を成膜する際の熱履歴により昇華しやすい特性を有しているが、たとえスルーホール63に目外れが生じたとしても、記録層52の側壁を絶縁膜61が保護しているので、記録層52の昇華を抑えて、高集積かつ歩留まり良好な相変化メモリを製造することが可能である。また、絶縁膜61により記録層52の昇華を防止できるので、スルーホール63形成時に、スルーホール63の下部近傍に異物が形成されず、また、たとえ異物が形成されたとしても洗浄で容易に除去できる。また、上部電極膜53の上部と記録層52の側壁上に絶縁膜61(保護膜)を同一の製造プロセスで成膜しているので、上部電極膜53上の保護膜と記録層52の側壁上の保護膜とを別の製造プロセスで成膜する構造と比較して、製造工程数を低減でき、半導体装置の製造コストを低減できる。

[0136] また、上記のように絶縁膜61のドライエッチングの際に絶縁膜をエッチングストップ膜として機能させるので、絶縁膜61は、絶縁膜62とエッチング速度(エッチング選択比)を異ならせることができる材料膜により形成されており、絶縁膜61と絶縁膜62とは異なる材料により形成されていれば、より好ましい。また、絶縁膜61の膜厚は、抵抗素子54の上部電極膜53の膜厚よりも薄いことが好ましい。

[0137] 次に、図19に示されるように、フォトリソグラフィ法を用いて絶縁膜62上に形成した他のフォトレジストパターン(図示せず)をエッチングマスクとして、絶縁膜62, 61, 41をドライエッチングすることにより、絶縁膜62, 61, 41にスルーホール(開口部、接続孔)65を形成する。スルーホール65は、周辺回路領域10Bに形成され、その底部で配線37の上面が露出される。その後、フォトレジストパターンは除去する。なお、先にスルーホール65を形成してから、上記スルーホール63を形成することもできる。また、スルーホール63とスルーホール65とは、異なる工程で形成することが好ましいが、同じ工程で形成することも可能である。

[0138] 次に、スルーホール63, 65内に、プラグ64, 66を形成する。この際、例えば、スルーホール63, 65の内部を含む絶縁膜62上に導電性バリア膜67aをスパッタリング法などによって形成した後、タングステン膜67bをCVD法などによって導電性バリア膜

67a上にスルーホール63, 65を埋めるように形成し、絶縁膜62上の不要なタングステン膜67bおよび導電性バリア膜67aをCMP法またはエッチバック法などによって除去する。これにより、スルーホール63内に残存して埋め込まれたタングステン膜67bおよび導電性バリア膜67aからなるプラグ64と、スルーホール65内に残存して埋め込まれたタングステン膜67bおよび導電性バリア膜67aからなるプラグ66とを形成することができる。タングステン膜67bの代わりに、アルミニウム(Al)膜またはアルミニウム合金膜(主導体膜)などを用いることもできる。

[0139] また、スルーホール63, 65を形成した後、同じ工程でプラグ64, 66を形成することで製造工程数を低減することができるが、他の形態として、スルーホール63またはスルーホール65の一方を形成してからそのスルーホールを埋めるプラグ(プラグ64またはプラグ66の一方)を形成し、その後、スルーホール63またはスルーホール65の他方を形成してそのスルーホールを埋めるプラグ(プラグ64またはプラグ66の他方)を形成することもできる。

[0140] 次に、図20に示されるように、プラグ64, 66が埋め込まれた絶縁膜62上に、第2層配線として配線(第2層配線)72を形成する。例えば、プラグ64, 66が埋め込まれた絶縁膜62上に、導電性バリア膜71aとアルミニウム膜またはアルミニウム合金膜71bとをスパッタリング法などによって順に形成し、フォトリソグラフィ法およびドライエッチング法などを用いてパターニングすることで、配線72を形成することができる。配線72は、上記のようなアルミニウム配線に限定されず種々変更可能であり、例えばタングステン配線または銅配線(埋込銅配線)などとすることもできる。

[0141] その後、絶縁膜62上に、配線72を覆うように、層間絶縁膜としての絶縁膜(図示せず)が形成され、更に上層の配線層(第3層配線以降の配線)などが形成されるが、ここでは図示およびその説明は省略する。そして、必要に応じて400℃～450℃程度の水素中アニールが行われた後に、半導体装置(半導体メモリ装置)が完成する。

[0142] 図21は、本実施の形態の半導体装置1の抵抗素子54(記憶素子)の近傍を示す要部断面図である。

[0143] 図21にも示されるように、本実施の形態のメモリ素子(記憶素子、ここでは相変化メモリ)は、カルコゲナイド材料からなる記憶層52と、記憶層53の両面(互いに反対側

の面、ここでは上面および下面)にそれぞれ形成された第1電極(ここでは上部電極としての上部電極膜53)および第2電極(ここでは下部電極としてのプラグ43)とを有しており、この様なメモリ素子が半導体基板11上に形成されている。すなわち、本実施の形態の半導体装置1は、下部電極として機能するプラグ43と、プラグ43(下部電極)上に形成されたカルコゲナイド層からなる記録層52と、記録層52上に形成された上部電極膜53とからなるメモリ素子(抵抗メモリ素子、ここでは相変化メモリ素子)を備えた半導体装置である。また、その理由は上述したが、図21に示されるようにメモリ素子の下部電極であるプラグ43と記録層53との間には界面層51を介在させることが好ましいが、間に界面層51を介在させることなくプラグ43と記録層53とを直接的に接触(接続)させることもできる。

[0144] 下部電極としてのプラグ43は、半導体基板11上に形成された絶縁膜41の開口部(スルーホール42)内に埋め込まれ、界面層51は、プラグ43が埋め込まれた絶縁膜41上に形成され、界面層51上に記録層52と上部電極膜53が下から順に形成されている。そして、記録層52の一部がプラグ43と平面的に(半導体基板11の主面に平行な平面でみて)重なっている。すなわち、プラグ43の上面は、記録層52の平面パターンに内包されるように形成されている。

[0145] プラグ43および抵抗素子54からなる相変化メモリ(メモリ素子)は、上記図6に示されるような電圧パルスによるリセット動作、セット動作およびリード動作が可能であるが、書き換え動作に必要なジュール熱はプラグ43近傍領域で発生するので、相変化メモリ(記録層52)の書き換え動作(結晶状態と非晶質状態との間の相変化)は、記録層52のうち、ジュール熱の発生しやすいプラグ43近傍領域で起こる。すなわち、記録層52は、上部電極膜53との接触面積に比べてプラグ43との接触面積の方が小さいため、プラグ43側が高温になりやすく、接触面積が大きい上部電極53側はリセット動作時に融解しないか、あるいは融解しても冷却中に再結晶化して結晶化する。ここで、接触とは、直接接する場合だけでなく、電流が流れる程度に薄い絶縁物、半導体などの層または領域を挟んで接する場合も含むものとする。このため、記録層52のうち、書き換え動作時に結晶状態と非晶質状態との間で相変化する領域、すなわち相変化領域55の形状は、図21に模式的に示されるように、プラグ43の上部で半

球形状のようになり、その相変化領域55の外側には製造プロセス中に結晶化して結晶状態に留まっている結晶化領域56が存在する。例えば、リセット時には、相変化領域55が非晶質状態となり、相変化領域55の周囲は結晶状態の結晶化領域56であり、記録層52中のプラグ43近傍に半球形状の非晶質領域(非晶質状態の相変化領域55)が形成された状態となり、セット時には、相変化領域55が結晶状態となり、相変化領域55と結晶化領域56の両方(記録層52全体)が結晶状態となる。

[0146] 次に、カルコゲナイド材料に相変化が起きる場合、そのメカニズムについて図22を参照して説明する。図22は、カルコゲナイド材料の結晶化過程を模式的に示す説明図であり、(a)は結晶核生成型、(b)は結晶成長型を示している。

[0147] 図22(a)に示す結晶核生成型とは、結晶核の成長速度は遅いが、数多くの結晶核が生成し、それらから多数の結晶粒が発生するタイプの材料である。この結晶核生成型の代表的材料は、 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ など $\text{GeTe}-\text{Sb}_2\text{Te}_3$ の擬2元系組成をベースとしたものがある。一方、図22(b)に示す結晶成長型とは、新たな結晶核はほとんど形成されず、結晶の成長速度が速いため非晶質領域の周辺の結晶領域から結晶粒が伸びて結晶化が進行するものである。結晶成長型に属する材料は、 $\text{Sb}_{70}\text{Te}_{30}$ 共晶材料をベースとしており、例えば、 $\text{Ag}-\text{In}-\text{Sb}-\text{Te}$ が挙げられる。結晶核生成型、結晶成長型のいずれもSb(アンチモン)とTe(テルル)が含まれているが、前者はTeが主成分であるのに対し、後者はSbが主成分であり、この組成の違いによって結晶化のメカニズムが大きく異なることになる。相変化光ディスクにおいては、結晶化速度の速い結晶成長型を用いることが多い。しかし、結晶化速度が速い分、結晶成長型では高温の雰囲気中に置くと急速に非晶質であった素子が結晶化されてしまう。半導体メモリの分野では、高温で用いられることも考慮する必要があり、本実施の形態では結晶核生成型(図22(a))、即ち、Teの含有量がSbより多い組成とし、高温でのリテンションを向上させている。

[0148] 相変化メモリや相変化光ディスクにおいては、相変化材料の物性がメモリとしての特性を決定づけるため、材料物性の改善を目的とした発明が、これまでも数多く開示されている。先に例示した $\text{Ag}-\text{In}-\text{Sb}-\text{Te}$ は光ディスク用相変化記録材料として広く用いられているが、この材料は $\text{Sb}_{70}\text{Te}_{30}$ 共晶合金をベースの結晶成長型とし、

光学特性改善などのためにAgやInを加えるという改良がなされたものである。

[0149] 次に、本実施の形態の記録層52の組成について、より詳細に説明する。

[0150] 図23および図24は、本実施の形態の記録層52を構成するカルコゲナイド材料の望ましい組成範囲を示す説明図(グラフ、三角図、組成図)である。

[0151] 本発明者は、記録層52の材料に種々の組成の材料を用いて相変化メモリを作成し、種々の特性を調べたところ、記録層52を、インジウム(In)、ゲルマニウム(Ge)、アンチモン(Sb)およびテルル(Te)を含むカルコゲナイド材料(相変化材料)で構成し、その組成(記録層52の膜厚方向の平均組成)を $\text{In}_{\alpha}\text{Ge}_x\text{Sb}_y\text{Te}_z$ 、ここで $0.20 \leq \alpha \leq 0.38$, $0.09 \leq x \leq 0.28$, $0.03 \leq y \leq 0.18$, $0.42 \leq z \leq 0.63$, $\alpha + x + y + z = 1$ とすることが、相変化メモリの耐熱性や性能を向上する上で極めて有効であることを見出した。なお、ここで示す記録層52の組成は、記録層52(相変化膜)の膜厚方向の平均組成で表記したものである。

[0152] すなわち、本実施の形態の記録層52は、20原子%以上38原子%以下のインジウム(In)と、9原子%以上28原子%以下のゲルマニウム(Ge)と、3原子%以上18原子%以下のアンチモン(Sb)と、42原子%以上63原子%以下のテルル(Te)とを含む材料(カルコゲナイド材料)からなる。

[0153] また、記録層52中のゲルマニウム(Ge)とアンチモン(Sb)の含有量の関係は、両者が等しいか、ゲルマニウム(Ge)の含有量の方を多くすることが好ましい。すなわち、上記の組成式 $\text{In}_{\alpha}\text{Ge}_x\text{Sb}_y\text{Te}_z$ に $x \geq y$ の条件を追加した組成範囲であり、 $x > y$ であれば、特に好ましい。

[0154] このような本実施の形態の記録層52の望ましい組成範囲を、図23および図24にハッチングを付して示してある。本実施の形態では、記録層52は、インジウム(In)、ゲルマニウム(Ge)、アンチモン(Sb)およびテルル(Te)の4つの元素を構成元素として含んでいるので、図23および図24の2つの組成三角図で、記録層52の望ましい組成範囲を示してある。

[0155] 本発明者が検討した相変化メモリの特性の組成依存性の代表例を、図25～図31に示す。このうち、図25、図26、図27および図31は、相変化メモリの耐熱温度(動作保障温度)の組成依存性を示すグラフである。また、図28は、記録層52の剥離率の

組成依存性を示すグラフである。また、図29は、相変化メモリのリセット電流の組成依存性を示すグラフである。また、図30は、相変化メモリの書換え可能回数の組成依存性を示すグラフである。

[0156] なお、図25、図26、図27および図31のグラフの縦軸の相変化メモリの耐熱温度（動作保障温度）は、相変化メモリに書き込んだデータを安定して保持できる上限温度に対応するものである。ここでは、相変化メモリの耐熱温度（動作保障温度）を調べるために、相変化メモリにデータを書き込んだ後、高温環境下に3分程度放置してから、その高温保持によって相変化メモリ（抵抗素子54）に抵抗の低下、抵抗の上昇あるいはセット電圧の上昇が生じたかどうかを確認した。そして、相変化メモリの抵抗の低下、抵抗の上昇およびセット電圧の上昇を非常に小さな値に抑制できる上限の温度を、相変化メモリの耐熱温度（動作保障温度）とした。従って、相変化メモリにデータを書き込んだ後、耐熱温度（動作保障温度）以下の温度に加熱しても、この加熱に起因した相変化メモリの抵抗の低下、抵抗の上昇およびセット電圧の上昇はほとんど発生せず、相変化メモリに書き込んだデータを安定して保持させることができる。しかしながら、相変化メモリにデータを書き込んだ後に耐熱温度（動作保障温度）よりも高い温度に加熱すると、この加熱に起因して相変化メモリの抵抗の低下、抵抗の上昇あるいはセット電圧の上昇が発生してしまい、相変化メモリに書き込んだデータを安定して保持できなくなる。

[0157] また、図28のグラフの縦軸の記録層52の剥離率は、記録層52を成膜した後、テープ状の粘着物で記録層52を機械的に剥がし、記録層52剥がれたサンプルの割合に対応するものである。この記録層52の剥離率が低いほど、相変化メモリの信頼性が高くなる。

[0158] また、図29のグラフの縦軸の相変化メモリのリセット電流は、相変化メモリのリセット動作（記録層52のアモルファス化）を行うのに必要な電流値に対応する。このリセット電流が小さいほど、相変化メモリを低電力（低電流）で書き換えできるようになる。

[0159] また、図30のグラフの縦軸の相変化メモリの書換え可能回数は、相変化メモリの書き換えができる回数に対応し、この書き換え可能回数以下だと、書き換え不良を生じること無く相変化メモリの書き換えを行うことができる。この相変化メモリの書き換え可能

回数が大きいほど、相変化メモリの書換え性能(書換え信頼性)が高くなる。

[0160] これら図25～図31の各グラフを参照して、記録層52の望ましい組成について説明する。なお、図25～図31のグラフは、 $\text{In}_{0.3}\text{Ge}_{0.15}\text{Sb}_{0.05}\text{Te}_{0.5}$ をベース組成として各元素の含有率を変化させている。

[0161] 図25は、相変化メモリの耐熱温度の記録層52中のIn含有率に対する依存性を示すグラフであり、横軸が記録層52におけるIn(インジウム)の含有率に対応し、縦軸が相変化メモリの耐熱温度(動作保障温度)に対応する。なお、図25のグラフの場合、記録層52におけるGeとSbとTeの原子比を15:5:50に固定($\text{Ge}:\text{Sb}:\text{Te}=15:5:50$)し、記録層52中のInの含有率を変化させている。すなわち、記録層52中のInの原子数を M_{In} とし、記録層52中のGeの原子数を M_{Ge} とし、記録層52中のSbの原子数を M_{Sb} とし、記録層52中のTeの原子数を M_{Te} として表すと、図25の場合、「 $M_{\text{In}} / (M_{\text{In}} + M_{\text{Ge}} + M_{\text{Sb}} + M_{\text{Te}})$ 」がグラフの横軸に対応し、かつ、 $M_{\text{Ge}}:M_{\text{Sb}}:M_{\text{Te}}=15:5:50$ としている。

[0162] 図25に示されるように、記録層52中のIn(インジウム)の含有率が少なすぎても、多すぎても、相変化メモリの耐熱温度は低くなる。このため、記録層52中のIn(インジウム)の含有率(原子比)は、20原子%(at. %:atomic%)以上38原子%(at. %)以下とすることが好ましい。これにより、相変化メモリの耐熱温度(動作保障温度)を高くすることができ、耐熱温度(動作保障温度)を260℃以上にすることができる。

[0163] 図26は、相変化メモリの耐熱温度の記録層52中のTe含有率に対する依存性を示すグラフであり、横軸が記録層52におけるTe(テルル)の含有率に対応し、縦軸が相変化メモリの耐熱温度(動作保障温度)に対応する。なお、図26のグラフの場合、記録層52におけるInとGeとSbの原子比を30:15:5に固定($\text{In}:\text{Ge}:\text{Sb}=30:15:5$)し、記録層52中のTeの含有率を変化させている。すなわち、図26の場合、「 $M_{\text{Te}} / (M_{\text{In}} + M_{\text{Ge}} + M_{\text{Sb}} + M_{\text{Te}})$ 」がグラフの横軸に対応し、かつ、 $M_{\text{In}}:M_{\text{Ge}}:M_{\text{Sb}}=30:15:5$ としている。

[0164] 図26に示されるように、記録層52中のTeの含有率が少なすぎても、多すぎても、相変化メモリの耐熱温度は低くなる。このため、記録層52中のTe(テルル)の含有率(原子比)は、42原子%(at. %)以上63原子%(at. %)以下とすることが好ましい。

これにより、相変化メモリの耐熱温度(動作保障温度)を高くすることができ、耐熱温度(動作保障温度)を260℃以上にすることができる。

[0165] 図27は、相変化メモリの耐熱温度の記録層52中のGe含有率に対する依存性を示すグラフであり、横軸が記録層52におけるGe(ゲルマニウム)の含有率に対応し、縦軸が相変化メモリの耐熱温度(動作保障温度)に対応する。なお、図27のグラフの場合、記録層52におけるInとSbとTeの原子比を30:5:50に固定(In:Sb:Te=30:5:50)し、記録層52中のGeの含有率を変化させている。すなわち、図27の場合、「 $M_{Ge} / (M_{In} + M_{Ge} + M_{Sb} + M_{Te})$ 」がグラフの横軸に対応し、かつ、 $M_{In} : M_{Sb} : M_{Te} = 30 : 5 : 50$ としている。

[0166] 図27に示されるように、記録層52中のGeの含有率が少なすぎると、相変化メモリの耐熱温度は低くなる。このため、記録層52中のGe(ゲルマニウム)の含有率(原子比)は、9原子%(at. %)以上とすることが好ましい。これにより、相変化メモリの耐熱温度(動作保障温度)を高くすることができ、耐熱温度(動作保障温度)を260℃以上にすることができる。

[0167] 図28は、記録層52の剥離率の記録層52中のGe含有率に対する依存性を示すグラフであり、横軸は上記図27のグラフの横軸と同じであり、縦軸は記録層52の剥離率に対応する。従って、図28のグラフの場合も、上記図27と同様に、記録層52におけるInとSbとTeの原子比を30:5:50に固定(In:Sb:Te=30:5:50)し、記録層52中のGeの含有率を変化させている。

[0168] 図28に示されるように、記録層52中のGeの含有率が多すぎると、記録層52が剥がれやすくなり、記録層52の剥離率が高くなる。このため、記録層52中のGe(ゲルマニウム)の含有率(原子比)は、28原子%(at. %)以下とすることが好ましい。これにより、記録層52が剥がれにくくなり、記録層52を有する相変化メモリを形成した半導体装置の信頼性を向上させることができる。

[0169] 従って、図27と図28の組成依存性を考慮すると、記録層52中のGe(ゲルマニウム)の含有率(原子比)は、9原子%以上28原子%以下とすることが好ましい。これにより、記録層52の剥離を防止して相変化メモリを形成した半導体装置の信頼性を向上させるとともに、相変化メモリの耐熱温度(動作保障温度)を高く(260℃以上に)する

ことができる。

[0170] 図29は、相変化メモリのリセット電流の記録層52中のSb含有率に対する依存性を示すグラフであり、横軸が記録層52におけるSb(アンチモン)の含有率に対応し、縦軸が相変化メモリのリセット電流に対応する。なお、図29のグラフの場合、記録層52におけるInとGeとTeの原子比を30:15:50に固定(In:Ge:Te=30:15:50)し、記録層52中のSbの含有率を変化させている。すなわち、図29の場合、「 $M_{Sb} / (M_{In} + M_{Ge} + M_{Sb} + M_{Te})$ 」がグラフの横軸に対応し、かつ、 $M_{In} : M_{Ge} : M_{Te} = 30 : 15 : 50$ としている。

[0171] 図29に示されるように、記録層52中のSbの含有率が多すぎると、相変化メモリのリセット電流が大きくなる。相変化メモリを低電力(低電流)で書き換えできるようにすることは、相変化メモリの性能を向上させる上で重要である。このため、記録層52中のSb(アンチモン)の含有率(原子比)は、18原子%(at. %)以下とすることが好ましい。これにより、相変化メモリのリセット電流を低減でき、相変化メモリを低電力(低電流)で書き換えできるようになり、相変化メモリを含む半導体装置の性能を向上させることができる。また、リセット電流が大きいと、例えば150 μ Aよりも大きいと、相変化メモリとともに形成したトランジスタの寸法を大きくする必要が生じ、半導体装置の平面寸法が増大する可能性があるが、本実施の形態では、記録層52中のSb(アンチモン)の含有率を18原子%以下とすることで、リセット電流を低減でき、例えば150 μ A以下にすることができ、相変化メモリとともに形成したトランジスタの寸法を縮小することが可能となるので、半導体装置の小型化(小面積化)に有利となる。

[0172] 図30は、相変化メモリの書換え可能回数の記録層52中のSb含有率に対する依存性を示すグラフであり、横軸は上記図29の横軸と同じであり、縦軸は相変化メモリの書換え可能回数に対応する。従って、図30のグラフの場合も、上記図29と同様に、記録層52におけるInとGeとTeの原子比を30:15:50に固定(In:Ge:Te=30:15:50)し、記録層52中のSbの含有率を変化させている。

[0173] 図30に示されるように、記録層52中のSbの含有率が少なすぎると、相変化メモリの書換え可能回数が少なくなる。相変化メモリのようなメモリ素子は、書換え可能回数を高めることが性能向上の上で重要であり、一般に10万回以上の書換えが可能である

ことが要求される。このため、記録層52中のSb(アンチモン)の含有率(原子比)は、3原子%(at. %)以上とすることが好ましい。これにより、相変化メモリの書換え可能回数を高めることができ、例えば10万回以上の書換えが可能となり、相変化メモリを含む半導体装置の性能を向上させることができる。

[0174] 従って、図29と図30の組成依存性を考慮すると、記録層52中のSb(アンチモン)の含有率(原子比)は、3原子%以上18原子%以下とすることが好ましい。これにより、相変化メモリのリセット電流の低減と相変化メモリの書換え可能回数の向上を両立させることができる。

[0175] 図31は、相変化メモリの耐熱温度の、記録層52中のSbとGeの含有率の比に対する依存性を示すグラフであり、横軸が記録層52におけるSb(アンチモン)とGe(ゲルマニウム)の含有率の比(Sb/Ge)に対応し、縦軸が相変化メモリの耐熱温度(動作保障温度)に対応する。なお、図31のグラフの場合、記録層52におけるInの含有率を30原子%に、Teの含有率を50原子%に、SbおよびGeの両者の合計の含有率を20原子%に固定し、記録層52中のSbの含有率とGeの含有率と比(Sb/Ge)を変化させている。すなわち、図31の場合、「 M_{Sb}/M_{Ge} 」がグラフの横軸に対応し、かつ、 $M_{In}/(M_{In}+M_{Ge}+M_{Sb}+M_{Te})=0.3$ 、 $M_{Te}/(M_{In}+M_{Ge}+M_{Sb}+M_{Te})=0.5$ 、 $(M_{Ge}+M_{Sb})/(M_{In}+M_{Ge}+M_{Sb}+M_{Te})=0.2$ としている。

[0176] 図31に示されるように、記録層52において、Geの含有率に比べてSbの含有率が多すぎると相変化メモリの耐熱温度は低くなる。このため、記録層52中のGe(ゲルマニウム)の含有率は、Sb(アンチモン)の含有率と同じかそれよりも多いことが好ましい。すなわち、記録層52中のGe(ゲルマニウム)の含有率は、記録層52中のSb(アンチモン)の含有率以上であることが好ましく、記録層52中のSb(アンチモン)の含有率よりも大きければ、更に好ましい。これにより、相変化メモリの耐熱温度(動作保障温度)を高くすることができ、耐熱温度(動作保障温度)を260℃以上にすることができる。

[0177] 従って、図25～図31の組成依存性を考慮すると、記録層52の望ましい組成は、インジウム(In)とゲルマニウム(Ge)とアンチモン(Sb)とテルル(Te)とを含有し、インジウム(In)が20原子%以上38原子%以下、ゲルマニウム(Ge)が9原子%以上28原

子%以下、アンチモン(Sb)が3原子%以上18原子%以下、テルル(Te)が42原子%以上63原子%以下である。この場合、記録層52を構成するカルコゲナイド材料の組成(記録層52の膜厚方向の平均組成)を次の組成式、 $\text{In}_{\alpha}\text{Ge}_x\text{Sb}_y\text{Te}_z$ 、ここで $0.20 \leq \alpha \leq 0.38$, $0.09 \leq x \leq 0.28$, $0.03 \leq y \leq 0.18$, $0.42 \leq z \leq 0.63$, $\alpha + x + y + z = 1$ 、で表すことができる。更に、記録層52におけるGe(ゲルマニウム)の含有率は、記録層52におけるSb(アンチモン)の含有率以上であることが好ましく、この場合、記録層52を構成するカルコゲナイドの上記組成式 $\text{In}_{\alpha}\text{Ge}_x\text{Sb}_y\text{Te}_z$ において、 $x \geq y$ とすることに対応する。上記組成式 $\text{In}_{\alpha}\text{Ge}_x\text{Sb}_y\text{Te}_z$ において、 $x > y$ であれば更に好ましい。

[0178] 更に本発明者が詳細に実験したところ、図24の組成図に示されるように、記録層52中のTe(テルル)とIn(インジウム)の含有率の和(Te含有率とIn含有率の和)が62原子%以上80原子%以下(すなわち上記組成式において $0.62 \leq \alpha + z \leq 0.80$)であることがより好ましく、これにより、相変化メモリの耐熱温度(動作保障温度)を、より的確に高める(260℃以上にすること)ができる。また、図31に示されるように、記録層52中のSb(アンチモン)の含有率はGe(ゲルマニウム)の含有率より少ないことが好ましいが、上記図30に示されるように、Sb(アンチモン)を3原子%以上は含有する必要が有る。記録層52中のGe(ゲルマニウム)含有率が多い場合(GeおよびSbの含有率の和が20原子%以上となる場合)にはSb(アンチモン)は5原子%未満3原子%以上(上記組成式で $0.03 \leq y < 0.05$)でも使えるが、記録層52中のGe(ゲルマニウム)含有率は5原子%以上(上記組成式で $y \geq 0.05$)がより好ましく、これにより、耐熱性向上と書換え可能回数向上の効果を高めることができる。

[0179] このような記録層52の望ましい組成範囲は、上記図23および図24でハッチングを付した組成範囲に対応するものとなる。

[0180] また、記録層52中のIn(インジウム)含有率が多くなるほど、結晶状態のグレインサイズ、非晶質状態のモフォロジーのサイズが小さくなり、それに伴って抵抗が高くなる傾向が見られる。本実施の発明では、記録層52中のIn(インジウム)含有率を20原子%以上と多く、Ge(ゲルマニウム)の含有率も多く(9原子%以上)することによって結晶状態のグレインサイズも非晶質状態のモフォロジーのサイズも小さくなって結晶

状態の抵抗も非晶質状態の抵抗も高くなる。このため抵抗比が小さくなりにくい。また、セット動作時に、周辺部の初期から結晶状態だった部分(結晶化領域56)を通して電流が流れにくくなり、電流が電極(ここではプラグ43と上部電極膜53)間にまっすぐ流れ、中心対称の相変化が起きる。従って、次のリセット動作で、リセット状態のバラツキや不安定性が起きにくくなる。このため耐熱性(耐熱温度)が向上する。また、高温時に、仮にもともと存在するきわめて微細な組成変調(組成ムラ)から原子配列の変化が生じ、組成ムラの周期が大きくなったとしても、あるいはイオン移動の影響で原子配列の変化が生じたとしても、抵抗の変化率としては小さく、高温保持によるセット電圧上昇も小さな率に留まる。このため、優れた耐熱性(高い耐熱温度)が得られる。

[0181] また、本実施の形態の半導体装置1の記録層52に少量添加しても差し支えない元素は、窒素(N)、酸素(O)であり、その添加量は、5原子%以下が好ましい。

[0182] 相変化メモリを構成する記録層52の組成を上記のような組成範囲内にすることにより、相変化メモリの耐熱温度(動作保障温度)の向上、リセット電流の低減、書換え可能回数の向上、記録層の剥離防止が可能になり、相変化メモリを有する半導体装置の性能を向上させることができる。従って、相変化メモリの高耐熱性と高性能を両立させることができる。

[0183] また、相変化メモリは、各メモリセルの記録層52の原子配列が変化することによって情報を記憶する不揮発性メモリであり、抵抗素子54に流れる電流のジュール熱により結晶相と非晶質相との間の相変化のような原子配列変化を生じさせることによって、抵抗素子54(記録層52)の抵抗値を変化させ、電気抵抗値が高い高抵抗状態と低い低抵抗状態とを記憶することができる。このため、相変化メモリを有する半導体装置を高温環境下に置くと、ジュール熱は生じなくとも外部温度に起因して、非晶質状態が結晶化するなど記録層52の原子配列が変化し、抵抗素子54(記録層52)の抵抗値が変化してしまい、相変化メモリに記憶させた情報が意図せずに消失(変化)してしまう可能性がある。従って、相変化メモリの耐熱温度(動作保障温度)を向上させて、高温環境下での相変化メモリのデータ保持特性を向上させることが要求される。

[0184] また、本実施の形態の半導体装置1は、配線基板(実装基板)などに実装して使用

することができる。半導体装置1の実装には半田が用いられることが多く、半導体装置1の実装工程では、半田リフロー処理が行われる。この半田リフロー処理の際に、相変化メモリを備えた半導体装置1は、通常の動作環境をはるかに越えるような高温の環境にさらされることになる。また、半田には、環境への影響などを考慮して、鉛を含有しない半田（鉛フリー半田）を使用することが推奨されてきており、相変化メモリを形成した半導体装置1の実装の際にも、鉛を含有しない半田（鉛フリー半田）を使用することが好ましい。しかしながら、鉛を含有しない半田である鉛フリー半田は、鉛を含有する半田に比べて融点が高いため、半導体装置1の実装時に鉛フリー半田を用いた場合、鉛含有半田を用いた場合に比べて、半田リフロー温度を高く、例えば260℃程度にする必要がある。

[0185] また、半導体装置1の相変化メモリ領域2の一部に情報（プログラムなど）を記録した後に半導体装置1の実装工程を行なうことが要求される場合がある（例えば相変化メモリを搭載したマイクロコンピュータ用途など）。この場合、半導体装置1の相変化メモリに書き込んでいたデータが半導体装置1の実装工程の半田リフロー処理の際に消失（変化）してしまわないようにするには、相変化メモリの耐熱温度（動作保障温度）を半田リフロー温度以上にする必要がある。また、相変化メモリを形成した半導体装置1の実装の際に、鉛フリー半田を使用できるようにするためには、相変化メモリの耐熱温度（動作保障温度）を高く、好ましくは260℃以上にする必要がある。

[0186] 本実施の形態では、記録層52中のIn、Ge、SbおよびTeの含有率（原子比）を、それぞれ、20原子%以上38原子%以下、9原子%以上28原子%以下、3原子%以上18原子%以下、および42原子%以上63原子%以下とする（更に好ましくは記録層52中のGe含有率をSb含有率以上にする）ことにより、半導体装置の性能向上とともに、相変化メモリの耐熱温度（動作保障温度）を高くすることができ、耐熱温度（動作保障温度）を260℃以上にするすることができる。このため、半田リフロー温度を高く、例えば260℃程度としても、相変化メモリを形成した半導体装置1の実装の際の半田リフロー中に、半導体装置1の相変化メモリに予め書き込んでいたデータが消失（変化）するのを防止することができる。従って、半田リフロー温度を高くすることができ、相変化メモリを形成した半導体装置1を実装する際に、鉛を含有しない鉛フリー半田を用

いることが可能になる。また、半導体装置1を実装する前に半導体装置1の相変化メモリに書き込んだ情報を、実装後に使用することが可能になる。

[0187] また、本実施の形態は、記録層52の組成を上記範囲とすることにより、メモリ素子(相変化メモリ)の耐熱温度(動作保障温度)を高くし、例えば260℃以上にすることができるので、鉛フリー半田(鉛を含有しない半田)のような半田リフロー温度を高くする必要がある半田により実装される半導体装置に適用すれば、より効果が大きい。

[0188] また、本実施の形態は、記録層52の組成を上記範囲とすることにより、メモリ素子(相変化メモリ)の耐熱温度(動作保障温度)を高くでき、半導体装置の実装の際の半田リフロー中に、メモリ素子(相変化メモリ)に予め書き込んでいたデータが消失するのを防止することができるので、メモリ素子(相変化メモリ、記録層52)に情報を記憶させた後に半田リフロー処理が行われる半導体装置に適用すれば、より効果が大きい。

[0189] また、本実施の形態は、記録層52の組成を上記範囲とすることにより、メモリ素子(相変化メモリ)の耐熱温度(動作保障温度)を高くし、例えば260℃以上にすることができるので、高温となる環境で使用される半導体装置(例えば自動車エンジン制御用マイコンなど)に適用すれば、より効果が大きい。

[0190] また、本実施の形態は、相変化材料を用いたメモリセルを含む高密度集積メモリ回路、あるいはメモリ回路と論理回路とが同一半導体基板に設けられたロジック混載型メモリなどに広く適用可能であり、このような製品が高温条件下で用いられる場合に更に有益なものとなる。

[0191] 以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

[0192] 例えば、上記実施の形態で述べた非晶質状態と結晶状態は、メモリ動作をしている領域全体が一様にそれらの状態である必要は無く、非晶質状態の領域の中に結晶粒が存在したり、結晶状態の領域内に非晶質の部分が存在して良い。すなわち、相対的に非晶質部分が多い状態と、非晶質部分が少ない状態との間で変化し、抵抗値が変化すればよい。

[0193] また、上記実施の形態で述べた組成のカルコゲナイド材料(記録層)が非晶質領域からの結晶の成長でなく結晶核生成を伴う結晶化が起きる材料であることは、膜の構造から知ることができる。走査電子顕微鏡(SEM)または透過電子顕微鏡(TEM)でカルコゲナイド材料層が、膜厚方向に最大3個以上、より好ましくは最大6個以上の粒状に見える場合、結晶核生成を伴う結晶化が起きる材料と判断できる。また、この材料は、本発明の組成範囲であっても組成によっては、相変化だけでなく金属または半金属の原子、あるいはそれらを含む原子団が電場によって移動し、それらの高濃度領域からなる導電パスが形成されたり、消滅したりすることによる抵抗変化が起きることもある。すなわち、インジウム(In)添加によって困難になる外側から内側への結晶成長をセットのメカニズムとするのでなければ、必ずしも結晶核形成と核からの成長による相変化だけをセットのメカニズムとする必要は無い。

産業上の利用可能性

[0194] 本発明は、例えば相変化メモリを含む半導体装置に適用して好適なものである。

請求の範囲

- [1] 記録層と前記記録層の両面にそれぞれ形成された第1電極および第2電極とを有するメモリ素子を半導体基板上に形成した半導体装置であって、
前記記録層が、20原子%以上38原子%以下のインジウムと、9原子%以上28原子%以下のゲルマニウムと、3原子%以上18原子%以下のアンチモンと、42原子%以上63原子%以下のテルルとを含む材料からなること特徴とする半導体装置。
- [2] 請求項1記載の半導体装置において、
前記記録層のゲルマニウム含有率は、アンチモン含有率以上であることを特徴とする半導体装置。
- [3] 請求項1記載の半導体装置において、
前記記録層中のテルルとインジウムの含有率の和が62原子%以上80原子%以下であることを特徴とする半導体装置。
- [4] 請求項1記載の半導体装置において、
前記記録層中のアンチモン含有率が5原子%以上であることを特徴とする半導体装置。
- [5] 請求項1記載の半導体装置において、
前記第2電極と前記記録層との間に界面層が形成されていることを特徴とする半導体装置。
- [6] 請求項5記載の半導体装置の製造方法において、
前記界面層は、金属酸化物または金属窒化物からなることを特徴とする半導体装置の製造方法。
- [7] 請求項5記載の半導体装置の製造方法において、
前記界面層は、酸化タンタルまたは酸化クロムからなることを特徴とする半導体装置の製造方法。
- [8] 請求項1記載の半導体装置において、
前記半導体装置は、前記メモリ素子に情報を記憶させた後に、前記半導体装置に対する半田リフロー処理が行われることを特徴とする半導体装置。
- [9] 請求項1記載の半導体装置において、

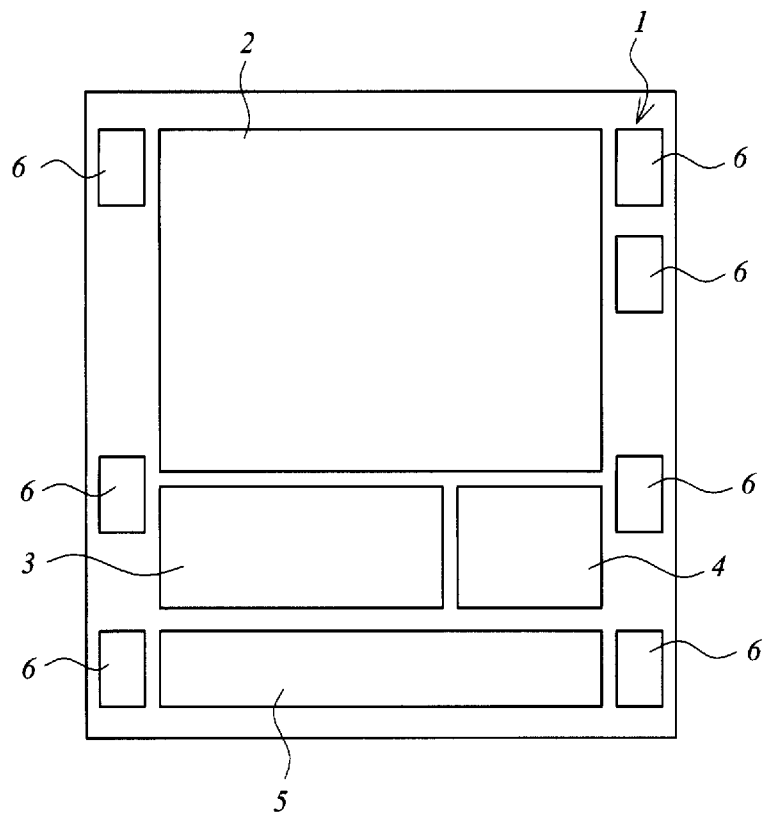
- 前記半導体装置は、鉛フリー半田により実装されることを特徴とする半導体装置
- [10] 請求項1記載の半導体装置において、
前記メモリ素子は、前記記録層の電気抵抗値が高い高抵抗状態と低い低抵抗状態とによって情報が記憶されることを特徴とする半導体装置。
- [11] 請求項1記載の半導体装置において、
前記メモリ素子は、前記記録層の原子配列が変化することによって情報が記憶されることを特徴とする半導体装置。
- [12] 請求項1記載の半導体装置において、
前記メモリ素子は、相変化メモリであることを特徴とする半導体装置。
- [13] 記録層と前記記録層の両面にそれぞれ形成された第1電極および第2電極とを有するメモリ素子を半導体基板上に形成した半導体装置であって、
膜厚方向の平均組成が $\text{In}_{\alpha}\text{Ge}_X\text{Sb}_Y\text{Te}_Z$ 、ここで $0.20 \leq \alpha \leq 0.38$, $0.09 \leq X \leq 0.28$, $0.03 \leq Y \leq 0.18$, $0.42 \leq Z \leq 0.63$, $\alpha + X + Y + Z = 1$ 、で表されるカルコゲナイド材料により前記記録層が形成されていること特徴とする半導体装置。
- [14] 半導体基板と、
前記半導体基板上に形成された第1絶縁膜と、
前記第1絶縁膜に形成された開口部内に埋め込まれた下部電極と、
前記下部電極が埋め込まれた前記第1絶縁膜上に形成された界面層と、
前記界面層上に形成されたカルコゲナイド層からなる記録層と、
前記記録層上に形成された上部電極と、
を有し、
前記記録層が、20原子%以上38原子%以下のインジウムと、9原子%以上28原子%以下のゲルマニウムと、3原子%以上18原子%以下のアンチモンと、42原子%以上63原子%以下のテルルとを含む材料からなること特徴とする半導体装置。
- [15] 請求項14記載の半導体装置において、
前記記録層のゲルマニウム含有率は、アンチモン含有率以上であることを特徴とする半導体装置。
- [16] 請求項14記載の半導体装置の製造方法において、

前記界面層は、金属酸化物または金属窒化物からなることを特徴とする半導体装置の製造方法。

- [17] 請求項14記載の半導体装置の製造方法において、
前記界面層は、酸化タンタルまたは酸化クロムからなることを特徴とする半導体装置の製造方法。
- [18] 請求項14記載の半導体装置において、
前記半導体装置は、前記記録層に情報を記憶させた後に、前記半導体装置に対する半田リフロー処理が行われることを特徴とする半導体装置。
- [19] 請求項14記載の半導体装置において、
前記半導体装置は、鉛フリー半田により実装されることを特徴とする半導体装置

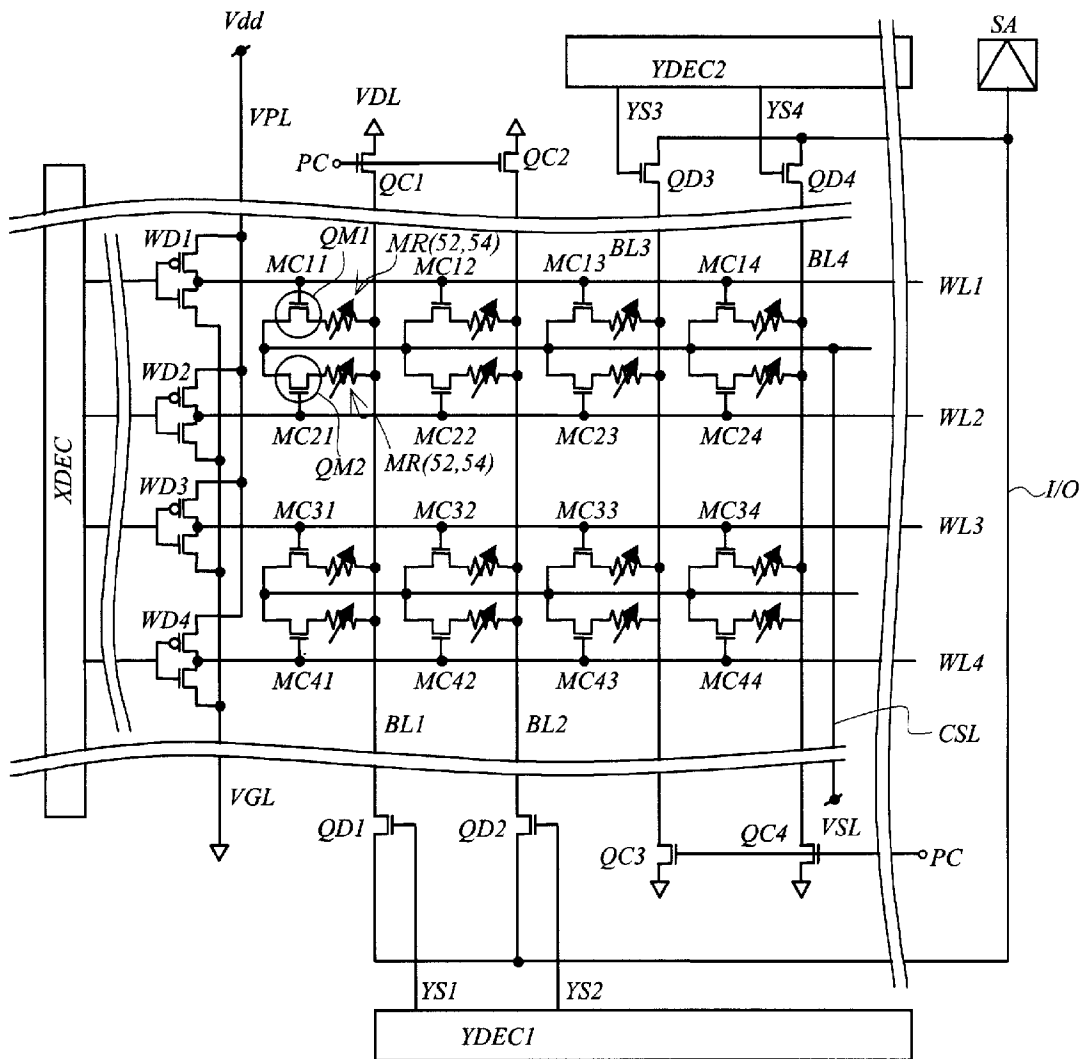
[図1]

図 1

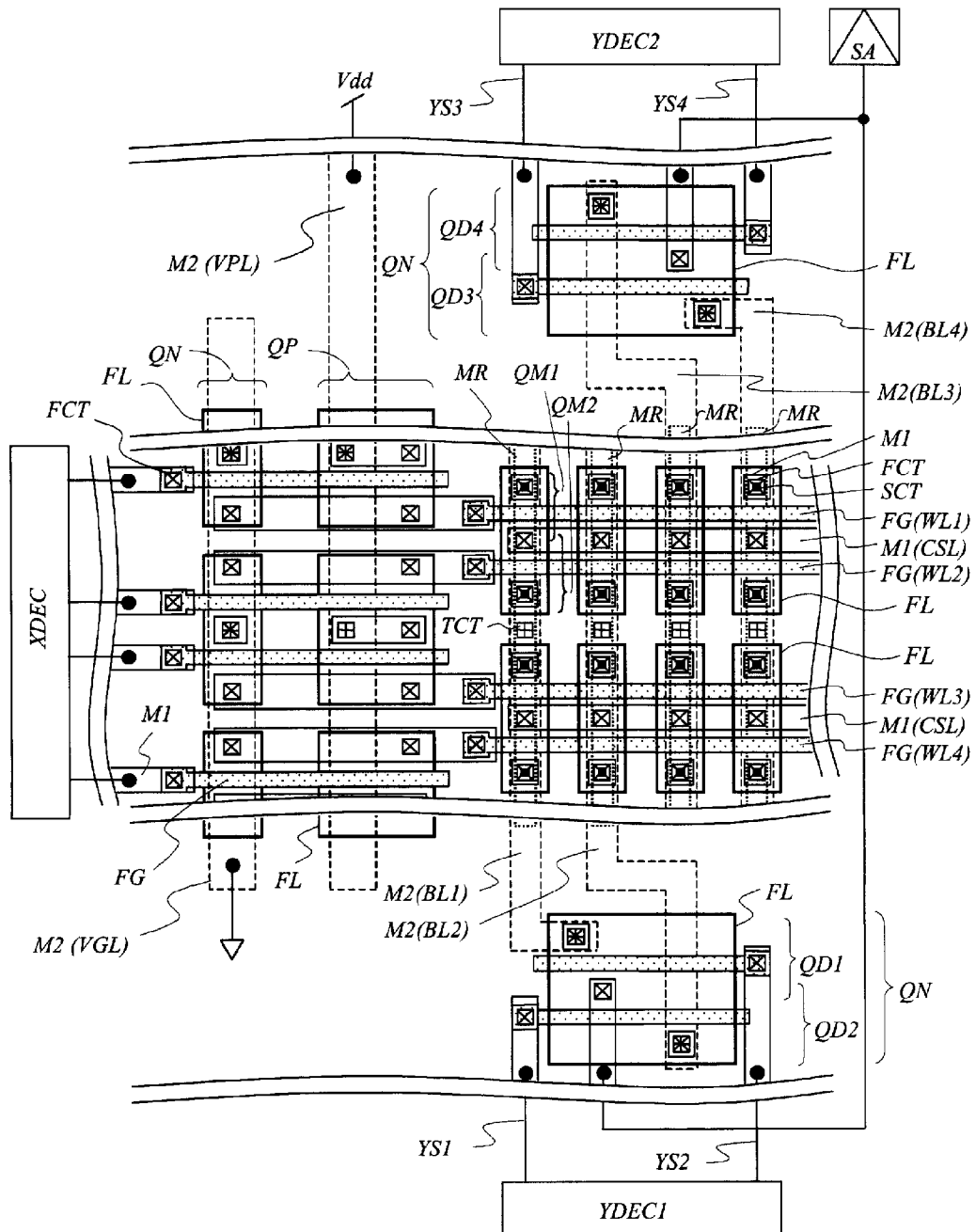


[図2]

図 2



☒ 3



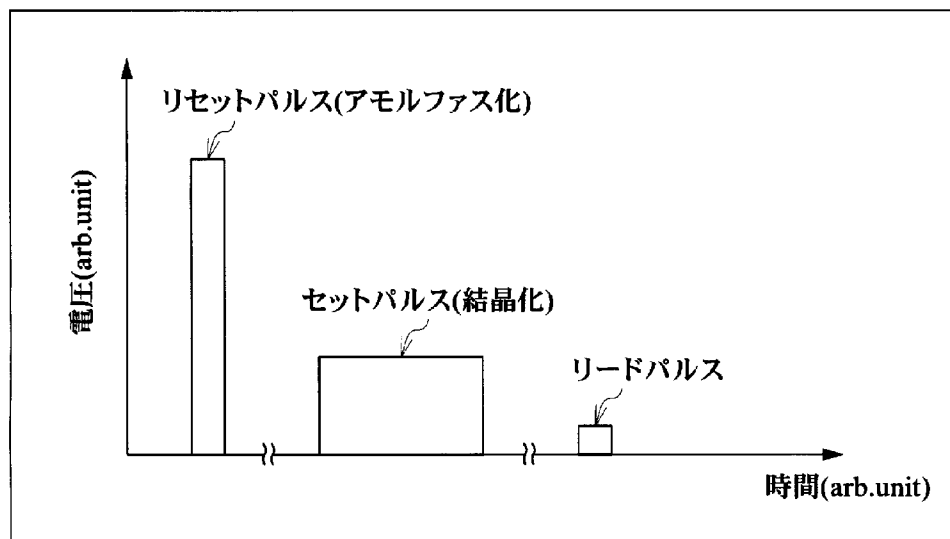
[図5]

図 5

記録層52の状態	アモルファス相	結晶相
記録層52の抵抗	抵抗大	抵抗小

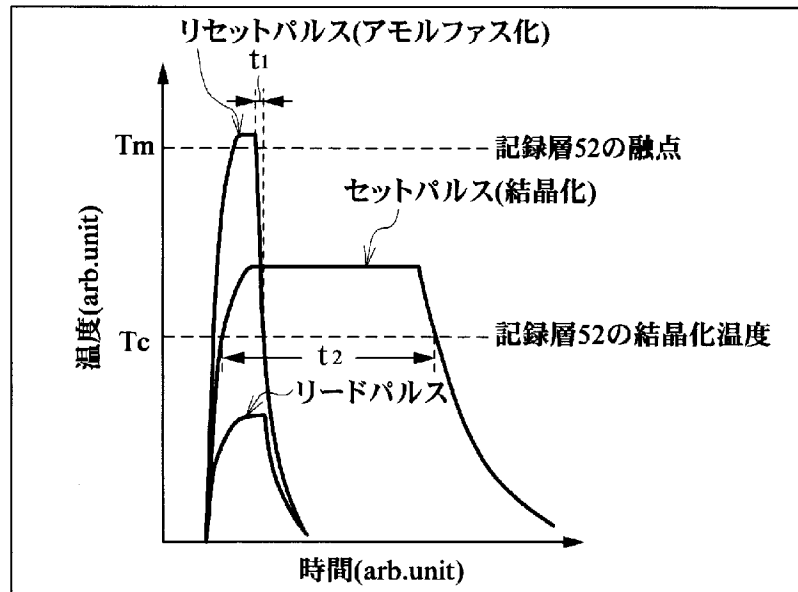
[図6]

図 6



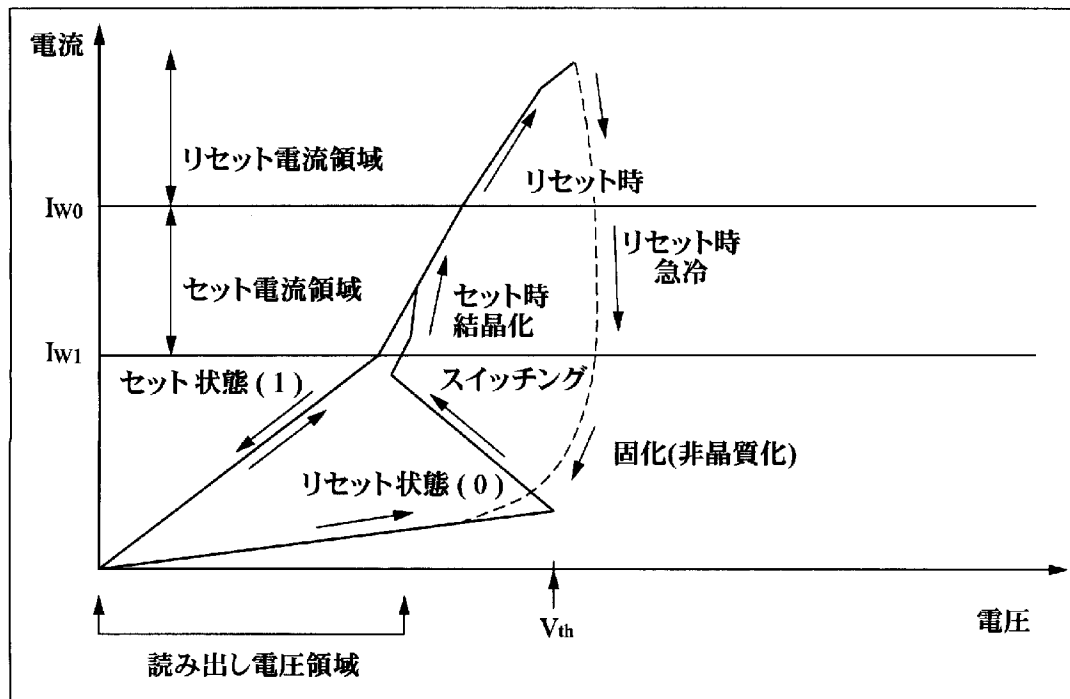
[図7]

図 7

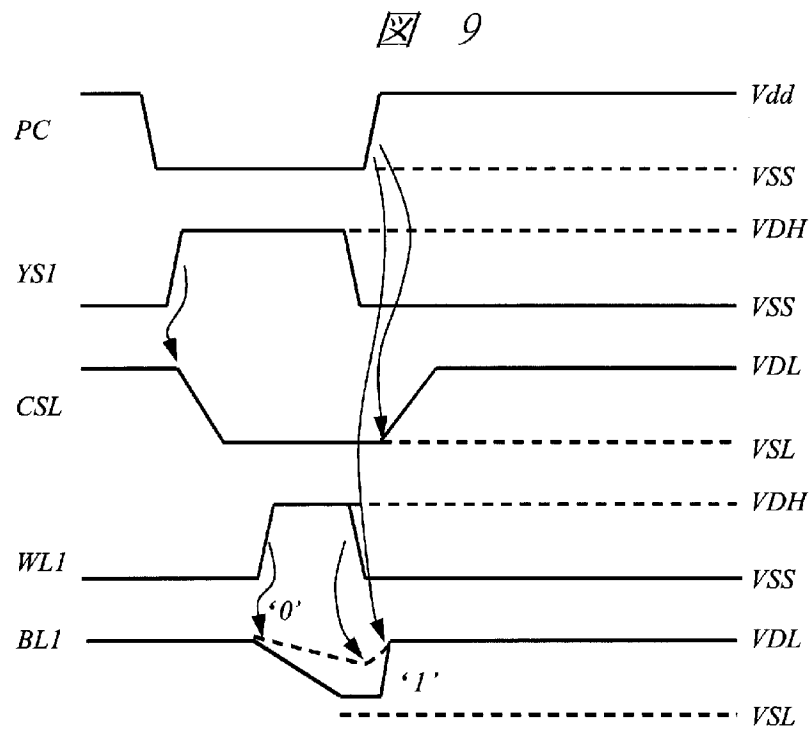


[図8]

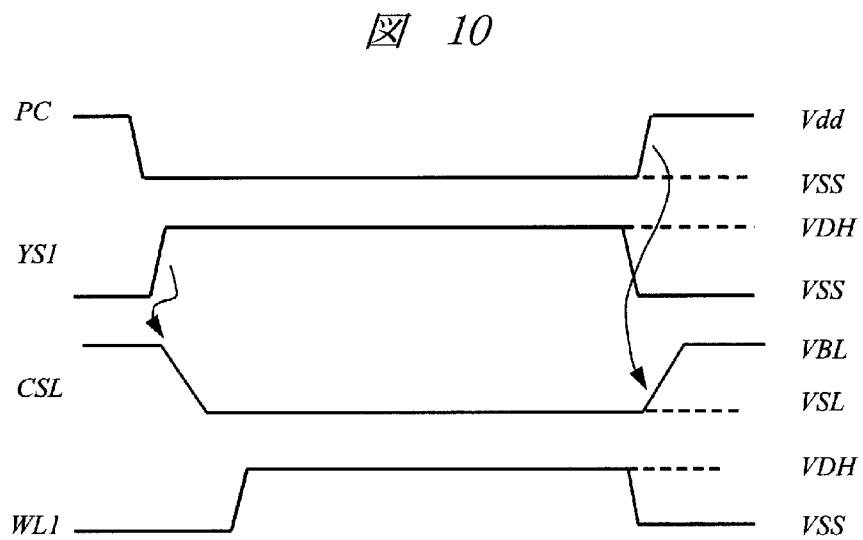
図 8



[図9]

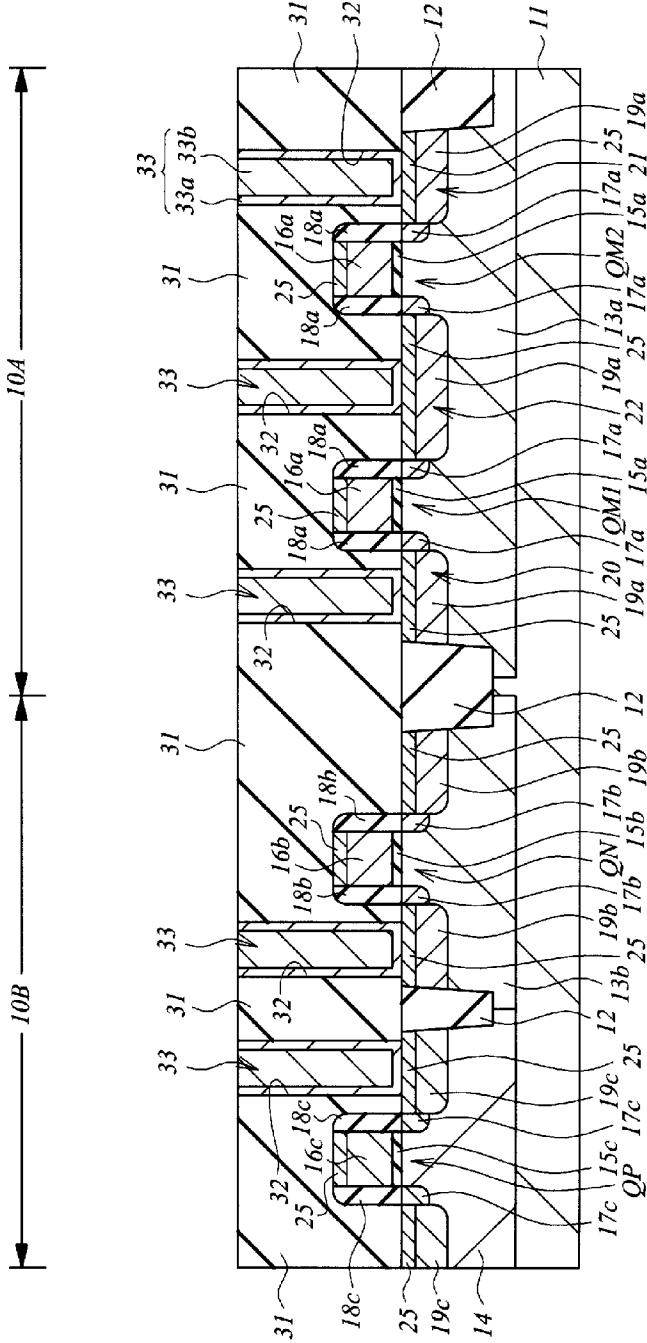


[図10]

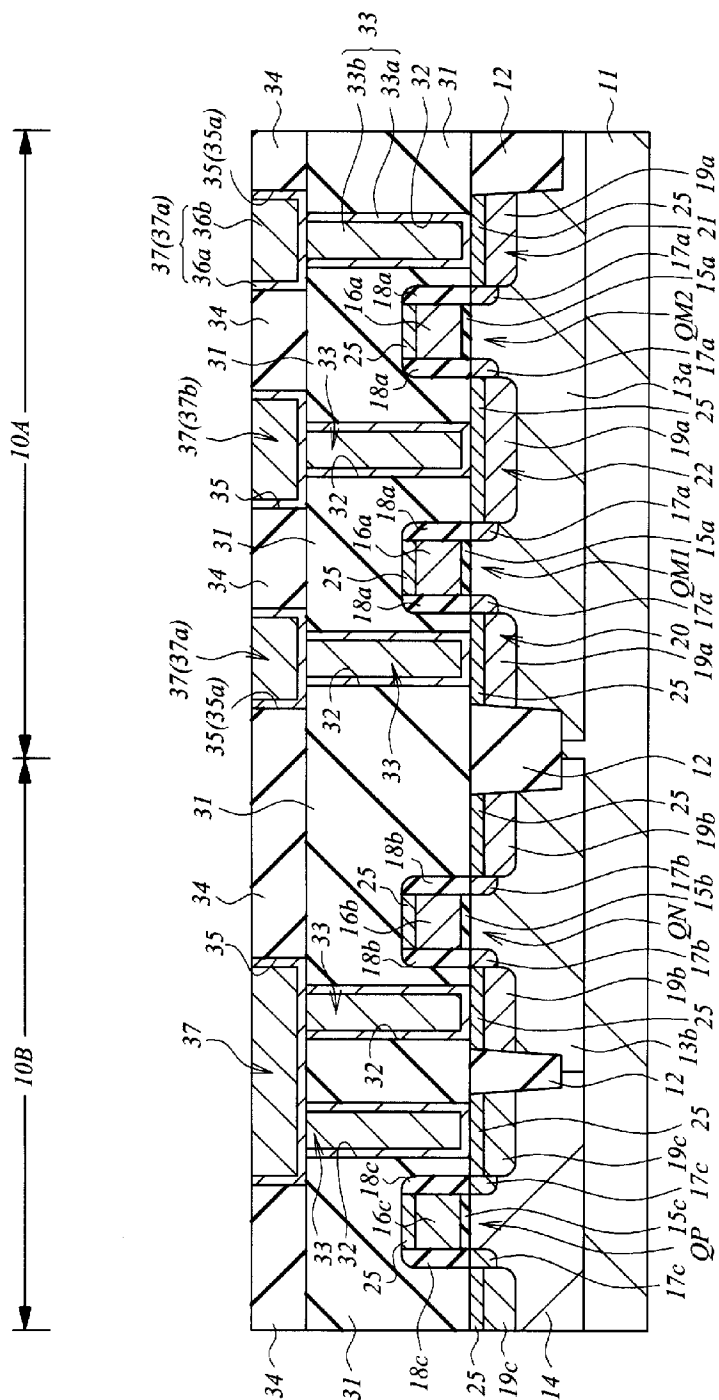


[図12]

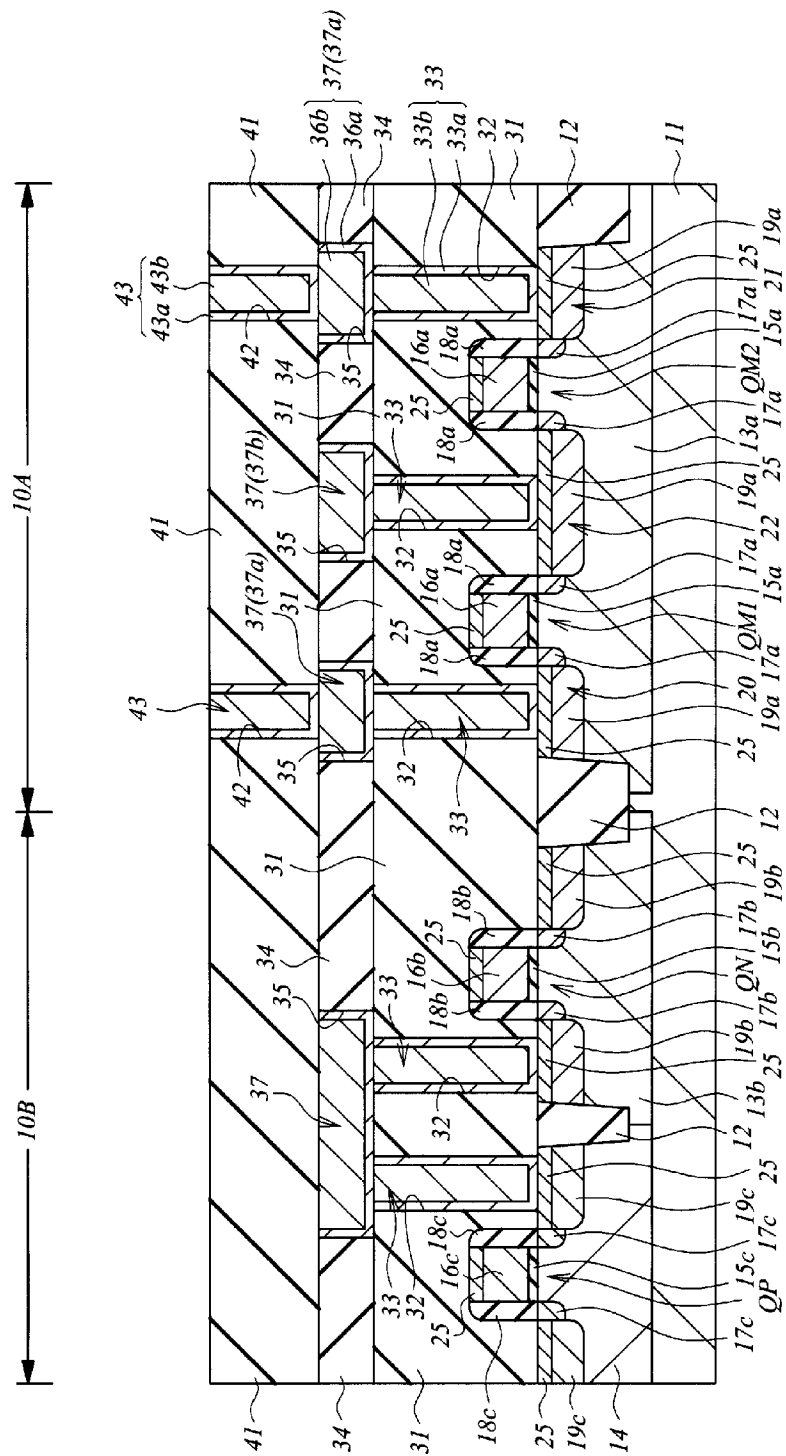
図 12



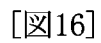
13



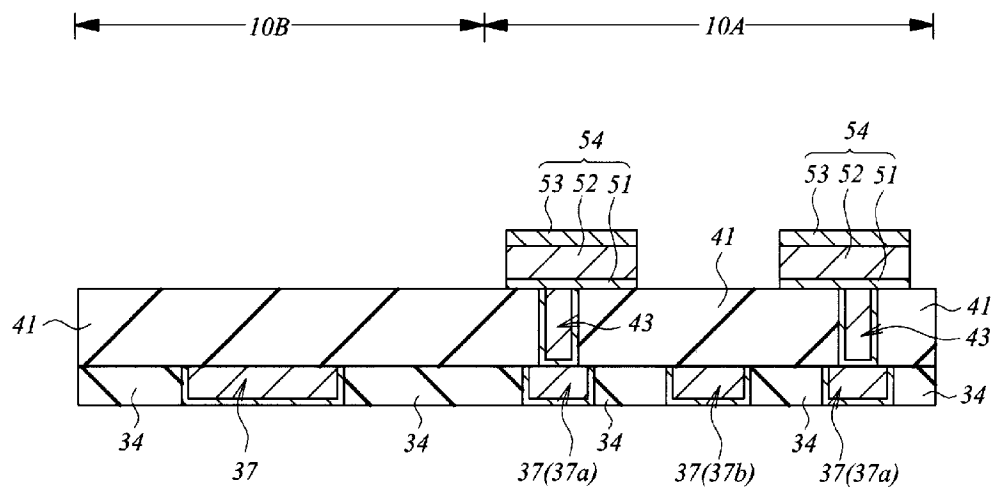
14



15



例 16



17

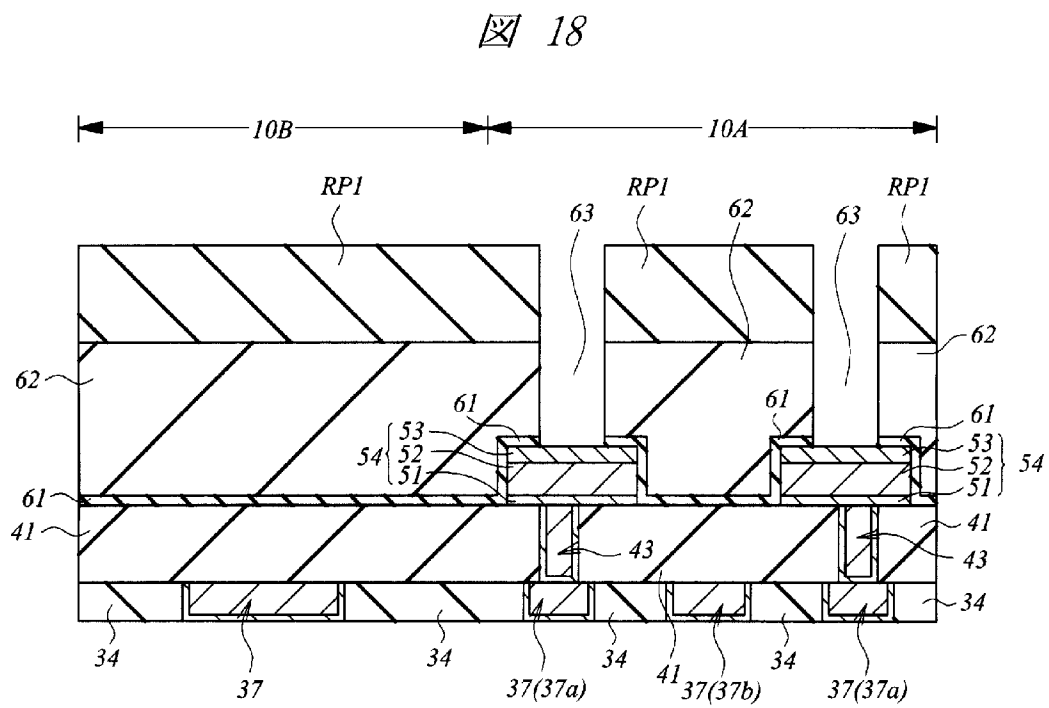
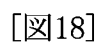
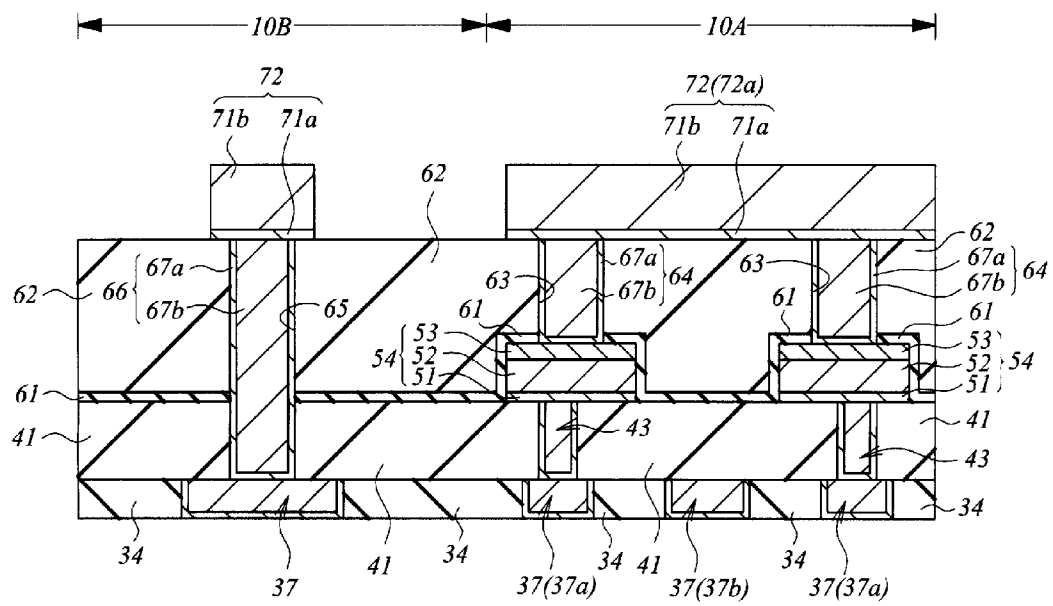
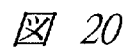
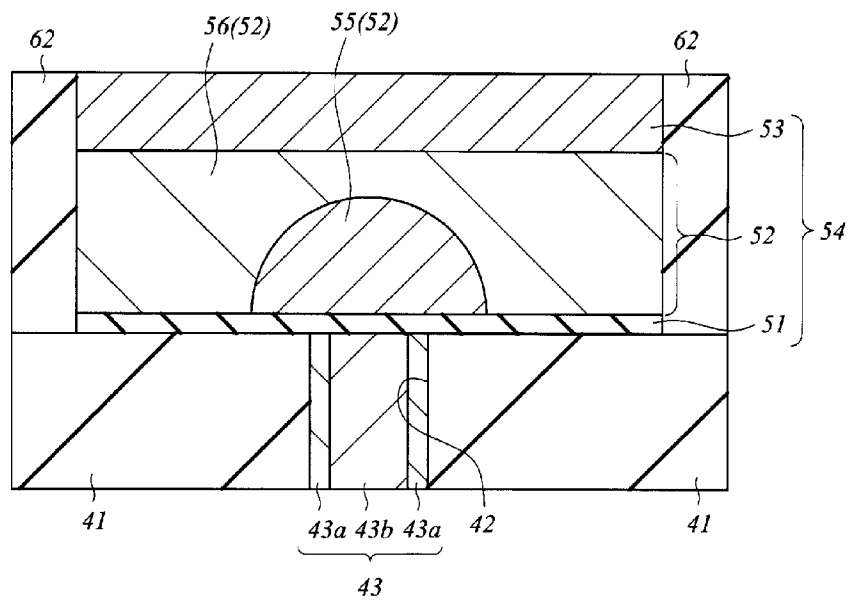


図 19



[図21]

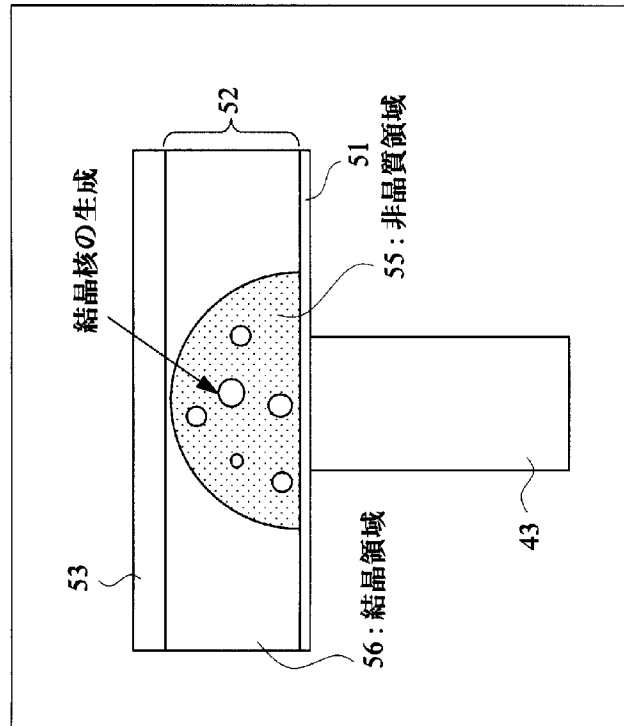
図 21



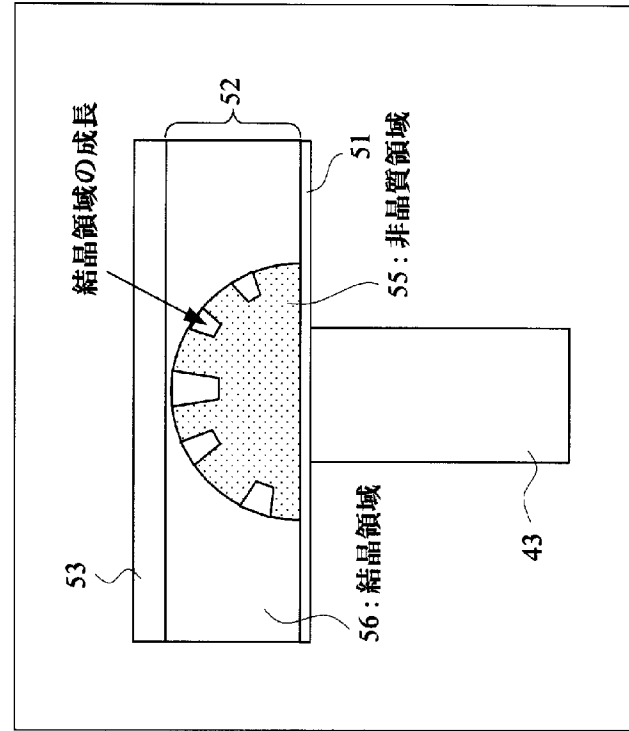
[図22]

図 22

(a)

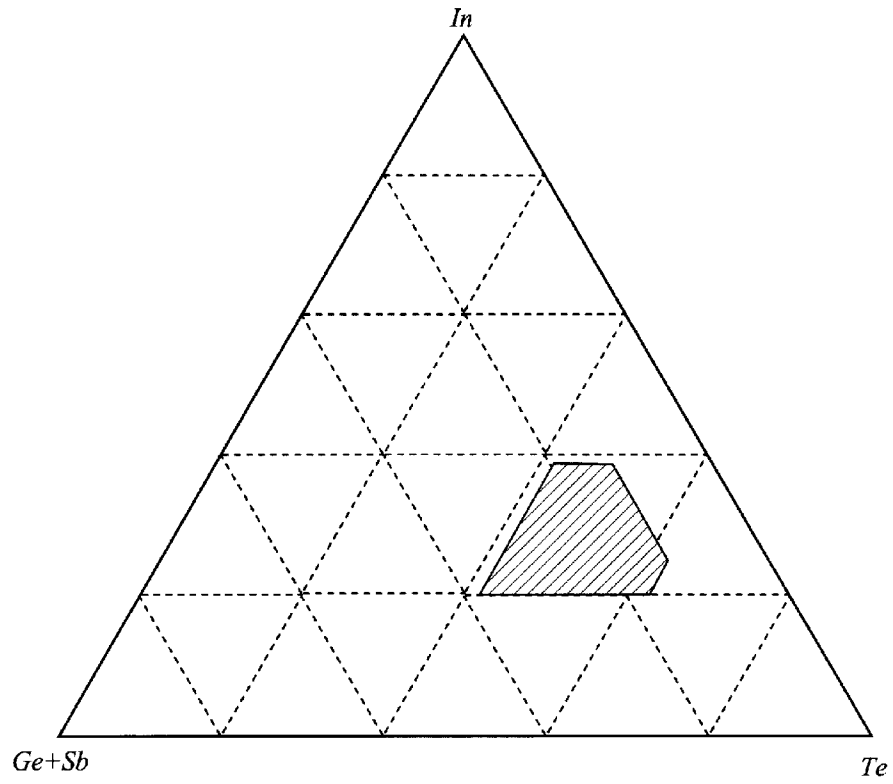


(b)



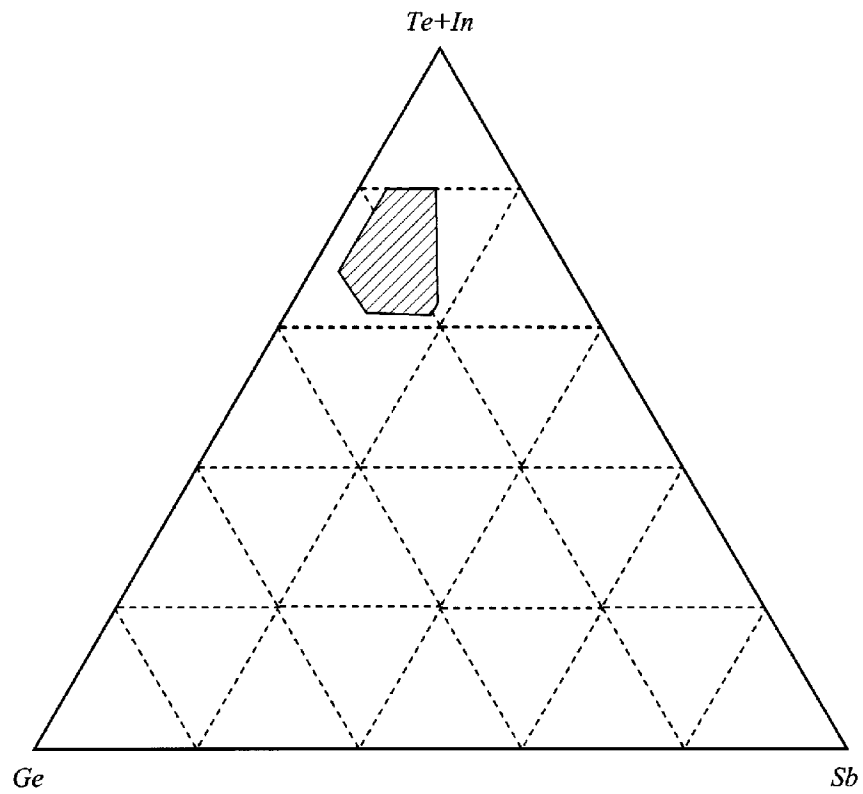
[図23]

図 23



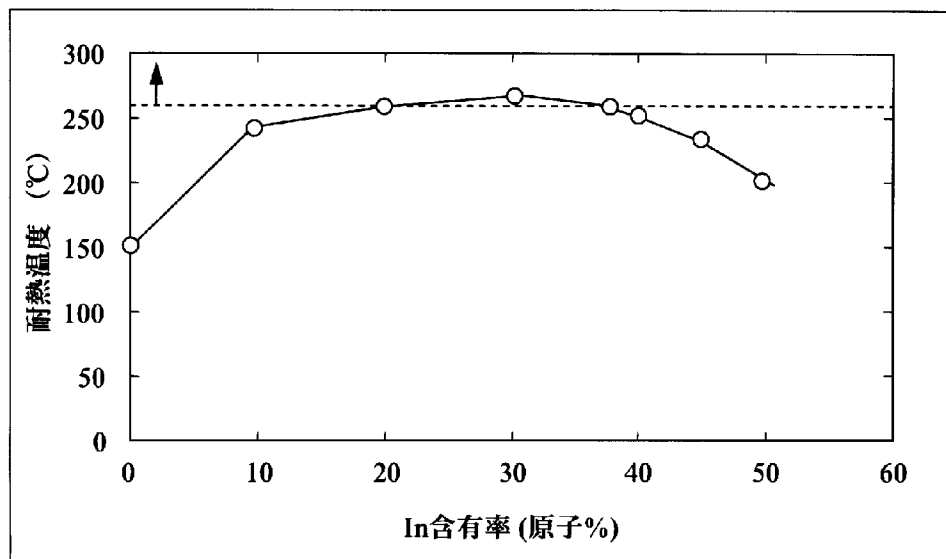
[図24]

図 24



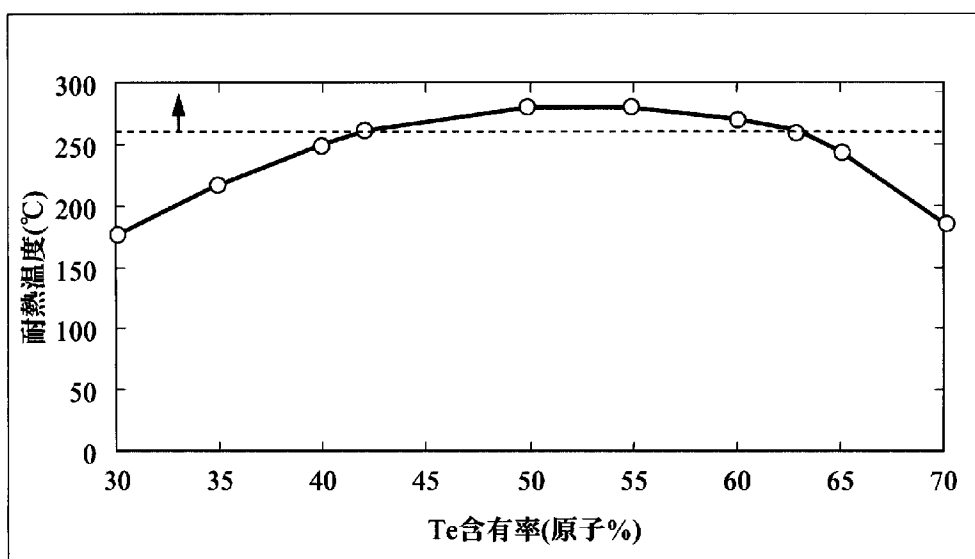
[図25]

図 25



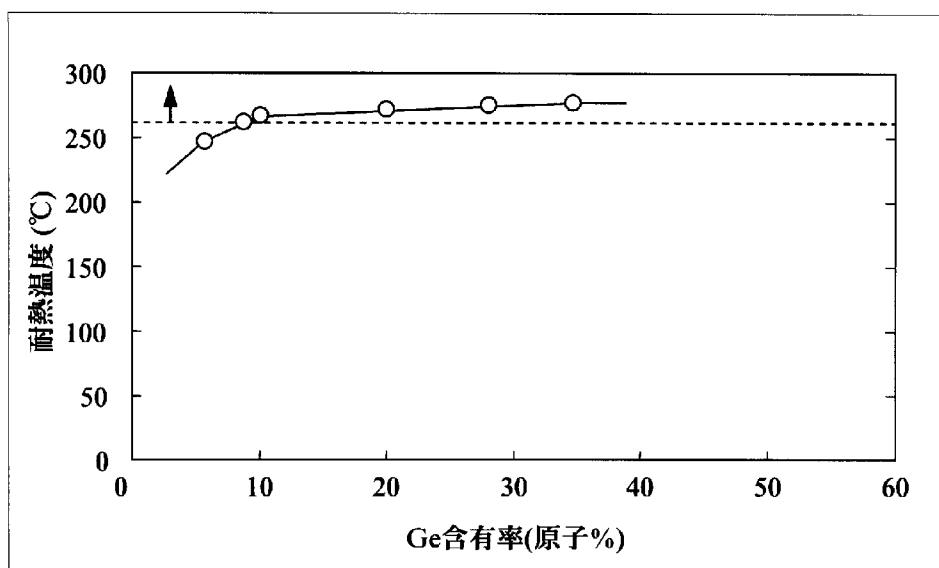
[図26]

図 26



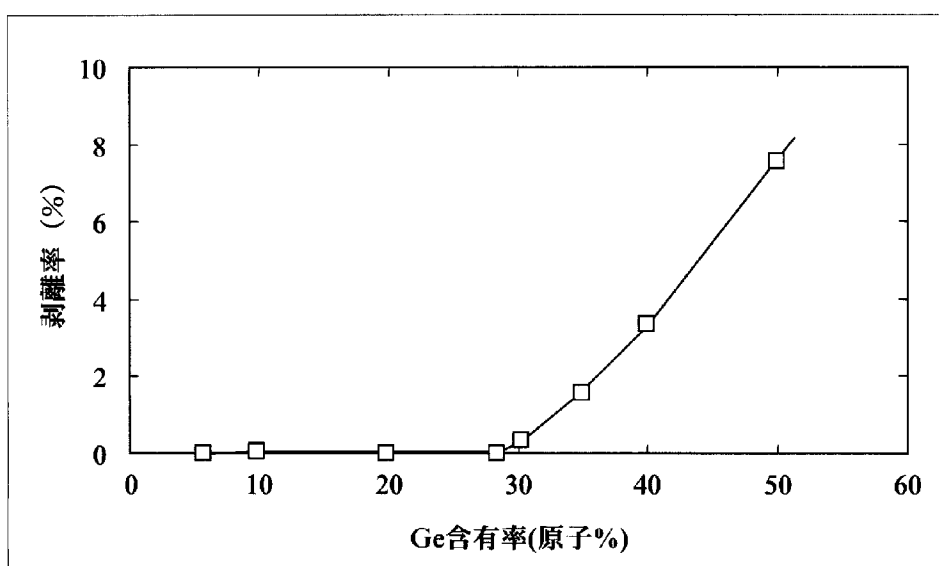
[図27]

図 27



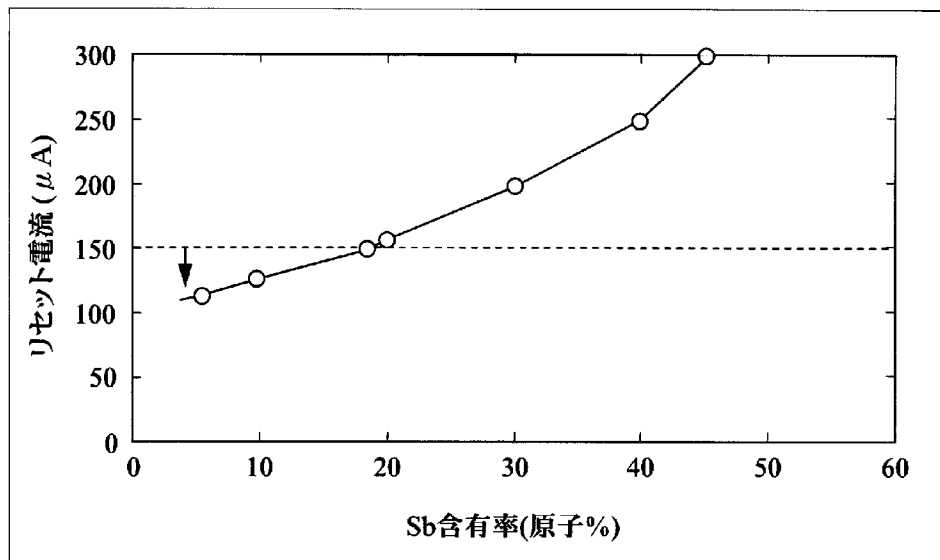
[図28]

図 28



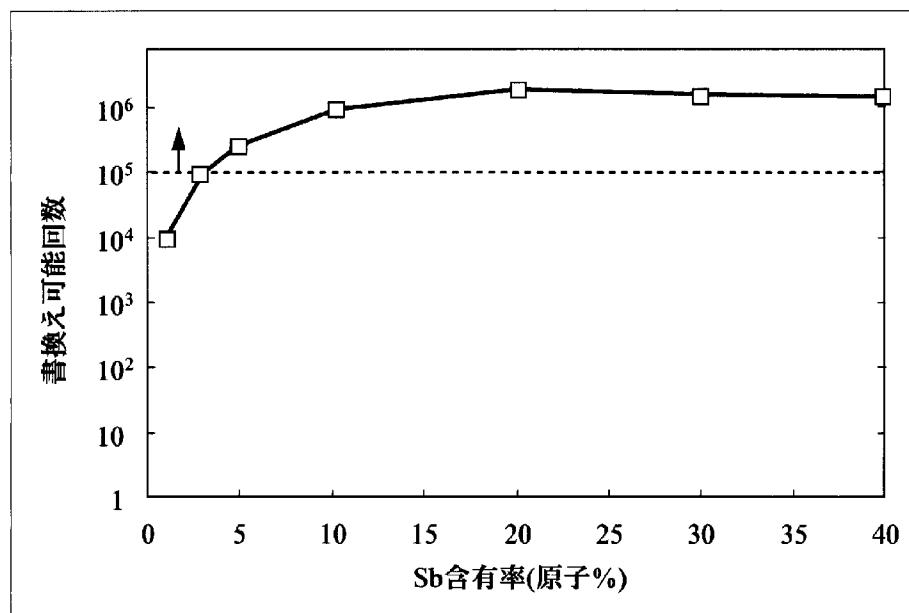
[図29]

図 29



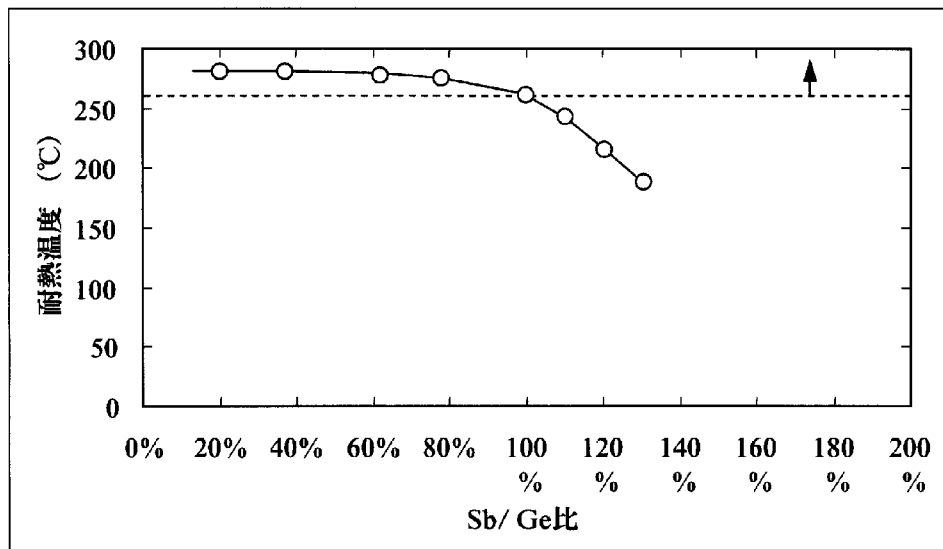
[図30]

図 30



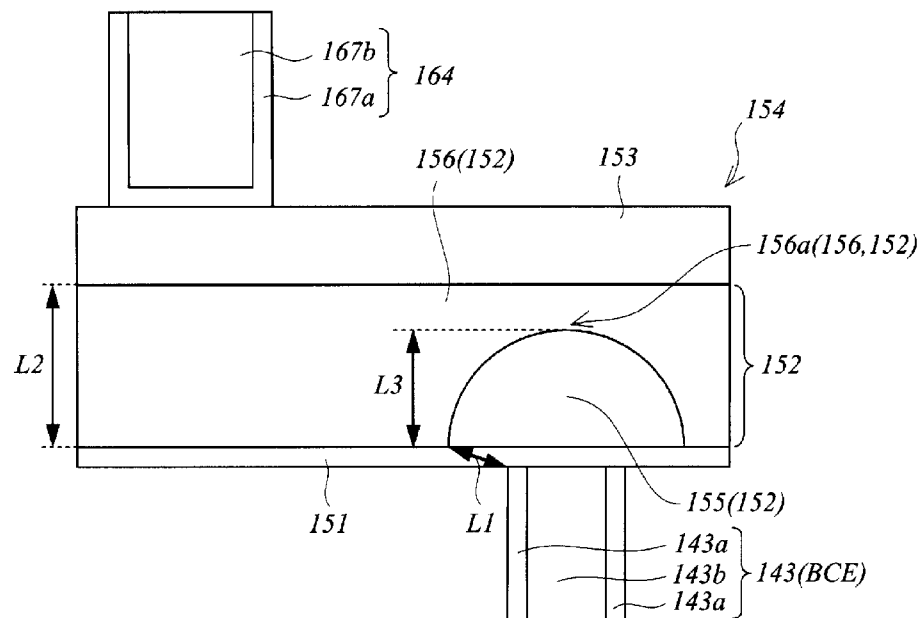
[図31]

☒ 31



[図32]

図 32



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/050269

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/105(2006.01) i, H01L45/00(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/105, H01L45/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JSTPlus (JDream2)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-117030 A (Mitsubishi Materials Corp.), 28 April, 2005 (28.04.05), Full text & WO 2005/029585 A1	1-19
A	JP 2004-289029 A (Hitachi, Ltd.), 14 October, 2004 (14.10.04), Abstract & US 2004/0233748 A1 & EP 1463061 A2	1-19

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 April, 2007 (05.04.07)

Date of mailing of the international search report
17 April, 2007 (17.04.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L27/105(2006.01)i, H01L45/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L27/105, H01L45/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 7 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 7 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 7 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

JSTPlus(JDream2)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2005-117030 A（三菱マテリアル株式会社）2005.04.28, 全文 & WO 2005/029585 A1	1-19
A	JP 2004-289029 A（株式会社日立製作所）2004.10.14, 要約 & US 2004/0233748 A1 & EP 1463061 A2	1-19

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 5 . 0 4 . 2 0 0 7

国際調査報告の発送日

1 7 . 0 4 . 2 0 0 7

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

瀧内 健夫

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

4M

9 0 5 4