I815993

(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I815993 B

(45)公告日： 中華民國 112 (2023) 年 09 月 21 日

(21)申請案號：108140788 (22)申請日： 中華民國 108 (2019) 年 11 月 11 日

(51)Int. Cl.： *H01L21/48 (2006.01)* *H01L21/56 (2006.01)*
H01L21/78 (2006.01) *H01L23/31 (2006.01)*
H01L23/367 (2006.01) *H01L23/538 (2006.01)*
H01L23/66 (2006.01)

(30)優先權：2019/01/23 美國 62/795,804
2019/05/30 美國 16/427,019

(71)申請人：美商科沃美國公司 (美國) QORVO US, INC. (US)
美國

(72)發明人：科斯塔 朱力奧 C COSTA, JULIO C. (US)；卡羅爾 麥可 CARROLL, MICHAEL (US)

(74)代理人：閻啓泰；林景郁

(56)參考文獻：

US 2015/0262844A1 US 2016/0100489A1

審查人員：林弘恩

申請專利範圍項數：20 項 圖式數：20 共 40 頁

(54)名稱

具有增強性能之射頻元件及其形成方法

(57)摘要

本發明係關於一種射頻(RF)元件，其包括一模塑元件晶粒及一位於該模塑元件晶粒下方之多層式重佈結構。該模塑元件晶粒包括一元件區域，該元件區域具有一後段製程(BEOL)部及一位於該BEOL 部上之前段製程(FEOL)部，以及一第一模塑化合物。該 FEOL 部包括一主動層、一接觸層及絕緣段。在此，該主動層及該等絕緣段 位在該接觸層上方，且該主動層受該等絕緣段所包圍。第一模塑化合物位在該主動層上方，兩者之間並不存有未含鍺之矽晶。該多層式重佈結構包括重佈互連及若干位於該多層式重佈結構底部，且經由該重佈互連而電性耦接至該模塑元件晶粒之凸塊結構。

The present disclosure relates to a radio frequency (RF) device that includes a mold device die and a multilayer redistribution structure underneath the mold device die. The mold device die includes a device region with a back-end-of-line (BEOL) portion and a front-end-of-line (FEOL) portion over the BEOL portion, and a first mold compound. The FEOL portion includes an active layer, a contact layer, and isolation sections. Herein, the active layer and the isolation sections reside over the contact layer, and the active layer is surrounded by the isolation sections. The first mold compound resides over the active layer without silicon crystal, which has no germanium content, in between. The multilayer redistribution structure includes redistribution interconnections and a number of bump structures that are at bottom of the multilayer redistribution structure and electrically coupled to the mold device die via the redistribution interconnections.

指定代表圖：

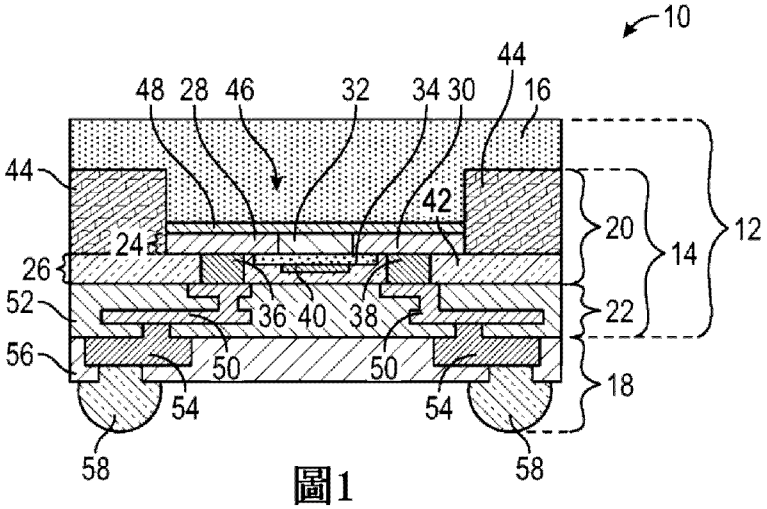


圖1

符號簡單說明：

10:射頻元件

12:模塑元件晶粒

14:元件區域

16:第一模塑化合物

18:多層式重佈結構

20:前段製程(FEOL)部

22:後段製程(BEOL)部

24:主動層

26:接觸層

28:源極

30:汲極

32:通道

34:閘極結構

36:源極接點

38:汲極接點

40:閘極接點

42:絕緣材料

44:絕緣段

46:開口

48:鈍化層

50:連接層

52:介電質層

54:重佈互連

56:介電質圖案

58:凸塊結構

專利案號：108140788

公告本

I815993

【發明摘要】

【中文發明名稱】 具有增強性能之射頻元件及其形成方法

【英文發明名稱】 RF DEVICES WITH ENHANCED PERFORMANCE AND METHODS OF FORMING THE SAME

【中文】

本發明係關於一種射頻(RF)元件，其包括一模塑元件晶粒及一位於該模塑元件晶粒下方之多層式重佈結構。該模塑元件晶粒包括一元件區域，該元件區域具有一後段製程(BEOL)部及一位於該BEOL部上之前段製程(FEOL)部，以及一第一模塑化合物。該FEOL部包括一主動層、一接觸層及絕緣段。在此，該主動層及該等絕緣段 位在該接觸層上方，且該主動層受該等絕緣段所包圍。第一模塑化合物位在該主動層上方，兩者之間並不存有未含鍺之矽晶。該多層式重佈結構包括重佈互連及若干位於該多層式重佈結構底部，且經由該重佈互連而電性耦接至該模塑元件晶粒之凸塊結構。

【英文】

The present disclosure relates to a radio frequency (RF) device that includes a mold device die and a multilayer redistribution structure underneath the mold device die. The mold device die includes a device region with a back-end-of-line (BEOL) portion and a front-end-of-line (FEOL) portion over the BEOL portion, and a first mold compound. The FEOL portion includes an active layer, a contact layer, and isolation sections. Herein, the active layer and the isolation sections reside over the contact layer, and the active layer is surrounded by the isolation sections. The first mold compound resides over the active layer without silicon crystal, which has no

germanium content, in between. The multilayer redistribution structure includes redistribution interconnections and a number of bump structures that are at bottom of the multilayer redistribution structure and electrically coupled to the mold device die via the redistribution interconnections.

【指定代表圖】　圖1

【代表圖之符號簡單說明】

10　射頻元件

12　模塑元件晶粒

14　元件區域

16　第一模塑化合物

18　多層式重佈結構

20　前段製程(FEOL)部

22　後段製程(BEOL)部

24　主動層

26　接觸層

28　源極

30　汲極

32　通道

34　閘極結構

36　源極接點

38　汲極接點

40　閘極接點

42　絕緣材料

44 絕緣段

46 開口

48 鈍化層

50 連接層

52 介電質層

54 重佈互連

56 介電質圖案

58 凸塊結構

【特徵化學式】

無

【發明說明書】

【中文發明名稱】　具有增強性能之射頻元件及其形成方法

【英文發明名稱】　RF DEVICES WITH ENHANCED PERFORMANCE AND METHODS OF FORMING THE SAME

【技術領域】

【0001】　本發明係關於一種射頻(RF)元件及其製作程序，更詳而言之，本發明係關於一種具有增強熱性能及電性能之射頻元件，及一種用以製作具有增強性能之射頻元件之晶圓級封裝程序。

相關申請案

【0002】　本申請案主張2019年1月23日所提出美國臨時專利申請第62/795,804號案之優先權，該案之整體經參照合併於此。

【0003】　本申請係關於同時提出申請且名為「具有增強性能之射頻元件及其形成方法」之美國專利申請第_____號案，該案之整體經參照合併於此。

【先前技術】

【0004】　蜂巢式元件及無線元件之廣泛使用帶動射頻(RF)技術之快速發展。而射頻元件所用之基板是RF技術能否達成高階性能之重要因素。於習用矽基板上製作射頻元件具有多種優點，包括矽材料成本低、適合於大規模晶圓製造、現有完善半導體設計工具及現有完善半導體製造技法等多重優點。

【0005】　儘管利用習用矽基板製造射頻元件具有上述優點，業界咸知傳統矽基板對於射頻元件而言具有兩項不利特性，即諧波失真及低電阻率。諧波失真使建立於矽基板上之射頻元件難以達成高直線性。並且，高速高性能電晶體

係以更高密度整合於射頻元件中。因此，由於射頻元件中所整合之電晶體數量大，通過電晶體之功率量大且/或電晶體之操作速度快等因素，射頻元件所產生之熱大幅增加。據此，宜將射頻元件封裝為利於散熱之配置。

【0006】 晶圓級扇出型(WLFO)封裝技術及嵌入晶圓級球格陣列(EWLB)技術目前於可攜式RF應用領域中備受矚目。WLFO及EWLB技術可提供高密度輸入/輸出埠(I/O)而不增加封裝體之體積，因此可於單一晶圓中密集封裝入大量射頻元件。

【0007】 為解決射頻元件增加之熱產生並減少射頻元件之諧波失真，同時發揮WLFO/EWLB封裝技術之優點，本發明之目的在於提供一種改良之封裝程序，用以增強熱性能及電性能。再者，提升射頻元件之性能但不增加封裝體之體積亦為所冀。

【發明內容】

【0008】 本發明係關於一種具有增強熱性能與電性能之射頻(RF)元件及其製作程序。本發明之射頻元件包括一模塑元件晶粒及一多層式重佈結構。模塑元件晶粒包括一第一模塑化合物及一具有前段製程(FEOL)部及後段製程(BEOL)部之元件區域。FEOL部具有一主動層、一接觸層及絕緣段。在此，主動層及絕緣段位在接觸層上方，絕緣段包圍主動層，且主動層並不垂直延伸超過絕緣段。BEOL位在FEOL部下方且包括連接層。第一模塑化合物位在FEOL部之主動層上方，兩者之間並不存有未含鍺之矽晶。多層式重佈結構形成於模塑元件晶粒之BEOL部下方。多層式重佈結構包括位於多層式重佈結構底面之若干凸塊結構及位於多層式重佈結構中之重佈互連。凸塊結構係經BEOL部中之重佈互連及連接層而電性耦接至模塑元件晶粒之FEOL部。

【0009】 於該射頻元件之一種實施例中，第一模塑化合物之一部分位在絕

緣段上方。

【0010】 於該射頻元件之一種實施例中，絕緣段垂直延伸超過主動層頂面以在絕緣段中及主動層上方定義一開口。在此，第一模塑化合物填入開口。

【0011】 依據另一實施例，射頻元件進一步包括一直接位於主動層頂面上方且位於開口中之鈍化層。在此，鈍化層之材質為二氧化矽、氮化矽或兩者之組合，且第一模塑化合物接觸鈍化層。

【0012】 依據另一實施例，射頻元件進一步包括一直接位在主動層頂面上方且在開口中之介面層。在此，介面層之材質為矽鍺(SiGe)，且第一模塑化合物接觸介面層。

【0013】 於該射頻元件之一種實施例中，第一模塑化合物接觸主動層頂面。

【0014】 於該射頻元件之一種實施例中、各絕緣段之頂面與主動層之頂面為共平面，且第一模塑化合物位在主動層及絕緣段兩者之上方。

【0015】 於該射頻元件之一種實施例中，第一模塑化合物之熱導率大於1W/m·K。

【0016】 於該射頻元件之一種實施例中，該第一模塑化合物之介電常數小於8。

【0017】 於該射頻元件之一種實施例中，第一模塑化合物之介電常數介於3與5之間。

【0018】 於該射頻元件之一種實施例中，FEOL部係配置為提供一開關場效電晶體(FET)、一二極體、一電容器、一電阻器及一電感器中之至少一者。

【0019】 依據另一實施例，一種替代射頻元件包括一模塑元件晶粒及一多層式重佈結構。模塑元件晶粒包括一第一模塑化合物及一元件區域，該元件區域具有FEOL部及BEOL部。FEOL部具有一主動層、一接觸層及絕緣段。在此，

主動層及絕緣段位在接觸層上方，絕緣段包圍主動層，且主動層並不垂直延伸超過絕緣段。BEOL部位在FEOL部下方且包括連接層。第一模塑化合物位在FEOL部之主動層上方，兩者之間並不存有未含鍺之矽晶。多層式重佈結構形成於模塑元件晶粒之BEOL部下方，且包括若干位於多層式重佈結構底面之凸塊結構及位於多層式重佈結構中之重佈互連。凸塊結構係經由BEOL部中之重佈互連及連接層而電性耦接至模塑元件晶粒之FEOL部。替代射頻元件進一步包括一位在多層式重佈結構上方並膠封模塑元件晶粒之第二模塑化合物。

【0020】 於該替代射頻元件之一種實施例中，第一模塑化合物與第二模塑化合物為相同材質。

【0021】 於該替代射頻元件之一種實施例中，第一模塑化合物與第二模塑化合物為不同材質。

【0022】 依據一例示程序中，首先提供具有若干元件區域之前導晶圓。各元件區域包括一BEOL部及一位於BEOL部上方之FEOL部。FEOL部具有一主動層、一接觸層及絕緣段。在此，主動層及絕緣段位在接觸層上方，絕緣段包圍主動層，且主動層並不垂直延伸超過絕緣段。此外，各元件區域主動層之上方直接形成有一矽鍺(SiGe)介面層，且各介面層上方直接設有矽處理基板。繼而完全移除該矽處理基板。隨後施用第一模塑化合物佈以提供一包括若干模塑元件晶粒之模塑元件晶圓。在此，第一模塑化合物係施用在各元件區域主動層上方之矽處理基板移除處。各元件區域主動層與第一模塑化合物之間並不存有未含鍺之矽晶。各模塑元件晶粒包括一對應元件區域及位於對應元件區域主動層上方之部分第一模塑化合物。

【0023】 依據另一實施例，例示程序進一步包括在移除矽處理基板之前先經由接合層將前導晶圓接合至一暫時載體，在施用第一模塑化合物之後剝離暫時載體並清潔前導晶圓上之接合層。

【0024】 依據另一實施例，例示程序進一步包括形成一多層式重佈結構下方模塑元件晶圓。在此，多層式重佈結構包括若干位在多層式重佈結構底面之凸塊結構及位在多層式重佈結構中之重佈互連。各凸塊結構係經由對應模塑元件晶粒BEOL部中之重佈互連及連接層而電性耦接至對應模塑元件晶粒之一個主動層。

【0025】 依據另一實施例，例示程序進一步包括將割模塑元件晶圓切成若干單個模塑元件晶粒。而後將第二模塑化合物施用於單個模塑元件晶粒之周圍及上方以提供一雙重模塑元件晶圓。在此，第二模塑化合物包覆各單個模塑元件晶粒之頂面及側面，而各單個模塑元件晶粒之底面則暴露在外。雙重模塑元件晶圓之底面為各單個模塑元件晶粒底面與第二模塑化合物底面之結合。繼而於雙重模塑元件晶圓下方形成一多層式重佈結構。多層式重佈結構包括若干位於多層式重佈結構底面之凸塊結構及位於多層式重佈結構中之重佈互連。各凸塊結構係經由對應單個模塑元件晶粒BEOL部中之重佈互連及連接層而電性耦接至對應單個模塑元件晶粒之一個主動層。

【0026】 依據另一實施例，例示程序進一步包括在施用第一模塑化合物之前先移除介面層，使得各元件區域之主動層在施用第一模塑化合物之後接觸第一模塑化合物。

【0027】 依據另一實施例，例示程序進一步包括移除介面層，並於施用第一模塑化合物前先在各元件區域主動層之上方直接施用一鈍化層。鈍化層之材質為二氧化矽、氮化矽或兩者之組合，且鈍化層於第一模塑化合物施用後接觸第一模塑化合物。

【0028】 於例示程序之一種實施例中，提供前導晶圓之步驟始自提供一Si-SiGe-Si晶圓，其包括一共同矽磊晶層、一位於共同矽磊晶層上方之共同介面層以及位於共同介面層上方之矽處理基板。介面層之材質為SiGe。隨後執行互

補式金屬氧化物半導體(CMOS)程序以提供前導晶圓。在此，絕緣段延伸通過共同矽磊晶層及共同介面層，並延伸進入矽處理基板，使得共同介面層分隔成若干單個介面層，且共同矽磊晶層分隔成若干單個矽磊晶層。元件區域之各主動層由一對應單個矽磊晶層形成，各單個介面層直接位在對應主動層頂面之上方，且矽處理基直接板位在單個介面層之上方。

【0029】 於例示程序之一種實施例中，提供前導晶圓之步驟始自提供一Si-SiGe-Si晶圓，其包括一共同矽磊晶層、一位於共同矽磊晶層上方之共同介面層以及位於共同介面層上方之矽處理基板。共同介面層由SiGe形成，包括若干相連之介面層。而後執行CMOS程序以提供前導晶圓。在此，絕緣段延伸通過共同矽磊晶層及延伸進入共同介面層，使得共同矽磊晶層分隔成若干單個矽磊晶層且介面層保持相連。元件區域之各主動層係由對應單個矽磊晶層形成，各介面層直接位在對應主動層之頂面上方，且矽處理基板保持位在共同介面層上方。

【0030】 精於此技藝人士經參照附圖閱讀以下較佳實施例之詳細說明後，應可理解本發明之範疇並領會其各種態樣。

【圖式簡單說明】

【0031】 本說明書所附圖式說明本發明之數種態樣，且配合敘述內容共同闡明本發明之原理。

【0032】 圖1示出依據本發明一種實施例之具有增強熱性能及電性能之射頻(RF)元件。

【0033】 圖2示出依據本發明一種實施例之具有增強熱性能及電性能之替代射頻元件。

【0034】 圖3至圖14說明用於製造圖1所示的例示射頻元件之例示晶圓級封裝程序之步驟。

【0035】 圖15至圖20說明用於製造圖2所示的替代射頻元件之替代晶圓級封裝程序之步驟。

【0036】 應知圖1至圖20未必依照比例繪製，以求圖式之明晰。

【實施方式】

【0037】 以下提供之實施例陳述供熟悉此技藝人士實施本發明所需之資訊，並說明實踐實施例之最佳方式。經參照附圖閱讀以下說明後，熟悉此技藝人士將可瞭解本發明之概念，且將領會此等概念未盡於本文之各種應用。應知此等概念及應用俱屬本發明及所附申請專利範圍之範疇。

【0038】 雖則在此可能以第一、第二等語描述各種元件，應知此等元件並不受限於此等用語。此等用語僅用於區分不同元件。例如，第一元件可改稱為第二元件，且同理，第二元件可改稱為第一元件，而不脫離本發明之範疇。如在此所用，「及/或」包括一或多種所列相關項目之任何及全部組合。

【0039】 應知當於此稱一元件，例如一層體、區域或基板，為位於另一元件上或延伸至另一元件上，其可為直接在另一元上或直接延伸至另一元件上，或其間亦可能存有其他中間元件。反之，當稱一元件為「直接」位於另一元件上或延伸至另一元件上，表示兩者之間並無其他中間元件存在。同理，應知當稱一元件，例如一層體、區域或基板，為在另一元件上或或延伸於另一元件上，其可為直接在另一元上或直接延伸於另一元件上方或其間亦可能存有其他中間元件。反之，當稱一元件為「直接」位於另一元件上或延伸於另一元件上方，表示兩者之間並無其他中間元件存在。亦應知，當稱一元件「連接」或「耦接」於另一元件，其可直接連接或耦接於另一元件，或其間亦可能存有其他中間元件。反之，當稱一元件「直接連接」或「直接耦接」至另一元件，表示兩者之間並無其他中間元件存在。

【0040】 在此所用相對性用語，例如「在下」或「在上」或「上方」或「下方」或「水平」或「垂直」係為描述圖中一元件、層體或區域與另一元件、層體或區域之關係。應知此等用語及上文討論者意欲包含與圖中所示不同之元件方向。

【0041】 在此所用術語僅為描述具體實施，且並非意圖限制本發明。除非上下文另有明確指定，否則在此所用單數形之「一」及「該」亦應包括複數形。亦應知，在此當以「包含」及/或「包括」指定所稱特徵、數值、步驟、操作、元件及/或組件之存在時，並不排除其他一或多種特徵、數值、步驟、操作、元件、組件及/或群組之存在或添加。

【0042】 除非另有定義，否則在此使用之所有術語(包括技術及科學用語)均具有如同為熟悉本發明所屬技藝人士週知之意義。且應知在此所用術語應採與本說明書上下文及相關技藝中意義相符之解釋，且除非文中如此要求，否則不應採理想化或過度制式之解讀。

【0043】 有鑑於習用射頻絕緣層上覆矽(RFSOI)晶圓在未來數年可預見之短缺，業界正以利用矽晶圓、富陷阱層形成及智切法SOI晶圓程序等方式研發替代技術，試圖免除高電阻之需求。一種替代技術是在矽基板與矽磊晶層之間使用矽鍺(SiGe)介面層取代埋入氧化層(BOX)；然而，此項技術與RFSOI技術同樣難以倖免於來自矽基板之失真效應。本發明係關於具有增強熱性能與電性能之射頻(RF)元件，及用於其製造之晶圓級封裝程序，本發明以此Si-SiGe-Si結構為基礎，避免來自矽基板之失真效應。

【0044】 圖1顯示依據本發明一實施例，以Si-SiGe-Si晶圓形成之例示射頻元件10(其加工方式於下文詳述)。於圖中，例示射頻元件10包括一具有元件區域14及第一模塑化合物16之模塑元件晶粒12，以及一形成於模塑元件晶粒12下方之多層式重佈結構18。

【0045】 詳言之，元件區域14包括一前段製程(FEOL)部20及一後段製程(BEOL)部22下方FEOL部20。於一實施例中，FEOL部20係配置為提供一開關場效電晶體(FET)，且包括一主動層24及一接觸層26。在此，主動層24具有一源極28、一汲極30及一位於源極28與汲極30間之通道32。源極28、汲極30及通道32係由同一矽磊晶層形成。接觸層26係形成於主動層24下方，且包括一閘極結構34、一源極接點36、一汲極接點38及一閘極接點40。閘極結構34可由氧化矽形成，且水平延伸於通道32下方(自源極28下方至汲極30下方)。源極接點36連接至並位於源極28下方，汲極接點38連接至並位於汲極30下方，且閘極接點40連接至並位於閘極結構34下方。源極接點36、汲極接點38、閘極結構34及閘極接點40周圍可形成有絕緣材料42以將源極28、汲極30與閘極結構34電性分隔。於不同應用中，FEOL部20可具有不同FET配置或提供不同元件組件，例如二極體、電容器、電阻器及/或電感器。

【0046】 此外，FEOL部20亦包括絕緣段44，其位在接觸層26之絕緣材料42上方且包圍主動層24。絕緣段44可將射頻元件10，特別是主動層24，與共同晶圓(圖未示)中之其他元件分離。在此，絕緣段44可從接觸層26之頂面延伸且垂直超過主動層24之頂面以定義一位於絕緣段44中且在主動層24上方之開口46。第一模塑化合物16填入開口46且可延伸於絕緣段44上方。絕緣段44之材質可為二氧化矽，其可耐受例如氫氧化鉀(KOH)、氫氧化鈉(NaOH)及乙醯膽鹼(ACH)等蝕刻化學藥劑。

【0047】 於某些應用中，射頻元件10可進一步包括一鈍化層48，其材質可為二氧化矽、氮化矽或兩者之組合，直接形成於主動層24之頂面上方並形成於開口46中。以此方式，第一模塑化合物16直接位於鈍化層48之上方。鈍化層48可終止主動層24之表面接點，避免發生洩漏。鈍化層亦可發揮屏障功能，保護主動層24不受潮且不受離子污染。若省略鈍化層48，第一模塑化合物16可接觸

主動層24之頂面。於某些應用中，射頻元件10可進一步包括一介面層(於下文說明且在此未示)，其材質為SiGe，直接形成於主動層24頂面上方且形成於開口46中。以此方式，第一模塑化合物16可直接位於介面層上方。介面層係由用於製造射頻元件10之Si-SiGe-Si晶圓(加工方式如下詳述)形成。若省略介面層，第一模塑化合物18可接觸主動層24之頂面。應知不論鈍化層48或介面層，第一模塑化合物16與主動層24之頂面間皆不存有矽晶。鈍化層48及介面層皆是矽合金，但不是矽晶。

【0048】 再者，於某些應用中，各絕緣段44之頂面與主動層24之頂面為共平面(圖未示)，且未設開口46。第一模塑化合物16位在FEOL部20之主動層24及絕緣段44兩者之上方。應知主動層24在垂直方向上不可超過絕緣段44，否則絕緣段44可能無法將主動層24與相同晶圓之其他元件分隔開來。

【0049】 BEOL部22位在FEOL部20下方且包括多個形成於介電質層52中之連接層50。部分連接層50受介電質層52(圖未示)膠封，而部分連接層50之底部則未受介電質層52覆蓋。特定連接層50係電性連接至FEOL部20。於圖中，其中一連接層50連接於源極接點36，且另一連接層50連接於汲極接點38。

【0050】 形成於模塑元件晶粒12 BEOL部22下方之多層式重佈結構18包括若干重佈互連54、一介電質圖案56及若干凸塊結構58。在此，各重佈互連54係連接於BEOL部22中之對應連接層50且延伸在BEOL部22之底面上方。重佈互連54與連接層50之連接係不經焊接而達成。介電質圖案56形成於各重佈互連54之周圍及下方。各重佈互連54之底部經由介電質圖案56暴露在外。各凸塊結構58形成於多層式重佈結構18之底部，且經由介電質圖案56而電性耦接至一對應重佈互連54。因此，重佈互連54配置為將凸塊結構58連接至BEOL部22中與FEOL部20電性連接之特定連接層50。以此方式，凸塊結構58係對應重佈互連54及對應連接層50而電性連接至FEOL部20。此外，凸塊結構58彼此分離且延伸於介電

質圖案56下方。

【0051】 於某些應用中，某些重佈互連54可配置為將模塑元件晶粒12連接至其他構成同一晶圓之元件組件(圖未示)。於某些應用中，可設有經介電質圖案56電性耦接至重佈互連54之外加重佈互連(圖未示)，以及形成介電質圖案56下方之外加介電質圖案(圖未示)，使得各外加重佈互連之底部暴露在外。因此，各凸塊結構58係經由外加介電質圖案(圖未示)耦接於一對應外加重佈互連。不論重佈互連及/或介電質圖案之層數，多層式重佈結構18可不含玻璃纖維或不含玻璃。在此，玻璃纖維意指經捻搓成較大線股之玻璃線縷。而後可將此等玻璃線縷編成織品。重佈互連54之材質可為銅或其他適合之金屬。介電質圖案56之材質可為苯並環丁烯(BCB)、聚醯亞胺或其他介電質材料。凸塊結構58可為焊球或銅柱。多層式重佈結構18之厚度為2微米至300微米。

【0052】 元件區域14產生之熱可向上到達位於主動層24上方之第一模塑化合物16底部，繼而向下通過元件區域14並由多層式重佈結構18將熱散出。因此第一模塑化合物16應具有高導熱性。第一模塑化合物16之熱導率可大於1W/m·K，或大於10W/m·K。此外，第一模塑化合物16具有低介電質常數，可小於8，或在3與5之間，以降低射頻耦合。於一實施例中，第一模塑化合物16之材質可為熱塑性或熱固性聚合物材料，例如PPS(聚苯硫醚)、摻雜有氮化硼、氧化鋁、奈米碳管或類鑽石熱添加物之包覆射出環氧化物或類似物。第一模塑化合物16之厚度取決於射頻元件10所需熱性能、元件佈局、與多層式重佈結構18相隔距離以及封裝體及組體之詳情。第一模塑化合物16之厚度可為200微米至500微米。

【0053】 圖2顯示一替代射頻元件10A，其進一步包括一對照於射頻元件10之第二模塑化合物60。在此，多層式重佈結構18水平延伸超過模塑元件晶粒12，且第二模塑化合物60位在多層式重佈結構18之上方以膠封模塑元件晶粒

12。於此實施例中，多層式重佈結構18之重佈互連54可水平延伸超過模塑元件晶粒12，且多層式重佈結構18之凸塊結構58可不受限於模塑元件晶粒12之外周內。第二模塑化合物60之材質可與第一模塑化合物16相同或不同。不同於第一模塑化合物16，第二模塑化合物60可不具熱導率或介電質常數要求。

【0054】 圖3-14提供之例示晶圓級封裝程序說明圖1所示射頻元件10之製造步驟。雖然例示步驟係按順序說明，但例示步驟並非必須按照固定順序。某些步驟可透過與所示者不同之順序進行。再者，本說明範疇內之程序可較圖3-14所示者包括更少或更多步驟。

【0055】 首先提供如圖3所示之Si-SiGe-Si晶圓62。此Si-SiGe-Si晶圓62包括一共同矽磊晶層64、一位於共同矽磊晶層64上方之共同介面層66及一位在共同介面層66上方之矽處理基板68。在此，共同介面層66之材質為矽鍺，其可將共同矽磊晶層64與矽處理基板68隔開。

【0056】 在此，用以形成共同矽磊晶層64之元件級矽材料應具有形成電子元件所需之矽磊晶特性。共同介面層66係以Si與Ge莫耳比率不限之合金形成。Ge濃度越高，矽處理基板68與共同介面層66間之蝕刻選擇性越佳，但共同矽磊晶層64之磊晶成長亦越加困難。於一實施例中，共同介面層66之鍺濃度可大於15%或大於25%。Ge濃度可於整個共同介面層66保持相同。於某些應用中，Ge濃度可垂直分級(1%至50%)，藉此產生消除共同矽磊晶層64生長所需之應力。矽處理基板68可包含習用之低成本低電阻及高介電質常數矽。共同矽磊晶層64與矽處理基板68相較之下電阻值高，諧波產生低，且介電質常數低。共同矽磊晶層64之厚度可為700奈米至2000奈米，共同介面層66之厚度可為100奈米至1000奈米，矽處理基板68之厚度可為200微米至500微米。

【0057】 繼而在Si-SiGe-Si晶圓62上執行互補式金屬氧化物半導體(CMOS)程序，以提供一具有若干元件區域14之前導晶圓70，如圖4A所示。於此

圖中，各元件區域14之FEOL部20可提供一開關FET。於不同應用中，FEOL部20可具有不同FET配置或提供不同元件組件，例如二極體、電容器、電阻器及/或電感器。

【0058】 於此實施例中，各元件區域14之絕緣段44延伸通過共同矽磊晶層64及共同介面層66，並延伸進入矽處理基板68。以此方式，共同介面層66分隔成若干單個介面層66I，且共同矽磊晶層64分隔成若干單個矽磊晶層64I，各用於形成一元件區域14中之一對應主動層24。絕緣段44可經由淺溝槽隔離(STI)形成。

【0059】 主動層24之頂面接觸一對應介面層66I。矽處理基板68位在各單個介面層66I上方，且矽處理基板68之部分可位在絕緣段44上方。元件區域14之BEOL部22包括至少多個連接層50及介電質層52，且係形成於FEOL部20之接觸層26下方。特定連接層50之底部經由介電質層52暴露在BEOL部22底面外。

【0060】 於另一實施例中，絕緣段44並未延伸進入矽處理基板68，而僅是延伸通過共同矽磊晶層64並延伸進入共同介面層66，如圖4B所示。在此，共同介面層66保持連續，且單個介面層66I彼此連接。共同介面層66係直接位在各主動層24之頂面上方，且直接位在各絕緣段44之頂面上方。矽處理基板68保持在共同介面層66上方。再者，絕緣段44可延伸通過共同矽磊晶層64，但未延伸進入共同介面層66(圖未示)。各絕緣段44之頂面及各主動層24之頂面可為共平面(圖未示)。共同介面層66及矽處理基板68保持完整。共同介面層66位在各絕緣段44及各主動層24上方，且矽處理基板68位在共同介面層66上方。

【0061】 待前導晶圓70完成後，將前導晶圓70接合至一暫時載體72，如圖5所示。前導晶圓70可經由接合層74而與暫時載體72接合，所述接合層74對暫時載體72提供一平坦化表面。基於成本及熱膨脹之考量，暫時載體72可為厚矽晶圓，但亦可為玻璃、藍寶石或其他適合之載體材料。接合層74可為跨上式聚合黏膠膜，例如布魯爾科技晶圓BOND系列暫時貼合材料。

【0062】 隨後選擇性移除矽處理基板68以提供經蝕刻之晶圓76，其中之選擇性移除停止於各介面層66I，如圖6所示。若絕緣段44垂直延伸超過介面層66I，則矽處理基板68之移除將於各主動層24上方及絕緣段44中提供開口46。矽處理基板68之移除方式可為化學機械打磨及使用TMAH、KOH、NaOH、ACH或XeF2等溼式/乾式蝕刻劑化學之蝕刻程序，或經由蝕刻程序本身達成。例如，可將矽處理基板68打磨至較薄厚度，以縮短以下蝕刻時間。而後執行蝕刻程序將剩餘矽處理基板68完全移除。由於矽處理基板68與介面層66I具有不同特性，其對於同一蝕刻技法可能產生不同反應(例如：使用同一蝕刻劑以不同速度蝕刻)。因此，蝕刻系統能夠辨識介面層66I之存在，並能夠指示何時停止蝕刻程序。

【0063】 在移除程序中，並不移除絕緣段44，而使其保護各FEOL部20之側邊。接合層74及暫時載體72保護各BEOL部22之底面。在此，於移除程序後，各絕緣段44之頂面及各介面層66I之頂面暴露在外。若絕緣段44僅延伸進入共同介面層66但未通過共同介面層66(如圖3B所示)，或各絕緣段44之頂面與各主動層24之頂面為共平面(圖未示)，則僅有共同介面層66之頂面暴露在外(圖未示)。

【0064】 由於SiGe材料之窄帶隙特性，介面層66I(或共同介面層66)可能具有傳導性。介面層66I可能在主動層24之源極28與汲極30間造成可察知洩漏。因此，於某些應用中，例如FET應用，亦宜將介面層66I(或共同介面層66)移除，如圖7所示。介面層66I可經與移除矽處理基板68相同之蝕刻程序移除，或可使用另一蝕刻程序移除，例如HCI乾性蝕刻系統。若介面層66I夠薄，其可完全耗盡，不會在FEOL部20之源極28與汲極30間造成任何可察知洩漏。在此情況下，可將介面層66I完整保留。

【0065】 於某些應用中，鈍化層48之材質可為二氧化矽、氮化矽或兩者之組合，且係直接形成於各FEOL部20之主動層24上，如圖8所示。若各主動層24上及絕緣段44內有開口46，則鈍化層48形成於開口46中。鈍化層48可終止主動

層24頂面之表面接點，避免發生洩漏。鈍化層48可經CVD介電質成膜或鈍化電漿等方式形成。

【0066】 繼而將第一模塑化合物16施用於經蝕刻後晶圓76之上方以提供一模塑元件晶圓78，如圖9。模塑元件晶圓78包括若干模塑元件晶粒12，其各包括元件區域14，以及第一模塑化合物16之部分。在此，第一模塑化合物16填入各開口46且接觸開口46中之鈍化層48。此外，第一模塑化合物16之部分可延伸於絕緣段44上方。若各開口46中未形成有鈍化層48，第一模塑化合物16接觸各主動層24之頂面(圖未示)。若介面層66I保持在各主動層24之頂面上方，第一模塑化合物16接觸介面層66I(圖未示)。第一模塑化合物16始終位於各主動層24上方。

【0067】 第一模塑化合物16可透過各種程序施用，例如壓縮模製、片狀模塑、包覆射出、轉移模製、圍堰填充封裝及網版印刷封裝。第一模塑化合物16可具有良好之熱導率，其係大於1W/m·K，或大於10W/m·K，且介電常數可小於8，或在3與5之間。於第一模塑化合物16之模製程序中，暫時載體72為蝕刻後之晶圓76提供機械強度及剛性。隨後以固化程序(圖未示)使第一模塑化合物16硬化。固化溫度為100℃至320℃，依據所用之第一模塑化合物16為何種材料而定。經固化程序後，可對第一模塑化合物16進行減薄及/或平坦化處理(圖未示)。

【0068】 繼而將暫時載體72自模塑元件晶圓78剝離，並清除模塑元件晶圓78上之將接合層74，如圖10所示。可依據先前步驟所選用暫時載體72及接合層74之性質實施若干剝離程序及清潔程序。例如，可將堆疊體加熱至適當溫度，利用側刀程序以機械方式將暫時載體72剝離。若暫時載體72為透明材料，可使用紫外光輻射，其他適合之程序亦包括使用適當溶劑之化學剝離。接合層74之去除可經由溼式或乾式蝕刻程序達成，例如專有溶劑及電漿清洗。經剝離及清潔程序後，作為模塑元件晶粒12之輸入/輸出(I/O)埠之特定連接層50底部可經由

各BEOL部22底面之介電質層52暴露在外。以此方式，可於此時以電性方式驗證模塑元件晶圓78中之各模塑元件晶粒12是否功能正常。

【0069】 參照圖11至圖13，依據本發明之一種實施例，多層式重佈結構18係形成於模塑元件晶圓78下方。雖然在此依序說明重佈步驟，但重佈步驟並非必須按照固定順序。某些步驟可透過與所示者不同之順序進行。此外，本發明範疇內之重佈步驟可包含較圖11-13所示更少或更多之步驟。

【0070】 首先在各BEOL部22下方形成若干重佈互連54，如圖11所示。各重佈互連54電性耦接至BEOL部22中對應連接層50暴露在外之底部，且可延伸於BEOL部22之底面上方。重佈互連54與連接層50間之連結係不經焊接而達成。介電質圖案56形成於各BEOL部22下方，以部分膠封各重佈互連54，如圖12所示。以此方式，各重佈互連54之底部經由介電質圖案56暴露在外。於不同應用中，可包含經由介電質圖案56而電性耦接至重佈互連54之外加重佈互連(圖未示)，以及形成於介電質圖案56下方之外加介電質圖案(圖未示)，藉此使得各外加重佈互連之底部暴露在外。

【0071】 接著，形成若干凸塊結構58以完成多層式重佈結構18並提供一晶圓級扇出型(WLFO)封裝體80，如圖13所示。各凸塊結構58形成於多層式重佈結構18之底部並電性耦接至對應重佈互連54經由介電質圖案56暴露在外之底部。因此，重佈互連54可將凸塊結構58連接至BEOL部22中之某些與FEOL部20電性相連之連接層50。以此方式，凸塊結構58係經由對應重佈互連54及對應連接層50而電性連接至FEOL部20。此外，凸塊結構58彼此分離且延伸於介電質圖案56下方。

【0072】 多層式重佈結構18可不含玻璃纖維或不含玻璃。在此，玻璃纖維意指經捻搓成較大線股之玻璃線縷。而後可將此等玻璃線縷編成織品。重佈互連54之材質可為銅或其他適合之金屬。介電質圖案56之材質可為BCB、聚醯亞

胺或其他介電質材料。凸塊結構58可為焊球或銅柱。多層式重佈結構18之厚度為2微米至300微米。圖14顯示將WLFO封裝體80切割成單個射頻元件10之最終步驟。所述切割步驟可經由在特定絕緣段44實施針測及切割程序而達成。

【0073】 於另一實施例中，圖15-20提供一用於製造圖2所示替代射頻元件10之替代晶圓級封裝程序詳細步驟。雖然在此依序說明例示步驟，但各步驟並非必須按照固定順序。某些步驟可透過與所示者不同之順序進行。此外，本發明範疇中之程序可包括較圖15-20所示更少或更多之步驟。

【0074】 經以剝離及清潔程序產生圖10所示之潔淨模塑元件晶圓78之後，透過切割步驟將模塑元件晶圓78切割成單個模塑元件晶粒12，如圖15所示。各模塑元件晶粒12可具有相同高度，且包括具有FEOL部20與BEOL部22之元件區域14，並包括第一模塑化合物16。

【0075】 而後，將第二模塑化合物60施用於模塑元件晶粒12之周圍及上方以提供一雙重模塑元件晶圓82，如圖16所示。第二模塑化合物60膠封各模塑元件晶粒12之頂面及側面，但使各模塑元件晶粒12之底面，即BEOL部22之底面，暴露在外。雙重模塑元件晶圓82之底面為各模塑元件晶粒12底面與第二模塑化合物60底面之結合。在此，特定連接層50之底部維持暴露於各模塑元件晶粒12之底面。第二模塑化合物60可經由各種程序施用，例如片狀模塑、包覆射出、壓縮模製、轉移模製、圍堰填充封裝或網版印刷封裝。第二模塑化合物60之材質可與第一模塑化合物16相同或不同。然而，不同於第一模塑化合物16，第二模塑化合物60並不具有熱導率或電阻率要求。第二模塑化合物60可為有機環氧樹脂系統或類似物。之後使用固化程序(圖未示)使第二模塑化合物60硬化。固化溫度為100ºC至及320ºC，依據所用第二模塑化合物60為何種材料而定。繼而可透過打磨程序(圖未示)提供第二模塑化合物60之平坦化頂面。

【0076】 圖17至圖19顯示依據本發明一種實施例所形成之多層式重佈結

構18。雖然在此依序說明各重佈步驟，但重佈步驟並非必須按照固定順序。某些步驟可透過與所示者不同之順序進行。再者，本發明範疇內之重佈可包括較圖17-19所示更少或更多之步驟。

【0077】 首先於雙重模塑元件晶圓82下方形成若干重佈互連54，如圖17所示。各重佈互連54係電性耦接至BEOL部22內之對應連接層50，且可水平延伸超過對應模塑元件晶粒12並延伸於第二模塑化合物60下方。重佈互連54與連接層50間之連接係不經焊接而達成。介電質圖案56形成於雙重模塑元件晶圓82下方，以部分膠封各重佈互連54，如圖18所示。以此方式，各重佈互連54之底部經由介電質圖案56暴露在外。於不同應用中，外加重佈互連(圖未示)可經由介電質圖案56電性耦接至重佈互連54，且外加介電質圖案(圖未示)形成於介電質圖案56下方，藉此使得各外加重佈互連之底部暴露在外。

【0078】 繼而形成若干凸塊結構58以完成多層式重佈結構18，並提供一替代WLFO封裝體80A，如圖19所示。各凸塊結構58形成於多層式重佈結構18之底部並經由介電質圖案56電性耦接至對應重佈互連54暴露在外之底部。因此，重佈互連54可將凸塊結構58連接至BEOL部22中與FEOL部20電性連接之特定連接層50。以此方式，凸塊結構58經由對應重佈互連54及對應連接層50電性連接至FEOL部20。在此，凸塊結構58可不受限於對應模塑元件晶粒12之外周。此外，凸塊結構58彼此分離且延伸於介電質圖案56下方。

【0079】 圖20顯示將替代WLFO封裝體80A切割成單個替代射頻元件10A之最終步驟。所述切割步驟可經由在第二模塑化合物60水平相鄰之部之模塑元件晶粒12間分實施針測及切割程序而達成。

【0080】 熟悉此技藝人士應可領會本發明較佳實施例之改良及修改。所有此等之改良及修改均應屬於本發明概念及所附申請專利範圍之範疇。

【符號說明】

【0081】

10 射頻元件

10A 替代射頻元件

12 模塑元件晶粒

14 元件區域

16 第一模塑化合物

18 多層式重佈結構

20 前段製程(FEOL)部

22 後段製程(BEOL)部

24 主動層

26 接觸層

28 源極

30 汲極

32 通道

34 閘極結構

36 源極接點

38 汲極接點

40 閘極接點

42 絕緣材料

44 絕緣段

46 開口

48 鈍化層

50 連接層

52 介電質層

54 重佈互連

56 介電質圖案

58 凸塊結構

60 第二模塑化合物

62 Si-SiGe-Si晶圓

64 矽磊晶層

66 共同介面層

66I 介面層

68 矽處理基板

70 前導晶圓

72 暫時載體

74 接合層

76 晶圓

78 模塑元件晶圓

80 晶圓級扇出型(WLFO)封裝體

80A 替代WLFO封裝體

82 雙重模塑元件晶圓

【發明申請專利範圍】

【第1項】一種射頻元件，其係包含：

模塑元件晶粒，其包含元件區域、外加層及第一模塑化合物，其中：

該元件區域包括前段製程(FEOL)部及後段製程(BEOL)部，該後段製程部位在該前段製程部下方且包含連接層；

該前段製程部包含主動層、接觸層及絕緣段，其中該主動層的底面及該絕緣段的底面接觸該接觸層的頂面，該絕緣段包圍該主動層，該絕緣段不位於該主動層上方，且該絕緣段垂直延伸超過該主動層之頂面，以在該絕緣段內且在該主動層上方形成開口；

該外加層接觸該前段製程部的該主動層的該頂面並且在該開口中，其中該外加層是由矽鍺或氮化矽所構成；且

該第一模塑化合物位在該外加層上方以填入該開口，其中在該第一模塑化合物和該主動層之間不存有矽晶；以及

多層式重佈結構，形成於該模塑元件晶粒之該後段製程部下方，其中該多層式重佈結構包含位於該多層式重佈結構的底面之複數個凸塊結構及位於該多層式重佈結構中之重佈互連，其中該複數個凸塊結構係經由該重佈互連及該後段製程部內之該連接層而電性耦接至該模塑元件晶粒之該前段製程部。

【第2項】如申請專利範圍第1項所述之射頻元件，其中該第一模塑化合物之部分位在該絕緣段上方，其中該第一模塑化合物是由熱塑性或熱固性聚合物材料所構成。

【第3項】如申請專利範圍第1項所述之射頻元件，其中該外加層是由氮化矽所構成並且完全覆蓋該前段製程部的該主動層。

【第4項】如申請專利範圍第1項所述之射頻元件，其中該外加層是由矽鍺所構成。

【第5項】如申請專利範圍第1項所述之射頻元件，其中該絕緣段是由二氧化矽所構成。

【第6項】如申請專利範圍第1項所述之射頻元件，其中該第一模塑化合物之熱導率大於1 W/m·K。

【第7項】如申請專利範圍第1項所述之射頻元件，其中該第一模塑化合物之介電常數小於8。

【第8項】如申請專利範圍第1項所述之射頻元件，其中該第一模塑化合物之介電常數介於3至5之間。

【第9項】如申請專利範圍第1項所述之射頻元件，其中該前段製程部係配置為提供開關場效電晶體(FET)、二極體、電容器、電阻器及電感器中之至少一者。

【第10項】一種射頻元件，其係包含：

模塑元件晶粒，包含元件區域、外加層及第一模塑化合物，其中：

該元件區域包括前段製程(FEOL)部及後段製程(BEOL)部，該後段製程部位在該前段製程部下方且包含連接層；

該前段製程部包含主動層、接觸層及絕緣段，其中該主動層的底面及該絕緣段的底面接觸該接觸層的頂面，該絕緣段包圍該主動層，該絕緣段不位於該主動層上方，且該絕緣段垂直延伸超過該主動層之頂面，以在該絕緣段內且在該主動層上方形成開口；

該外加層接觸該前段製程部的該主動層的該頂面並且在該開口中，其中該外加層是由矽鍺或氮化矽所構成；且

該第一模塑化合物直接位在該外加層上方以填入該開口，其中在該第一模塑化合物和該主動層之間不存有矽晶；

多層式重佈結構，形成於該模塑元件晶粒之該後段製程部下方，其中該多層式重佈結構包含位於該多層式重佈結構底面之複數個凸塊結構及位於該多層式

重佈結構中之重佈互連，其中該複數個凸塊結構係經由該重佈互連及該後段製程部內之該連接層而電性耦接至該模塑元件晶粒之該前段製程部；以及

第二模塑化合物，位在該多層式重佈結構上方且包覆該模塑元件晶粒。

【第11項】如申請專利範圍第10項所述之射頻元件，其中該第一模塑化合物係以與該第二模塑化合物相同之材料形成。

【第12項】如申請專利範圍第10項所述之射頻元件，其中該第一模塑化合物與該第二模塑化合物係以不同之材料形成。

【第13項】一種製造射頻元件的方法，其係包含：

提供具有複數個元件區域之前導晶圓，其中：

各該元件區域包括後段製程(BEOL)部及在該後段製程部上方之前段製程(FEOL)部；

該前段製程部包含主動層、接觸層及絕緣段，其中該主動層及該絕緣段位在該接觸層上方，該絕緣段包圍該主動層，且該主動層並不垂直延伸超過該絕緣段；

以矽鍺(SiGe)為材質之介面層直接形成於各該元件區域之主動層上方；且

矽處理基板，直接位於各介面層上方；

完全移除該矽處理基板；

移除該介面層以暴露各該元件區域之該主動層；以及

施用第一模塑化合物以提供包括複數個模塑元件晶粒之模塑元件晶圓；其中：

在該介面層被移除之後，該第一模塑化合物係施用於各該元件區域之該主動層上方；以及

各該模塑元件晶粒包括對應元件區域及位於該對應元件區域的該主動

層上之該第一模塑化合物的部分。

【第14項】如申請專利範圍第13項所述之方法，進一步包含：

在移除該矽處理基板之前，先將該前導晶圓經由接合層接合至暫時載體；以及

在施用該第一模塑化合物之後，自該前導晶圓剝離該暫時載體及清潔該接合層。

【第15項】如申請專利範圍第13項所述之方法，進一步包含在該模塑元件晶圓下方形成多層式重佈結構，其中該多層式重佈結構包含位於該多層式重佈結構的底面之複數個凸塊結構及位於該多層式重佈結構中之重佈互連，其中各該複數個凸塊結構係經由對應模塑元件晶粒之該後段製程部中之該重佈互連及連接層電性耦接至該對應模塑元件晶粒之一個主動層。

【第16項】如申請專利範圍第13項所述之方法，進一步包含：

將該模塑元件晶圓切割成複數單個模塑元件晶粒；

在該複數單個模塑元件晶粒周圍及上方施用第二模塑化合物以提供雙重模塑元件晶圓，其中：

該第二模塑化合物包覆各該單個模塑元件晶粒之頂面及側面，而各該單個模塑元件晶粒之底面暴露在外；且

該雙重模塑元件晶圓之底面為各該單個模塑元件晶粒之底面與該第二模塑化合物底面之組合；以及

在該雙重模塑元件晶圓下方形成多層式重佈結構，其中該多層式重佈結構包含位於該多層式重佈結構的底面上之複數個凸塊結構及位於該多層式重佈結構中之重佈互連，其中各該凸塊結構係經由對應單個模塑元件晶粒之該後段製程部中之該重佈互連及連接層電性耦接至該對應單個模塑元件晶粒之一個主動層。

【第17項】如申請專利範圍第13項所述之方法，其中各該元件區域之該主動層在該第一模塑化合物施用後接觸該第一模塑化合物。

【第18項】如申請專利範圍第13項所述之方法，進一步包含於施用該第一模塑化合物之前直接在各該元件區域之該主動層上施用鈍化層，其中：

該鈍化層係由二氧化矽、氮化矽或兩者之組合形成；且

該鈍化層在該第一模塑化合物施用後接觸該第一模塑化合物。

【第19項】如申請專利範圍第13項所述之方法，其中提供該前導晶圓包含：

提供Si-SiGe-Si晶圓，其包括共同矽磊晶層、位於該共同矽磊晶層上方之共同介面層以及位於該共同介面層上方之該矽處理基板，其中該介面層包含SiGe；以及

執行互補式金屬氧化物半導體(CMOS)程序以提供該前導晶圓，其中：

該絕緣段延伸通過該共同矽磊晶層及該共同介面層，並延伸進入該矽處理基板，使得該共同介面層分隔成複數單個介面層，且該共同矽磊晶層分隔成複數單個矽磊晶層，

該複數元件區域之各主動層係由對應單個矽磊晶層形成；以及

各該單個介面層直接位在對應主動層之頂面上方，且該矽處理基板直接位在該複數單個介面層上方。

【第20項】如申請專利範圍第13項所述之方法，其中提供該前導晶圓包含：

提供Si-SiGe-Si晶圓，其包括共同矽磊晶層、位於該共同矽磊晶層上方之共同介面層以及位於該共同介面層上方之該矽處理基板，其中：

該共同介面層係由SiGe形成；且

該共同介面層包括相連之複數個介面層；以及

執行CMOS程序以提供該前導晶圓，其中：

該絕緣段延伸通過該共同矽磊晶層及延伸進入該共同介面層，使得該

共同矽磊晶層分隔成複數單個矽磊晶層且該複數介面層保持相連；

該複數元件區域之各主動層係由對應單個矽磊晶層形成；以及

各該介面層直接位在對應主動層之頂面上方，且該矽處理基板保持直接位於該共同介面層上方。

【發明圖式】

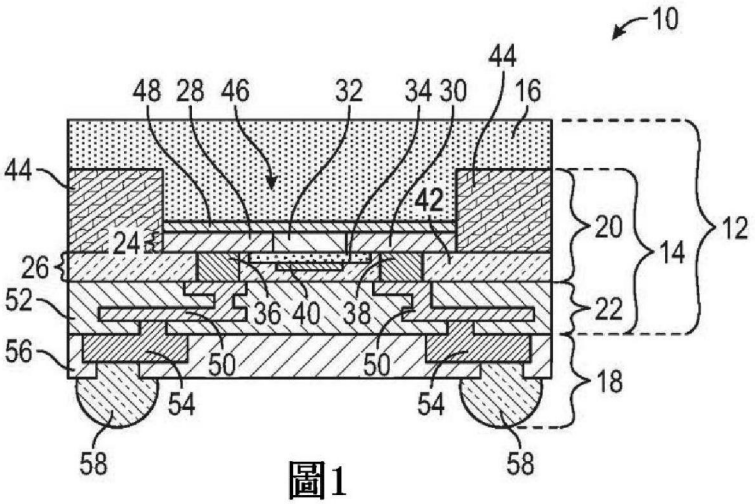

10
44
48 28 46 32 34 30 16
44
42
24
20
14
12
26
52
36 40 38
22
56
50 50
18
54 54
58 58

圖1

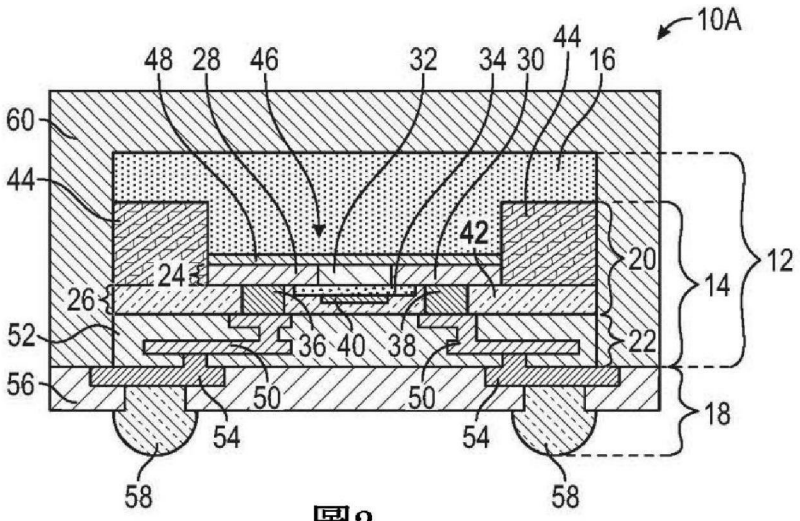

10A
44
48 28 46 32 34 30 16
60
44
42
24
20
14
12
26
52
36 40 38
22
56
50 50
18
54 54
58 58

圖2

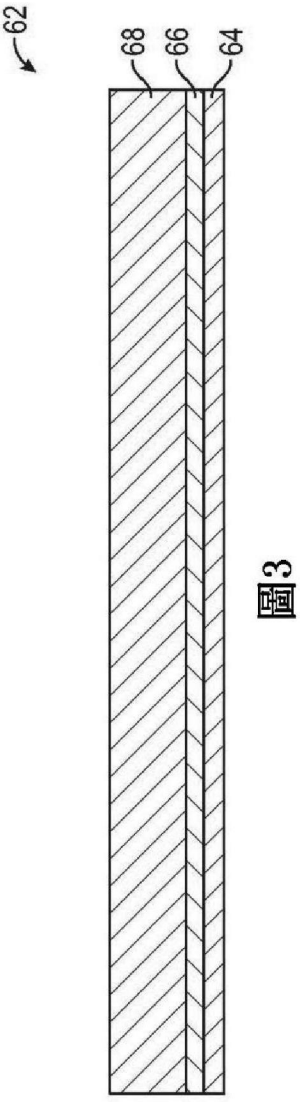

62
68
66
64

圖3

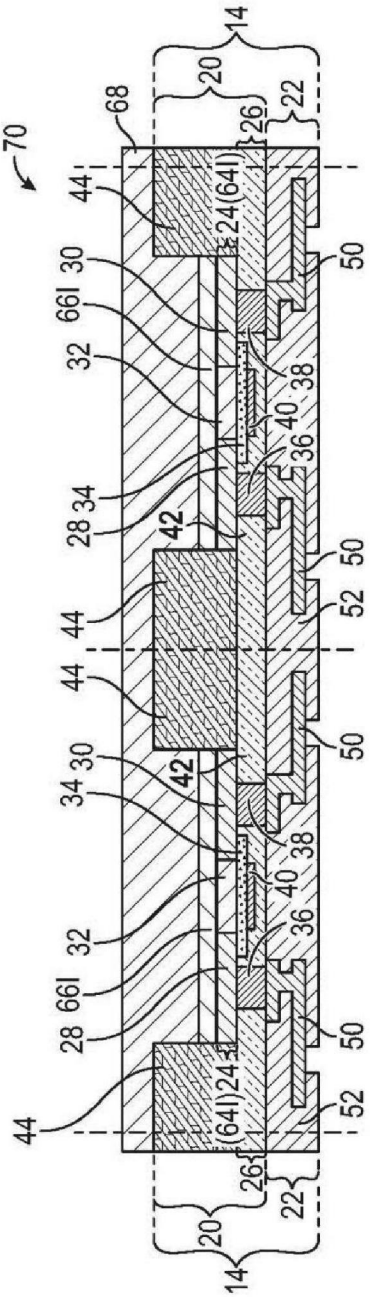

70
14
20
22
26
68
44
24(64l)
30
66l
32
38
40
36
34
28
42
50
52

圖4A

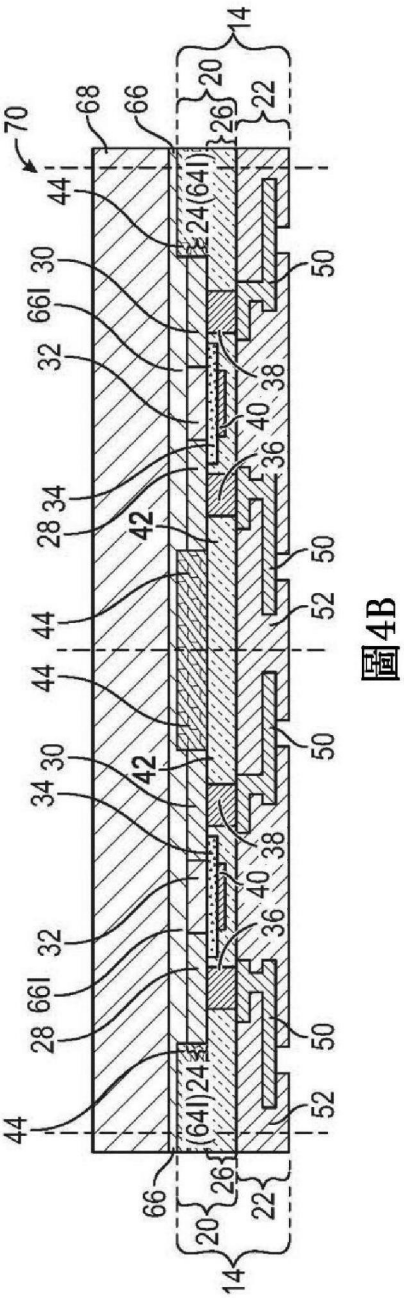

70
68
66
14
20
22
26
24(641)
44
30
661
32
28
34
42
38
40
36
50
52
66
261
74
72

圖4B

圖5

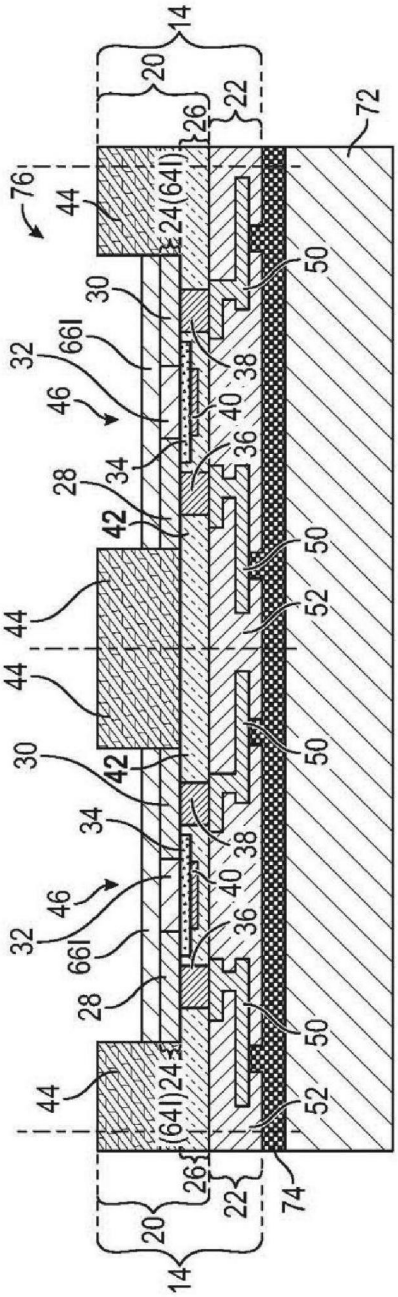

14
20
22
26
72
76
44
24(641)
50
30
32
661
46
38
40
36
34
28
42
52
74

圖6

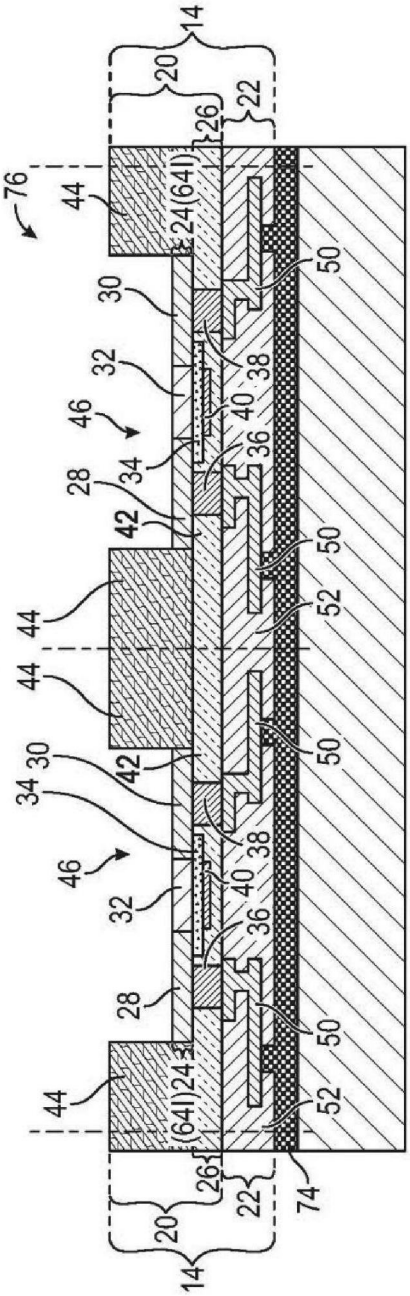

14
20
22
26
76
44
24(641)
50
30
32
46
38
40
36
34
28
42
52
74

圖7

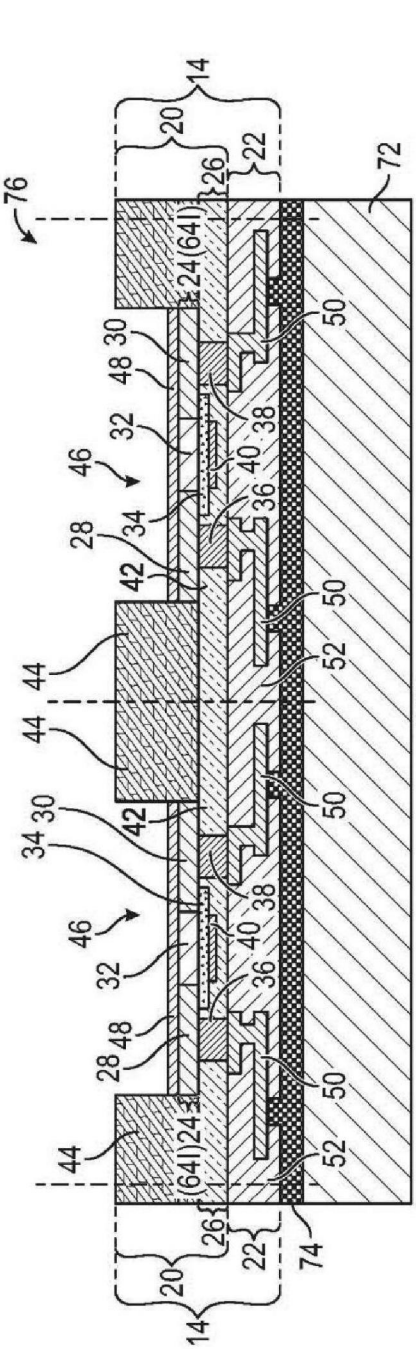


圖8

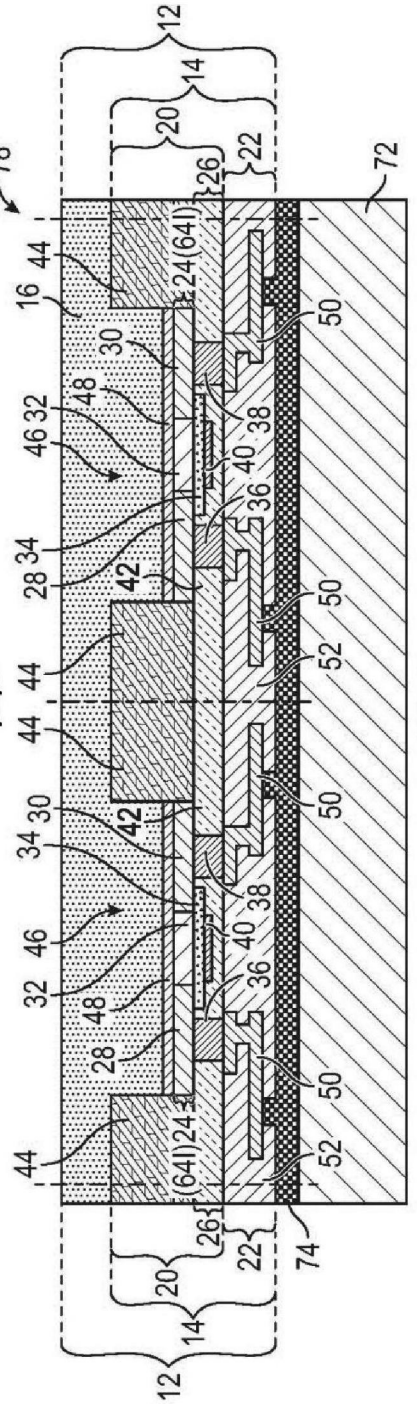


圖9

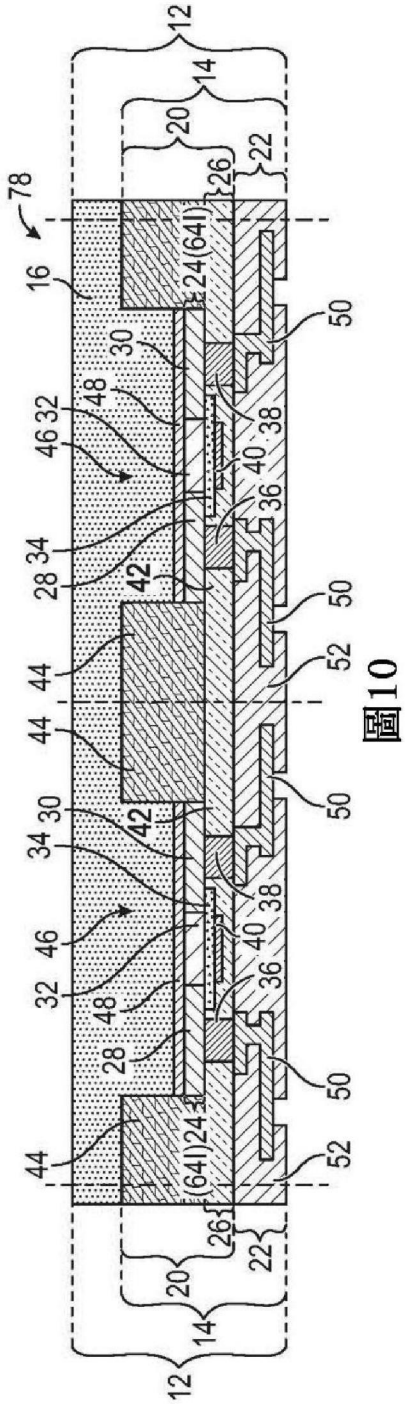

12
14
20
22
26
78
16
24(641)
30
32
46
48
38
40
36
34
28
42
44
50
52

圖10

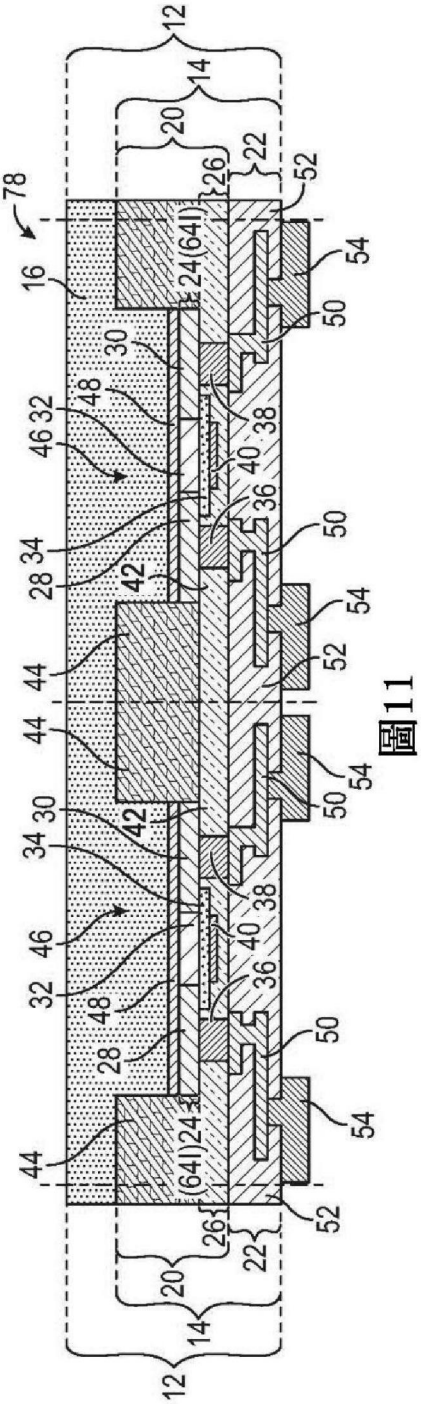

12
14
20
22
26
78
16
24(641)
30
32
46
48
38
40
36
34
28
42
44
50
52
54

圖11

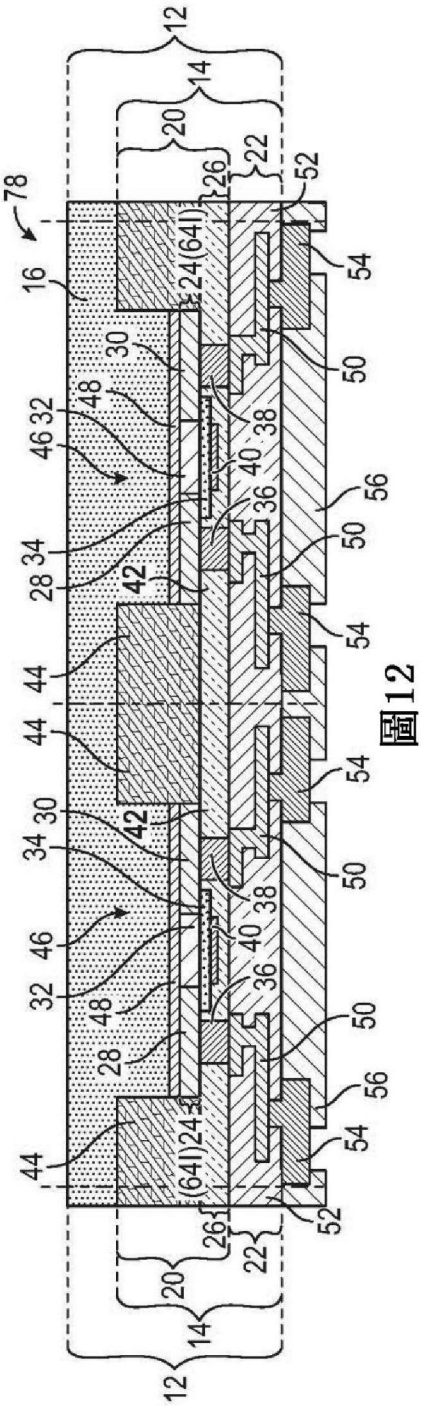

78
12
14
20
22
26
52
16
24(641)
30
48
32
46
38
40
36
50
56
54
34
28
42
44

圖12

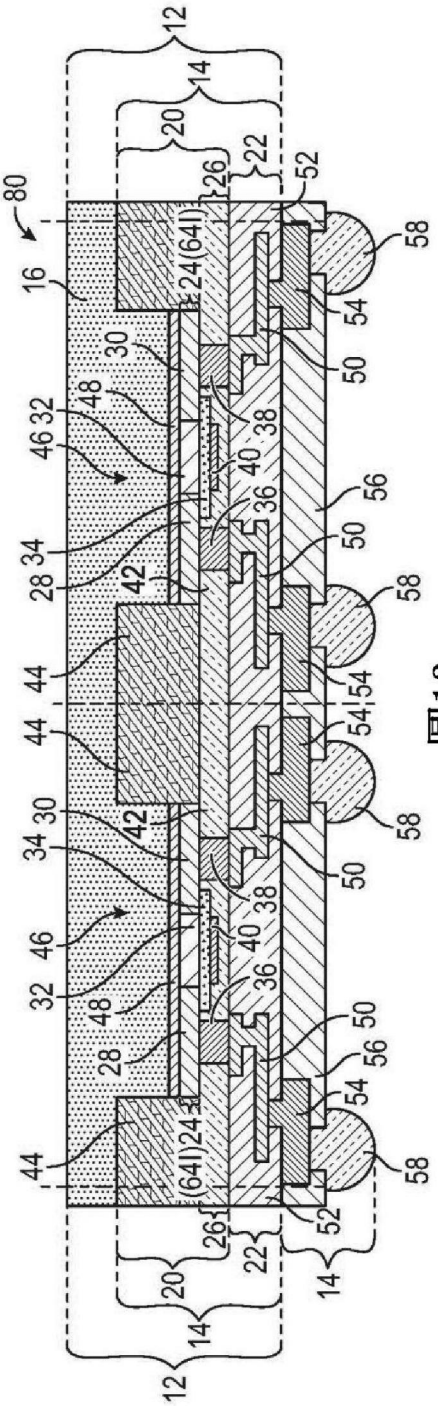

80
12
14
20
22
26
52
16
24(641)
30
48
32
46
38
40
36
50
56
54
58
34
28
42
44

圖13

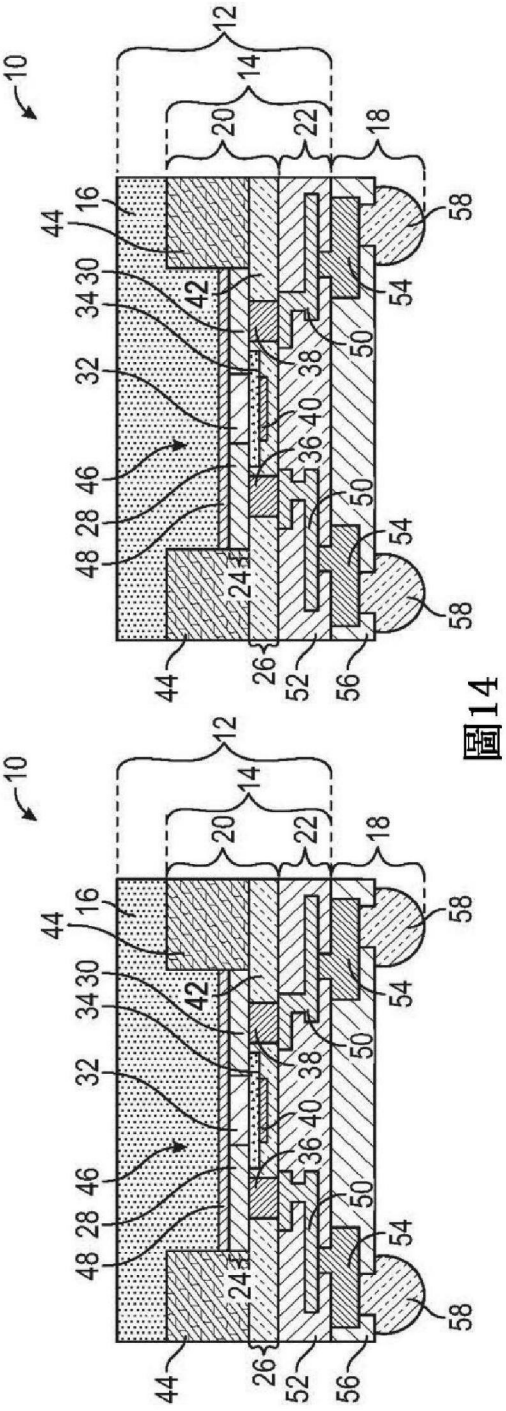

10
12
14
20
22
18
16
44
30
34
32
46
28
48
42
24
36
38
40
50
54
58
26
52
56

圖14

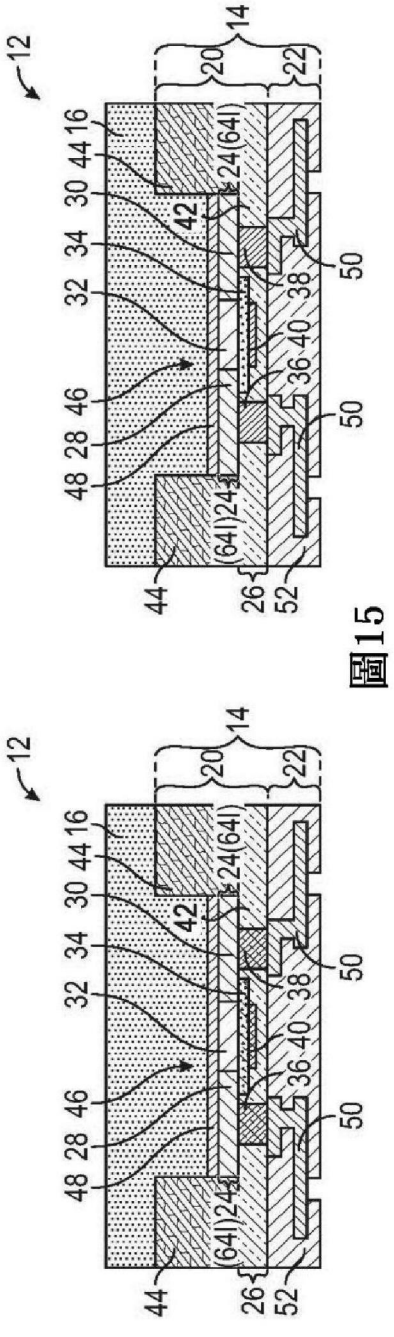

12
14
20
22
16
44
30
34
32
46
28
48
24(641)
(641)24
42
36
38
40
50
26
52

圖15

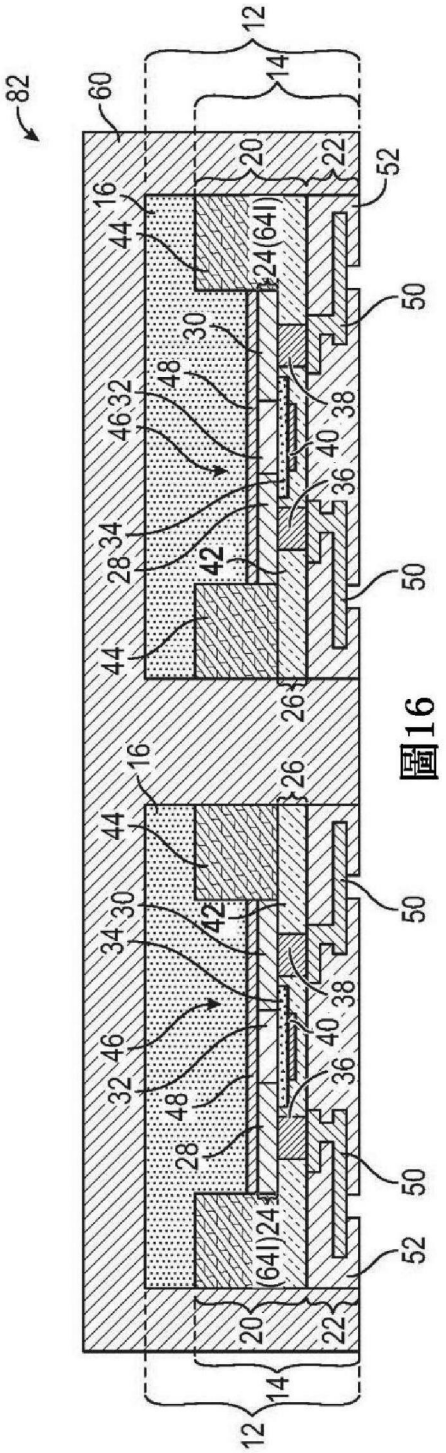

82
60
12
14
20
22
16
44
24(64I)
52
50
30
48
32
46
38
40
36
34
28
42
26

圖16

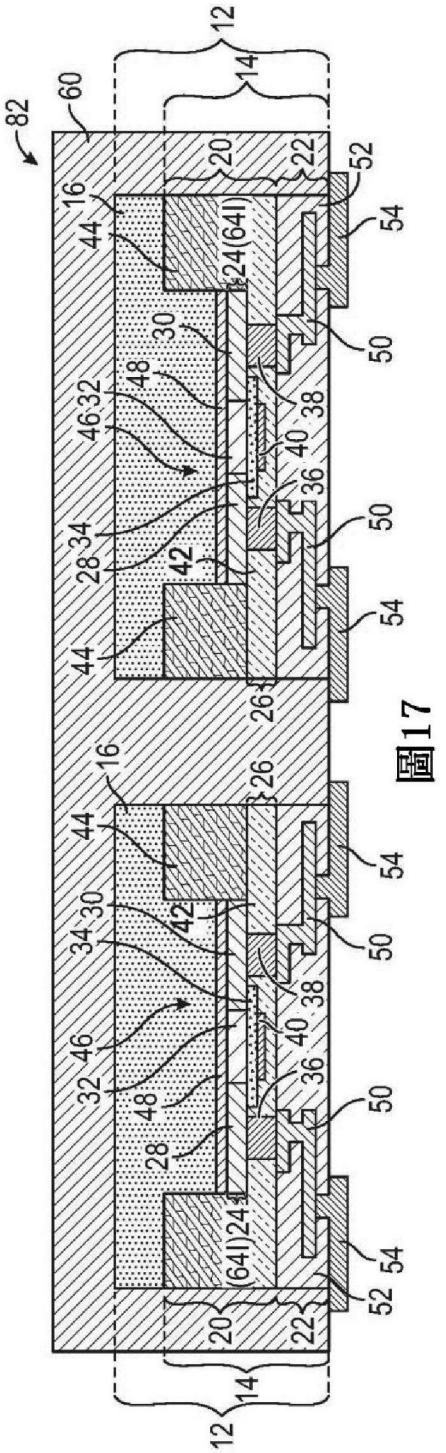

82
60
12
14
20
22
16
44
24(64I)
52
54
50
30
48
32
46
38
40
36
34
28
42
26

圖17

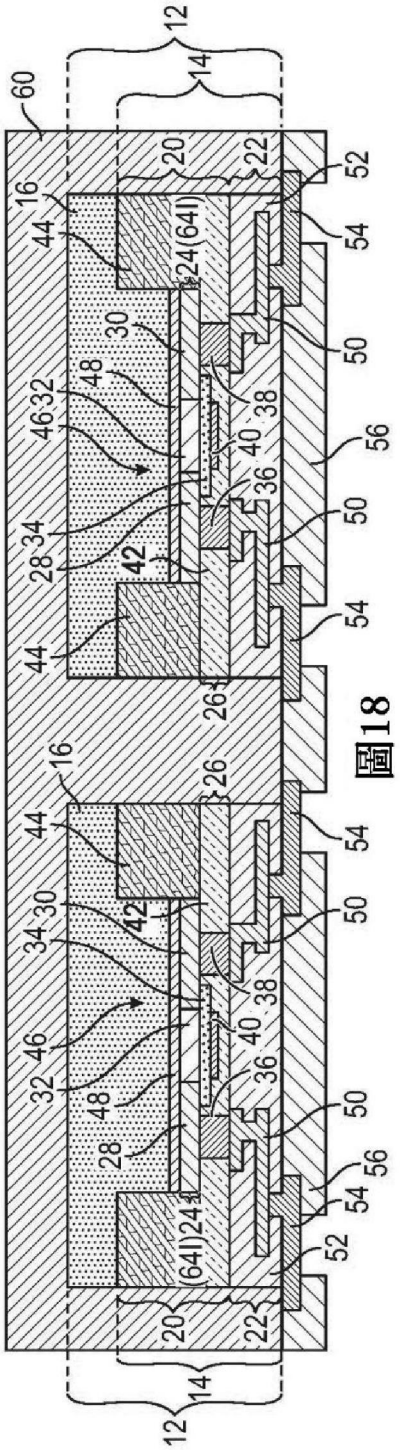

12
14
60
20
22
16
44
24(64J)
52
54
30
48
32
46
50
38
40
36
56
34
28
42
26
12
14
20
22
(64J)24
52
54
56
50
58

圖18

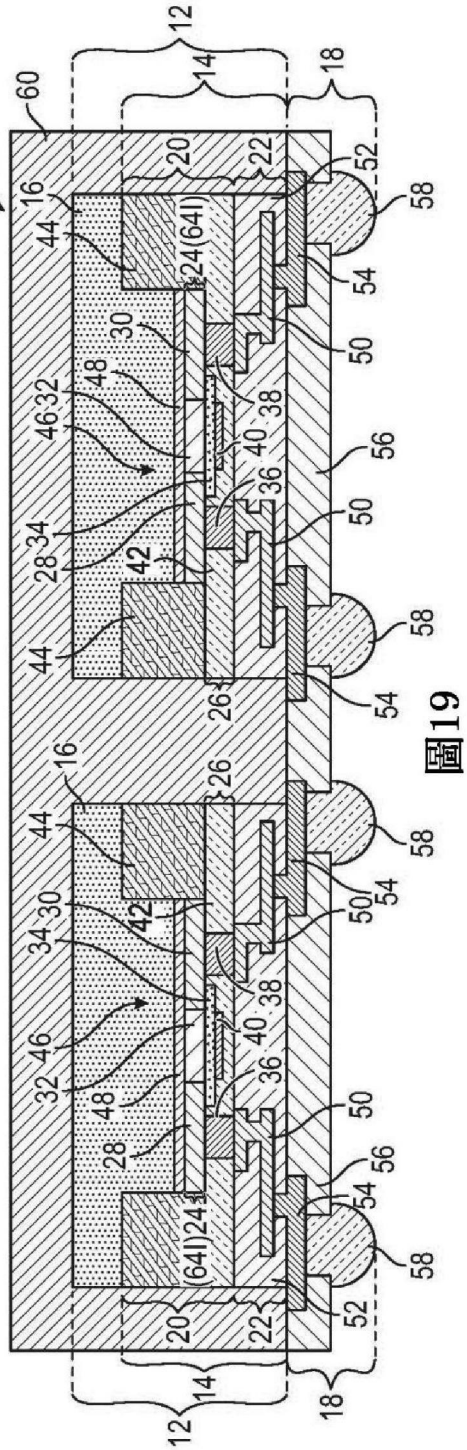

12
14
18
60
80A
20
22
16
44
24(64J)
52
58
54
30
48
32
46
50
38
40
36
56
34
28
42
26
12
14
18
20
22
(64J)24
52
54
56
50
58

圖19

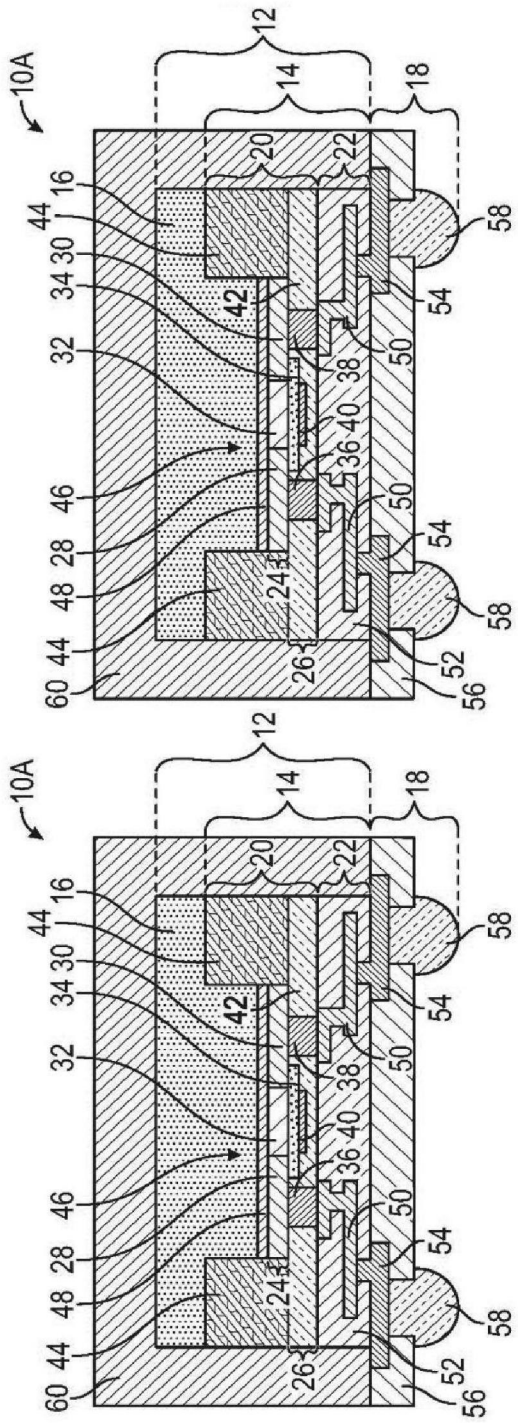

10A
12
14
18
20
22
16
44
30
34
42
32
46
28
48
24
26
60
38
40
36
50
54
58
52
56

圖20