



## (12)发明专利

(10)授权公告号 CN 104064574 B

(45)授权公告日 2019.06.07

(21)申请号 201410095150.5

(22)申请日 2014.03.14

(65)同一申请的已公布的文献号

申请公布号 CN 104064574 A

(43)申请公布日 2014.09.24

(30)优先权数据

2013-060691 2013.03.22 JP

(73)专利权人 索尼公司

地址 日本东京都

(72)发明人 藤井宣年 萩本贤哉 青柳健一  
香川惠永

(74)专利代理机构 北京信慧永光知识产权代理  
有限责任公司 11290

代理人 曹正建 陈桂香

(51)Int.Cl.

H01L 27/146(2006.01)

(56)对比文件

CN 102867847 A, 2013.01.09, 说明书

[0194]-[0285]段, 附图8-11B.

JP 2010066723 A, 2010.03.25, 说明书

[0027]-[0062]段.

CN 102751266 A, 2012.10.24, 全文.

US 2011155893 A1, 2011.06.30, 全文.

CN 102867847 A, 2013.01.09, 说明书

[0194]-[0285]段, 附图8-11B.

审查员 亢心洁

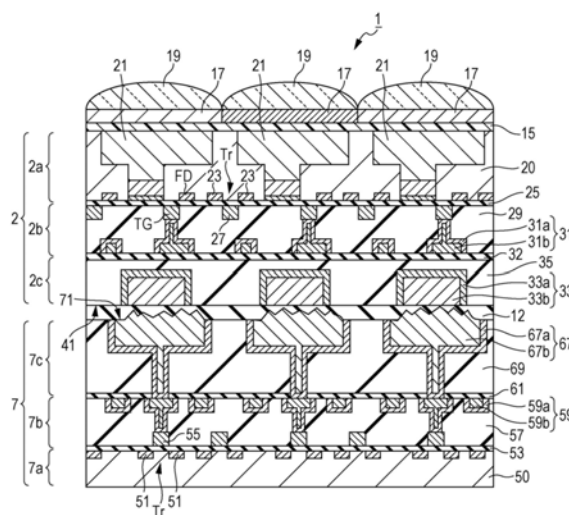
权利要求书2页 说明书11页 附图9页

### (54)发明名称

半导体装置和制造方法

### (57)摘要

一种半导体装置, 包括: 第一基板, 具有暴露第一电极和第一绝缘膜的接合表面; 绝缘薄膜, 覆盖该第一基板的该接合表面; 以及第二基板, 具有暴露第二电极第二绝缘膜的接合表面, 在该第二基板的该接合表面和该第一基板的该接合表面接合在一起并在该第二基板的该接合表面和该第一基板的该接合表面之间夹设该绝缘薄膜的状态下该第二基板接合到该第一基板, 该第一电极和该第二电极将该绝缘薄膜的一部分变形并且破坏以使该第一电极和该第二电极彼此直接电连接。还公开了半导体装置的制造方法。



1. 一种半导体装置,包括:

第一基板,具有暴露第一电极和第一绝缘膜的接合表面,其中,该第一电极包含由铜制造的第一电极膜,以形成待接合表面;

绝缘薄膜,覆盖该第一基板的该接合表面;以及

第二基板,具有暴露第二电极和第二绝缘膜的接合表面,在该第二基板的该接合表面和该第一基板的该接合表面接合在一起并在该第二基板的该接合表面和该第一基板的该接合表面之间夹设该绝缘薄膜的状态下该第二基板接合到该第一基板,该第二电极包含由铜制造的第二电极膜,以形成待接合表面,该第一电极和该第二电极将该绝缘薄膜的一部分变形并且破坏以使该第一电极和该第二电极彼此直接电连接,

其中,当接合在一起的该第一基板和该第二基板在高于铜的成膜温度的温度下热处理时,铜的晶粒迁移并破坏该绝缘薄膜的该一部分。

2. 根据权利要求1所述的半导体装置,

其中该绝缘薄膜是氧化膜。

3. 根据权利要求1所述的半导体装置,

其中该绝缘薄膜是氮化膜。

4. 根据权利要求1所述的半导体装置,

其中该绝缘薄膜具有层叠结构。

5. 根据权利要求1所述的半导体装置,

其中该绝缘薄膜设置成覆盖整个接合表面的状态,并且之后,仅电极之间的接合表面变形且被破坏。

6. 根据权利要求1所述的半导体装置,

其中该第一基板的该接合表面和该第二基板的该接合表面是平坦化的表面。

7. 根据权利要求1所述的半导体装置,

其中该第一基板和该第二基板的一者具有光电转换区域,且该第一基板或该第二基板的另一者具有电路。

8. 根据权利要求7所述的半导体装置,

其中该第一基板和该第二基板的一者具有浮置扩散和传输栅极,且该第一基板和该第二基板的另一者具有信号处理电路。

9. 一种半导体装置的制造方法,包括:

在覆盖两个基板中至少一个基板的接合表面的状态下形成绝缘薄膜,其中该两个基板具有暴露电极和绝缘膜的接合表面,其中该电极均包含由铜制造的电极膜,以形成待接合表面;

设置该两个基板的接合表面隔着该绝缘薄膜彼此相对;以及

在该两个基板上的电极彼此电连接的状态下使该接合表面隔着该绝缘薄膜对齐,由此接合该两个基板,

其中接合的该两个基板在高于铜的成膜温度的温度下被热处理,从而通过变形和移动铜的晶粒来破坏由该两个基板上的电极夹设的该绝缘薄膜,由此使该两个基板上的电极直接接触。

10. 根据权利要求9所述的制造方法,

其中形成该绝缘薄膜的温度充分地低于该两个基板的至少一方的成膜温度。

11. 根据权利要求9所述的制造方法，

其中该绝缘薄膜形成在该两个基板二者上。

12. 根据权利要求9所述的制造方法，

其中由相同材料制造的该绝缘薄膜形成在该两个基板二者上。

13. 根据权利要求9所述的制造方法，

其中该绝缘薄膜采用原子层沉积形成。

14. 根据权利要求9所述的制造方法，

其中该两个基板的该接合表面采用平坦化处理形成。

## 半导体装置和制造方法

### 技术领域

[0001] 本发明涉及半导体装置和制造方法,特别是通过以电极彼此电结合的状态接合两个基板而构造的半导体装置及其制造方法。

### 背景技术

[0002] 迄今,二维结构的半导体装置已经通过引用精细的工艺和改善安装密度而高度集成,但是在采用上述方法的高度集成二维结构中存在物理上的限制。因此,已经开发了三维结构的半导体装置以进一步缩小半导体装置的尺寸且进一步提高像素的密度。例如,日本未审查专利申请公开No.2006-191081中提出了通过堆叠具有光电转换部的传感器基板和具有周边电路部分的电路基板且接合两个基板在一起获得的三维结构的半导体装置。

[0003] 上述的三维结构的半导体装置这样生产,采用两个基板,该两个基板具有暴露Cu电极和绝缘膜的接合表面,以接合表面彼此面对的状态对齐Cu电极,此外,热处理Cu电极,由此将这些基板接合在一起。如上所述,通过Cu电极的直接结合(Cu-Cu结合)而堆叠且接合基板在一起获得三维结构的半导体装置(例如,参见日本未审查专利申请公开No.2000-299379、日本未审查专利申请公开No.2006-522461、日本未审查专利申请公开No.2010-129576和日本未审查专利申请公开No.2012-256736)。

### 发明内容

[0004] 然而,在上述三维结构的半导体装置中,由于在制造期间在对齐Cu电极时发生的偏差、Cu电极之间形状或尺寸上的差别等,在Cu电极和绝缘膜之间形成结合表面。在Cu电极和绝缘膜之间的结合表面中产生空区。因此,存在由于结合表面的接合强度的降低而使基板分离的问题。

[0005] 本发明考虑上述情况而进行,提供了三维结构的半导体装置,其中基板之间的接合强度得到改善,从而防止在两个基板接合在一起以结合电极的构造中产生空区。

[0006] 根据本发明第一实施例的半导体装置包括:第一基板,具有暴露第一电极和第一绝缘膜的接合表面;绝缘薄膜,覆盖第一基板的接合表面;以及第二基板,具有暴露第二电极和第二绝缘膜的接合表面,在该第二基板的该接合表面和该第一基板的该接合表面接合在一起并在该第二基板的该接合表面和该第一基板的该接合表面之间夹设该绝缘薄膜的状态下该第二基板接合到该第一基板,该第一电极和该第二电极将该绝缘薄膜的一部分变形并且破坏以使该第一电极和该第二电极彼此直接电连接。

[0007] 绝缘薄膜可为氧化膜。

[0008] 绝缘薄膜可为氮化膜。

[0009] 绝缘薄膜可具有层叠结构。

[0010] 绝缘薄膜可设置成覆盖整个接合表面的状态,并且之后,仅电极之间的接合表面被变形且被破坏。

[0011] 第一基板的接合表面和第二基板的接合表面可为平坦化的表面。

[0012] 根据本发明第二实施例的制造方法包括：在覆盖两个基板中至少一个基板的接合表面的状态下形成绝缘薄膜，其中该两个基板具有暴露电极和绝缘膜的接合表面；设置该两个基板的接合表面隔着该绝缘薄膜彼此相对；以及在该两个基板上的电极彼此电连接的状态下使该接合表面隔着该绝缘薄膜对齐，由此接合该两个基板。

[0013] 接合的该两个基板可被热处理，从而通过变形和移动构成该电极的金属来破坏由该第一电极和该第二电极夹设的该绝缘薄膜，由此使该第一电极和该第二电极直接接触。

[0014] 热处理的温度可设定为充分地低于第一电极和第二电极的至少一方的成膜温度。

[0015] 绝缘薄膜可形成在两个基板二者上。

[0016] 由相同材料制造的绝缘薄膜可形成在两个基板二者上。

[0017] 绝缘薄膜可采用原子层沉积形成。

[0018] 两个基板的接合表面可采用平坦化处理形成。

[0019] 根据本发明，在接合两个基板以使电极彼此连接的构造中，能防止空区产生在结合界面上，并且因此两个基板之间的结合强度增强，从而能够获得改善可靠性的半导体装置。

## 附图说明

[0020] 图1是示出应用本发明的半导体装置示例的示意性构造图；

[0021] 图2是示出根据本实施例的半导体装置构造的主要部分的截面图；

[0022] 图3A、3B和3C是示出在制造根据本实施例的半导体装置时第一基板(传感器基板)的(第一)生产顺序的截面工艺图；

[0023] 图4A和4B是示出在制造根据本实施例的半导体装置时第一基板(传感器基板)的(第二)生产顺序的截面工艺图；

[0024] 图5A和5B是示出在制造根据本实施例的半导体装置时第二基板(电路基板)的生产顺序的截面工艺图；

[0025] 图6是示出在制造根据本实施例的半导体装置时进行接合的(第一)截面图；

[0026] 图7是示出在制造根据本实施例的半导体装置时进行接合的(第二)截面图；以及

[0027] 图8是采用通过本发明获得的半导体装置的电子装置的构造图。

## 具体实施方式

[0028] 在下文，将根据附图以下面的顺序描述本发明的实施例。

[0029] 1. 本实施例的半导体装置的示意性构造的示例

[0030] 2. 本实施例的半导体装置的构造

[0031] 3. 在制造本实施例的半导体装置时第一基板(传感器基板)的生产顺序

[0032] 4. 在制造本实施例的半导体装置时第二基板(电路基板)的生产顺序

[0033] 5. 在制造本实施例的半导体装置时基板的接合顺序

[0034] 6. 采用本实施例的半导体装置的电子装置的示例

[0035] 1. 本实施例的半导体装置的示意性构造的示例

[0036] 图1示出了固态成像设备的示意性构造，作为应用本发明的半导体装置的示例。

[0037] 固态成像设备1是所谓的三维结构的半导体装置，包括作为传感器基板的第一基

板2和以堆叠在第一基板2上的状态相接合的作为电路基板的第二基板7。

[0038] 在上述的部件当中,第一基板2设置有像素区域4,包括光电转换部的多个像素3按规则地二维排列在像素区域4中。在像素区域4中,多个像素驱动线5设置在行方向上,多个垂直信号线6设置在列方向上,并且每一个像素3设置成连接到一条像素驱动线5和一条垂直信号线6的状态。每一个像素3设置有光电转换部、浮置扩散和由多个晶体管(所谓的MOS晶体管)构成的像素电路以及电容元件等。同时,像素电路的一部分由多个像素共享的情况是存在的。

[0039] 另外,第二基板7设置有周边电路,例如垂直驱动电路8、列信号处理电路9、水平驱动电路10和系统控制电路11,其中垂直驱动电路8用于驱动第一基板2中设置的各像素3。

[0040] 2. 本实施例的半导体装置的构造

[0041] 图2是示出根据本实施例的半导体装置构造的主要部分的截面图,并且是图1中三个像素的截面图。在下文,本实施例的半导体装置的详细构造将根据上述主要部分的截面图进行描述。

[0042] 图2所示的半导体装置1是三维结构的固态成像设备,其中第一基板2的接合表面41和第二基板7的接合表面71以夹设绝缘薄膜12的状态设置为彼此相对,从而使第一基板2和第二基板7接合在一起。

[0043] 这里,在第一基板2中,半导体层2a、配线层2b和电极层2c在第二基板7的相对侧顺序堆叠,此外,电极层2c的表面用作相对于第二基板7的接合表面41。另一方面,在第二基板7中,半导体层7a、配线层7b和电极层7c在第一基板2的相对侧顺序堆叠,此外,电极层7c的表面用作相对于第一基板2的接合表面71。

[0044] 另外,保护膜15、彩色滤光片层17和芯片上透镜19以附图所示的顺序堆叠在第一基板2的位于第二基板7相反侧的表面上。

[0045] 接下来,将顺序描述构成第一基板2和第二基板7以及绝缘薄膜12的各层的详细构造,此外,还将顺序描述保护膜15、彩色滤光片层17和芯片上透镜19的构造。

[0046] 半导体层2a(在第一基板2侧)

[0047] 第一基板2侧的半导体层2a例如通过把由单晶硅制成的半导体基板20制作成薄膜而获得。在半导体层2a中,例如由n型杂质层(或p型杂质层)制造的光电转换部21提供给每个像素且位于其上设置彩色滤光片层17、芯片上透镜19和类似物的第一表面侧。另一方面,由n<sup>+</sup>型杂质层制造的浮置扩散FD、晶体管Tr的源极和漏极23、和图中没有示出的其它杂质层以及类似物设置在半导体层2a的第二表面侧。

[0048] 配线层2b(在第一基板2侧)

[0049] 设置在第一基板2中半导体层2a上的配线层2b包括传输栅极TG、晶体管Tr的栅极电极27以及图中没有示出的其它电极,这些全部隔着栅极绝缘膜25设置在与半导体层2a的界面侧。传输栅极TG和栅极电极27覆盖有层间绝缘膜29,并且埋设配线31设置在层间绝缘膜29中形成的凹槽图案中。埋设配线31由覆盖凹槽图案内壁的屏蔽金属层31a和由铜(Cu)制造隔着屏蔽金属层31a埋设在凹槽图案中的配线层31b构成。

[0050] 同样,上述的配线层2b可由其中堆叠多个配线层的多层配线层构成。

[0051] 电极层2c(在第一基板2侧)

[0052] 设置在第一基板2中配线层2b上的电极层2c包括针对铜(Cu)的防扩散绝缘膜32和

在与配线层2b的界面侧堆叠在防扩散绝缘膜上的第一绝缘膜35。第一绝缘膜35例如由TEOS膜制造,并且第一电极33作为埋设电极设置在第一绝缘膜35中形成的凹槽图案中。同样,TEOS膜是指采用化学气相沉积(在下文为CVD)形成的二氧化硅膜,其中成分为 $\text{Si}(\text{OC}_2\text{H}_5)_4$ 的四乙氧基硅烷(TEOS)气体用作原材料气体。

[0053] 另外,第一电极33由覆盖凹槽图案内壁的屏蔽金属层33a和由铜(Cu)制造隔着屏蔽金属层33a埋设在凹槽图案中的第一电极膜33b构成。另外,必需至少形成铜(Cu)以形成用作待接合表面的电极层2c,从而在低于接合后的热处理温度的温度下进行接合。电极层2c具有上述构造的表面用作第一基板2侧相对于第二基板7的接合表面41。接合表面41构造为暴露第一电极33和第一绝缘膜35,并且通过例如化学机械抛光(在下文称为CMP)平坦化。

[0054] 同样,尽管图中没有示出,但是设置在第一绝缘膜35中的一部分凹槽图案达到了设置在配线层2b中的埋设配线31,根据需要可将该凹槽图案中埋设的第一电极33连接到埋设配线31。

[0055] 半导体层7a(在第二基板7侧)

[0056] 同样,第二基板7侧的半导体层7a例如通过把由单晶硅制成的半导体基板50制作成薄膜而获得。在半导体层7a中,晶体管Tr的源极和漏极51、和图中没有示出的其它杂质层以及类似物设置在第一基板2侧的表面层上。

[0057] 配线层7b(在第二基板7侧)

[0058] 第二基板7中的半导体层7a上设置的配线层7b包括栅极电极55以及图中没有示出的其它电极,它们全部隔着栅极绝缘膜53设置在与半导体层7a的界面侧。栅极电极55和其它电极覆盖有层间绝缘膜57,并且埋设配线59设置在层间绝缘膜57中形成的凹槽图案中。埋设配线59由覆盖凹槽图案内壁的屏蔽金属层59a和由铜(Cu)制造隔着屏蔽金属层59a埋设在凹槽图案中的配线层59b构成。

[0059] 同样,上述配线层7b可具有多层配线层结构。

[0060] 电极层7c(在第二基板7侧)

[0061] 第二基板7中配线层7b上设置的电极层7c包括针对铜(Cu)的防扩散绝缘膜61以及在与配线层7b的界面侧堆叠在防扩散绝缘膜上的第二绝缘膜69。第二绝缘膜69例如由TEOS膜制造,并且第二电极67作为埋设电极设置在第二绝缘膜69中形成的凹槽图案中。第二电极67由覆盖凹槽图案内壁的屏蔽金属层67a和由铜(Cu)制造隔着屏蔽金属层67a埋设在凹槽图案中的第二电极膜67b构成。

[0062] 另外,与第一基板2类似,必需至少形成铜(Cu)以形成用作待接合表面的电极层7c,从而在低于接合后的热处理温度的温度下进行接合。第二电极67设置为对应于第一基板2侧的第一电极33,并且隔着绝缘薄膜12电连接到第一基板2侧的第一电极33。上述电极层7c的表面用作第二基板7侧相对于第一基板2的接合表面71。接合表面71构造为暴露第二电极67和第二绝缘膜69,并且通过例如CMP平坦化。

[0063] 绝缘薄膜12

[0064] 绝缘薄膜12夹设在第一基板2侧的接合表面41和第二基板7侧的接合表面71之间,并且覆盖整个接合表面41和整个接合表面71。就是说,第一基板2和第二基板7隔着绝缘薄膜12接合在一起。当接合在一起的第一基板2和第二基板7在高于铜(Cu)的成膜温度的温度下热处理时,铜(Cu)的晶粒迁移,因此可能破坏绝缘薄膜。随着此时热处理温度和铜(Cu)的

成膜温度之差的增加,更加可能破坏绝缘薄膜12。这是因为铜(Cu)的晶粒生长更快。另外,因为绝缘薄膜12仅在铜(Cu)所在的位置破坏,所以电极之外的部分可保持绝缘特性。

[0065] 上述绝缘薄膜12例如由氧化膜和氮化膜制造,并且采用通常用于半导体的氧化膜和氮化膜。然而,因为绝缘薄膜12由于上述接合的铜(Cu)的晶粒生长被破坏,所以必须防止铜(Cu)的晶粒生长在形成绝缘薄膜12时加速。因此,上述成膜的示例包括铜(Cu)的成膜。必需设定温度等于或低于在结合表面上形成电极时的温度。下面详细描述绝缘薄膜12的构成材料。

[0066] 在绝缘薄膜12由氧化膜制造的情况下,例如,采用二氧化硅( $\text{SiO}_2$ )或氧化铪( $\text{HfO}_2$ )。

[0067] 在绝缘薄膜12由氮化膜制造的情况下,例如,采用氮化硅( $\text{SiN}$ )。

[0068] 另外,特别是在本实施例中,重要的是第一基板2侧的第一电极33和第二基板7侧的第二电极67隔着绝缘薄膜12接合在一起,然后热处理,电极部分中的绝缘薄膜12破坏,由此使电极彼此直接连接。因此,绝缘薄膜12的膜厚度极薄。尽管膜厚度根据绝缘薄膜12的材料而变化,但是,例如,对于诸如二氧化硅( $\text{SiO}_2$ )和氧化铪( $\text{HfO}_2$ )的氧化物以及大部分其它材料,膜厚度希望为约1nm或更小。例如在铜(Cu)膜以150℃的成膜温度形成然后在400℃下热处理的情况下,上述膜厚度根据晶粒生长引起的铜(Cu)的表面变化量决定。然而,也可根据绝缘薄膜12的膜品质以及成膜温度和热处理温度之间的温度差采用较厚的膜。采用上述方法实现直接接触的第一电极33和第二电极67形成了能使电流流过的完美导电状态。

[0069] 同样,在本实施例的半导体装置1中,绝缘薄膜12不限于上述的单层结构,而是可具有由相同材料制造的层叠结构或由不同材料制造的层叠结构。

[0070] 保护膜15、彩色滤光片层17和芯片上透镜19

[0071] 保护膜15设置为覆盖第一基板2上的光电转换部21。保护膜15由具有钝化特性的材料膜制造,并且所用材料膜的示例包括二氧化硅膜、氮化硅膜和氮氧化硅膜等。

[0072] 彩色滤光片层17由各颜色的彩色滤光片制造,按一对一的原则提供给各光电转换部21。对如何排列各颜色的彩色滤光片没有限制。

[0073] 芯片上透镜19按一对一的原则提供给各光电转换部21和构造彩色滤光片层17的各颜色的彩色滤光片,并且构造为聚集入射光到各光电转换部21中。

[0074] 本实施例的半导体装置的构造的效果

[0075] 如上所述构造的本实施例的半导体装置1由隔着绝缘薄膜12接合的第一基板2和第二基板7形成,如图2所示,从而第一基板2的接合表面41和第二基板7的接合表面71不直接接触。因此,防止了在接合表面直接结合在一起的构造中产生在结合界面中的空区(void)。于是,两个基板间的结合强度得到提高,从而能获得具有改善可靠性的半导体装置。

[0076] 特别是在其中第一绝缘膜35和第二绝缘膜69由TEOS膜制造的情况下,在由TEOS膜制造的绝缘膜彼此直接接触的结合界面中,因为大量的OH基团存在于TEOS膜的表面上,所以由于脱水合成而产生空区。在本实施例的半导体装置1中,即使绝缘膜是如上所述的TEOS膜的情况下,因为基板隔着绝缘膜12接合在一起,所以不存在其中TEOS膜彼此直接接触的情况,因此可防止由于脱水合成而产生空区。于是,提高了两个基板之间的结合强度,从而能获得具有改善可靠性的半导体装置。

[0077] 3.在制造本实施例的半导体装置时第一基板(传感器基板)的生产顺序

[0078] 图3A、3B和3C是示出在制造本实施例的上述半导体装置时所用第一基板2的生产顺序的(第一)截面工艺图,并且图4A和4B是图3A、3B和3C后的(第二)截面工艺图。在下文,将根据上述附图描述本实施例中所用第一基板2(传感器基板)的生产顺序。

[0079] 如图3A所示,制备由例如单晶硅制造的半导体基板20。由n型杂质层制造的光电转换部21以预定的深度形成在半导体基板20中,并且由n+型杂质层制造的电荷传输部或由p+型杂质层制造用于空穴的电荷存储部形成在光电转换部21的表面层上。另外,由n+型杂质层制造的浮置扩散FD、源极和漏极23以及图中没有示出的其它杂质层形成在半导体基板20的表面层上。

[0080] 接下来,栅极绝缘膜25形成在半导体基板20上,此外,传输栅极TG和栅极电极27形成在栅极绝缘膜上。这里,传输栅极TG形成在浮置扩散FD和光电转换部21之间,并且栅极电极27形成在源极和漏极23之间。另外,图中没有示出的其它电极采用与上述相同的工艺形成。

[0081] 同样,上述工艺以适当选择的普通生产顺序执行。

[0082] 其后,由例如二氧化硅制造的层间绝缘膜29以覆盖传输栅极TG和栅极电极27的状态形成在栅极绝缘膜25上。此外,凹槽图案形成在层间绝缘膜29中,并且通过隔着屏蔽金属层31a埋设配线层31b而形成的埋设配线31形成在凹槽图案中。埋设配线31在必要的位置连接到传输栅极TG。另外,尽管图中没有示出,某些埋设配线31在必要的位置连接到源极和漏极23。于是,获得包括埋设配线31的配线层2b。同样,可把接下来用包括图3B的附图进行描述的埋设配线技术应用于埋设配线31的形成。

[0083] 接下来,防扩散绝缘膜32形成在配线层2b上,此外,第一绝缘膜35形成在防扩散绝缘膜上。例如,由TEOS膜制造的第一绝缘膜35通过其中采用TEOS气体的CVD法形成。其后,第一电极33采用下面描述的埋设配线技术形成在第一绝缘膜35上。

[0084] 如图3B所示,凹槽图案35a形成在第一绝缘膜35中。尽管图中没有示出,但是凹槽图案35a在必要的位置形成允许凹槽图案达到埋设配线31的形状。

[0085] 如图3C所示,屏蔽金属层33a以覆盖凹槽图案35a的内壁的状态形成,并且第一电极膜33b以埋设凹槽图案35a的状态形成在屏蔽金属层上。屏蔽金属层33a由具有屏蔽特性的材料制造,从而防止第一电极膜33b扩散进入第一绝缘膜35中。同样,第一电极膜33b由铜(Cu)制造,但是该材料不限于此,因此第一电极膜可由任何导电材料制造。

[0086] 如图4A所示,第一电极膜33b采用CMP去除且平坦化,直到暴露屏蔽金属层33a,此外,去除且平坦化屏蔽金属层33a直到暴露第一绝缘膜35。然后,形成了通过隔着屏蔽金属层33a在凹槽图案35a中埋设第一电极膜33b而形成的第一电极33。然后,获得包括第一电极33的电极层2c。

[0087] 通过上述工艺,包括平坦接合表面41的第一基板2生产为传感器基板,其中平坦接合表面41上暴露第一电极33和第一绝缘膜35。同样,根据需要,可采用湿处理或等离子体处理在接合表面41上执行预处理。

[0088] 上述工艺可采用制造半导体装置的普通工艺顺序执行,并且该工艺顺序没有特别限定,因此可以以适当的顺序执行该工艺。然而,在形成用作接合表面的第一电极33时,铜(Cu)的成膜温度例如低至约100℃,并且使其与接合后的热处理温度(例如,400℃)的温度

差尽可能大。在本发明中,下面绝缘薄膜的制作形成了特定工艺。

[0089] 绝缘薄膜的成膜顺序

[0090] 如图4B所示,绝缘薄膜12a采用原子层沉积(在下文称为ALD)以完全覆盖第一基板2的接合表面41的状态形成。

[0091] 将概略描述ALD的顺序。

[0092] 首先,制备第一反应物和第二反应物,二者包含要形成的薄膜的构成成分。执行第一工艺和第二工艺作为成膜工艺,其中在第一工艺中提供包含第一反应物的气体到基板且导致吸附反应,在第二工艺中提供包含第二反应物的气体且导致吸附反应,并且提供惰性气体以清除两个工艺之间没有吸附的反应物。上述成膜工艺的一个循环堆积一层原子,重复该成膜工艺以形成具有所希望膜厚度的膜。同样,第一工艺和第二工艺中的任何一个可首先执行。

[0093] 上述成膜方法是ALD并且具有下面的特性。

[0094] 如上所述,ALD是重复成膜工艺的循环以形成膜的方法,并且它可通过调整工艺的循环数形成膜厚度以原子层级高度精确控制的膜。在应用ALD形成绝缘薄膜12a时,可利用有利的膜厚可控性形成极薄的绝缘薄膜12a。

[0095] 此外,ALD是能采用低温工艺形成膜的方法,温度约为500℃或更低。此外,也可在室温下形成SiO<sub>2</sub>的膜等。在形成绝缘薄膜12a时,因为电极层2c已经形成,所以必须考虑构成电极层2c的金属的热阻,并且必需以低温工艺形成绝缘薄膜12a。因此,在采用ALD形成绝缘薄膜12a时,可在没有因低温工艺导致电极层2c损坏的情况下形成绝缘薄膜12a。

[0096] 如上所述,ALD为通过逐层堆积原子层的方式形成膜的方法。当ALD用于形成绝缘薄膜12a时,可用平坦且均匀的绝缘薄膜12覆盖整个接合表面41而不会使已经采用CMP高度平坦化的基板表面更加不平坦。

[0097] 作为示例,下文将具体描述采用ALD由氧化膜或氮化膜制造的绝缘薄膜12a的成膜条件。

[0098] 在绝缘薄膜12a由氧化膜(SiO<sub>2</sub>或HfO<sub>2</sub>等)制造的情况下,在ALD中,含Si的反应物或含Hf的反应物用作第一反应物,并且含O的反应物用作第二反应物。当交替重复提供上述反应物以导致吸附反应的工艺时,由氧化物膜(SiO<sub>2</sub>或HfO<sub>2</sub>)制造的绝缘薄膜12a形成在接合表面41上。这里,作为含Si的反应物,可以采用例如以气体形式提供的物质,例如硅烷(SiH<sub>4</sub>)或者二氯甲硅烷(H<sub>2</sub>SiCl<sub>2</sub>)。作为含Hf物质,采用四二甲基氨基酸铪(Hf[N(CH<sub>3</sub>)<sub>2</sub>]<sub>4</sub>)等。作为含O物质,采用水蒸气、臭氧或类似物。

[0099] 同样,在其中绝缘薄膜12a由氮化膜(SiN等)制造的情况下,在ALD中,含Si反应物用作第一反应物,并且含N反应物用作第二反应物。当交替重复提供上述反应物以导致吸附反应的工艺时,由氮化膜(SiN)制造的绝缘薄膜12a形成在接合表面41上。这里,作为含N反应物,例如采用氮气或氨气等。作为含O物质,采用水蒸气或臭氧等。

[0100] 通过上述工艺,极其薄且均匀的绝缘薄膜12a以其覆盖整个接合表面41的状态形成在第一基板2上。

[0101] 4.在制造本实施例的半导体装置时第二基板(电路基板)的生产顺序

[0102] 图5A和5B是示出在制造本实施例的上述半导体装置时所用的第二基板7的生产顺序的截面工艺图。在下文,将根据附图描述本实施例中所用的第二基板7(电路基板)的生产

顺序。

[0103] 如图5A所示,制备例如由单晶硅制造的半导体基板50。具有各自导电类型的源极和漏极51以及图中没有示出的其它杂质层形成在半导体基板50的表面层上。然后,获得半导体层7a。

[0104] 接下来,栅极绝缘膜53形成在半导体层7a上,此外,栅极电极55形成在栅极绝缘膜上。这里,栅极电极55形成在源极和漏极51之间。另外,图中没有示出的其它电极采用与上述相同的工艺形成。

[0105] 接下来,例如由二氧化硅制造的层间绝缘膜57以覆盖栅极电极55的状态形成在栅极绝缘膜53上。通过隔着屏蔽金属层59a埋设配线层59b形成的埋设配线59形成在层间绝缘膜57的凹槽图案中,由此获得包括埋设配线59的配线层7b。与上述形成第一电极33类似,埋设配线59通过应用埋设配线技术形成。

[0106] 此后,例如由TEOS膜制造的第二绝缘膜69隔着防扩散绝缘膜61堆叠且形成在配线层7b上。然后,形成第二电极67,其通过隔着屏蔽金属层67a在第二绝缘膜69的凹槽图案中埋设第二电极膜67b而形成,并且获得包括第二电极67的电极层7c。第二电极67以与上述形成第一电极33相同的方式形成。

[0107] 作为上述工艺的结果,包括平坦接合表面71的第二基板7生产为电路基板,其中平坦接合表面71上暴露第二电极67和第二绝缘膜69。

[0108] 上述工艺可采用制造半导体装置的普通工艺顺序执行,并且该工艺顺序没有特别限定,因此可以以适当的顺序执行该工艺。然而,在形成用作接合表面的第二电极67时,铜(Cu)的成膜温度例如低至约100℃,并且使其与接合后的热处理温度(例如,400℃)的温度差尽可能大。在本发明中,下面绝缘薄膜的形成以及基板的接合形成了特定工艺。

[0109] 如图5B所示,绝缘薄膜12b采用ALD形成在接合表面71上,与形成第一基板2侧的绝缘薄膜12a的方式相同。

[0110] 然后,极其薄且均匀的绝缘薄膜12b以其覆盖整个接合表面71的状态形成在第二基板7上。同样,绝缘薄膜12b可以是与第一基板2侧的绝缘薄膜12a相同或不同的膜。

[0111] 5. 在制造本实施例的半导体装置时基板的接合顺序

[0112] 将采用图6和7描述具有形成在接合表面41上的绝缘薄膜12a的第一基板2和具有形成在接合表面71上的绝缘薄膜12b的第二基板7的接合顺序。

[0113] 如图6所示,第一基板2的接合表面41和第二基板7的接合表面71设置为隔着绝缘薄膜彼此相对,此外,第一基板2中的第一电极33和第二基板7中的第二电极67排列为彼此面对。在附图所示的示例中,第一电极33和第二电极67按一对一的原则彼此对应,但是对应的状态不限于此。

[0114] 当第一基板2上的绝缘薄膜12a和第二基板7上的绝缘薄膜12b制作为彼此面对且如图7所示被热处理时,绝缘薄膜12a和绝缘薄膜12b结合在一起。上述热处理在一定温度下执行一段时间,在该温度和时间下,第一基板2和第二基板7中形成的元件和配线可不受影响且绝缘薄膜12能充分结合。另外,此时铜(Cu)的晶粒也在生长,并且第一电极33和第二电极67之间的绝缘薄膜12从两侧破坏。于是,电极中的铜(Cu)彼此直接接触。

[0115] 例如,在第一电极33和第二电极67由主要包含铜(Cu)的材料制造的情况下,热处理在200℃至600℃范围的温度下执行约15分钟至5小时。上述热处理可在加压气氛下执行,

或者可在第一基板2和第二基板7从两个表面侧受压的状态下执行。作为示例,当热处理在400℃下执行4小时时,其间具有绝缘薄膜12的第一电极33和第二电极67彼此连接。于是,结合绝缘薄膜12a和绝缘薄膜12b,并且连接第一基板2和第二基板7。这里,随着在形成铜(Cu)膜期间的温度和热处理温度之间的温度差的增加,因为能加速铜(Cu)的晶粒生长,所以绝缘薄膜12变得易于破坏。

[0116] 这里,在绝缘薄膜12a和12b如上所述形成在第一基板2和第二基板7的两个接合表面41和71上的情况下,绝缘薄膜12a和12b可由相同的材料或不同的材料制造。

[0117] 同样,在制造本实施例的半导体装置的方法中,绝缘薄膜可形成在第一基板2和第二基板7中的仅任一个基板的接合表面上。例如,第一基板2和第二基板7可通过仅在第一基板2的接合表面41上形成绝缘薄膜12a以及结合第一基板2侧的绝缘薄膜12a和第二基板7侧的接合表面71而接合在一起。

[0118] 如上所述,在接合第一基板2和第二基板7后,减小第一基板2侧的半导体基板20的厚度以产生半导体层2a并且暴露光电转换部21。另外,如果需要,半导体基板50的厚度可在第二基板7侧的半导体层7a中减小。

[0119] 其后,保护膜15形成在如图2所示的第一基板2中的光电转换部21的暴露表面上,此外,彩色滤光片层17和芯片上透镜19形成在保护膜15上,由此完成半导体装置(固态成像设备)1。

[0120] 本实施例的半导体装置的制造方法的效果

[0121] 在本实施例的半导体装置的上述制造方法中,绝缘薄膜12a和12b分别形成在第一基板2和第二基板7上,并且将其上形成有绝缘薄膜12a和12b的表面结合在一起,由此接合第一基板2和第二基板7。因此,与通过CMP平坦化的接合表面41和71直接结合的情况相比,通过结合其上形成有绝缘薄膜12a和12b的表面而将第一基板2和第二基板7结合在一起的本实施例的半导体装置1具有有利的结合特性。同样,即使在绝缘薄膜12a仅形成在第一基板2的接合表面41上的情况下,第一基板2侧的绝缘薄膜12a和第二基板7侧的接合表面71结合在一起,与接合表面41和71直接结合在一起的情况相比,该基板的结合特性也是有利的。

[0122] 例如,在通过CMP已经平坦化的接合表面41和71中,构成接合表面41和71的第一绝缘膜35和第二绝缘膜69中可能包含CMP工艺中的水。另外,在构成接合表面41和71的第一绝缘膜35和第二绝缘膜69由TEOS膜制造的情况下,第一绝缘膜35和第二绝缘膜69由于TEOS膜的成膜条件最初形成为具有高含水率的膜。因此,在包含水的上述接合表面41和71直接结合在一起的情况下,在结合后的热处理期间,排放的气体聚集在结合界面中,并且形成空区。然而,在本实施例中,因为整个接合表面41和71覆盖有绝缘薄膜12a和12b,所以能防止排放的气体在结合界面中的聚集,并且抑制空区的产生。

[0123] 特别是,在第一基板2的接合表面41上的绝缘薄膜12a和第二基板7的接合表面71上的绝缘薄膜12b由相同的材料制造的情况下,因为由相同材料制造的膜结合在一起,所以可形成较强的结合。于是,基板之间的结合强度得到提高,从而能获得具有改善可靠性的半导体装置。

[0124] 此外,因为绝缘薄膜12a和12b通过ALD形成,所以也可获得下面的效果。

[0125] 首先,由于在原子层级别成膜,ALD是一种展示出有利的膜厚可控性的方法,所以可形成极其薄的绝缘薄膜。于是,即使在第一基板2侧的第一电极33和第二基板7侧的第二

电极67设置为隔着绝缘薄膜12彼此相对的结构中,因为绝缘薄膜12极其薄,所以使第一电极33和第二电极67之间的电连接成为可能。

[0126] 接下来,由于在原子层级别成膜,ALD是一种展示出有利的膜厚可控性的方法,所以保持了通过CMP平坦化的接合表面41和71的平坦性,并且均匀的绝缘薄膜12a和12b形成在第一基板2和第二基板7上。因为如上所述将其上形成绝缘薄膜12a和12b的平坦结合表面结合在一起,所以结合表面以良好的粘合力结合在一起,从而使具有改善结合强度的基板的结合成为可能。

[0127] 接下来,因为ALD是采用低温工艺形成膜的方法,所以不存在其中由于高热使第一基板2侧构成电极层2c的金属以及第二基板7侧构成电极层7c的金属损坏的情况,并且可在第一基板2和第二基板7上形成绝缘薄膜12a和12b。因此,ALD适合于在接合后采用热处理加速铜(Cu)的晶粒生长的目的,这是本发明的核心。至此,已经描述了采用ALD的优点,但是形成膜的方法不限于ALD,还可采用CVD的方法,只要可实现上述优点。此外,除了采用其中采用气体的气相生长来形成膜外,例如,可采用涂镀法等形成膜,只要可形成能实现本发明原理的薄膜。

[0128] 最后,因为ALD是原子层级别的形成膜的方法,所以所形成的绝缘薄膜12a和12b是密集膜,并且具有极低的含水率。因为将其上形成有低含水率的绝缘薄膜12a和12b的结合表面结合在一起,所以不担心在结合表面中产生空区的情况。

[0129] 通过上述工艺,基板之间的结合强度得到提高,从而可获得具有改善可靠性的半导体装置。

[0130] 6.采用本实施例的半导体装置的电子装置的示例

[0131] 本实施例中描述的根据本发明的半导体装置(固态成像设备)例如可应用于诸如相机系统的电子装置,例如,数字相机和摄像机,还有具有成像功能的移动电话,以及具有成像功能的其它装置。

[0132] 图8示出了相机的构造,其中固态成像设备用作根据本发明的电子装置的示例。根据本实施例的相机91是摄像机的示例,其可摄取静态图像或视频片段。相机91包括固态成像设备92、引导入射光到固态成像设备92中的光电转换部的光学系统93、快门装置94、用于驱动固态成像设备92的驱动电路95以及处理固态成像设备92的输出信号的信号处理电路96。

[0133] 固态成像设备92应用了具有本实施例中描述构造的半导体装置(1)。光学系统(光学透镜)93在固态成像设备92的成像表面上形成来自物体的成像光(入射光)。然后,信号电荷存储在固态成像设备92中持续一段时间。上述光学系统93可为由多个光学透镜构成的光学透镜系统。快门装置94控制至固态成像设备92的光辐射时间和光关闭时间。驱动电路95提供驱动信号到固态成像设备92,并且快门装置94采用所提供的驱动信号(定时信号)控制固态成像设备92的信号输出至信号处理电路96的操作,并且控制快门装置94的快门操作。就是说,驱动电路95提供驱动信号(定时信号)以执行从固态成像设备92到信号处理电路96信号传输操作。信号处理电路96相对于从固态成像设备92传输的信号执行各种信号处理。已经执行信号处理的图像信号存储在诸如存储器的存储介质中,或者输出到监视器。

[0134] 根据上述本实施例的电子装置,因为将其中堆叠传感器基板和电路基板的高可靠性的三维结构的半导体装置1用作固态成像设备,所以能减小具有成像功能的电子装置的

尺寸且改善可靠性。

[0135] 同样,本发明可采用下面的构造。

[0136] (1)一种半导体装置,包括:第一基板,具有暴露第一电极和第一绝缘膜的接合表面;绝缘薄膜,覆盖该第一基板的该接合表面;以及第二基板,具有暴露第二电极和第二绝缘膜的接合表面,在该第二基板的该接合表面和该第一基板的该接合表面接合在一起并在该第二基板的该接合表面和该第一基板的该接合表面之间夹设该绝缘薄膜的状态下该第二基板接合到该第一基板,该第一电极和该第二电极将该绝缘薄膜的一部分变形并且破坏以使该第一电极和该第二电极彼此直接电连接。

[0137] (2)根据(1)的半导体装置,其中该绝缘薄膜是氧化膜。

[0138] (3)根据(1)的半导体装置,其中该绝缘薄膜是氮化膜。

[0139] (4)根据(1)至(3)任何一项的半导体装置,其中该绝缘薄膜具有层叠结构。

[0140] (5)根据(1)至(4)任何一项的半导体装置,其中该绝缘薄膜设置成覆盖整个接合表面的状态。

[0141] (6)根据(1)至(5)任何一项的半导体装置,其中该第一基板的该接合表面和该第二基板的该接合表面是平坦化的表面。

[0142] (7)一种制造方法,包括:制备两个基板,所述基板具有暴露电极和绝缘膜的接合表面;在覆盖两个基板中至少一个基板的接合表面的状态下形成绝缘薄膜;以及在该两个基板上的电极彼此电连接的状态下使该接合表面隔着该绝缘薄膜对齐,由此接合该两个基板。

[0143] (8)根据(7)的制造方法,其中接合的该两个基板被热处理,从而通过变形和移动构成该电极的金属来破坏由该第一电极和该第二电极夹设的该绝缘薄膜,由此使该第一电极和该第二电极直接接触。

[0144] (9)根据(8)的制造方法,其中该热处理的温度充分地低于该第一电极和该第二电极的至少一方的成膜温度。

[0145] (10)根据(7)的制造方法,其中该绝缘薄膜形成在该两个基板二者上。

[0146] (11)根据(7)或(10)的制造方法,其中由相同材料制造的该绝缘膜形成在该两个基板二者上。

[0147] (12)根据(7)至(11)任何一项的制造方法,其中该绝缘薄膜采用原子层沉积法形成。

[0148] (13)根据(7)至(12)任何一项的制造方法,其中该两个基板的该接合表面采用平坦化处理形成。

[0149] 本领域的技术人员应当理解的是,在所附权利要求或其等同方案的范围内,根据设计需要和其他因素,可以进行各种修改、组合、部分组合和替换。相关申请的交叉引用

[0150] 本申请要求2013年3月22日提交的日本优先权专利申请JP2013-060691的权益,其全部内容通过引用结合于此。

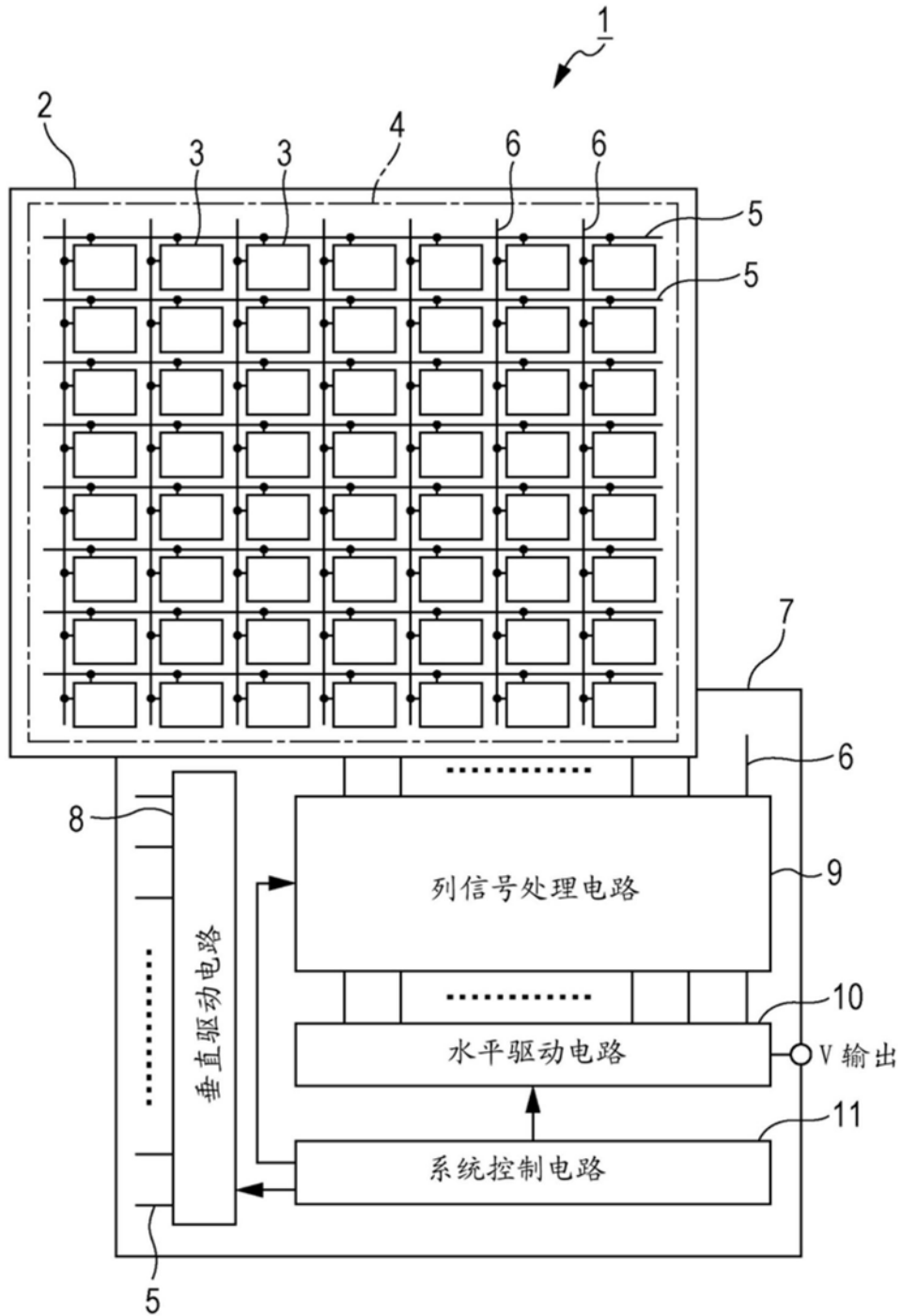


图1

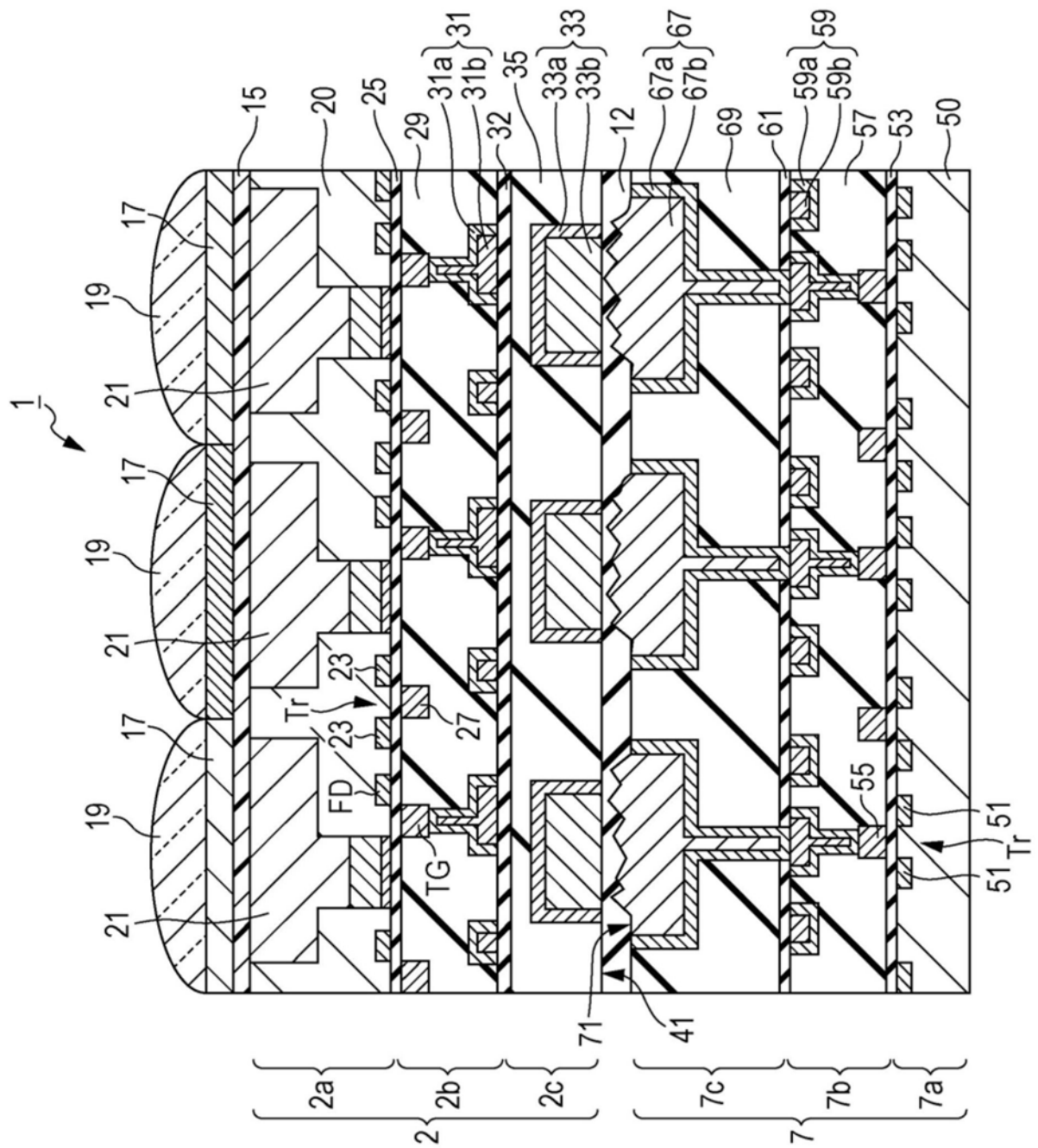


图2

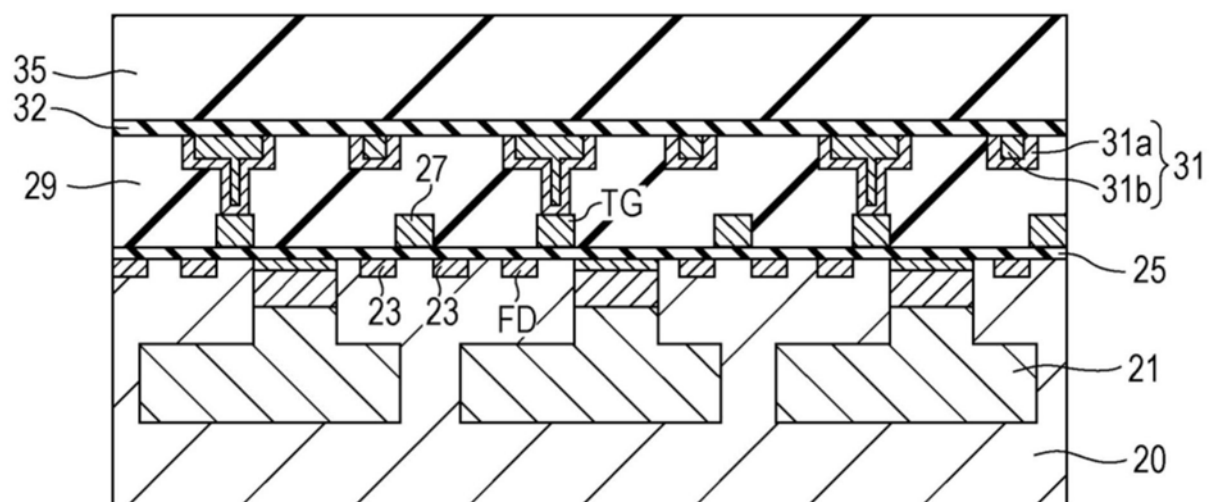


图3A

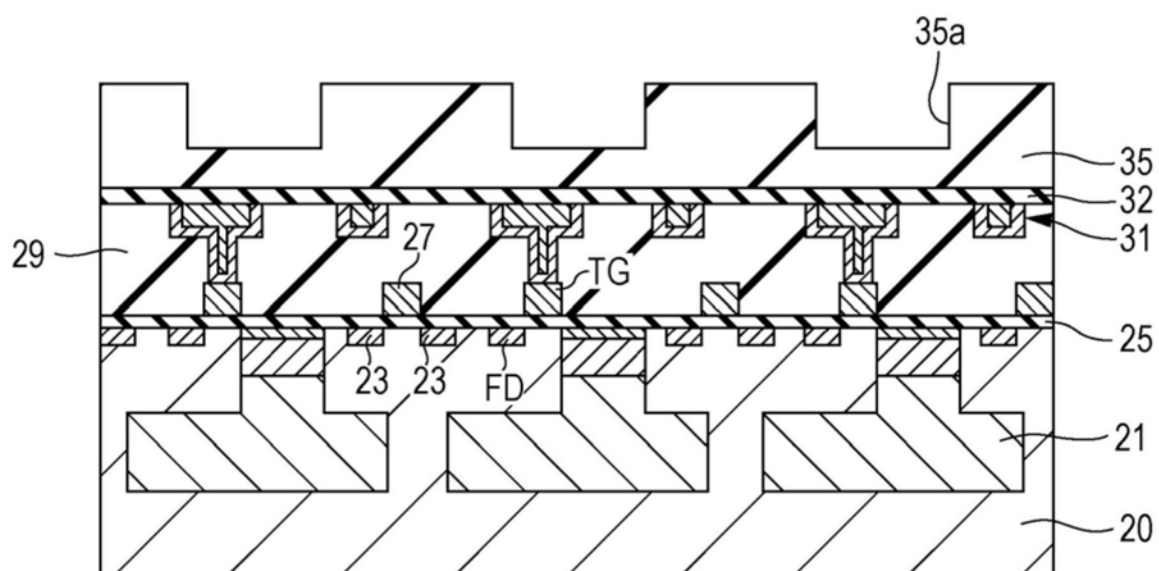


图3B

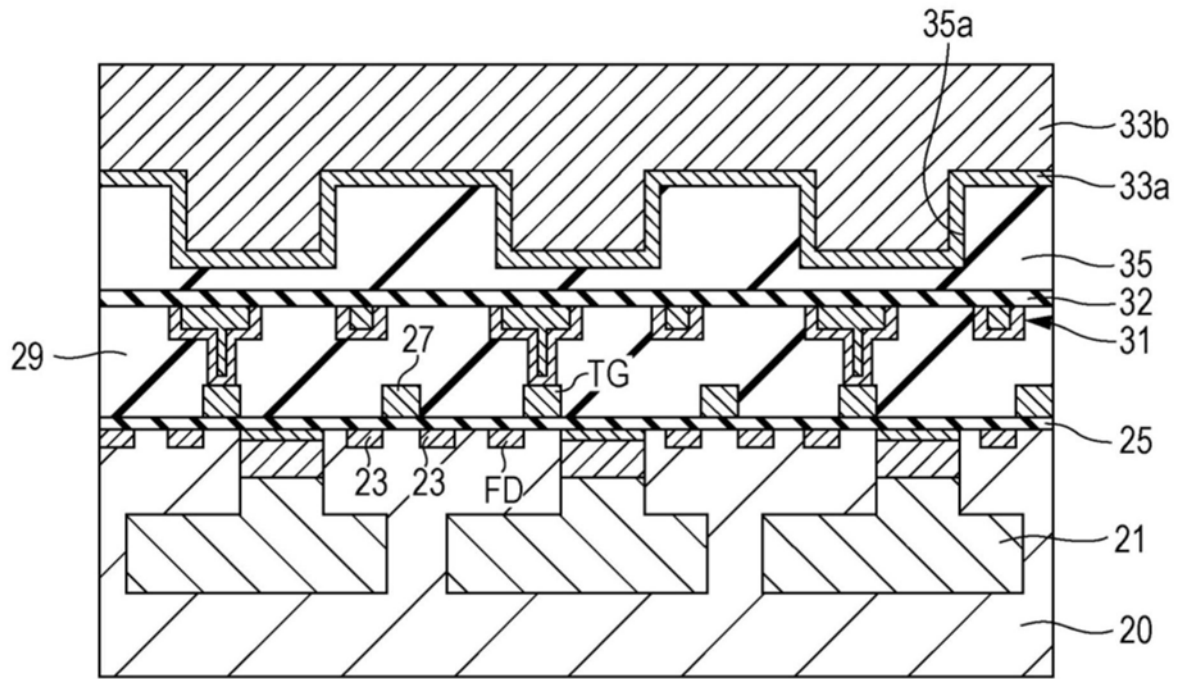


图3C

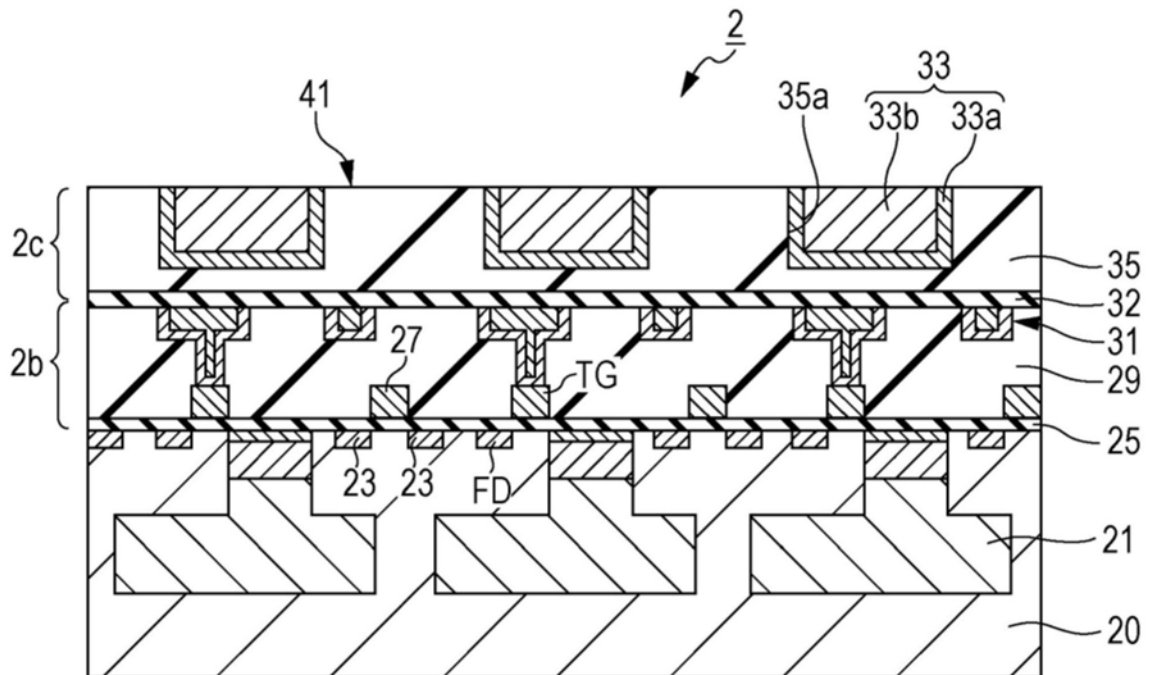


图4A

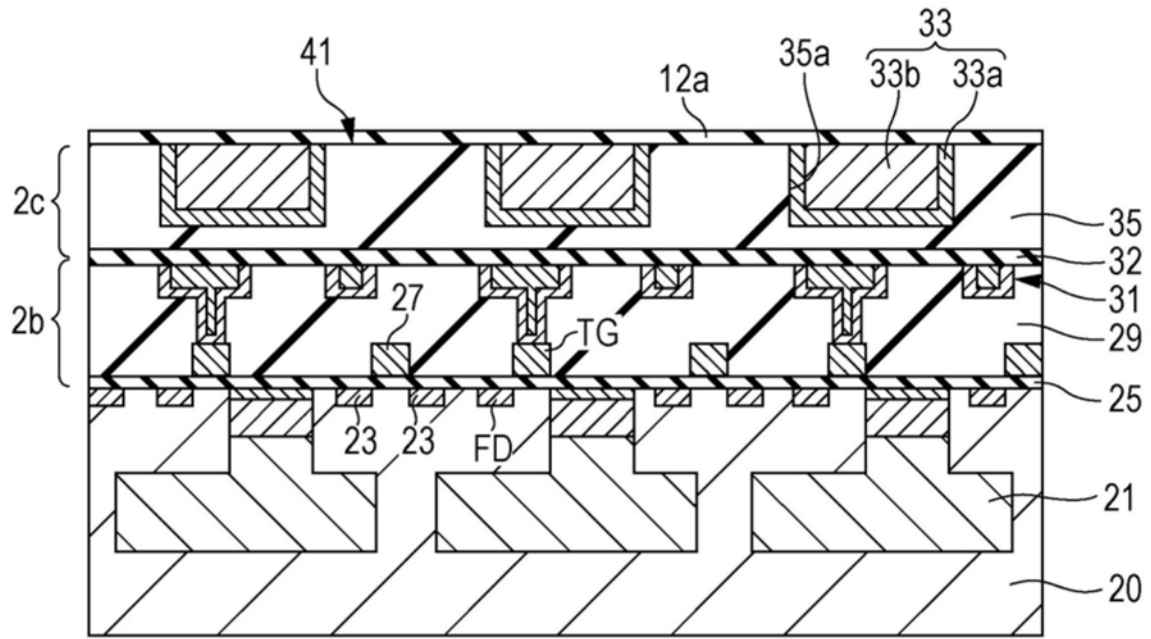


图4B

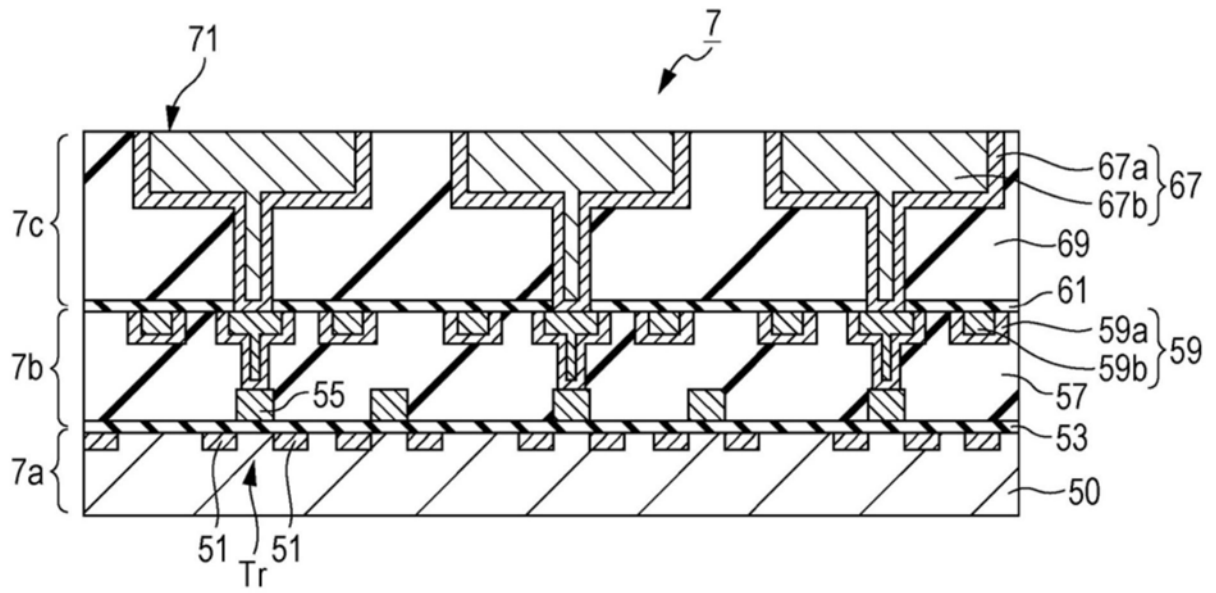


图5A

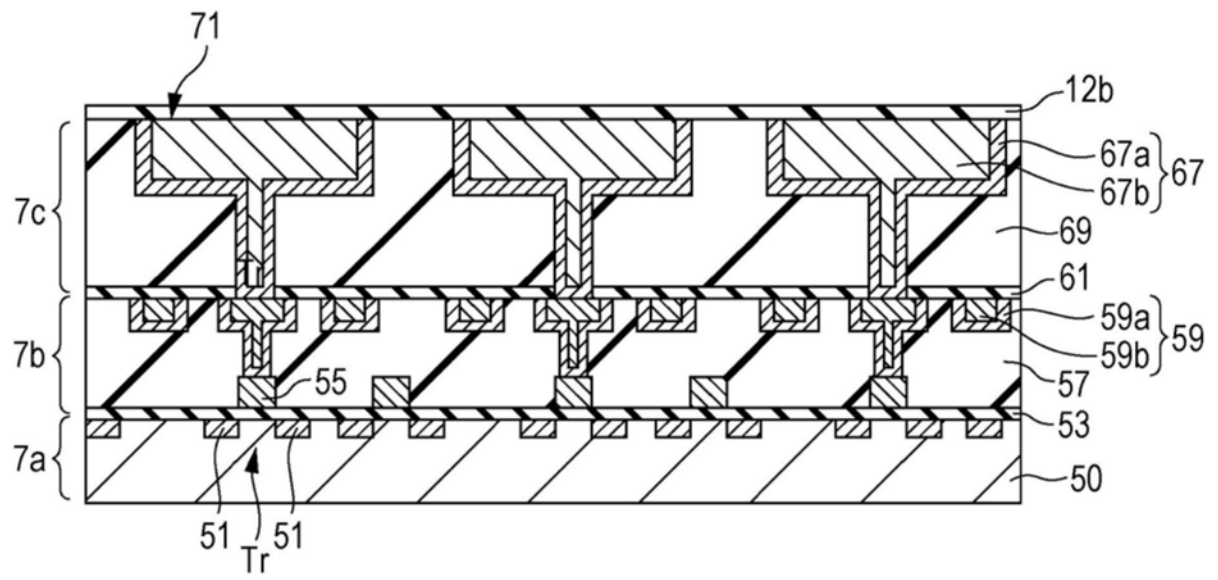


图5B

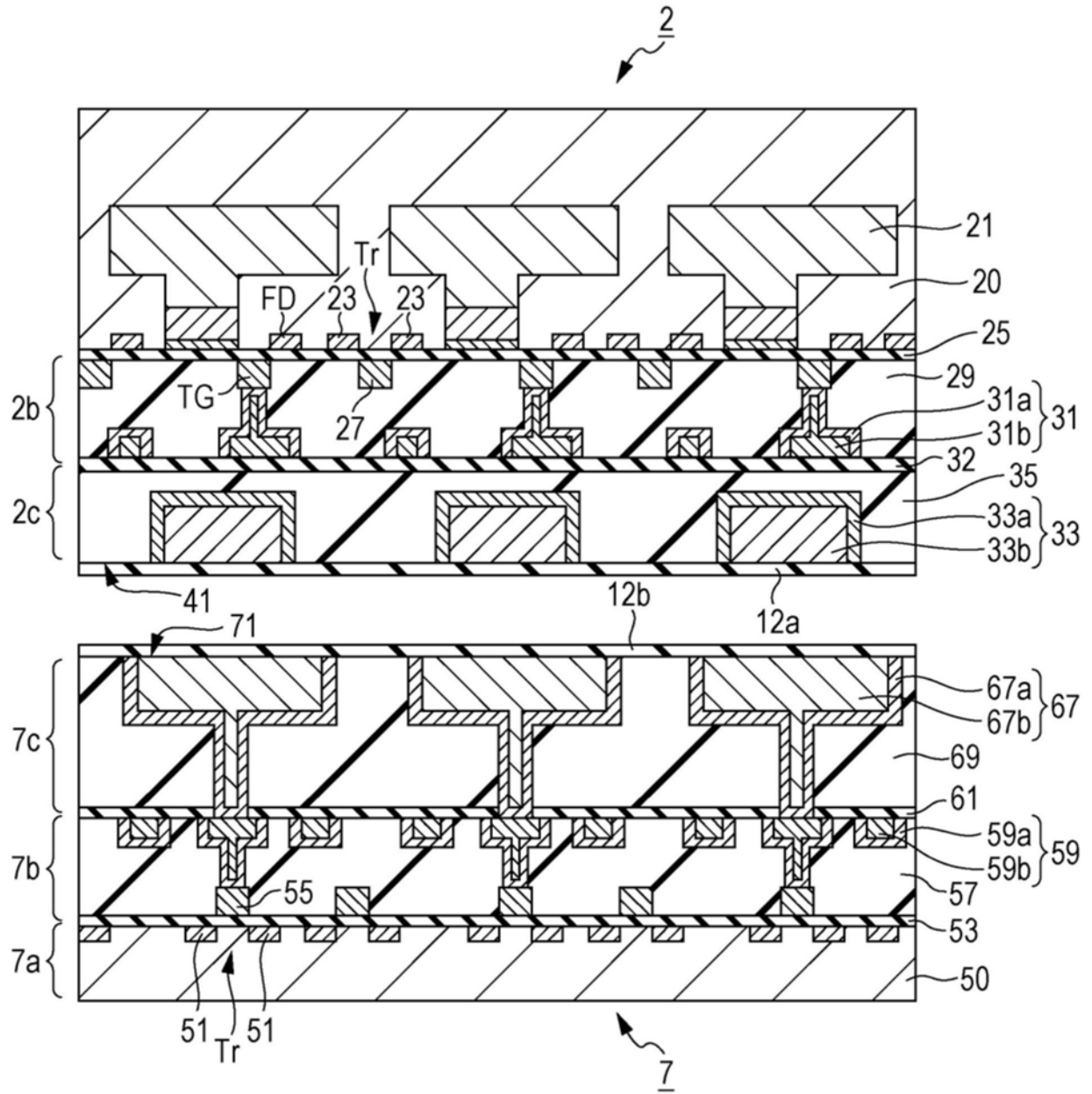


图6

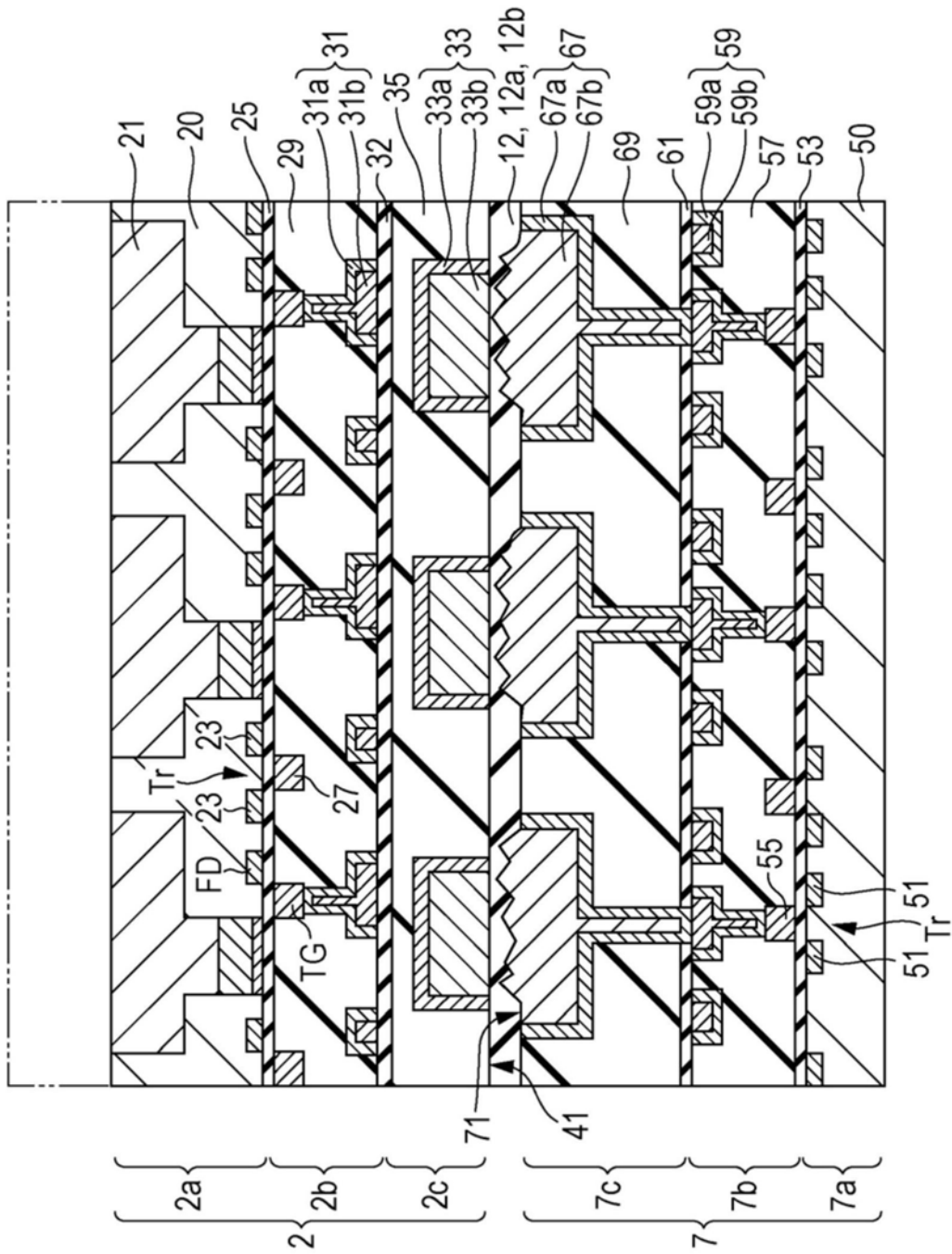


图7

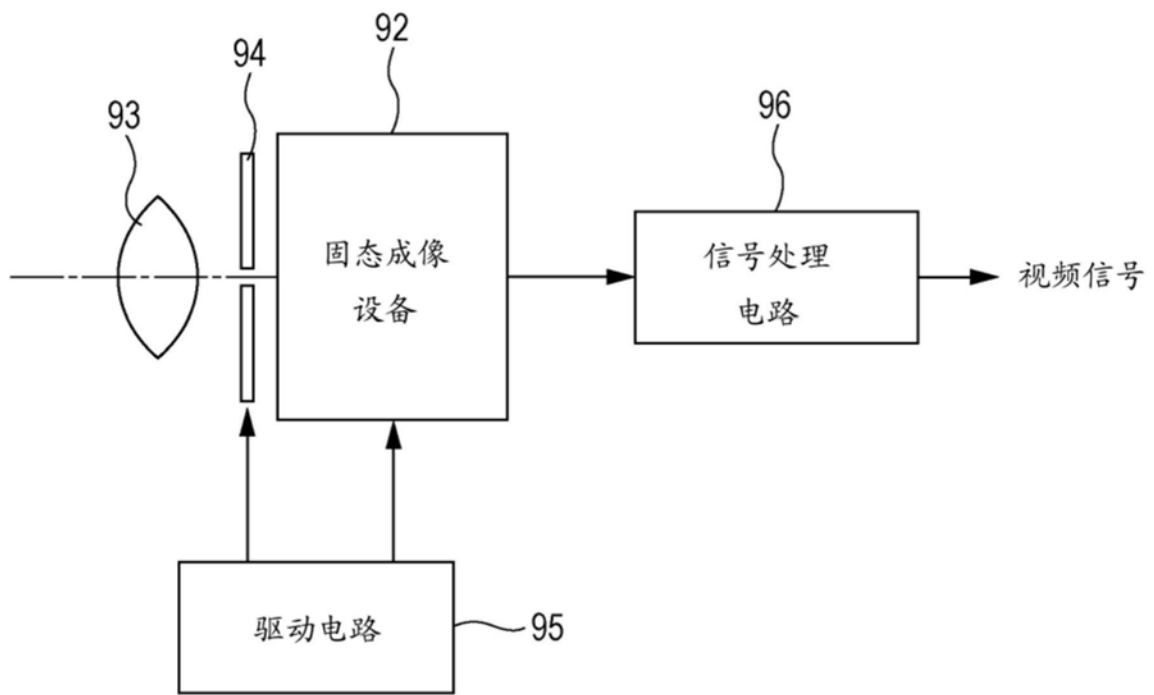
91

图8