

①⑨ RÉPUBLIQUE FRANÇAISE  
—  
**INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE**  
—  
COURBEVOIE  
—

①① N° de publication : **3 080 948**

(à n'utiliser que pour les  
commandes de reproduction)

②① N° d'enregistrement national : **18 53778**

⑤① Int Cl<sup>8</sup> : **H 01 L 21/70** (2018.01), H 01 L 23/28, H 01 L 27/02,  
H 01 L 29/40

⑫

## BREVET D'INVENTION

**B1**

⑤④ CIRCUIT INTEGRE COMPRENANT UN ELEMENT CAPACITIF, ET PROCEDE DE FABRICATION.

②② Date de dépôt : 02.05.18.

③③ Priorité :

④③ Date de mise à la disposition du public  
de la demande : 08.11.19 Bulletin 19/45.

④⑤ Date de la mise à disposition du public du  
brevet d'invention : 17.01.25 Bulletin 25/03.

⑤⑥ Liste des documents cités dans le rapport de  
recherche :

*Se reporter à la fin du présent fascicule*

⑥⑥ Références à d'autres documents nationaux  
apparentés :

Demande(s) d'extension :

⑦① Demandeur(s) : *STMICROELECTRONICS  
(ROUSSET) SAS — FR.*

⑦② Inventeur(s) : *MARZAKI ABDERREZAK.*

⑦③ Titulaire(s) : *STMICROELECTRONICS (ROUSSET)  
SAS.*

⑦④ Mandataire(s) : *CASALONGA.*

**FR 3 080 948 - B1**



## **Circuit intégré comprenant un élément capacitif, et procédé de fabrication**

Des modes de réalisation et de mise en œuvre concernent les circuits intégrés, en particulier des éléments capacitifs basse tension.

En effet, notamment les parties analogiques et les parties destinées à traiter des signaux radiofréquences des circuits intégrés nécessitent des condensateurs de valeur capacitive linéaire pour des basses tensions, typiquement des tensions proches de 0V à leurs bornes.

Par exemple, entre 0,0V et 0,5V une variation inférieure de 10% à 15% de la valeur capacitive est considérée comme acceptable.

Typiquement de tels condensateurs ont été réalisés par des interfaces de deux couches de matériau conducteur séparées par une couche diélectrique, par exemple du type MOM (pour « Métal-Oxyde-Métal »).

Cependant, les condensateurs selon cette approche (du type MOM) ont une valeur capacitive par unité de surface relativement faible, par exemple de l'ordre de  $3\text{fF}/\mu\text{m}^2$ , et peuvent représenter 10% de l'encombrement d'une partie analogique d'un circuit intégré, et 50% de l'encombrement d'une partie destinée à traiter des signaux radiofréquences d'un circuit intégré.

Les technologies classiques de condensateurs du type MOS (pour « Métal-Oxyde-Silicium ») offrent de meilleures performances en matière de valeur capacitive surfacique mais de moins bonnes performances en matière de variations à basse tension.

Par conséquent il est souhaitable d'augmenter la valeur capacitive surfacique des condensateurs de circuit intégré tout en préservant une variation de cette valeur à basse tension acceptable.

A cet égard, il est proposé selon un aspect un circuit intégré comprenant un caisson semiconducteur d'un premier type de conductivité, et au moins un élément capacitif comprenant :

une première électrode comportant une première plaque électriquement conductrice située au-dessus du caisson semiconducteur d'un premier type de conductivité ;

5 une deuxième électrode comportant une deuxième plaque électriquement conductrice au-dessus de la première plaque, une région superficielle fortement dopée d'un deuxième type de conductivité opposé au premier type de conductivité située dans le et en surface du caisson et sous la première plaque ; et

10 une région diélectrique inter-électrodes séparant la première électrode et la deuxième électrode.

La région superficielle fortement dopée d'un deuxième type de conductivité opposé au premier type de conductivité du caisson, située en surface du caisson, forme une région locale à haute densité de porteurs minoritaires, permettant un fonctionnement linéaire en inversion (c'est-à-dire présentant peu de variations de la valeur capacitive), et introduisant une augmentation de la valeur capacitive surfacique en inversion. L'élément capacitif présente également de bonnes performances en accumulation.

20 Par exemple la valeur capacitive surfacique d'un élément capacitif selon cet aspect peut être de l'ordre de  $9\text{fF}/\mu\text{m}^2$ .

Selon un mode de réalisation, la région superficielle s'étend en surface du caisson en regard de la totalité de la première plaque.

25 En effet, la présence de la région superficielle sur l'ensemble de la surface du caisson à l'interface de la deuxième électrode et la première électrode permet d'améliorer la linéarité de la valeur capacitive à basse tension.

Par exemple, ladite région superficielle a une épaisseur inférieure à 10 nm, préférablement inférieure à 5 nm.

30 Selon un mode de réalisation, la région diélectrique comporte une première couche diélectrique, par exemple un oxyde tunnel, entre la première plaque conductrice et la région superficielle, et une deuxième couche diélectrique, par exemple un oxyde de grille, entre la première plaque conductrice et la deuxième plaque conductrice.

Selon un mode de réalisation, l'élément capacitif comprend une première prise de contact fortement dopée du premier type de conductivité reliant électriquement le caisson avec la deuxième électrode, et une deuxième prise de contact fortement dopée du deuxième type de conductivité reliant électriquement la région superficielle avec la deuxième électrode.

Ainsi, la deuxième électrode étant reliée électriquement avec le caisson et comportant la deuxième plaque électriquement conductrice, la surface des interfaces entre la première et la deuxième électrode est située de part et d'autre de la première plaque conductrice. Cela permet de doubler la valeur capacitive surfacique par rapport à une configuration classique.

Selon un mode de réalisation, le circuit intégré comprend un condensateur de découplage, et/ou un circuit de compensation, et/ou un filtre de chaîne de réception de signal radiofréquence, incorporant respectivement ledit au moins un élément capacitif.

Selon un autre aspect, il est proposé un procédé de fabrication d'un élément capacitif comprenant une formation d'une première électrode comportant une formation d'une première plaque électriquement conductrice sur un substrat semiconducteur d'un premier type de conductivité, une formation d'une deuxième électrode comportant une formation d'une deuxième plaque électriquement conductrice sur la première plaque et une implantation d'une région superficielle fortement dopée d'un deuxième type de conductivité opposé au premier type de conductivité sous la première plaque et en surface du caisson, et une formation d'une région diélectrique inter-électrodes séparant électriquement la première électrode et la deuxième électrode.

Selon un mode de mise en œuvre, l'implantation de la région superficielle est réalisée sur l'ensemble de la surface du caisson en regard de la première plaque.

Selon un mode de mise en œuvre, l'implantation de la région superficielle est configurée pour former ladite région superficielle d'épaisseur inférieure à 10 nm, préférablement inférieure à 5 nm.

Selon un mode de mise en œuvre, l'implantation de la région superficielle est réalisée à une énergie de 20 keV et à une concentration surfacique de  $3,0 \cdot 10^{13} \text{ cm}^{-2}$ .

5 Selon un mode de mise en œuvre, la formation de la région diélectrique comporte une formation d'une première couche diélectrique entre la première plaque conductrice et la région superficielle, et une formation d'une deuxième couche diélectrique entre la première plaque conductrice et la deuxième plaque conductrice.

10 Selon un mode de mise en œuvre, le procédé comprend une formation d'une première prise de contact fortement dopée du premier type de conductivité destinée à relier électriquement le caisson avec la deuxième électrode, et d'une deuxième prise de contact fortement dopée du deuxième type de conductivité destinée à relier  
15 électriquement la région superficielle avec la deuxième électrode.

Selon un mode de mise en œuvre, ladite formation d'une première plaque électriquement conductrice appartient à une étape comportant en outre et de façon commune une formation d'une grille flottante d'un transistor à grille flottante ; ladite formation d'une  
20 deuxième plaque électriquement conductrice appartient à une étape comportant en outre et de façon commune une formation d'une grille de commande du transistor à grille flottante ; ladite implantation d'une région superficielle appartient à une étape comportant en outre et de façon commune une contre-implantation dans une région de canal  
25 du transistor à grille flottante ; et ladite formation d'une région diélectrique inter-électrodes appartient à des étapes comportant en outre et de façon commune des formations de couches diélectrique du transistor à grille flottante.

Ainsi, la fabrication de l'élément capacitif selon ce mode de  
30 mise en œuvre est complètement gratuite dans une filière technologique prévoyant de mettre en œuvre les étapes susmentionnées de fabrication de transistor à grille flottante.

D'autres avantages et caractéristiques de l'invention apparaîtront à l'examen de la description détaillée de modes de

réalisation et de mise en œuvre, nullement limitatifs, et des dessins annexés sur lesquels :

- les figures 1 à 5 représentent des modes de réalisation de l'invention ;
- 5 - la figure 6 représente un mode de mise en œuvre d'un procédé de fabrication selon l'invention.

La figure 1 représente une vue en coupe d'un élément capacitif C d'un circuit intégré CI comportant une première électrode E1 et une deuxième électrode E2 électriquement séparée par un diélectrique inter électrodes situé entre-elles.

L'élément capacitif C est situé sur un caisson semiconducteur PW d'un premier type de conductivité, plus particulièrement sur une région dite région active du caisson PW, c'est-à-dire une partie qui n'est pas recouverte par des régions d'isolation latérales STI.

15 Ici, le caisson PW appartient à une partie supérieure d'un substrat semiconducteur sous-jacent, mais peut bien entendu être un caisson isolé, du type « triple caisson ».

Par exemple, le premier type de conductivité est le type P, et ainsi, un deuxième type de conductivité opposé au premier type de conductivité est le type N. L'inverse est également envisageable.

Les régions d'isolation latérales STI, par exemple du type tranchées d'isolation peu profondes, permettent d'isoler électriquement des régions actives voisines du caisson PW.

La première électrode E1 comprend une première plaque (ou couche) électriquement conductrice P1, par exemple en silicium polycristallin dopé, qui recouvre la majorité de la surface de la région active (c'est-à-dire par exemple l'intégralité de la surface excepté les premières et deuxièmes prises de contact P+, N+ mentionnées ci-après).

30 Une première couche de diélectrique OxT sépare la surface de la région active de la première plaque P1. Par exemple la première couche diélectrique OxT est un oxyde de silicium du type oxyde tunnel, d'environ 7 nm d'épaisseur.

La deuxième électrode E2 comprend une deuxième plaque (ou couche) électriquement conductrice P2, par exemple en silicium polycristallin dopé, située au-dessus de la première plaque P1.

5 Une deuxième couche diélectrique OxG sépare la première plaque P1 et la deuxième plaque P2. Par exemple, la deuxième couche diélectrique OxG est un oxyde de grille haute tension, du type empilement d'oxyde-nitride-oxyde de silicium (usuellement désigné par l'acronyme « ONO »).

10 La deuxième électrode E2 comprend en outre une région superficielle NS en surface du caisson PW.

Selon une réalisation, le caisson PW est électriquement relié à la deuxième électrode E2 via une première prise de contact P+ fortement dopée du premier type de conductivité, permettant un couplage ohmique peu résistif.

15 La région superficielle NS est fortement dopée d'un deuxième type de conductivité opposé au premier type de conductivité et est située dans le caisson PW et à sa surface, sous la première plaque P1.

20 Etant donnée les conductivités contraires des dopants du substrat PW et de la région superficielle NS, la région superficielle NS est qualifiée « contre-implantée ».

La région superficielle contre-implantée NS s'étend avantageusement en surface du caisson PW qui est située en regard de la totalité de la première plaque P1.

25 En effet, si la région superficielle s'étend sur la totalité de la partie du caisson PW à l'interface de la deuxième électrode E2 avec la première électrode E1, la valeur capacitive de l'élément capacitif C est plus stable (linéaire) pour des tensions proches de 0V (tensions entre les deux électrodes de l'élément capacitif C).

30 Selon un exemple de réalisation particulier, l'élément capacitif C ne comporte pas de tranchée s'étendant verticalement dans le caisson PW et comprenant une portion centrale conductrice enveloppée d'une enveloppe isolante et électriquement couplée avec la première électrode E1.

Ainsi, n'étant pas « découpée » par des tranchées, la région superficielle contre-implantée NS s'étend en surface du caisson PW en regard de la totalité de la première plaque P1.

5 La surface du caisson PW qui fait l'interface de la deuxième électrode E2 avec la première électrode E1 étant ainsi complètement recouverte par la région superficielle, la valeur capacitive de l'élément capacitif C est avantageusement linéaire à des tensions proches de 0V.

10 Plus la profondeur de la région superficielle contre-implantée NS est faible, plus l'apport de porteurs minoritaires sera localisé proche de l'interface entre le caisson PW et la première couche diélectrique OxT. Cela donne de meilleures performances.

Par exemple, la région superficielle contre-implantée NS a une profondeur inférieure à 10 nm, préférablement inférieure à 5 nm.

15 La région superficielle contre-implantée NS est électriquement reliée à la deuxième électrode E2 via une deuxième prise de contact N+ fortement dopée du deuxième type de conductivité, permettant un couplage ohmique peu résistif avec ladite région superficielle NS.

20 Ainsi, lors d'une polarisation des électrodes de l'élément capacitif C dans un régime d'accumulation, le caisson PW est polarisé à la tension de la deuxième électrode E2 via la première prise de contact P+ ; et lors d'une polarisation des électrodes de l'élément capacitif C dans un régime d'inversion, la région superficielle NS est polarisée à la tension de la deuxième électrode E2 via la deuxième prise de contact N+.

25 La figure 2 représente des exemples de caractéristiques de modes de réalisation de l'élément capacitif C.

30 Les caractéristiques représentées sont la valeur capacitive surfacique  $F/m^2$  en fonction de la tension  $V_{E1}-V_{E2}$  aux bornes de l'élément capacitif C pour différentes concentration en porteur minoritaire de la région superficielle contre-implantée NS.

Ces résultats correspondent à des contre-implantations de dopants de type N, tels que l'arsenic, dans un substrat en silicium de type P, pour former ladite région superficielle NS.

Les valeurs capacitives surfaciques  $F/m^2$  sont représentées sur une échelle allant de  $5fF/\mu m^2$  à  $9fF/\mu m^2$  (femtofarad par micromètre-carré), pour des tensions  $V_{E1}-V_{E2}$  aux bornes de l'élément capacitif C comprises entre -4V et +4V.

5 La courbe C1 correspond à un élément capacitif ne comportant pas de région superficielle contre-implantée.

La courbe C2 correspond à un élément capacitif comportant une région superficielle contre-implantée NS à une concentration surfacique de  $1,0 \cdot 10^{13} \text{ cm}^{-2}$ .

10 La courbe C3 correspond à un élément capacitif comportant une région superficielle contre-implantée NS à une concentration surfacique de  $2,0 \cdot 10^{13} \text{ cm}^{-2}$ .

La courbe C4 correspond à un élément capacitif comportant une région superficielle contre-implantée NS à une concentration surfacique de  $3,0 \cdot 10^{13} \text{ cm}^{-2}$ .

15 Les caractéristiques illustrées par les quatre courbes C1-C4 comportent chacune deux régimes stables, dits régime d'accumulation Acc pour des tensions sensiblement négatives et régime d'inversion Inv pour des tensions sensiblement positives, ainsi qu'un régime transitoire Trs entre lesdits régimes d'accumulation et d'inversion pour des tensions voisines de 0V.

20 Les valeurs capacitives surfaciques en régimes d'accumulation et d'inversion sont sensiblement constantes et égales, et le régime transitoire présente un creux aigu (c'est-à-dire un pic négatif) entre les deux régimes stables.

25 Pour chaque caractéristique C1-C4, la valeur capacitive minimale (c'est-à-dire dans le creux du pic négatif) est atteinte à la tension de seuil de l'élément capacitif correspondant.

30 Il est à noter que la courbe C1, bien que représentative d'une structure ne comportant pas de région superficielle contre-implantée, correspond selon cette caractéristique à une structure comportant une source de porteurs minoritaires telle que la deuxième prise de contact N+ seule. En l'absence de source de porteurs minoritaires telle que la deuxième prise de contact N+ seule, la valeur capacitive en régime

d'inversion a l'allure de la courbe C10, c'est-à-dire une valeur stable haute en régime d'accumulation et une valeur stable basse, inférieure à la valeur stable haute, en régime d'inversion, suivant un tracé ayant l'allure d'une fonction arc-cotangente.

5 Par exemple les régimes stables Acc, Inv présentent une valeur capacitive d'environ  $9\text{fF}/\mu\text{m}^2$ , et le creux du régime transitoire Trs descend jusqu'à sensiblement  $6\text{fF}/\mu\text{m}^2$  à  $5,5\text{fF}/\mu\text{m}^2$  à la tension de seuil respective.

10 Il apparaît sur les courbes C1-C4 de la figure 2 que la contre-implantation de la région superficielle NS a pour effet de réduire la valeur de la tension de seuil, proportionnellement à la concentration surfacique de ladite région superficielle NS.

15 La diminution de la valeur de la tension de seuil est accompagnée d'une translation vers la gauche (dans l'orientation de la figure 2) de toute la courbe considérée.

Ainsi, alors que la tension de seuil d'un élément capacitif ne comportant pas de région superficielle contre-implantée (courbe C1) est d'environ  $+0,7\text{V}$ , la tension de seuil d'un élément capacitif comportant une région superficielle contre-implantée NS à une concentration surfacique élevée (courbe C4), est d'environ  $-1,6\text{V}$ .

20 Aussi, la diminution de la tension de seuil permet de décaler le régime transitoire vers des tensions négatives (ici, pour la courbe C4, entre  $-2\text{V}$  et  $0\text{V}$ ) et ainsi obtenir une valeur capacitive stable en régime d'inversion à des tensions positives proches de  $0\text{V}$ .

25 En effet, selon des réalisations (par exemple tel que caractérisé par la courbe C4), la variation de valeur capacitive ne dépasse pas 5% de la valeur stable entre  $0\text{V}$  et  $0,5\text{V}$  et ne dépasse pas 10% de la valeur stable entre  $0\text{V}$  et  $4\text{V}$ .

30 La figure 3 représente un exemple de mode de réalisation dans lequel le circuit intégré CI comporte un condensateur de découplage Cdec, par exemple relié entre une borne d'alimentation et une borne de masse d'un composant du circuit intégré CI.

Ainsi, l'élément capacitif C peut appartenir au condensateur de découplage Cdec, notamment grâce à ses performances en matière de valeur capacitive surfacique et d'ubiquité.

5 En effet, le condensateur de découplage Cdec peut par exemple comprendre de multiples réalisations d'élément capacitifs C similaires à différents endroits du circuit intégré CI, couplés en parallèle afin d'obtenir une valeur capacitive souhaitée pour le condensateur de découplage Cdec.

10 La figure 4 représente un exemple de mode de réalisation dans lequel le circuit intégré CI comporte un circuit de compensation Comp, par exemple tel qu'une rétroaction filtrée par effet capacitif d'une valeur de sortie sur une valeur d'entrée.

15 Ainsi l'élément capacitif C peut appartenir à un circuit de compensation Comp appliqué à des signaux radiofréquences, notamment grâce à ses performances en matière de linéarité à des tensions faibles.

20 La figure 5 représente un exemple de mode de réalisation dans lequel le circuit intégré CI comporte une chaîne de réception RX de signal radiofréquence RF, comportant un montage de filtre, par exemple un filtre RC comportant un élément résistif R et un élément capacitif C.

25 Ainsi l'élément capacitif C peut appartenir au filtre RC de la chaîne de réception RX de signal radiofréquence RF notamment grâce à ses performances en matière de valeur capacitive surfacique et en matière de linéarité à des tensions faibles.

La figure 6 représente un exemple de mise en œuvre d'un procédé de fabrication d'un élément capacitif C d'une part, et d'autre part d'une cellule-mémoire.

30 En effet, les étapes de fabrication de l'élément capacitif C peuvent s'inscrire dans des étapes de fabrication prévues pour une cellule-mémoire comportant un transistor à grille flottante.

Selon un mode de mise en œuvre, le procédé de fabrication d'un élément capacitif C comprend une formation d'une première électrode, une formation d'une deuxième électrode et une formation

d'une région diélectrique inter-électrodes séparant électriquement la première électrode et la deuxième électrode.

5 Les formations de la première électrode, de la deuxième électrode et de la région diélectrique inter électrodes ne sont pas mises en œuvre en tant que telles l'une à la suite de l'autre, mais comportent évidemment des sous-étapes de fabrication intriquées et résultant au fur et à mesure à la réalisation desdites électrodes, séparées par une région diélectrique inter-électrodes.

10 Une mise en œuvre de la formation de la première électrode comporte une formation d'une première plaque électriquement conductrice 613 sur un caisson semiconducteur d'un premier type de conductivité.

15 Une mise en œuvre de la formation de la deuxième électrode comporte une formation d'une deuxième plaque électriquement conductrice 615 sur la première plaque et une implantation 611 d'une région superficielle fortement dopée d'un deuxième type de conductivité opposé au premier type de conductivité sous la première plaque et en surface du caisson.

20 Une mise en œuvre de la formation d'une région diélectrique 612, 614 inter-électrodes comporte une formation d'une première couche diélectrique 612 entre la première plaque conductrice et la région superficielle, et une formation d'une deuxième couche diélectrique 614 entre la première plaque conductrice et la deuxième plaque conductrice.

25 Une mise en œuvre du procédé comprend en outre une formation 616 d'une première prise de contact fortement dopée du premier type de conductivité destinée à relier électriquement le caisson avec la deuxième électrode, et d'une deuxième prise de contact fortement dopée du deuxième type de conductivité destinée à relier électriquement la région superficielle avec la deuxième électrode.

30 Ces sous-étapes sont par exemple exécutées dans l'ordre illustré par la figure 6, selon un mode de mise en œuvre avantageusement adapté à un circuit intégré comportant une mémoire non-volatile.

Au cours d'une première étape 601, l'implantation d'une région superficielle 611 est mise en œuvre dans un caisson du substrat destiné à accueillir l'élément capacitif C.

5 Au cours de la première étape 601, est également mise en œuvre, simultanément dans un autre caisson destiné à accueillir une cellule-mémoire non volatile comportant un transistor à grille flottante, une contre-implantation 621 au niveau de la région de canal du futur transistor à grille flottante.

10 L'implantation de la région superficielle 611 et la contre-implantation 621 de la région de canal présentent exactement les mêmes caractéristiques. Par exemple les contre-implantations 611, 621 sont réalisées à une énergie de 20 keV et à une concentration surfacique de  $3,0 \cdot 10^{13} \text{ cm}^{-2}$ , et sont configurées pour former une région superficielle d'épaisseur inférieure à 10 nm, préférablement  
15 inférieure à 5 nm.

Par ailleurs, selon un mode de mise en œuvre, ladite implantation de la région superficielle 611 est réalisée sur l'ensemble de la surface du caisson située en regard de la future première plaque électriquement conductrice.

20 Ainsi, seul le masque à partir duquel est réalisée la contre-implantation 621 de la cellule-mémoire doit être adapté pour mettre en œuvre l'implantation de la région superficielle 611 de l'élément capacitif au cours de la première étape 601 commune.

Au cours d'une deuxième étape 602, la formation de la première couche diélectrique 612 de l'élément capacitif est mise en œuvre simultanément avec une formation d'un diélectrique tunnel 622 d'un transistor à grille flottante de cellule-mémoire.

25 Par exemple, une épaisseur de 7 nm d'oxyde de silicium  $\text{SiO}_2$  est crue sur les parties découvertes du substrat (dites régions actives) au cours de la deuxième étape 602.  
30

Au cours d'une troisième étape 603, la formation de la première plaque conductrice 613 de l'élément capacitif est mise en œuvre simultanément avec une formation d'une grille flottante 623 du transistor à grille flottante de la cellule-mémoire.

Par exemple, la troisième étape 603 comporte un dépôt et une gravure de silicium polycristallin dopé.

De même, seul le masque à partir duquel est réalisée la formation de la grille flottante 623 de la cellule-mémoire doit être adapté pour mettre en œuvre la formation de la première plaque conductrice 613 de l'élément capacitif au cours de la troisième étape 603 commune.

Au cours d'une quatrième étape 604, la formation de la deuxième couche diélectrique 614 de l'élément capacitif est mise en œuvre simultanément avec une formation d'un diélectrique de grille de commande 624 haute tension d'un transistor à grille flottante de cellule-mémoire.

Par exemple, un empilement « ONO » de couches de dioxyde de silicium  $\text{SiO}_2$ , de nitrure de silicium  $\text{Si}_3\text{N}_4$  et de dioxyde de silicium  $\text{SiO}_2$  est formé sur la première plaque et sur la grille flottante au cours de la quatrième étape 604.

Au cours d'une cinquième étape 605, la formation de la deuxième plaque conductrice 615 de l'élément capacitif est mise en œuvre simultanément avec une formation d'une grille de commande 625 du transistor à grille flottante de la cellule-mémoire.

Par exemple, la cinquième étape 605 comporte un dépôt et une gravure de silicium polycristallin dopé.

De même, seul le masque à partir duquel est réalisée la formation de la grille de commande 625 de la cellule-mémoire doit être adapté pour mettre en œuvre la formation de la deuxième plaque conductrice 615 de l'élément capacitif au cours de la cinquième étape 605 commune.

Au cours d'une sixième étape 606, la formation des prises de contacts 616 de l'élément capacitif est mise en œuvre simultanément avec une formation de prises de contact du type régions de drains ou de source 626 d'un transistor à grille flottante de cellule-mémoire, ou d'une autre partie du circuit intégré.

En effet, par exemple, la deuxième prise de contact  $\text{N}^+$  de l'élément capacitif peut être formée simultanément avec les régions de

source et de drain du deuxième type de conductivité du transistor à grille flottante.

5 Cela étant, une autre partie du circuit intégré, par exemple une partie logique de commande de cellules-mémoires, peut comporter des constructions du type MOS complémentaires, et ainsi nécessiter des prises de contacts fortement implantées à la fois du premier type de conductivité et du deuxième type de conductivité.

10 La connexion électrique de la deuxième plaque électriquement conductrice, du caisson semiconducteur, et de la région superficielle formant la deuxième électrode peut être réalisée par exemple par des contacts électriques passants dans les premiers niveaux d'interconnexions (habituellement désignés par l'acronyme « FEOL » pour « Front End Of Line »).

15 Ainsi, il a été décrit un mode de mise en œuvre d'un procédé de fabrication d'un élément capacitif qui ne requiert que d'adapter certaines étapes de masquage d'un exemple de procédé de fabrication de cellule-mémoire comportant un transistor à grille flottante. Le procédé est ainsi gratuit en matière d'étapes de fabrication et de coût de production lorsqu'il est inscrit dans un procédé prévoyant une fabrication de telles cellules-mémoire.

20 Par ailleurs l'invention n'est pas limitée à ces modes de réalisation et de mise en œuvre mais embrasse toutes les variantes, les valeurs numériques des caractéristiques de l'élément capacitif n'ayant pas de vocation limitative au sens stricte, mais indiquent un ordre de grandeur, par exemple à 10% de la valeur donnée, 25 préférablement 5%, en outre, le procédé selon l'invention décrit en relation avec la figure 6 s'applique bien entendu sans la réalisation simultanée d'une cellule-mémoire.

## REVENDICATIONS

1. Circuit intégré comprenant un caisson semiconducteur d'un premier type de conductivité (PW), et au moins un élément capacitif (C) comprenant :

5                    une première électrode comportant une première plaque (P1) électriquement conductrice située au-dessus du caisson semiconducteur d'un premier type de conductivité (PW) ;

                    une deuxième électrode comportant une deuxième plaque (P2) électriquement conductrice au-dessus de la première plaque, et une  
10 région superficielle (NS) fortement dopée d'un deuxième type de conductivité opposé au premier type de conductivité située dans le et en surface du caisson et sous la première plaque ; et

                    une région diélectrique (OxT, OxG) inter-électrodes séparant la première électrode et la deuxième électrode.

15                    2. Circuit intégré selon la revendication 1, dans lequel ladite région superficielle (NS) s'étend en surface du caisson (PW) en regard de la totalité de la première plaque (P1).

                    3. Circuit intégré selon l'une des revendications précédentes, dans lequel ladite région superficielle (NS) a une épaisseur inférieure  
20 à 10 nm, préférablement inférieure à 5 nm.

                    4. Circuit intégré selon l'une des revendications précédentes, dans lequel ladite région diélectrique comporte une première couche diélectrique (OxT) entre la première plaque conductrice et la région superficielle, et une deuxième couche diélectrique (OxG) entre la  
25 première plaque conductrice et la deuxième plaque conductrice.

                    5. Circuit intégré selon l'une des revendications précédentes, dans lequel l'élément capacitif (C) comprend une première prise de contact (P+) fortement dopée du premier type de conductivité reliant électriquement le caisson avec la deuxième électrode, et une deuxième  
30 prise de contact (N+) fortement dopée du deuxième type de conductivité reliant électriquement la région superficielle avec la deuxième électrode.

5 6. Circuit intégré selon l'une des revendications précédentes, comprenant un condensateur de découplage (Cdec), et/ou un circuit de compensation (Comp), et/ou un filtre (FT) de chaîne de réception (RX) de signal radiofréquence, incorporant respectivement ledit au moins un élément capacitif (C).

7. Procédé de fabrication d'un élément capacitif (C) comprenant :

10 - une formation d'une première électrode comportant une formation (613) d'une première plaque (P1) électriquement conductrice sur un caisson semiconducteur (PW) d'un premier type de conductivité,

15 - une formation d'une deuxième électrode comportant une formation (615) d'une deuxième plaque (P2) électriquement conductrice sur la première plaque et une implantation (611) d'une région superficielle (NS) fortement dopée d'un deuxième type de conductivité opposé au premier type de conductivité sous la première plaque et en surface du caisson, et

20 - une formation (612, 614) d'une région diélectrique (OxT, OxG) inter-électrodes séparant électriquement la première électrode et la deuxième électrode.

8. Procédé selon la revendication 7, dans lequel ladite implantation de la région superficielle (NS) est réalisée sur l'ensemble de la surface du caisson (PW) en regard de la première plaque (P1).

25 9. Procédé selon l'une des revendications 7 ou 8, dans lequel ladite implantation de la région superficielle (NS) est configurée pour former ladite région superficielle (NS) d'épaisseur inférieure à 10 nm, préférablement inférieure à 5 nm.

30 10. Procédé selon la revendication 9, dans lequel ladite implantation de la région superficielle (NS) est réalisée à une énergie de 20 keV et à une concentration surfacique de  $3,0 \cdot 10^{13} \text{ cm}^{-2}$ .

11. Procédé selon l'une des revendications 7 à 10, dans lequel ladite formation de la région diélectrique comporte une formation (612) d'une première couche diélectrique (OxT) entre la première plaque conductrice et la région superficielle, et une formation (614)

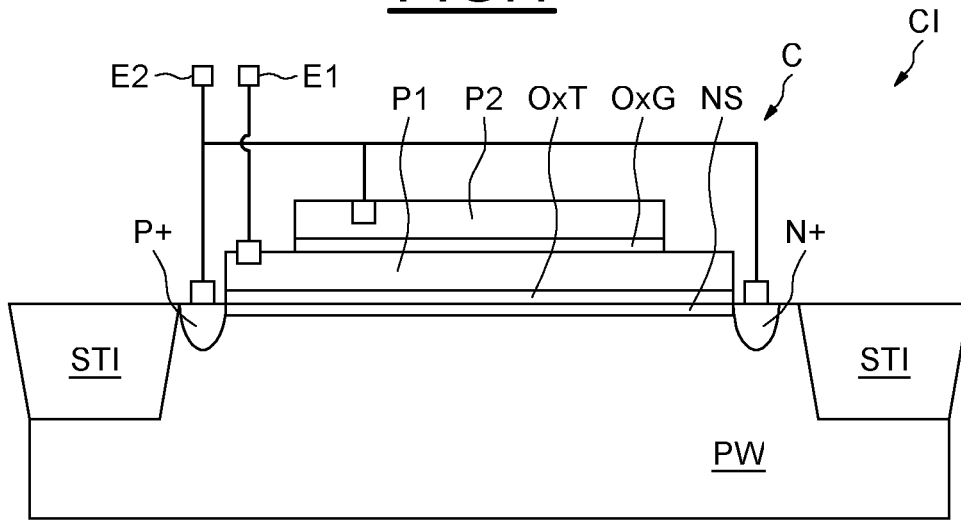
d'une deuxième couche diélectrique (OxG) entre la première plaque conductrice et la deuxième plaque conductrice.

5 12. Procédé selon l'une des revendications 7 à 11, comprenant une formation (616) d'une première prise de contact (P+) fortement dopée du premier type de conductivité destinée à relier électriquement le caisson avec la deuxième électrode, et d'une deuxième prise de contact (N+) fortement dopée du deuxième type de conductivité destinée à relier électriquement la région superficielle avec la deuxième électrode.

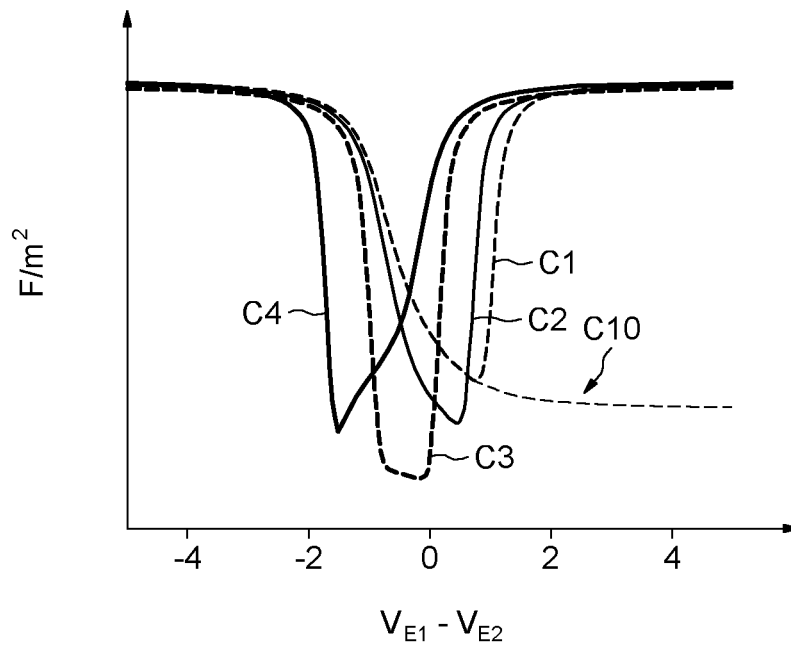
10 13. Procédé selon l'une des revendications 7 à 12, dans lequel : ladite formation d'une première plaque (613) électriquement conductrice appartient à une étape (603) comportant en outre et de façon commune une formation d'une grille flottante (623) d'un transistor à grille flottante ; ladite formation d'une deuxième plaque (615) électriquement conductrice appartient à une étape (605) comportant en outre et de façon commune une formation d'une grille de commande (625) du transistor à grille flottante ; ladite implantation (611) d'une région superficielle appartient à une étape (601) comportant en outre et de façon commune une contre-implantation (621) dans une région de canal du transistor à grille flottante ; et ladite formation d'une région diélectrique (612, 614) inter-électrodes appartient à des étapes (602, 604) comportant en outre et de façon commune des formations de couches diélectriques du transistor à grille flottante (622, 624).

25

1/3  
**FIG.1**



**FIG.2**



2/3  
FIG.3

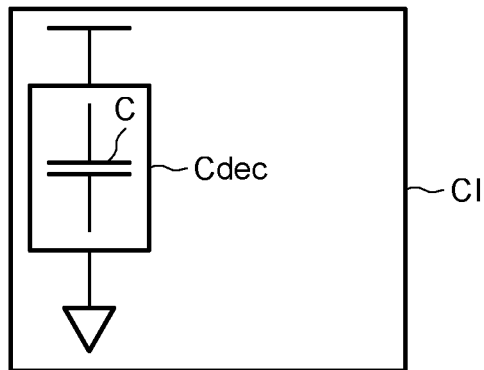


FIG.4

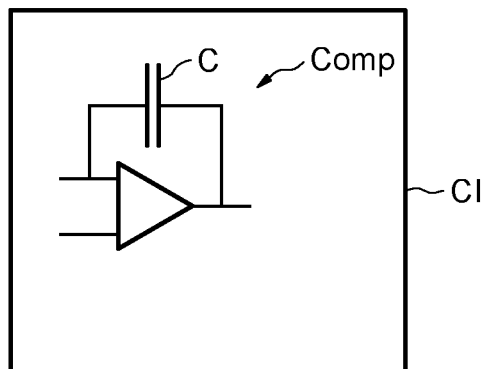
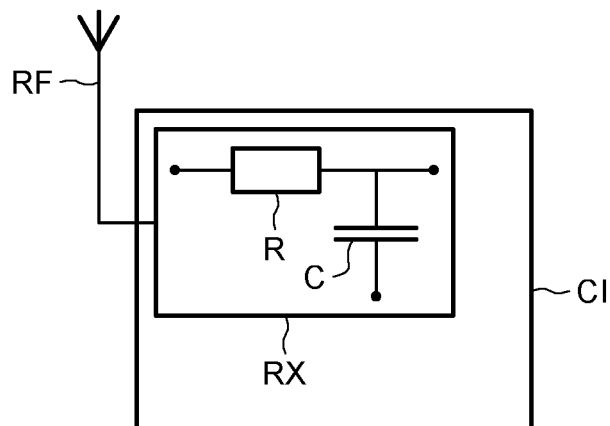
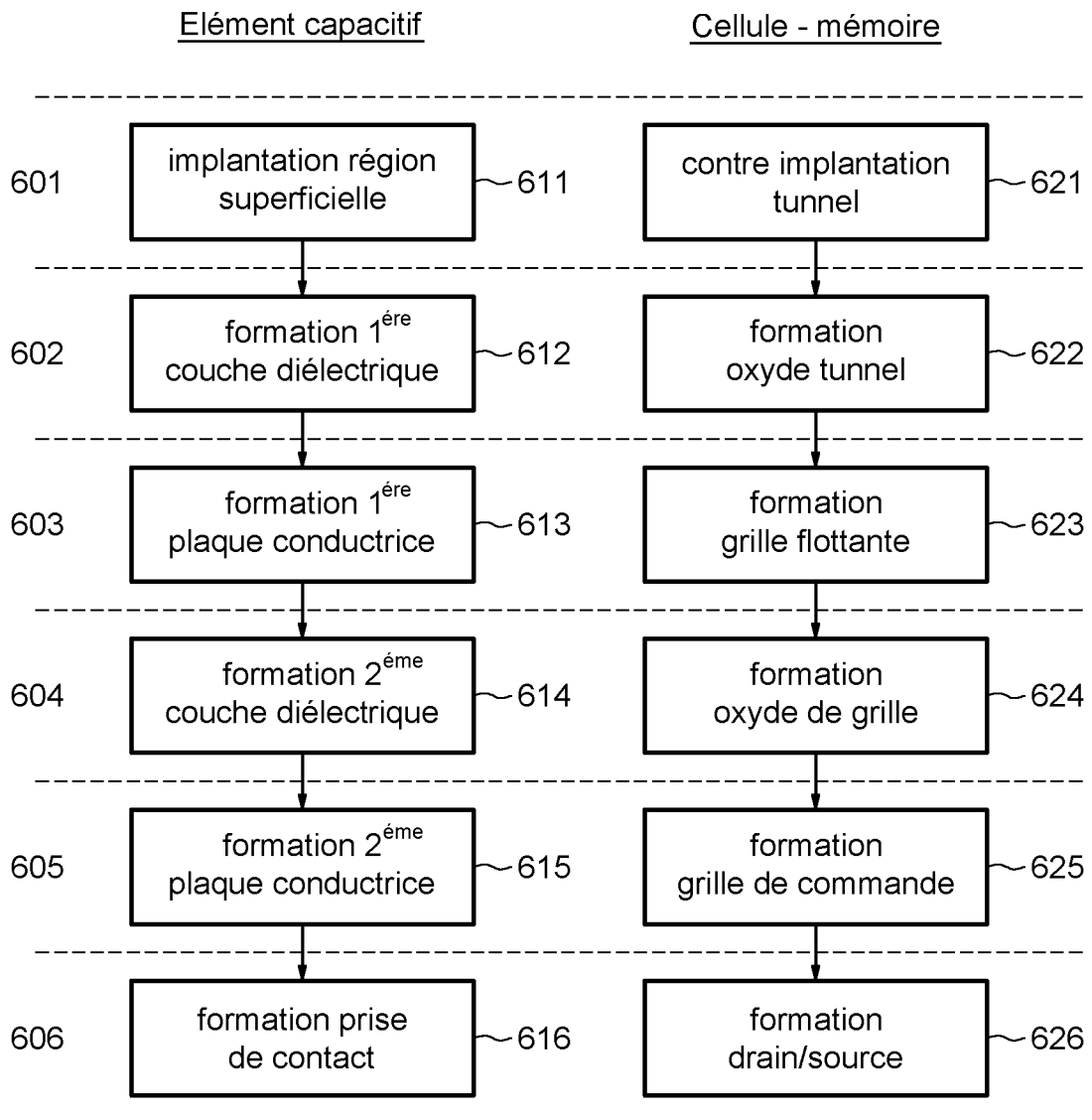


FIG.5



3/3  
FIG.6



# RAPPORT DE RECHERCHE

articles L.612-14, L.612-53 à 69 du code de la propriété intellectuelle

## OBJET DU RAPPORT DE RECHERCHE

---

L'I.N.P.I. annexe à chaque brevet un "RAPPORT DE RECHERCHE" citant les éléments de l'état de la technique qui peuvent être pris en considération pour apprécier la brevetabilité de l'invention, au sens des articles L. 611-11 (nouveau) et L. 611-14 (activité inventive) du code de la propriété intellectuelle. Ce rapport porte sur les revendications du brevet qui définissent l'objet de l'invention et délimitent l'étendue de la protection.

Après délivrance, l'I.N.P.I. peut, à la requête de toute personne intéressée, formuler un "AVIS DOCUMENTAIRE" sur la base des documents cités dans ce rapport de recherche et de tout autre document que le requérant souhaite voir prendre en considération.

## CONDITIONS D'ETABLISSEMENT DU PRESENT RAPPORT DE RECHERCHE

---

Le demandeur a présenté des observations en réponse au rapport de recherche préliminaire.

Le demandeur a maintenu les revendications.

Le demandeur a modifié les revendications.

Le demandeur a modifié la description pour en éliminer les éléments qui n'étaient plus en concordance avec les nouvelles revendications.

Les tiers ont présenté des observations après publication du rapport de recherche préliminaire.

Un rapport de recherche préliminaire complémentaire a été établi.

## DOCUMENTS CITES DANS LE PRESENT RAPPORT DE RECHERCHE

---

La répartition des documents entre les rubriques 1, 2 et 3 tient compte, le cas échéant, des revendications déposées en dernier lieu et/ou des observations présentées.

Les documents énumérés à la rubrique 1 ci-après sont susceptibles d'être pris en considération pour apprécier la brevetabilité de l'invention.

Les documents énumérés à la rubrique 2 ci-après illustrent l'arrière-plan technologique général.

Les documents énumérés à la rubrique 3 ci-après ont été cités en cours de procédure, mais leur pertinence dépend de la validité des priorités revendiquées.

Aucun document n'a été cité en cours de procédure.

**1. ELEMENTS DE L'ETAT DE LA TECHNIQUE SUSCEPTIBLES D'ETRE PRIS EN  
CONSIDERATION POUR APPRECIER LA BREVETABILITE DE L'INVENTION**

JP 2009 065031 A (SANYO ELECTRIC CO; SANYO  
SEMICONDUCTOR CO LTD)  
26 mars 2009 (2009-03-26)

US 2003/057510 A1 (ISHII MOTOHARU [JP])  
27 mars 2003 (2003-03-27)

US 2014/034999 A1 (KOREC JACEK [US])  
6 février 2014 (2014-02-06)

**2. ELEMENTS DE L'ETAT DE LA TECHNIQUE ILLUSTRANT L'ARRIERE-PLAN  
TECHNOLOGIQUE GENERAL**

NEANT

**3. ELEMENTS DE L'ETAT DE LA TECHNIQUE DONT LA PERTINENCE DEPEND  
DE LA VALIDITE DES PRIORITES**

NEANT