



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0119213  
(43) 공개일자 2013년10월31일

(51) 국제특허분류(Int. C1..)

*H01L 29/78* (2006.01) *H01L 21/336* (2006.01)

(21) 출원번호 10-2012-0042194

(22) 출원일자 2012년04월23일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

김명철

경기 수원시 영통구 매탄1동 현대홈타운 110동  
2104호

김철

경기 화성시 반송동 솔빛마을경남아너스빌아파트  
407동 803호

(뒷면에 계속)

(74) 대리인

권혁수, 송윤호, 오세준

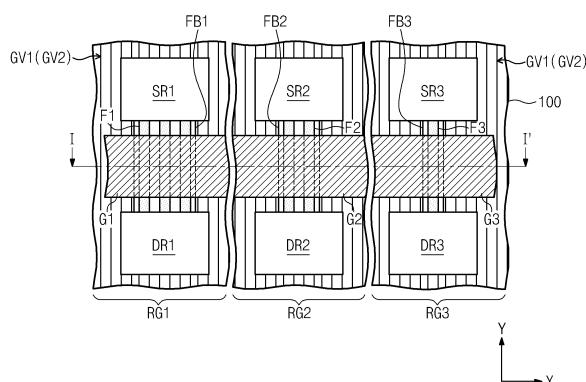
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 전계 효과 트랜지스터

### (57) 요 약

전계 효과 트랜지스터가 제공된다. 기판 상의 소스 영역 및 드레인 영역 및 상기 기판의 상면으로부터 돌출된 핀 베이스가 제공된다. 상기 핀 베이스로부터 위로 연장되고 상기 소스 영역과 상기 드레인 영역을 연결하는 복수의 핀 부분들 및 상기 핀 부분들 상의 게이트 전극이 제공된다. 상기 핀 부분들과 상기 게이트 전극 사이에 게이트 유전막이 제공된다.

대 표 도 - 도2



(72) 발명자

서재훈

경기 수원시 권선구 곡반정동 538-15번지 504호

이유정

경기 용인시 기흥구 구갈동 강남마을코오롱하늘채  
아파트 501동 2401호

장기수

경기 용인시 기흥구 상하동 강남마을한라비발디아  
파트 906동 1406호

최시영

경기 성남시 분당구 수내1동 양지마을한양아파트  
524동 503호

---

## 특허청구의 범위

### 청구항 1

기판 상의 소스 영역 및 드레인 영역;

상기 기판의 상면으로부터 돌출된 핀 베이스;

상기 핀 베이스로부터 위로 연장되고 상기 소스 영역과 상기 드레인 영역을 연결하는 복수의 핀 부분들;

상기 핀 부분들 상의 게이트 전극; 및

상기 핀 부분들과 상기 게이트 전극 사이의 게이트 유전막을 포함하는 전계 효과 트랜지스터.

### 청구항 2

제 1 항에 있어서,

상기 핀 베이스의 두께는 상기 핀 부분들 사이로 연장되는 제 1 트렌치의 깊이의 절반 이상인 전계 효과 트랜지스터.

### 청구항 3

제 1 항에 있어서,

상기 기판의 상면은 상기 핀 베이스의 양 측에 제공되는 그루브들을 포함하는 전계 효과 트랜지스터.

### 청구항 4

제 3 항에 있어서,

상기 그루브들은 돌출부들 및 핵몰부들을 포함하고, 상기 돌출부들은 상기 핀 부분들의 연장 방향을 따라 연장되는 전계 효과 트랜지스터.

### 청구항 5

제 4 항에 있어서,

상기 핀 부분들 사이의 제 1 트렌치들을 더 포함하고,

상기 돌출부들의 상면은 상기 제 1 트렌치들의 하면 보다 낮은 전계 효과 트랜지스터.

### 청구항 6

제 4 항에 있어서,

상기 핀 부분들 사이의 제 1 트렌치들을 더 포함하고,

상기 돌출부들의 상면은 상기 제 1 트렌치들의 하면보다 높은 전계 효과 트랜지스터.

### 청구항 7

제 1 항에 있어서,

상기 복수의 핀 부분들은 하나의 소스 영역 및 하나의 드레인 영역과 연결되는 전계 효과 트랜지스터.

### 청구항 8

기판의 상면으로부터 연장되는 적어도 하나의 핀 부분;

상기 핀 부분의 상부를 노출하는 소자 분리막;

상기 핀 부분 상에 제공되고 상기 핀 부분들의 연장방향과 교차하는 게이트 전극; 및

상기 핀 부분과 상기 게이트 전극 사이의 게이트 유전막을 포함하고,

상기 기판의 상면은 돌출부들 및 함몰부들을 포함하는 그루브들을 포함하고, 상기 돌출부들은 상기 핀 부분의 연장 방향을 따라 연장되는 전계 효과 트랜지스터.

### 청구항 9

제 8 항에 있어서,

상기 핀 부분은 제 1 트렌치에 의하여 상호 이격되는 복수의 핀 부분들을 포함하고,

상기 전계 효과 트랜지스터는 상기 기판의 상면으로부터 돌출되고 상기 복수의 핀 부분들의 하면과 연결되는 핀 베이스를 더 포함하는 전계 효과 트랜지스터.

### 청구항 10

제 9 항에 있어서,

상기 복수의 핀 부분들은 하나의 소스 영역과 하나의 드레인 영역을 연결하고,

상기 복수의 핀 부분들은 실질적으로 동일한 폭을 갖는 전계 효과 트랜지스터.

## 명세서

### 기술분야

[0001] 본 발명은 전계 효과 트랜지스터에 관한 것으로, 보다 상세히는 핀 전계 효과 트랜지스터에 관한 것이다.

### 배경기술

[0002] 소형화, 다기능화 및/또는 낮은 제조 단가 등의 특성들로 인하여 반도체 소자는 전자 산업에서 중요한 요소로 각광 받고 있다. 반도체 소자들은 논리 데이터를 저장하는 반도체 기억 소자, 논리 데이터를 연산 처리하는 반도체 논리 소자, 및 기억 요소와 논리 요소를 포함하는 하이브리드(hybrid) 반도체 소자 등으로 구분될 수 있다. 전자 산업이 고도로 발전함에 따라, 반도체 소자의 특성들에 대한 요구가 점점 증가되고 있다. 예컨대, 반도체 소자에 대한 고 신뢰성, 고속화 및/또는 다기능화 등에 대하여 요구가 점점 증가되고 있다. 이러한 요구 특성들을 충족시키기 위하여 반도체 소자 내 구조들은 점점 복잡해지고 있으며, 또한, 반도체 소자는 점점 고집적화되고 있다.

### 발명의 내용

#### 해결하려는 과제

[0003] 본 발명이 해결하고자 하는 과제는 전기적 특성을 향상시킬 수 있는 전계 효과 트랜지스터를 제공하는데 있다.

[0004] 본 발명이 해결하고자 하는 다른 과제는 실질적으로 동일한 폭을 갖는 복수의 핀 부분을 포함하는 전계 효과 트랜지스터를 제공하는데 있다.

#### 과제의 해결 수단

[0005] 상기 과제를 달성하기 위한 본 발명에 따른 전계 효과 트랜지스터는, 기판 상의 소스 영역 및 드레인 영역; 상기 기판의 상면으로부터 돌출된 핀 베이스; 상기 핀 베이스로부터 위로 연장되고 상기 소스 영역과 상기 드레인 영역을 연결하는 복수의 핀 부분들; 상기 핀 부분들 상의 게이트 전극; 및 상기 핀 부분들과 상기 게이트 전극 사이의 게이트 유전막을 포함할 수 있다.

[0006] 일 실시예에 있어서, 상기 핀 베이스의 두께는 상기 핀 부분들 사이로 연장되는 제 1 트렌치의 깊이의 절반 이상일 수 있다.

[0007] 일 실시예에 있어서, 상기 기판의 상면은 상기 핀 베이스의 양 측에 제공되는 그루브들을 포함할 수 있다.

[0008] 일 실시예에 있어서, 상기 그루브들은 돌출부 및 함몰부를 포함하고, 상기 돌출부는 상기 핀 부분들의 연장 방향을 따라 연장될 수 있다.

- [0009] 일 실시예에 있어서, 상기 핀 부분들 사이의 제 1 트렌치들을 더 포함하고, 상기 돌출부의 상면은 상기 제 1 트렌치들의 하면 보다 낮을 수 있다.
- [0010] 일 실시예에 있어서, 상기 핀 부분들 사이의 제 1 트렌치들을 더 포함하고, 상기 돌출부의 상면은 상기 제 1 트렌치들의 하면보다 높을 수 있다.
- [0011] 일 실시예에 있어서, 상기 핀 부분들의 상부를 노출하는 소자 분리막을 더 포함하고, 상기 소자 분리막은 상기 그루브들의 상면을 덮을 수 있다.
- [0012] 일 실시예에 있어서, 상기 복수의 핀 부분들은 하나의 소스 영역 및 하나의 드레인 영역과 연결될 수 있다.
- [0013] 일 실시예에 있어서, 기판의 상면으로부터 연장되는 적어도 하나의 핀 부분; 상기 핀 부분의 상부를 노출하는 소자 분리막; 상기 핀 부분 상에 제공되고 상기 핀 부분들의 연장방향과 교차하는 게이트 전극; 및 상기 핀 부분과 상기 게이트 전극 사이의 게이트 유전막을 포함하고, 상기 기판의 상면은 돌출부들 및 함몰부들을 포함하는 그루브들을 포함하고, 상기 돌출부들은 상기 핀 부분의 연장 방향을 따라 연장될 수 있다.
- [0014] 일 실시예에 있어서, 상기 소자 분리막은 상기 돌출부들의 상면을 덮을 수 있다.
- [0015] 일 실시예에 있어서, 상기 핀 부분은 제 1 트렌치에 의하여 상호 이격되는 복수의 핀 부분들을 포함하고, 상기 전계 효과 트랜지스터는 상기 기판의 상면으로부터 돌출되고 상기 복수의 핀 부분들의 하면과 연결되는 핀 베이스를 더 포함할 수 있다.
- [0016] 일 실시예에 있어서, 상기 핀 베이스의 상면을 정의하는 상기 제 1 트렌치의 하면은 상기 돌출부의 상면보다 높을 수 있다.
- [0017] 일 실시예에 있어서, 상기 핀 베이스의 상면을 정의하는 상기 제 1 트렌치의 하면은 상기 돌출부의 상면보다 낮을 수 있다.
- [0018] 일 실시예에 있어서, 상기 복수의 핀 부분들은 하나의 소스 영역과 하나의 드레인 영역을 연결하고, 상기 복수의 핀 부분들은 실질적으로 동일한 폭을 가질 수 있다.
- [0019] 일 실시예에 있어서, 상기 제 1 영역 상의 핀 부분의 개수는 상기 제 2 영역 상의 핀 부분의 개수와 다를 수 있다.

### 발명의 효과

- [0020] 본 발명의 실시예들에 따르면, 전기적 특성을 향상시킬 수 있는 전계 효과 트랜지스터를 제공할 수 있다. 본 발명의 실시예들에 따르면, 실질적으로 균일한 폭을 갖는 핀 부분들을 포함하는 전계 효과 트랜지스터를 제공할 수 있다.

### 도면의 간단한 설명

- [0021] 도 1은 본 발명의 일 실시예에 따른 전계 효과 트랜지스터를 제조하기 위한 공정 흐름도이다.  
도 2는 본 발명의 일 실시예에 따른 전계 효과 트랜지스터의 평면도이다.  
도 3 내지 도 13은 본 발명의 일 실시예에 따른 전계 효과 트랜지스터의 제조 방법을 설명하기 위한 단면도들로  
도 2의 I-I'선에 따른 단면도들이다.  
도 14는 본 발명의 비교례에 따른 전계 효과 트랜지스터의 형성 공정을 도시하는 도면이다.  
도 15 및 도 16은 본 발명의 다른 실시예에 따른 전계 효과 트랜지스터의 제조 방법을 설명하기 위한 단면도들  
로 도 2의 I-I'선에 따른 단면도들이다.  
도 17은 본 발명의 실시예들에 따른 핀 전계 효과 트랜지스터를 포함하는 전자 시스템의 블록도이다.

### 발명을 실시하기 위한 구체적인 내용

- [0022] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은

청구항의 범주에 의해 정의될 뿐이다. 명세서 전문에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

- [0023] 본 명세서에서, 도전성막, 반도체막, 또는 절연성막 등의 어떤 물질막이 다른 물질막 또는 기판"상"에 있다고 언급되는 경우에, 그 어떤 물질막은 다른 물질막 또는 기판상에 직접 형성될 수 있거나 또는 그들 사이에 또 다른 물질막이 개재될 수도 있다는 것을 의미한다. 또 본 명세서의 다양한 실시예들에서 제 1, 제 2, 제 3 등의 용어가 물질막 또는 공정 단계를 기술하기 위해서 사용되었지만, 이는 단지 어느 특정 물질막 또는 공정 단계를 다른 물질막 또는 다른 공정 단계와 구별시키기 위해서 사용되었을 뿐이며, 이 같은 용어들에 대해서 한정되어서는 안된다.
- [0024] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다 (comprises)' 및/또는 '포함하는(comprising)'은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0025] 또한, 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 예시도인 단면도 및/또는 평면도들을 참고하여 설명될 것이다. 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 예를 들면, 직각으로 도시된 쇠각 영역은 라운드지거나 소정 곡률을 가지는 형태일 수 있다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이며 발명의 범주를 제한하기 위한 것이 아니다.
- [0026] 도 1은 본 발명의 일 실시예에 따른 전계 효과 트랜지스터를 제조하기 위한 공정 흐름도이다. 도 2는 본 발명의 일 실시예에 따른 전계 효과 트랜지스터의 평면도이다. 도 3 내지 도 13은 본 발명의 일 실시예에 따른 전계 효과 트랜지스터의 제조 방법을 설명하기 위한 단면도들로 도 2의 I-I' 선에 따른 단면도들이다.
- [0027] 도 2 및 도 3을 참조하여, 기판(100) 상에 마스크층 및 희생 패턴(130)이 차례로 형성될 수 있다. 상기 기판(100)은 실리콘, 게르마늄, 실리콘-게르마늄 등을 포함하는 반도체 기판일 수 있다. 상기 기판(100)은 제 1 영역(RG1), 제 2 영역(RG2), 및 제 3 영역(RG3)을 포함할 수 있다. 상기 제 1 내지 제 3 영역들(RG1-RG3)은 서로 다른 문턱 전압이 요구되는 영역일 수 있다.
- [0028] 일 예로, 상기 마스크층은 제 1 마스크층(110), 제 2 마스크층(120)을 포함할 수 있다. 일 예로, 상기 제 1 마스크층(110)은 실리콘 질화막 또는 실리콘 산화질화막을 포함할 수 있고, 상기 제 2 마스크층(120)은 다결정 실리콘층을 포함할 수 있다. 상기 희생 패턴들(130)은 제 3 마스크 패턴(140)을 쇠각 마스크로하여 희생층(미도시)을 패터닝하여 형성될 수 있다. 일 예로, 상기 희생 패턴들(130)은 비정질 탄소를 포함하는 층 및/또는 유기 평탄화층(Organic Planarization Layer:OPL)을 포함할 수 있다. 상기 희생 패턴들(130)은 Y 방향을 따라 연장되는 라인 형상일 수 있으며, 실질적으로 동일한 폭을 가질 수 있다. 상기 희생 패턴들(130) 사이의 거리(D1)는 상기 제 1 내지 제 3 영역들(RG1-RG3)에서 실질적으로 동일할 수 있다.
- [0029] 도 2 및 도 4를 참조하여, 상기 희생 패턴들(130)의 측벽들 상에 스페이서 마스크 패턴들(150)이 형성될 수 있다. 일 예로, 상기 스페이서 마스크 패턴들(150)은 상기 희생 패턴들(130)이 형성된 결과물을 실질적으로 콘포멀하게 덮는 절연층을 형성한 후, 전식 쇠각 공정을 수행하여 형성될 수 있다. 일 예로, 상기 스페이서 마스크 패턴들(150)은 실리콘 산화막, 실리콘 산화질화막 또는 실리콘 질화막 중 적어도 하나를 포함할 수 있다. 상기 스페이서 마스크 패턴들(150)은 상기 희생 패턴들(130)의 상면을 노출할 수 있다. 상기 제 1 및 제 2 마스크층들(110, 120), 상기 희생 패턴들(130), 및 상기 스페이서 마스크 패턴들(150)은 화학적 기상 증착(Chemical Vapor Deposition:CVD), 물리적 기상 증착(Physical Vapor Deposition: PVD) 또는 원자층 증착(Atomic Layer Deposition: ALD)과 같은 증착 기술로 형성될 수 있다.
- [0030] 도 2 및 도 5를 참조하여, 상기 희생 패턴들(130)이 제거될 수 있다. 상기 희생 패턴들(130)의 제거는 선택적 쇠각 공정을 포함할 수 있다. 상기 희생 패턴들(130)의 제거에 의하여 상기 제 2 마스크층(120)의 상면을 노출하는 리세스 영역(155)이 형성될 수 있다. 상기 스페이서 마스크 패턴들(150) 사이의 거리(D2)는 실질적으로 동일할 수 있다. 상기 스페이서 마스크 패턴들(150) 사이의 거리(D2)는 도 3의 상기 희생 패턴들(130) 사이의 거리(D1)보다 작을 수 있다.
- [0031] 도 2 및 도 6을 참조하여, 상기 스페이서 마스크 패턴들(150)을 쇠각 마스크로하여 상기 제 1 마스크층(110) 및 상기 제 2 마스크층(120)이 패터닝되어 제 1 마스크 패턴들(111) 및 제 2 마스크 패턴들(121)이 형성될 수

있다. 상기 패터닝 공정은 플라즈마 식각(plasma etching) 공정 또는 활성 이온 식각(Reactive Ion Etching: RIE) 공정과 같은 이방성 식각을 포함할 수 있다. 상기 제 1 마스크 패턴들(111)은 상기 기판(100)의 상면을 노출할 수 있다.

[0032] 도 1, 도 2 및 도 7을 참조하여, 상기 제 1 및 제 2 마스크 패턴들(111, 121)을 식각 마스크로 상기 기판(100)이 식각되어 복수의 핀 부분들이 형성될 수 있다(S1). 상기 복수의 핀 부분들은 상기 제 1 영역(RG1) 상의 제 1 핀 부분들(F1), 상기 제 2 영역(RG2) 상의 제 2 핀 부분들(F2), 상기 3 영역(RG3) 상의 제 3 핀 부분들(F3)을 포함할 수 있다. 상기 제 1 내지 제 3 핀 부분들(F1-F3)은 소정의 깊이(T1)를 갖는 제 1 트렌치들(TC1)에 의하여 상호 이격될 수 있다. 상기 식각 공정의 진행 중, 상기 제 2 마스크 패턴들(121)이 함께 제거될 수 있으며, 상기 제 1 마스크 패턴들(111)의 상부도 함께 제거될 수 있다. 상기 핀 부분들(F1-F3)은 실질적으로 동일한 폭을 가질 수 있다.

[0033] 도 2 및 도 8을 참조하여, 상기 핀 부분들(F1-F3)이 형성된 결과물 상에 블록 마스크층(170), 제 4 마스크층(165) 및 제 5 마스크 패턴들(161-163)이 형성될 수 있다. 일 예로, 상기 블록 마스크층(170)은 비정질 탄소를 포함하는 층 및/또는 유기 평탄화층을 포함할 수 있다. 상기 블록 마스크층(170)은 상기 제 1 트렌치들(TC1)을 채울 수 있다. 일 예로, 상기 제 4 마스크층(165)은 실리콘 산화질화막, 실리콘 산화막, 및 실리콘 질화막 중 적어도 하나를 포함할 수 있으며, 상기 제 5 마스크 패턴들(161-163)은 포토 레지스트층을 포함할 수 있다. 일 예로, 상기 제 5 마스크 패턴들(161-163)의 폭은 상기 제 1 내지 제 3 영역들(RG1-RG3) 상에 각각 다르게 형성될 수 있다. 일 예로 상기 제 1 영역(RG1) 상의 제 5 마스크 패턴(161)은 3개의 상기 제 1 핀 부분들(F1)을 덮도록 형성되고, 상기 제 2 영역(RG2) 상의 제 5 마스크 패턴(162)은 2개의 상기 제 2 핀 부분들(F2)을 덮도록 형성될 수 있다. 상기 제 3 영역(RG3) 상의 제 5 마스크 패턴(162)은 1개의 상기 제 3 핀 부분(F3)을 덮도록 형성될 수 있다. 상기 제 5 마스크 패턴들(161-163)의 형태는 이에 한정되지 않으며, 반도체 소자의 용도, 크기, 및 문턱 전압 등을 고려하여 다양한 형태로 변형될 수 있다. 일 예로, 상기 제 5 마스크 패턴들(161-163)의 폭은 실질적으로 동일하게 형성될 수 있다.

[0034] 도 2 및 도 9를 참조하여, 상기 제 5 마스크 패턴들(161-163)을 식각 마스크로하여, 상기 제 4 마스크층(165) 및 상기 블록 마스크층(170)이 패터닝될 수 있다. 그 결과 복수의 핀 부분들(F1-F3) 중 일부를 덮는 블록 마스크 패턴들(171-173)이 형성될 수 있다(S2). 즉, 상기 블록 마스크 패턴들(171-173)은 상기 제 1 내지 제 3 핀 부분들(F1-F3)의 형성 이후에 형성된다. 상기 패터닝 공정은 선택적 식각 공정을 포함할 수 있다. 상기 제 1 영역(RG1) 상에는 3개의 제 1 핀 부분들(F1)을 덮는 제 1 블록 마스크 패턴(171)이 형성되고, 상기 제 2 영역(RG2) 상에는 2개의 제 2 핀 부분들(F2)을 덮는 제 2 블록 마스크 패턴(172)이 형성되고, 상기 제 3 영역(RG3) 상에는 1개의 제 3 핀 부분(F3)을 덮는 제 3 블록 마스크 패턴(173)이 형성될 수 있다. 이 후, 상기 제 5 마스크 패턴들(161-163)은 제거될 수 있다.

[0035] 도 1, 도 2 및 도 10을 참조하여, 상기 블록 마스크 패턴들(171-173)에 의하여 노출된 상기 핀 부분들(F1-F3)이 식각될 수 있다(S3). 본 식각 공정에 의하여, 상기 블록 마스크 패턴들(171-173)에 의하여 노출된 영역에 제 2 트렌치들(TC2)이 형성될 수 있다. 상기 제 4 마스크층(165)은 본 식각 공정에 의하여 제거될 수 있다. 상기 제 2 트렌치들(TC2)의 하면은 상기 제 1 트렌치들(TC1)의 하면보다 소정의 거리(T2)만큼 낮게 형성될 수 있다. 본 실시예에 있어서, 상기 제 2 트렌치들(TC2)의 하면으로부터 상기 제 1 트렌치들(TC1)의 하면 사이의 거리(T2)는 상기 제 1 트렌치들(TC1)의 깊이(T1)의 절반 이상일 수 있다. 상기 제 2 트렌치들(TC2)의 형성에 의하여, 상기 기판(100)의 상면으로부터 돌출되고 상기 복수의 핀 부분들(F1-F3)과 연결되는 핀 베이스들(fin bases, FB1-FB3)이 형성될 수 있다. 이하, 본 명세서에서 상기 기판(100)의 상면은 상기 제 2 트렌치들(TC2)의 하면을 지칭한다. 상기 핀 베이스들(FB1-FB3)은 상기 제 1 트렌치들(TC1)의 하면 및 상기 제 2 트렌치들(TC2)에 의하여 정의되는 영역일 수 있다. 본 실시예에 있어서, 제 1 핀 베이스(FB1)는 3개의 제 1 핀 부분들(F1)과 연결되고, 제 2 핀 베이스(FB2)는 2개의 제 2 핀 부분들(F2)과 연결되고, 상기 제 3 핀 베이스(FB3)는 1개의 제 3 핀 부분(F3)과 연결될 수 있다. 상기 핀 베이스들(FB1-FB3)의 두께는 상기 제 2 트렌치들(TC2)의 하면으로부터 상기 제 1 트렌치들(TC1)의 하면 사이의 거리(T2)에 상응할 수 있다. 본 실시예에 있어서, 상기 핀 베이스들(FB1-FB3)의 두께(T2)는 상기 제 1 트렌치들(TC1)의 깊이의 절반 이상일 수 있다.

[0036] 상기 제 2 트렌치들(TC2)의 하면을 이루는 상기 기판(100)의 상면은 돌출부들 및 함몰부들을 포함하는 그루브들(grooves, GV1)을 포함할 수 있다. 상기 그루브들(GV1)은 상기 핀 베이스들(FB1-FB3) 각각의 양 측에 형성될 수 있다. 상기 그루브들(GV1)은 도 9에 도시된 상기 블록 마스크 패턴들(171-173)에 의하여 노출된 핀 부분들(F1-F3)의 프로파일에 기인한 구조일 수 있다. 그 결과, 상기 돌출부들은 상기 핀 부분들(F1-F3)의 연장 방향(즉, 도 2의 Y 방향)을 따라 연장될 수 있다. 상기 돌출부들 사이의 간격은 상기 핀 부분들(F1-F3) 사이의 간격과 실

질적으로 동일하거나 그보다 작을 수 있다.

[0037] 도 2, 도 11 및 도 12를 참조하여, 상기 블록 마스크 패턴들(171-173)이 제거될 수 있다. 상기 제거 공정에 의하여 상기 복수의 핀 부분들(F1-F3) 및 상기 제 1 마스크 패턴들(111)이 노출될 수 있다. 상기 제거 공정은 선택적 식각 공정을 포함할 수 있다. 이 후, 상기 제 1 마스크 패턴들(111)이 제거될 수 있다. 상기 블록 마스크 패턴들(171-173) 및 상기 제 1 마스크 패턴들(111)이 제거된 결과물 상에 소자 분리막(101)이 형성될 수 있다. 상기 소자 분리막(101)은 상기 핀 부분들(F1-F3)의 상부를 노출할 수 있다. 일 예로, 상기 소자 분리막(101)은 상기 제 1 트렌치들(TC1)의 일부를 채울 수 있다. 상기 소자 분리막(101)은 고밀도 플라즈마 산화막, SOG막 (Spin On Glass Layer) 및/또는 CVD 산화막일 수 있다.

[0038] 도 1, 도 2 및 도 13을 참조하여, 상기 소자 분리막(101)이 형성된 결과물 상에 게이트 유전막들(181-183) 및 게이트 전극들(G1-G3)이 차례로 형성될 수 있다. 상기 게이트 유전막들(181-183)은 상기 소자 분리막(101)에 의하여 노출된 상기 핀 부분들(F1-F3)의 표면을 따라 형성될 수 있다. 상기 게이트 유전막들(181-183)은 실리콘 산화막 또는 실리콘 산화막보다 높은 유전 상수를 갖는 고유전체 물질을 포함할 수 있다. 일 예로, 상기 게이트 유전막들(181-183)은 HfO<sub>2</sub>, ZrO<sub>2</sub> 또는 Ta<sub>2</sub>O<sub>5</sub>를 포함할 수 있다. 상기 게이트 전극들(G1-G3)은 도핑된 반도체 물질, 금속, 도전성 금속 질화물, 및 금속-반도체 화합물 중 적어도 하나를 포함할 수 있다. 일 예로, 상기 게이트 전극들(G1-G3)은 TiN, TaN 등과 같은 도전성 금속 질화물을 포함할 수 있다.

[0039] 상기 제 1 내지 제 3 핀 부분들(F1-F3)은 실질적으로 상호 동일한 폭을 가질 수 있다. 도 14는 본 발명의 비교례에 따른 전계 효과 트랜지스터의 형성 공정을 도시하는 도면이다. 도 14에 있어서, 복수의 핀 부분들은 제 1 마스크 패턴들(111)을 이용한 식각 공정에 의하여 형성될 수 있다. 도시된 바와 같이, 제 1 영역(RG1)과 제 2 영역(RG2) 사이, 및 제 2 영역(RG2)과 제 3 영역(RG3) 사이의 제 3 트렌치들(TC3)의 폭은 제 1 트렌치들(TC1)의 폭에 비하여 크다. 일 예로, 상기 제 3 트렌치들(TC3)의 폭은 상기 제 1 트렌치들(TC1)의 폭의 수십 배 이상 일 수 있다. 이와 같은 트렌치들(TC1, TC3)의 폭의 차이에 기인하여, 상대적으로 폭이 좁은 상기 제 1 트렌치들(TC1)을 이루는 측벽들(SW1)과는 달리, 상대적으로 폭이 넓은 상기 제 3 트렌치들(TC3)을 이루는 측벽들(SW2)은 실질적으로 수직이 아닌 비스듬한 경사를 가질 수 있다. 이와 같은 현상은 HBr, Cl<sub>2</sub>와 같은 식각 가스가 서로 폭이 다른 상기 제 1 트렌치들(TC1) 및 상기 제 3 트렌치들(TC3) 내에 불균일하게 제공되는 것에 기인할 수 있다. 그 결과, 상기 제 3 트렌치들(TC3)에 의하여 일 측벽이 정의되는 제 5 핀 부분들(F5)은 상기 제 1 트렌치들(TC1)에 의하여 양 측벽들이 정의되는 제 4 핀 부분들(F4)과는 다른 폭을 가질 수 있다. 이와 같은 핀 부분들의 폭의 차이는 문턱 전압의 산포를 증가시킬 수 있으며, 복수의 핀 부분들을 이용한 멀티 핀 트랜지스터의 전기적 특성을 열화시킬 수 있다.

[0040] 본 발명의 실시예들에 따르면, 도 7에 도시된 바와 같이 실질적으로 동일한 폭을 갖는 핀 부분들(F1-F3) 형성한 후, 그 중 일부를 최종적으로 상기 소자 분리막(101) 상에 노출시킴으로써 상술한 핀 두께의 차이에 의한 문턱 전압 산포 및 전기적 특성의 열화를 방지할 수 있다.

[0041] 도 1, 도 2 및 도 13을 다시 참조하여, 본 발명의 일 실시예에 따른 전계 효과 트랜지스터가 설명된다.

[0042] 제 1 영역 내지 제 3 영역들(RG1-RG3)을 포함하는 기판(100)이 제공된다. 상기 제 1 영역 내지 제 3 영역들(RG1-RG3)은 서로 다른 문턱 전압이 요구되는 영역일 수 있다. 상기 기판(100)의 상면으로부터 돌출되는 핀 베이스들(FB1-FB3)이 제공되고, 상기 핀 베이스들(FB1-FB3)로부터 위로 연장되는 핀 부분들(F1-F3)이 제공될 수 있다. 상기 핀 부분들(F1-F3)의 X 방향으로의 폭은 실질적으로 동일할 수 있다. 일 실시예에 있어서, 복수의 핀들은 하나의 트랜지스터를 구성할 수 있다. 일 예로, 제 1 핀 부분들(F1)은 제 1 소스 영역(SR1)과 제 1 드레인 영역(DR1)을 연결하고, 상기 제 2 핀 부분들(F2)은 제 2 소스 영역(SR2)과 제 2 드레인 영역(DR2)을 연결할 수 있다. 이와는 달리 상기 제 3 핀 부분(F3)은 하나만 제공될 수 있다. 상기 제 1 내지 제 3 영역들(RG1-RG3)에 제공되는 핀 부분들의 개수는 반도체 소자의 용도, 형태 및 요구되는 문턱 전압을 고려하여 다양하게 변경될 수 있다.

[0043] 상기 소스 영역들(SR1-SR3) 및 상기 드레인 영역들(DR1-DR3)은 상기 기판(100)의 도전형과 다른 도전형을 갖는 불순물 영역일 수 있다. 일 예로, 상기 제 1 내지 제 3 영역들(RG1-RG3)이 NMOS 트랜지스터인 경우, 상기 기판(100)은 p형 불순물 영역을 포함할 수 있고, 상기 소스 영역들(SR1-SR3) 및 상기 드레인 영역들(DR1-DR3)은 n형 불순물 영역들일 수 있다. 다른 실시예에 있어서, 상기 제 1 내지 제 3 영역들(RG1-RG3) 중 적어도 하나는 NMOS 트랜지스터 영역이고 나머지는 PMOS 트랜지스터 영역일 수 있다.

[0044] 상기 핀 베이스들(FB1-FB3)은 상기 기판(100)의 상면으로부터 연장되는 측벽 및 상기 핀 부분들(F1-F3) 사이의

제 1 트렌치들(TC1)의 하면에 의하여 정의될 수 있다. 제 1 핀 베이스(FB1) 및 제 2 핀 베이스(FB2)는 복수의 핀 부분들(F1, F2)과 연결될 수 있다. 일 예로, 상기 제 1 핀 베이스(FB1)는 3개의 제 1 핀 부분들(F1)과 연결되고, 상기 제 2 핀 베이스(FB2)는 2개의 제 2 핀 부분들(F2)과 연결될 수 있다. 이와는 달리, 상기 제 3 핀 베이스(FB3)는 하나의 제 3 핀 부분(F3)과 연결될 수 있다. 본 실시예에 있어서, 상기 핀 베이스들(FB1-FB3)의 두께(T2)는 상기 제 1 트렌치들(TC1)의 깊이(T1)의 절반보다 클 수 있다. 일 예로, 상기 핀 베이스들(FB1-FB3)의 두께(T2)는 약700-약1500옹스트롱이고, 상기 제 1 트렌치들(TC1)의 깊이(T1)는 약500-약1400옹스트롱일 수 있다.

- [0045] 상기 기판(100) 상면은 상기 핀 베이스들(FB1-FB3)의 양 측에 제공되고 돌출부들 및 함몰부들을 포함하는 그루브들(GV1)을 포함할 수 있다. 상기 그루브들(GV1)의 돌출부는 상기 핀 부분들(F1-F3)의 연장 방향을 따라 연장될 수 있다. 상기 돌출부들의 폭은 상기 핀 부분들(F1-F3)의 폭과 실질적으로 동일하거나 이보다 작을 수 있다. 일 예로, 상기 그루브들(GV1)의 높이는 약30-300옹스트롱일 수 있다. 상기 그루브들(GV1)의 돌출부들의 상면은 상기 제 1 트렌치들(TC1)의 하면보다 낮을 수 있다.
- [0046] 상기 핀 부분들(F1-F3)의 상부를 노출하는 소자 분리막(101)이 제공될 수 있다. 상기 소자 분리막(101)은 상기 그루브들(GV1)을 덮고, 상기 제 1 트렌치들(TC1)의 하부를 채울 수 있다. 상기 핀 부분들(F1-F3) 상에 게이트 전극들(G1-G3)이 제공될 수 있고, 상기 게이트 전극들(G1-G3)과 상기 핀 부분들(F1-F3) 사이에 게이트 유전막들(181-183)이 제공될 수 있다.
- [0047] 본 발명의 일 실시예에 따르면, 실질적으로 동일한 핀 부분들의 폭을 갖는 전계 효과 트랜지스터를 제공할 수 있다.
- [0048] 도 15 및 도 16은 본 발명의 다른 실시예에 따른 전계 효과 트랜지스터의 제조 방법을 설명하기 위한 단면도들로 도 2의 I-I'선에 따른 단면도들이다. 설명의 간소화를 위하여 중복된 구성에 대한 설명은 생략될 수 있다.
- [0049] 도 2 및 도 15를 참조하여, 도 9를 참조하여 설명된 상기 블록 마스크 패턴들(171-173)에 의하여 노출된 핀 부분들(F1-F3)이 식각될 수 있다. 본 식각 공정에 의하여, 상기 블록 마스크 패턴들(171-173)에 의하여 노출된 영역에 제 2 트렌치들(TC2)이 형성될 수 있다. 상기 제 4 마스크층(165)은 본 식각 공정에 의하여 제거될 수 있다. 상기 제 2 트렌치들(TC2)의 하면은 상기 제 1 트렌치들(TC1)의 하면보다 소정의 거리(T3)만큼 낮게 형성될 수 있다. 본 실시예에 있어서, 상기 제 2 트렌치들(TC2)의 하면으로부터 상기 제 1 트렌치들(TC1)의 하면 사이의 거리(T3)는 상기 제 1 트렌치들(TC1)의 깊이(T1)의 절반 이하일 수 있다. 상기 제 2 트렌치들(TC2)의 형성에 의하여, 상기 기판(100)의 상면으로부터 돌출되고 상기 복수의 핀 부분들(F1-F3)과 연결되는 핀 베이스들(FB1'-FB3')이 형성될 수 있다. 상기 핀 베이스들(FB1'-FB3')의 두께는 상기 제 2 트렌치들(TC2)의 하면으로부터 상기 제 1 트렌치들(TC1)의 하면 사이의 거리(T3)에 상응할 수 있다. 본 실시예에 있어서, 상기 핀 베이스들(FB1'-FB3')의 두께(T3)는 상기 제 1 트렌치들(TC1)의 깊이의 절반 이하일 수 있다. 일 예로, 상기 핀 베이스들(FB1'-FB3')의 두께(T3)는 약250-약700옹스트롱이고, 상기 제 1 트렌치들(TC1)의 깊이(T1)는 약500-약1400옹스트롱일 수 있다.
- [0050] 상기 제 2 트렌치들(TC2)의 하면을 이루는 상기 기판(100)의 상면은 돌출부들 및 함몰부들을 포함하는 그루브들(GV2)을 포함할 수 있다. 상기 그루브들(GV2)은 상기 핀 베이스들(FB1'-FB3') 각각의 양 측에 형성될 수 있다. 상기 돌출부들은 상기 핀 부분들(F1-F3)의 연장 방향(즉, 도 2의 Y 방향)을 따라 연장될 수 있다. 상기 돌출부들 사이의 간격은 상기 핀 부분들(F1-F3) 사이의 간격과 실질적으로 동일하거나 그보다 클 수 있다. 상기 그루브들(GV2)의 돌출부들의 상면은 상기 제 1 트렌치들(TC1)의 하면보다 일정 높이(T4)만큼 높을 수 있다. 일 예로 상기 높이(T4)는 약 10~200옹스트롱일 수 있다. 이와 같은 상기 핀 베이스들(FB1'-FB3')의 두께 및 상기 그루브들(GV2)의 높이는 상기 제 2 트렌치들(TC2)의 형성을 위한 식각 공정의 깊이에 기인할 수 있다.
- [0051] 도 2 및 도 16을 참조하여, 상기 블록 마스크 패턴들(171-173)이 제거된 후, 소자 분리막(101)이 형성될 수 있다. 상기 소자 분리막(101)은 상기 핀 부분들(F1-F3)의 상부를 노출할 수 있다. 일 예로, 상기 소자 분리막(101)은 상기 제 1 트렌치들(TC1)의 일부를 채울 수 있다. 상기 소자 분리막(101)은 고밀도 플라즈마 산화막, SOG막(Spin On Glass Layer) 및/또는 CVD 산화막일 수 있다. 상기 소자 분리막(101)이 형성된 결과물 상에 게이트 유전막들(181-183) 및 게이트 전극들(G1-G3)이 차례로 형성될 수 있다.
- [0052] 본 발명의 실시예들에 따르면 실질적으로 동일한 폭을 갖는 핀 부분들을 형성할 수 있어 문턱 전압 산포 및 전기적 특성 열화를 방지할 수 있다.
- [0053] 도 17은 본 발명의 실시예들에 따른 핀 전계 효과 트랜지스터를 포함하는 전자 시스템의 블록도이다.

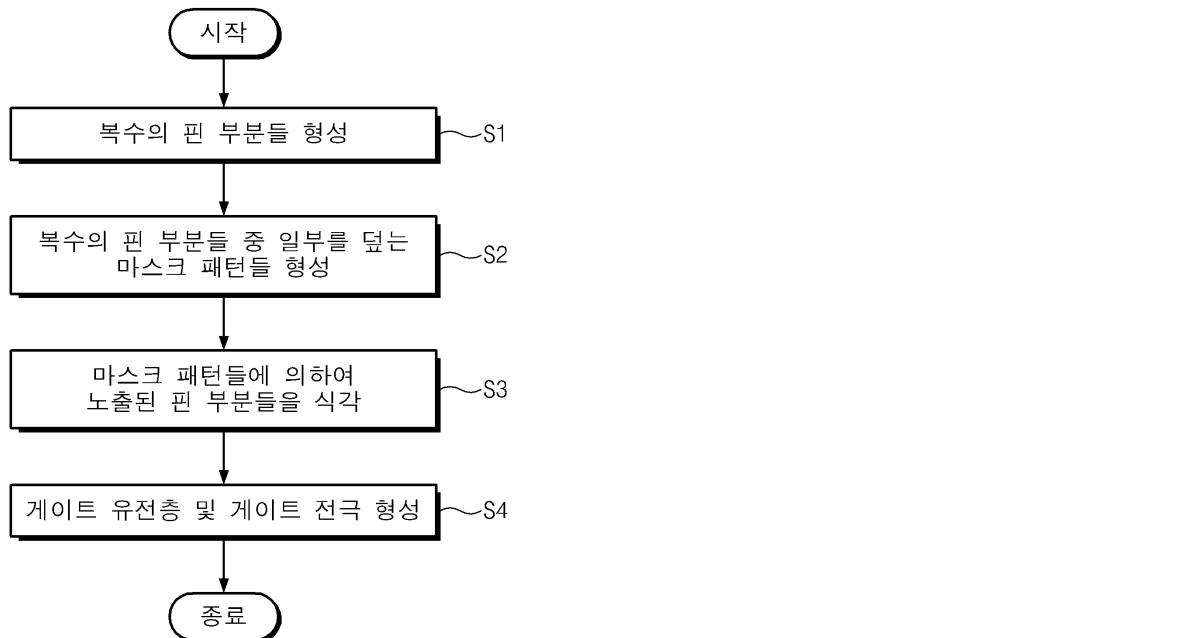
- [0054] 도 17을 참조하면, 본 발명의 실시예에 따른 전자 시스템(1100)은 컨트롤러(1110), 입출력 장치(1120, I/O), 기억 장치(1130, memory device), 인터페이스(1140) 및 버스(1150, bus)를 포함할 수 있다. 상기 컨트롤러(1110), 입출력 장치(1120), 기억 장치(1130) 및/또는 인터페이스(1140)는 상기 버스(1150)를 통하여 서로 결합될 수 있다. 상기 버스(1150)는 데이터들이 이동되는 통로(path)에 해당한다.
- [0055] 상기 컨트롤러(1110)는 마이크로프로세서, 디지털 신호 프로세스, 마이크로컨트롤러, 및 이들과 유사한 기능을 수행할 수 있는 논리 소자들 중에서 적어도 하나를 포함할 수 있다. 상기 입출력 장치(1120)는 키패드(keypad), 키보드 및 디스플레이 장치등을 포함할 수 있다. 상기 기억 장치(1130)는 데이터 및/또는 명령어등을 저장할 수 있다. 상기 인터페이스(1140)는 통신 네트워크로 데이터를 전송하거나 통신 네트워크로부터 데이터를 수신하는 기능을 수행할 수 있다. 상기 인터페이스(1140)는 유선 또는 무선 형태일 수 있다. 예컨대, 상기 인터페이스(1140)는 안테나 또는 유무선 트랜시버등을 포함할 수 있다. 도시하지 않았지만, 상기 전자 시스템(1100)은 상기 컨트롤러(1110)의 동작을 향상시키기 위한 동작 메모리로서, 고속의 디램 및/또는 에스램등을 더 포함할 수도 있다. 본 발명의 실시예들에 따른 편 전계효과 트랜지스터는 상기 기억 장치(1130) 내에 제공되거나, 상기 컨트롤러(1110), 상기 입출력 장치(1120, I/O) 등의 일부로 제공될 수 있다.
- [0056] 상기 전자 시스템(1100)은 개인 휴대용 정보 단말기(PDA, personal digital assistant) 포터블 컴퓨터(portable computer), 웹 태블렛(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 디지털 뮤직 플레이어(digital music player), 메모리 카드(memory card), 또는 정보를 무선환경에서 송신 및/또는 수신할 수 있는 모든 전자 제품에 적용될 수 있다.
- [0057] 이상, 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

### 부호의 설명

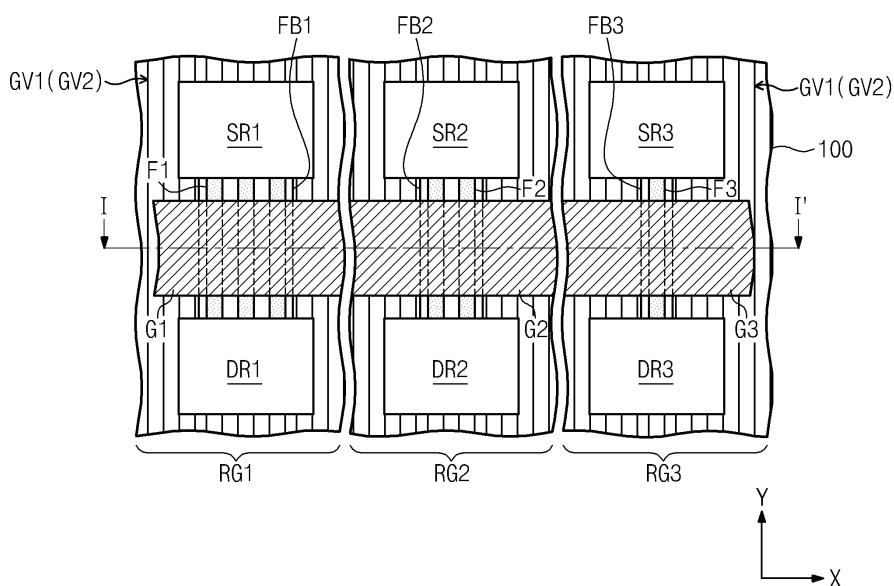
- [0058]
- 100: 기판
  - 101: 소자분리막
  - F1, F2, F3: 편 부분
  - FB1, FB2, FB3: 편 베이스
  - TC1, TC2, TC3: 트렌치
  - 173: 블록 마스크 패턴들
  - GV1, GV2: 그루브들
  - 181, 182, 183: 게이트 유전막
  - G1, G2, G3: 게이트 전극

## 도면

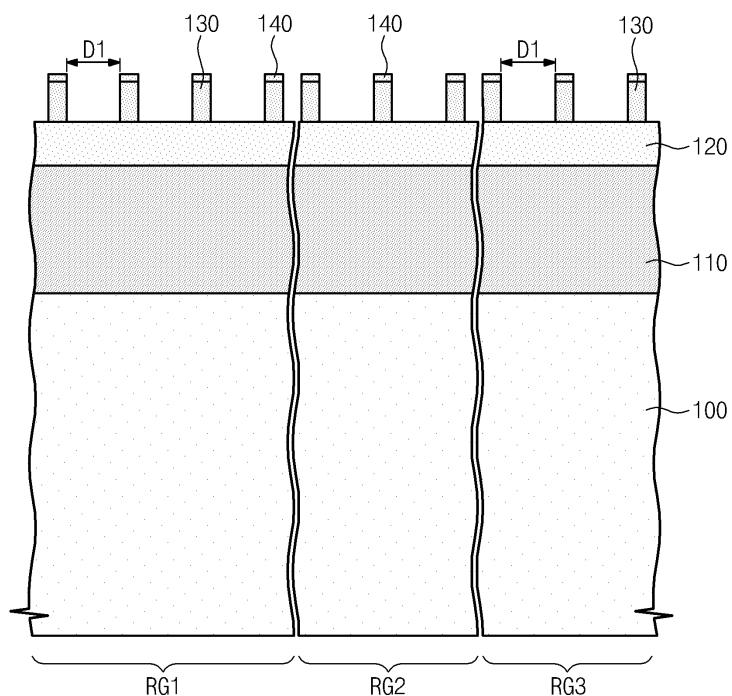
## 도면1



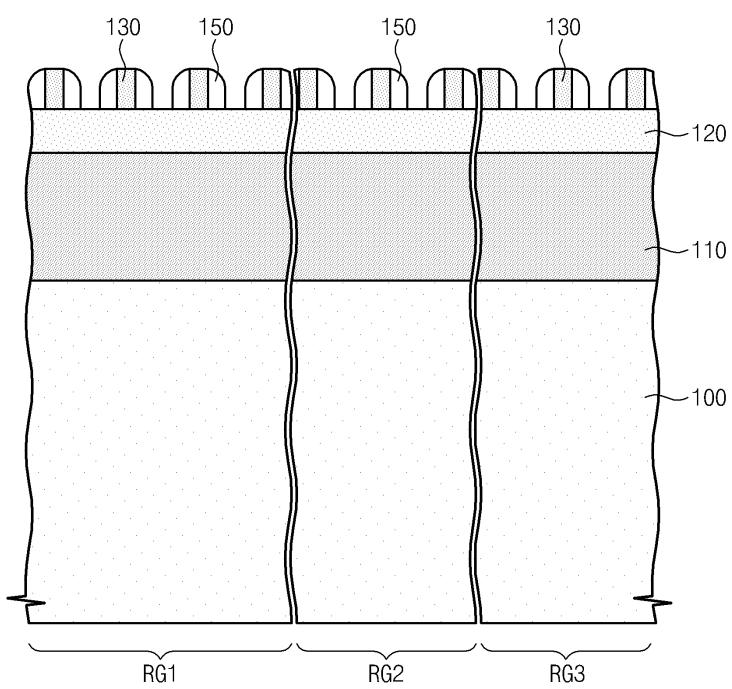
## 도면2



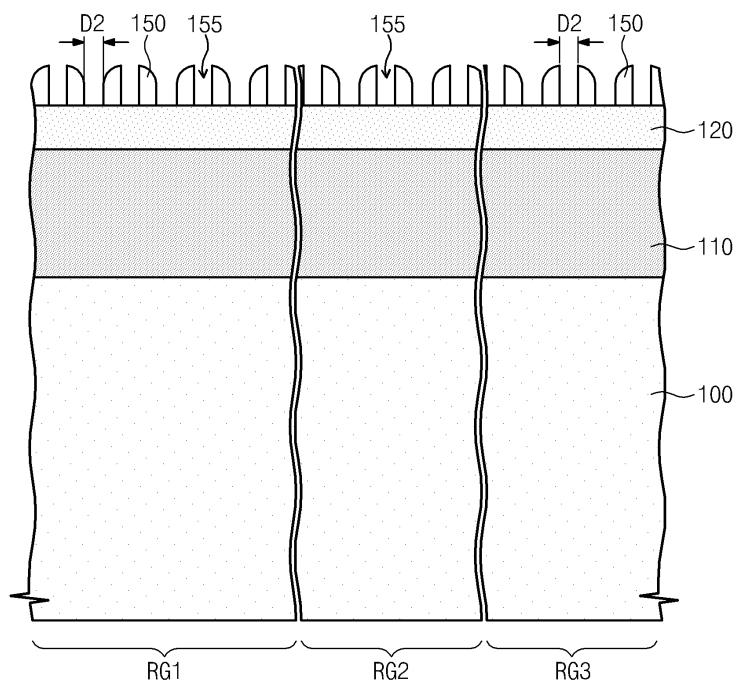
도면3



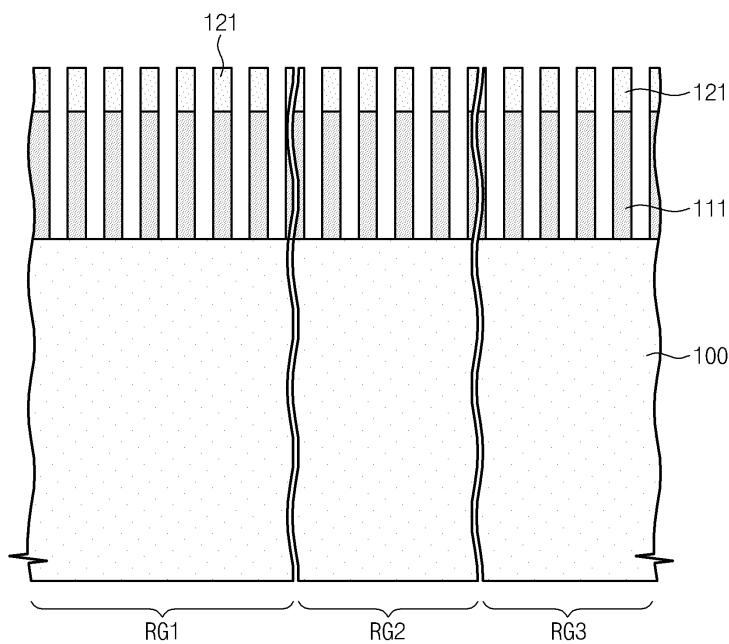
도면4



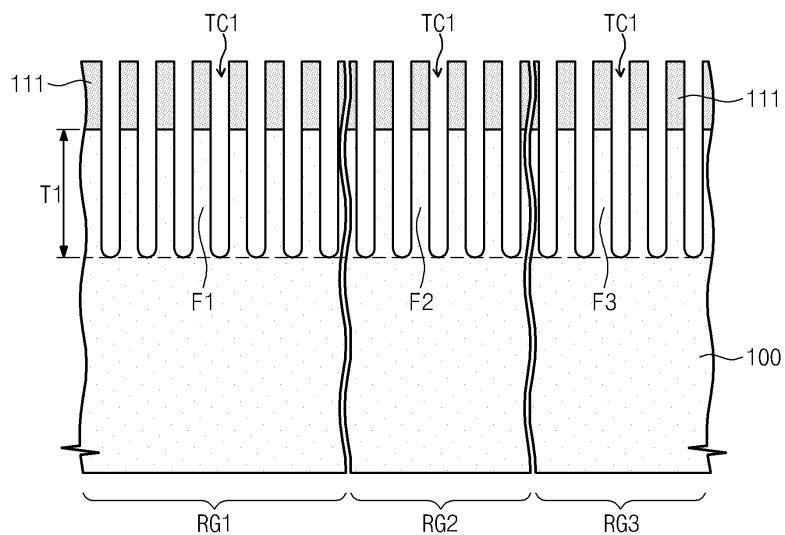
도면5



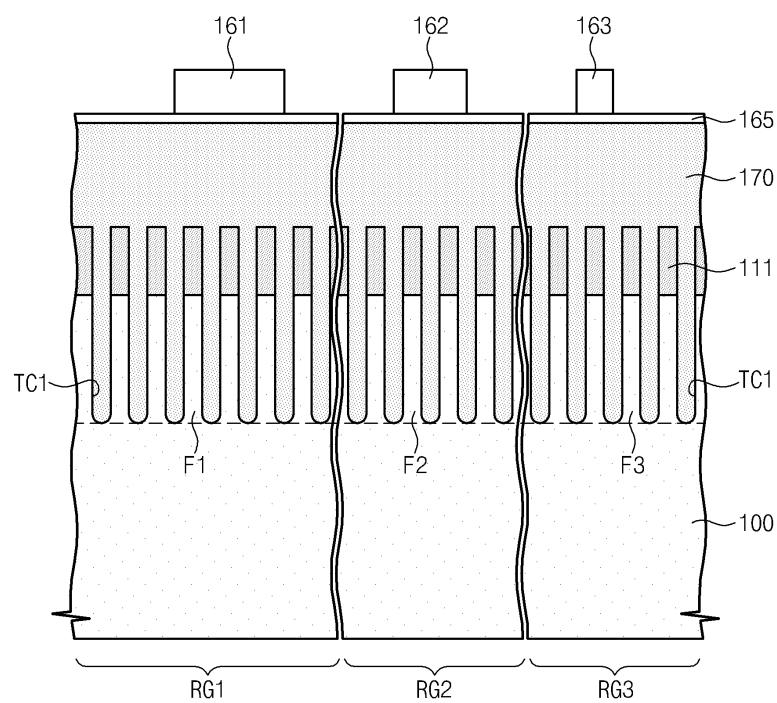
도면6



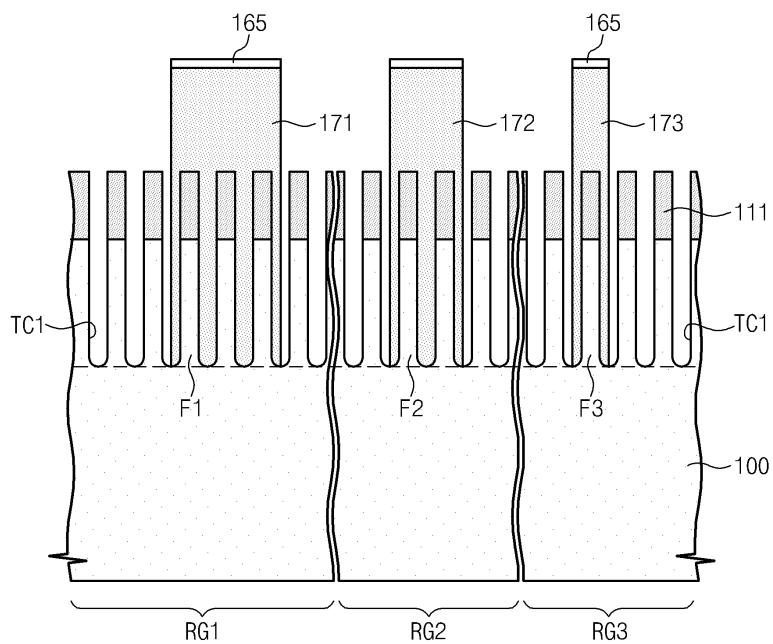
도면7



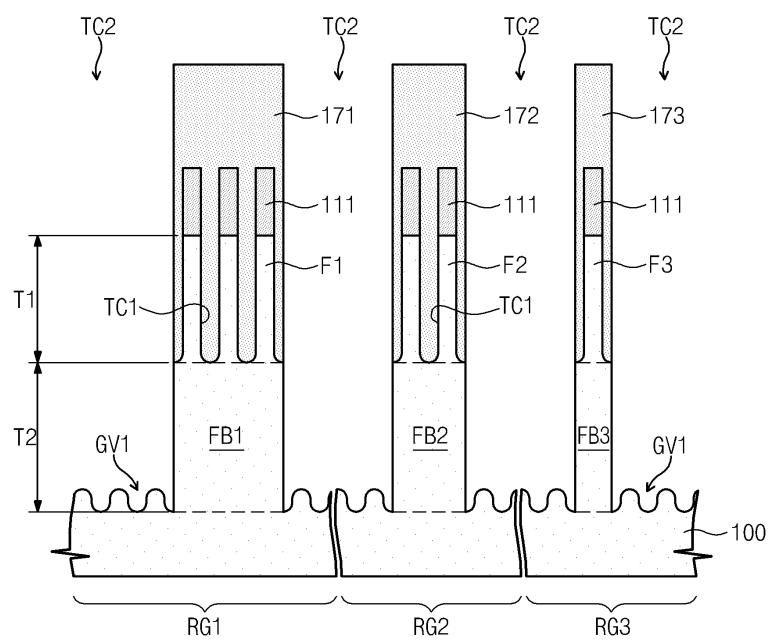
도면8



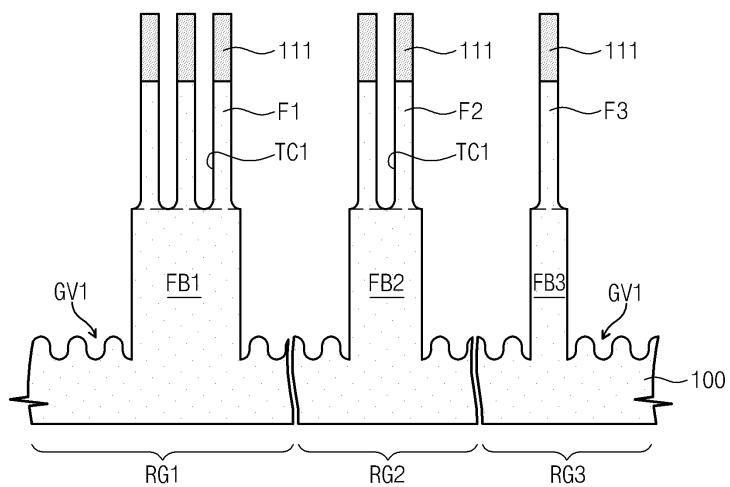
도면9



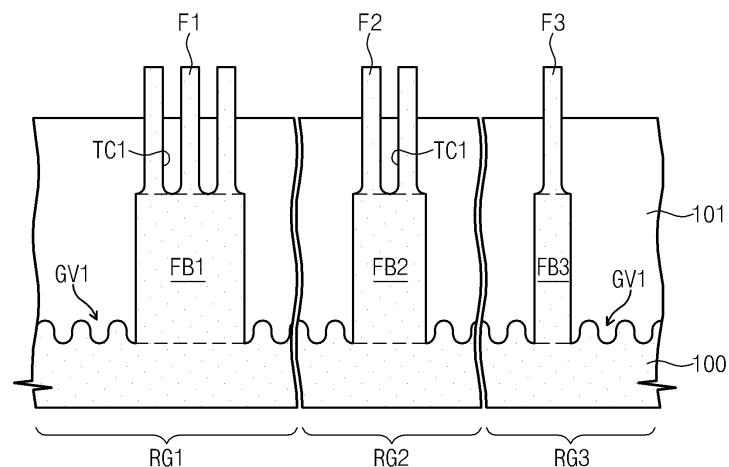
도면10



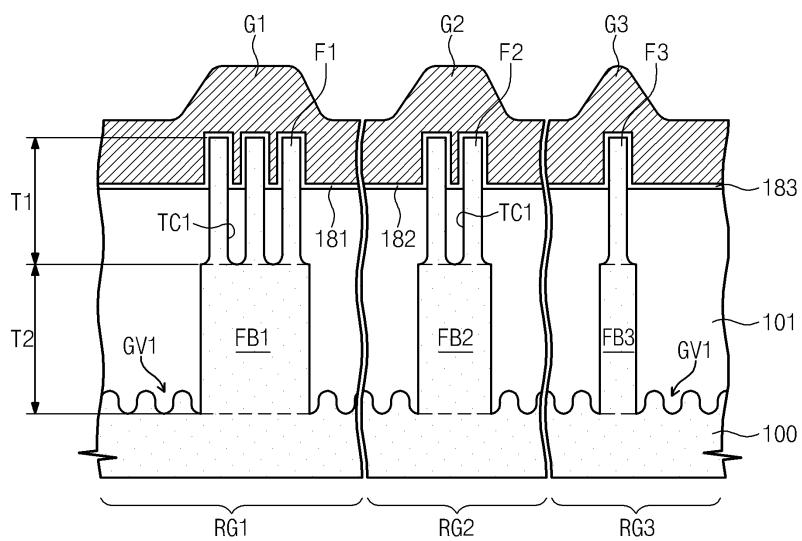
도면11



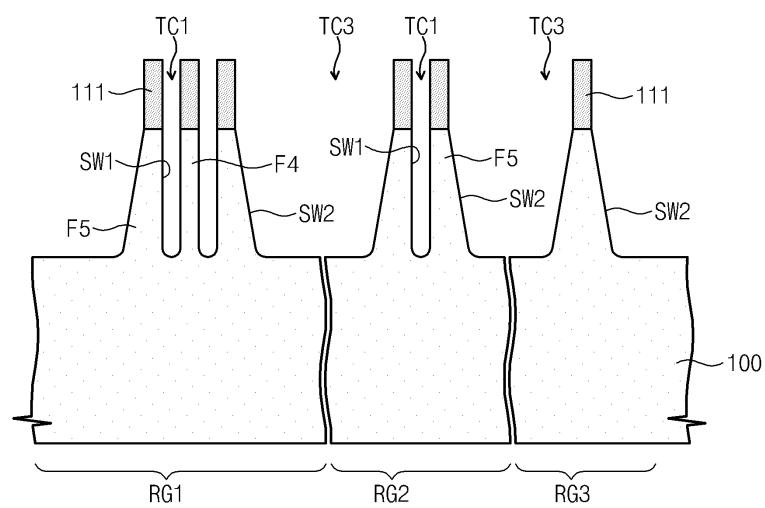
도면12



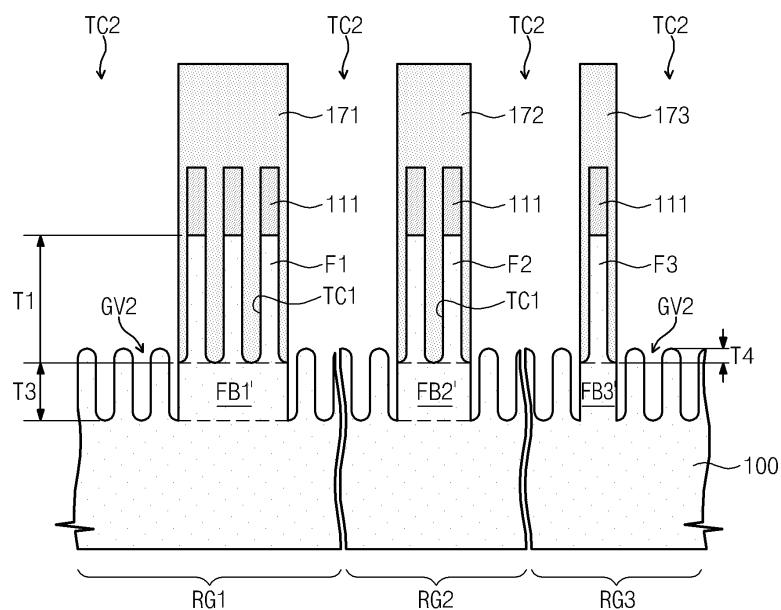
### 도면13



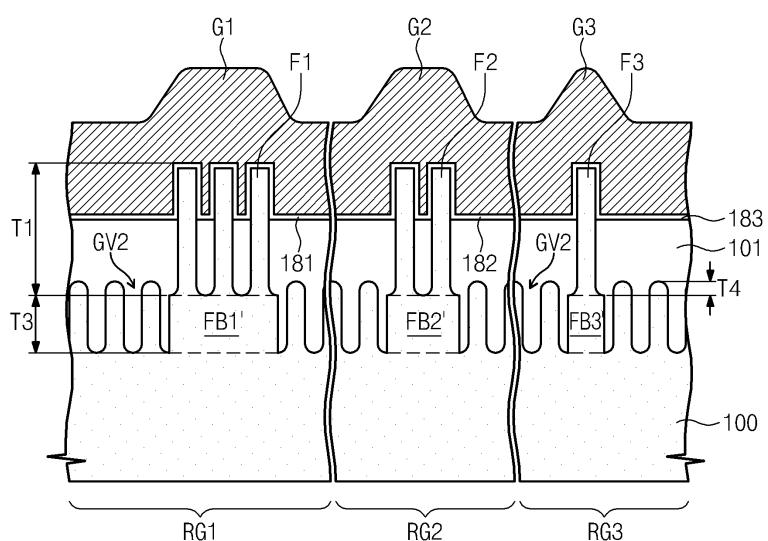
### 도면14



도면15



도면16



## 도면17

