



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I759623 B

(45)公告日：中華民國 111 (2022) 年 04 月 01 日

(21)申請案號：108129519 (22)申請日：中華民國 108 (2019) 年 08 月 19 日

(51)Int. Cl. : *H01L29/20 (2006.01)* *H01L29/205 (2006.01)*  
*H01L29/66 (2006.01)* *H01L29/778 (2006.01)*  
*H01L21/70 (2006.01)*

(30)優先權：2018/08/29 美國 62/724,303  
 2019/04/26 美國 16/395,673

(71)申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR  
 MANUFACTURING COMPANY LTD. (TW)  
 新竹市新竹科學工業園區力行六路8號

(72)發明人：陳祈銘 CHEN, CHI-MING (TW)；喻中一 YU, CHUNG-YI (TW)；陳奎銘 CHEN,  
 KUEI-MING (TW)

(74)代理人：陳長文；馮博生

(56)參考文獻：

TW	I593102	TW	I610436
TW	I621265	US	2015/0060765A1
US	2017/0069484A1		

審查人員：趙天生

申請專利範圍項數：10 項 圖式數：12 共 46 頁

(54)名稱

用於矽上 III-V 族元件的摻雜緩衝層及其形成方法

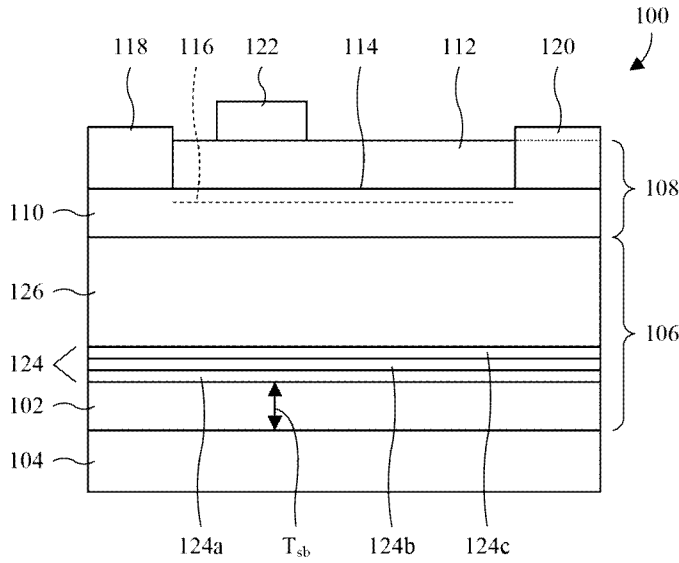
(57)摘要

本申請案之各種實施例係關於一種 III-V 族元件，其包含經摻雜且直接在一矽基板上之一晶種緩衝層。在一些實施例中，該 III-V 族元件包含該矽基板、該晶種緩衝層、一異質接面結構、一對源極/汲極電極，及一閘極電極。該晶種緩衝層上覆於且直接接觸該矽基板。此外，該晶種緩衝層包含經摻雜有 p 型摻雜物之 III 族氮化物(例如，AlN)。該異質接面結構上覆於該晶種緩衝層。該等源極/汲極電極上覆於該異質接面結構。該閘極電極上覆於該異質接面結構，橫向地在該等源極/汲極電極之間。該等 p 型摻雜物防止在該矽基板中沿該矽基板與該晶種緩衝層直接接觸之一介面形成一二維電洞氣(2DHG)。

Various embodiments of the present application are directed towards a group III-V device including a seed buffer layer that is doped and that is directly on a silicon substrate. In some embodiments, the group III-V device includes the silicon substrate, the seed buffer layer, a heterojunction structure, a pair of source/drain electrodes, and a gate electrode. The seed buffer layer overlies and directly contacts the silicon substrate. Further, the seed buffer layer includes a group III nitride (e.g., AlN) that is doped with p-type dopants. The heterojunction structure overlies the seed buffer layer. The source/drain electrodes overlie the heterojunction structure. The gate electrode overlies the heterojunction structure, laterally between the source/drain electrodes. The p-type dopants prevent the formation of a two-dimensional hole gas (2DHG)

in the silicon substrate, along an interface at which the silicon substrate and the seed buffer layer directly contact.

指定代表圖：



【圖1】

符號簡單說明：

100:剖面圖

102:晶種緩衝層

104:基板

106:緩衝結構

108:異質接面結構

110:通道層

112:阻障層

114:異質接面

116:二維電子氣

(2DEG)

118:第一源極/汲極電極

120:第二源極/汲極電極

122:閘極電極

124:分級緩衝層

124a:第一分級緩衝層

124b:第二分級緩衝層

124c:第三分級緩衝層

126:隔離緩衝層

T<sub>sb</sub>:第二阻障厚度



I759623

## 【發明摘要】

## 【中文發明名稱】

用於矽上III-V族元件的摻雜緩衝層及其形成方法

## 【英文發明名稱】

DOPED BUFFER LAYER FOR GROUP III-V DEVICES ON SILICON AND METHOD FOR FORMING THE SAME

## 【中文】

本申請案之各種實施例係關於一種III-V族元件，其包含經摻雜且直接在一矽基板上之一晶種緩衝層。在一些實施例中，該III-V族元件包含該矽基板、該晶種緩衝層、一異質界面結構、一對源極/汲極電極，及一閘極電極。該晶種緩衝層上覆於且直接接觸該矽基板。此外，該晶種緩衝層包含經摻雜有p型摻雜物之III族氮化物(例如，AlN)。該異質界面結構上覆於該晶種緩衝層。該等源極/汲極電極上覆於該異質界面結構。該閘極電極上覆於該異質界面結構，橫向地在該等源極/汲極電極之間。該等p型摻雜物防止在該矽基板中沿該矽基板與該晶種緩衝層直接接觸之一介面形成一二維電洞氣(2DHG)。

## 【英文】

Various embodiments of the present application are directed towards a group III-V device including a seed buffer layer that is doped and that is directly on a silicon substrate. In some embodiments, the group III-V device includes the silicon substrate, the seed buffer layer, a heterojunction structure, a pair of source/drain electrodes, and a gate electrode. The seed buffer layer overlies and directly contacts the silicon

substrate. Further, the seed buffer layer includes a group III nitride (e.g., AlN) that is doped with p-type dopants. The heterojunction structure overlies the seed buffer layer. The source/drain electrodes overlie the heterojunction structure. The gate electrode overlies the heterojunction structure, laterally between the source/drain electrodes. The p-type dopants prevent the formation of a two-dimensional hole gas (2DHG) in the silicon substrate, along an interface at which the silicon substrate and the seed buffer layer directly contact.

【指定代表圖】

圖1

【代表圖之符號簡單說明】

100	剖面圖
102	晶種緩衝層
104	基板
106	緩衝結構
108	異質接面結構
110	通道層
112	阻障層
114	異質接面
116	二維電子氣(2DEG)
118	第一源極/汲極電極
120	第二源極/汲極電極
122	閘極電極

124	分級緩衝層
124a	第一分級緩衝層
124b	第二分級緩衝層
124c	第三分級緩衝層
126	隔離緩衝層
$T_{sb}$	第二阻障厚度

## 【發明說明書】

### 【中文發明名稱】

用於矽上III-V族元件的摻雜緩衝層及其形成方法

### 【英文發明名稱】

DOPED BUFFER LAYER FOR GROUP III-V DEVICES ON SILICON AND METHOD FOR FORMING THE SAME

### 【技術領域】

【0001】 本發明實施例係有關用於矽上III-V族元件的摻雜緩衝層。

### 【先前技術】

【0002】 在過去幾十年，基於矽之半導體元件已成為標準。然而，基於替代材料之半導體元件由於優於基於矽之半導體元件之優點而受到愈來愈多的關注。例如，基於III-V族半導體材料之半導體元件歸因於相較於基於矽之半導體元件之高電子遷移率及寬能隙而受到愈來愈多的關注。此等高電子遷移率及寬能隙容許改良效能及高溫應用。

### 【發明內容】

【0003】 根據本發明的一實施例，一種半導體元件包括：一基板；一晶種緩衝層，其上覆於且直接接觸該基板，其中該晶種緩衝層包含經摻雜且在該基板與該晶種緩衝層直接接觸之一介面處之一III-V族材料；一異質界面結構，其上覆於該晶種緩衝層；一對源極/汲極電極，其上覆於該異質界面結構；及一閘極電極，其上覆於該異質界面結構，橫向地在該等源極/汲極電極之間。

【0004】 根據本發明的一實施例，一種用於形成一半導體元件之方法包括：直接在一基板上磊晶地形成一晶種緩衝層，其中該晶種緩衝層包

含經摻雜且在該基板與該晶種緩衝層直接接觸之一介面處之一III-V族材料；磊晶地形成上覆於該晶種緩衝層之一異質接面結構；在該異質接面結構上形成一對源極/汲極電極；及在該異質接面結構上橫向地在該等源極/汲極電極之間形成一閘極電極。

**【0005】** 根據本發明的一實施例，一種半導體元件包括：一矽基板；一晶種緩衝層，其上覆於且直接接觸該矽基板，其中該晶種緩衝層包括摻雜有p型摻雜物之氮化鋁；一通道層，其上覆於該晶種緩衝層，其中該通道層包括沿該通道層之一頂表面之一二維電子氣(2DEG)；一阻障層，其上覆於且接觸該通道層以界定一異質接面；一對源極/汲極電極，其上覆於該通道層；及一閘極電極，其上覆於該阻障層，橫向地在該等源極/汲極電極之間。

#### **【圖式簡單說明】**

**【0006】** 當結合附圖閱讀時，從以下實施方式更好理解本揭露之態樣。應注意，根據行業中之標準實踐，各種構件不按比例繪製。事實上，為清晰論述，各種構件之尺寸可任意增大或減小。

**【0007】** 圖1繪示包括一經摻雜晶種緩衝層之一III-V族元件之一些實施例之一剖面圖。

**【0008】** 圖2A至圖2D繪示具有晶種緩衝層之不同組態之圖1之III-V族元件之各種替代實施例之剖面圖。

**【0009】** 圖3A至圖3C繪示具有不同閘極電極組態之圖1之III-V族元件之各種替代實施例之剖面圖。

**【0010】** 圖4A至圖4B繪示圖1之III-V族元件之一些替代實施例之各種視圖，其中III-V族元件進一步包括一超晶格層。

【0011】 圖5繪示具有一不同阻障層組態之圖1之III-V族元件之一些替代實施例。

【0012】 圖6至圖11繪示用於形成包括一經摻雜晶種緩衝層之一III-V族元件之一方法之一些實施例之一系列剖面圖。

【0013】 圖12係圖6至圖11之方法之一些實施例之一流程圖。

#### 【實施方式】

【0014】 本揭露提供許多不同實施例或實例以實施本揭露之不同構件。在下文描述組件及配置之特定實例以簡化本揭露。當然，此等僅為實例且並不旨在為限制性的。例如，在以下描述中，一第一構件形成於一第二構件上方或上可包含其中第一構件及第二構件經形成為直接接觸之實施例，且亦可包含其中額外構件可形成於第一構件與第二構件之間使得第一構件及第二構件可不直接接觸之實施例。另外，本揭露可在各項實例中重複元件符號及/或字母。此重複出於簡化及清楚之目的且本身不規定所論述之各項實施例及/或組態之間的一關係。

【0015】 此外，為便於描述，空間相對術語(諸如「在…下面」、「在…下方」、「下」、「在…上方」、「上」及類似者)可在本文中用來描述一個部件或構件與另一(些)部件或構件之關係，如圖中所繪示。空間相對術語旨在涵蓋除圖中所描繪之定向以外之使用或操作中之元件之不同定向。設備可以其他方式定向(旋轉90度或按其他定向)且因此可同樣解釋本文中所使用之空間相對描述詞。

【0016】 III族氮化物元件通常形成在矽基板上。尤其，矽基板係廉價的且容易以多種大小獲得。形成於一矽基板上之III族氮化物元件可包括上覆於矽基板之一緩衝層、上覆於緩衝層之一通道層及上覆於通道層之

一阻障層。矽基板具有一晶體定向(111)且接觸緩衝層。緩衝層係無摻雜氮化鋁(AIN)且充當用於磊晶地形成一上覆層(例如，另一緩衝層)之一晶種。通道層及阻障層接觸以界定一異質界面且可分別為例如無摻雜氮化鎵(GaN)及氮化鋁鎵(AlGaN)。

**【0017】** III族氮化物元件之一挑戰係緩衝層引發矽基板中沿緩衝層與矽基板接觸之一介面之能帶彎曲。能帶彎曲導致在矽基板中形成一二維電洞氣(2DHG)。2DHG具有低於矽基板之其餘部分之一電阻率，使得矽基板之平均電阻率減小(例如，從約1800歐姆至約900歐姆)。此導致基板損耗且減小III族氮化物元件之功率附加效率(PAE) (例如，達約10%或更多)。

**【0018】** 本申請案之各種實施例係關於一種III-V族元件，其包括經摻雜且直接在一矽基板上之一晶種緩衝層。在一些實施例中，III-V族元件包括矽基板、晶種緩衝層、一異質界面結構、一對源極/汲極電極及一閘極電極。晶種緩衝層上覆於且直接接觸矽基板。此外，晶種緩衝層係或包括摻雜有p型摻雜物(例如，鎂、鐵、碳或鋅)之III族氮化物(例如，AIN)。異質界面結構上覆於晶種緩衝層。源極/汲極電極在異質界面結構上。閘極電極在異質界面結構上，橫向地在源極/汲極電極之間。

**【0019】** 晶種緩衝層引發矽基板中之能帶彎曲。在至少一些實施例中，若晶種緩衝層係無摻雜或純質的，則能帶彎曲將引發在矽基板中形成2DHG。然而，由於晶種緩衝層摻雜有p型摻雜物，所以晶種緩衝層中之電洞係多數載子且排斥將形成2DHG之電洞。藉由排斥將形成2DHG之電洞，防止形成2DHG。此防止2DHG不利地影響(例如，減小)基板之一電阻，減少基板損耗且增強III-V族元件之PAE。

【0020】 參考圖1，提供包括一經摻雜晶種緩衝層102之一III-V族元件之一些實施例之一剖面圖100。III-V族元件可為例如III族氮化物元件及/或可為例如一空乏模式高電子遷移率電晶體(D-HEMT)。基板104可例如係或包括單晶矽、碳化矽或某一其他半導體材料及/或可具有例如一晶體定向(111)或某一其他晶體定向。此外，基板104可為例如一塊狀半導體基板及/或可為例如一半導體晶圓(例如，一300或450奈米半導體晶圓)。在一些實施例中，基板104具有一高電阻以減少基板損耗。高電阻可為例如大於約1、1.8或3千歐姆/釐米(kΩ/cm)及/或在約1 kΩ/cm至1.8 kΩ/cm或約1.8 kΩ/cm至3 kΩ/cm之間。此外，在一些實施例中，基板104摻雜有p型摻雜物以達成高電阻。

【0021】 一緩衝結構106上覆於基板104且包括晶種緩衝層102。緩衝結構106可用於例如補償基板104與上覆於緩衝結構106之一異質界面結構108之間的晶格常數、晶體結構及熱膨脹係數之差異。晶種緩衝層102上覆於且直接接觸基板104且充當用於在基板104上生長一III-V族層之一晶種或成核層。

【0022】 晶種緩衝層102係或包括AlN、某一其他III族氮化物或某一其他III-V族材料。在一些實施例中，晶種緩衝層102係或包括低溫AlN。低溫AlN可為例如在約攝氏900度(°C)至攝氏1000度之間及/或小於約1000°C之溫度下形成之AlN。此外，低溫AlN可為例如多晶的及/或可具有例如展現一系列峰及谷之一上或頂表面。在其他實施例中，晶種緩衝層102係或包括高溫AlN。高溫AlN可為例如在約1000°C至1200°C之間及/或大於約1000°C之溫度下形成之AlN。此外，高溫AlN可為例如單晶的及/或可具有例如一光滑上或頂表面。在低溫AlN與高溫AlN之間，低溫AlN可

例如更佳地匹配基板104之一晶格常數，而高溫AlN可例如具有更佳晶體品質。此外，晶種緩衝層102具有高濃度之p型摻雜物。高摻雜濃度可為例如大於約 $1 \times 10^{17}$ 每立方釐米( $\text{cm}^{-3}$ )、約 $1 \times 10^{18} \text{ cm}^{-3}$ 或約 $1 \times 10^{19} \text{ cm}^{-3}$ 及/或約 $1 \times 10^{17}$ 至 $1 \times 10^{19} \text{ cm}^{-3}$ 、 $1 \times 10^{17}$ 至 $1 \times 10^{18} \text{ cm}^{-3}$ 或約 $1 \times 10^{18}$ 至 $1 \times 10^{19} \text{ cm}^{-3}$ 。p型摻雜物可為或包括例如鎂(例如，Mg)、碳(例如，C)、鐵(例如，Fe)、鋅(例如，Zn)或前述之任何組合。在一些實施例中，晶種緩衝層102及基板104具有相同摻雜類型。

**【0023】** 晶種緩衝層102引發基板104中之能帶彎曲。在至少一些實施例中(例如，其中基板104係或包括單晶矽)，若晶種緩衝層102係無摻雜或純質的，則能帶彎曲將引發在基板104中形成2DHG。2DHG將沿晶種緩衝層102與基板104接觸之一介面延伸且將增加基板損耗。然而，由於晶種緩衝層102摻雜有p型摻雜物，所以晶種緩衝層102中之電洞係晶種緩衝層102中之多數載子且排斥將形成2DHG之電洞。藉由排斥將形成2DHG之電洞，防止形成2DHG。此繼而防止2DHG不利地影響(例如，減小)基板104之一電阻，減少基板損耗且增強III-V族元件之PAE。

**【0024】** 在一些實施例中，晶種緩衝層102中之p型摻雜物之濃度經選擇，使得晶種緩衝層102中之電洞之濃度匹配在不存在p型摻雜物之情況下將形成之2DHG之濃度。在一些實施例中，若晶種緩衝層102中之p型摻雜物之濃度過低(例如，小於約 $1 \times 10^{17} \text{ cm}^{-3}$ )，則2DHG可不完全空乏且基板損耗可為高的。此外，在一些實施例中，若晶種緩衝層102中之p型摻雜物之濃度過高(例如，大於約 $1 \times 10^{19} \text{ cm}^{-3}$ )，則晶種緩衝層102可例如施加過多應力(例如，拉伸應力)於III-V族元件上，藉此導致破裂及元件故障。在一些實施例中，晶種緩衝層102具有約30奈米至300奈米、約30奈

米至120奈米、約120奈米至210奈米或約210奈米至300奈米之間的一厚度 $T_{sb}$ 。若厚度 $T_{sb}$ 過低(例如，小於約30奈米)，則晶體品質可為例如不良的且可例如難以控制晶種緩衝層102之形成。若厚度 $T_{sb}$ 過高(例如，大於300奈米)，則晶種緩衝層102可例如施加過多應力(例如，拉伸應力)於III-V族元件上，藉此導致破裂及元件故障。

**【0025】** 異質接面結構108上覆於緩衝結構106且包括一通道層110及一阻障層112。阻障層112上覆於通道層110且經極化。阻障層112經極化，使得正電荷偏移朝向阻障層112之一下或底表面，且負電荷偏移朝向阻障層112之一上或頂表面。極化可例如由自發極化效應及/或壓電極化效應導致。阻障層112可為或包括例如AlN、AlGaN、某一其他III族氮化物、某一其他III-V族材料或前述之任何組合。

**【0026】** 通道層110直接接觸阻障層112且係具有不等於阻障層112之能隙之一能隙之一半導體材料。由於不相等能隙，通道層110及阻障層112在通道層110與阻障層112直接接觸之一介面處界定一異質接面114。此外，由於阻障層112經極化，所以在通道層110中形成二維電子氣(2DEG) 116。2DEG 116沿異質接面114延伸且具有高濃度之移動電子，使得2DEG 116係導電的。通道層110可例如係或包括無摻雜GaN、某一其他III族氮化物或某一其他III-V族材料。在一些實施例中，通道層110係無摻雜GaN，而阻障層112係或包括無摻雜AlGaN。此外，通道層110可具有例如約0.1微米至0.5微米之間的一厚度。

**【0027】** 一第一源極/汲極電極118及一第二源極/汲極電極120上覆於通道層110且延伸至阻障層112中。在一些實施例中，第一及第二源極/汲極電極118、120延伸穿過阻障層112至通道層110。此外，第一及第二

源極/汲極電極118、120電耦合至2DEG 116。在一些實施例中，第一源極/汲極電極118係III-V族元件之一源極，且第二源極/汲極電極120係III-V族元件之一汲極。一閘極電極122橫向地在第一及第二源極/汲極電極118、120之間上覆於阻障層112。閘極電極122及第一及第二源極/汲極電極118、120係導電的且可為或包括例如鋁銅、鋁、鎢、銅、某一其他金屬、摻雜多晶矽、某一其他導電材料或前述之任何組合。

**【0028】** 在III-V族元件之使用期間，閘極電極122產生一電場，其操縱2DEG 116從第一源極/汲極電極118至第二源極/汲極電極120之連續性。例如，當用大於一臨限值電壓之一電壓加偏壓於閘極電極122時，閘極電極122可產生一電場，從而使2DEG 116之一下伏部分之移動電子空乏且破壞2DEG 116從第一源極/汲極電極118至第二源極/汲極電極120之連續性。作為另一實例，當用小於臨限值電壓之一電壓加偏壓於閘極電極122時，2DEG 116從第一源極/汲極電極118至第二源極/汲極電極120可為連續的。

**【0029】** 在一些實施例中，緩衝結構106進一步包括異質界面結構108與晶種緩衝層102之間的一分級緩衝層124及/或一隔離緩衝層126。分級緩衝層124包含一分級緩衝層堆疊。例如，分級緩衝層124可包括一第一分級緩衝層124a、上覆於第一分級緩衝層124a之一第二分級緩衝層124b及上覆於第二分級緩衝層124b之一第三分級緩衝層124c。分級緩衝層之個別晶格常數從分級緩衝層124之一頂部至分級緩衝層124之一底部增加或減小以將分級緩衝層124之一晶格常數分級且減小或消除從晶種緩衝層102至上覆於分級緩衝層124之一層(例如，隔離緩衝層126)之晶格失配。分級緩衝層124及因此分級緩衝層可為或包括例如氮化鋁鎵、某一其

他III族氮化物、某一其他III-V族材料或前述之任何組合。

【0030】 在一些實施例中，分級緩衝層共用一組共同元素(例如，鋁、鎵及氮化物)且具有個別元素量。在一些實施例中，元素之至少一者之個別量從分級緩衝層124之頂部至分級緩衝層124之底部增加或減小以變更分級緩衝層之個別晶格常數且將分級緩衝層124之晶格常數分級。例如，第一分級緩衝層124a可為或包括 $Al_xGa_{1-x}N$ 且可具有一第一晶格常數，第二分級緩衝層124b可為或包括 $Al_yGa_{1-y}N$ 且可具有大於第一晶格常數之一第二晶格常數，且第三分級緩衝層124c可為或包括 $Al_zGa_{1-z}N$ 且可具有大於第二晶格常數之一第三晶格常數，其中x、y及z分別係約0.6至0.8、約0.4至0.6及約0.1至0.3。在一些實施例中，第一分級緩衝層124a具有約200奈米至800奈米之間的一厚度，第二分級緩衝層124b具有約300奈米至1000奈米之間的一厚度，第三分級緩衝層124c具有約500奈米至2000奈米之間的一厚度或前述之任何組合。

【0031】 隔離緩衝層126上覆於晶種緩衝層102及(若存在)分級緩衝層124。在一些實施例中，隔離緩衝層126具有約0.5微米至5.0微米之間的一厚度。隔離緩衝層126係摻雜有高濃度之p型摻雜物以便具有一高電阻之一半導體材料。高電阻可為例如高於通道層110之電阻之一電阻。p型摻雜物可為或包括Mg、C、Fe、Zn或前述之任何組合。高摻雜濃度可為例如大於約 $1 \times 10^{18} \text{ cm}^{-3}$ 、約 $1 \times 10^{19} \text{ cm}^{-3}$ 或約 $1 \times 10^{20} \text{ cm}^{-3}$ 及/或約 $1 \times 10^{18}$ 至 $1 \times 10^{20} \text{ cm}^{-3}$ 、 $1 \times 10^{18}$ 至 $1 \times 10^{19} \text{ cm}^{-3}$ 或約 $1 \times 10^{19}$ 至 $1 \times 10^{20} \text{ cm}^{-3}$ 。隔離緩衝層126之高電阻容許隔離緩衝層126充當通道層110之「背阻障」以減少基板損耗且增加III-V族元件之軟崩潰電壓。隔離緩衝層126可為或包括例如摻雜GaN、某一其他III族氮化物、某一其他III-V族材料或前述之任何組

合。

**【0032】** 參考圖2A，提供圖1之III-V族元件之一些替代實施例之一剖面圖200A，其中晶種緩衝層102包括一低溫晶種緩衝層102l及上覆於低溫晶種緩衝層102l之一高溫晶種緩衝層102h。低溫及高溫晶種緩衝層102l、102h可為或包括(例如)AlN、某一其他III族氮化物，或某一其他III-V族材料。在一些實施例中，低溫晶種緩衝層102l具有III族原子與V族原子之一第一比，且高溫晶種緩衝層102h具有III族原子與V族原子之不同於第一比之一第二比。低溫晶種緩衝層102l係在低溫下形成，而高溫晶種緩衝層係在高溫下形成。低溫可為(例如)約900°C至1000°C，且/或小於約1000°C。高溫可為(例如)約1000°C至1200°C，且/或大於約1000°C。在一些實施例中，低溫及高溫晶種緩衝層102l、102h係相同材料(例如，AlN)。在一些實施例中，低溫晶種緩衝層102l係或包括低溫AlN，且/或高溫晶種緩衝層102h係或包括高溫AlN。低溫AlN可為(例如)如就圖1描述般，及/或高溫AlN可為(例如)如就圖1描述般。

**【0033】** 低溫及高溫晶種緩衝層102l、102h具有高濃度之p型摻雜物以達成高電阻。p型摻雜物可(例如)係或包括Mg、C、Fe、Zn，或前述之任何組合。高摻雜濃度可為(例如)大於約 $1 \times 10^{17} \text{ cm}^{-3}$ 、約 $1 \times 10^{18} \text{ cm}^{-3}$ 或約 $1 \times 10^{19} \text{ cm}^{-3}$ ，及/或約 $1 \times 10^{17}$ 至 $1 \times 10^{19} \text{ cm}^{-3}$ 、 $1 \times 10^{17}$ 至 $1 \times 10^{18} \text{ cm}^{-3}$ ，或約 $1 \times 10^{18}$ 至 $1 \times 10^{19} \text{ cm}^{-3}$ 。歸因於高摻雜濃度，低溫及高溫晶種緩衝層102l、102h不引發在基板104中形成2DHG。因而，最小化基板損耗且增強III-V族元件之PAE。

**【0034】** 在一些實施例中，低溫晶種緩衝層102l具有約20奈米至80奈米、約20奈米至50奈米，或約50奈米至80奈米，及/或小於約50奈米或

80 奈米之一低溫厚度  $T_{lsb}$ 。歸因於難以直接在基板 104 上生長低溫晶種緩衝層 102l，低溫厚度  $T_{lsb}$  可為(例如)有限的(例如，小於約 80 奈米)。此外，若低溫厚度  $T_{lsb}$  過低(例如，小於約 20 奈米)，則可(例如)難以控制低溫晶種緩衝層 102l 之形成。在一些實施例中，高溫晶種緩衝層 102h 具有約 50 奈米至 300 奈米、約 50 奈米至 175 奈米，或約 175 奈米至 300 奈米，及/或小於約 175 奈米或 300 奈米之一高溫厚度  $T_{hsb}$ 。若高溫厚度  $T_{hsb}$  過低(例如，小於約 50 奈米)，則晶體品質可為(例如)不良的，且可(例如)難以控制高溫晶種緩衝層 102h 之形成。若高溫厚度  $T_{hsb}$  過高(例如，大於 300 奈米)，則高溫晶種緩衝層 102h 可(例如)施加過多應力(例如，拉伸應力)於 III-V 族元件上，因而導致破裂及元件故障。

**【0035】** 參考圖 2B，提供圖 2A 之 III-V 族元件之一些替代實施例之一剖面圖 200B，其中低溫及高溫晶種緩衝層 102l、102h 接觸之一介面 202 係粗糙的。例如，介面 202 可具有一系列峰及谷。在一些實施例中，該系列峰及谷係週期性的。在其他實施例中，該系列峰及谷係不規則的。在一些實施例中，介面 202 具有一鋸齒狀輪廓。歸因於分別在低溫及高溫下形成低溫及高溫晶種緩衝層 102l、102h，介面 202 可為例如粗糙的。在一些實施例中，在低溫下形成低溫晶種緩衝層 102l 可在一三維(3D)生長模式中形成低溫晶種緩衝層 102l，藉此低溫晶種緩衝層 102l 之一上或頂表面可具有一系列峰及谷。此外，在一些實施例中，在高溫下形成高溫晶種緩衝層 102h 可例如在一二維(2D)生長模式中形成高溫晶種緩衝層 102h，藉此高溫晶種緩衝層 102h 之一上或頂表面相較於低溫晶種緩衝層 102l 可為平坦或相對平坦的。

**【0036】** 參考圖 2C，提供圖 1 之 III-V 族元件之一些替代實施例之一

剖面圖200C，其中晶種緩衝層102包括交替堆疊之多個低溫晶種緩衝層及多個高溫晶種緩衝層。例如，晶種緩衝層102可包括一第一低溫晶種緩衝層102fl、上覆於第一低溫晶種緩衝層102fl之一第一高溫晶種緩衝層120fh、上覆於第一高溫晶種緩衝層102fh之一第二低溫晶種緩衝層102sl及上覆於第二低溫晶種緩衝層102sl之一第二高溫晶種緩衝層102sh。低溫晶種緩衝層(例如，102fl及102sl)係如圖2A描述之低溫晶種緩衝層102l，且高溫晶種緩衝層(例如，102fh及102sh)係如圖2A描述之高溫晶種緩衝層102h。

**【0037】** 雖然圖2C繪示兩個低溫晶種緩衝層(例如，102fl及102sl)及兩個高溫晶種緩衝層(例如，102fh及102sh)，但在其他實施例中可具有更多低溫晶種緩衝層及/或更多高溫晶種緩衝層。在此等其他實施例中，圖2C中繪示之低溫及高溫晶種緩衝層之交替圖案針對一或多個額外低溫及/或高溫晶種緩衝層繼續。此外，雖然低溫晶種緩衝層之上或頂表面繪示為在平坦或實質上平坦之介面處接觸高溫晶種緩衝層之下或底表面，但應瞭解，該等介面在其他實施例中可為粗糙的。圖2B之介面202可例如表示此等粗糙介面。

**【0038】** 參考圖2D，提供圖1之III-V族元件之一些替代實施例之一剖面圖200D，其中晶種緩衝層102與分級緩衝層124接觸之一介面204係粗糙的。例如，介面204可具有一系列峰及谷。該系列峰及谷可為例如週期性或不規則的。在一些實施例中，介面204具有一鋸齒狀輪廓。歸因於在低溫下形成晶種緩衝層102，介面204可為例如粗糙的。在一些實施例中，在低溫下形成晶種緩衝層102在一3D生長模式中形成晶種緩衝層102，藉此晶種緩衝層102之一上或頂表面可具有例如一系列峰及谷。在

一些實施例中，晶種緩衝層102係或包括低溫AlN，其可為例如如關於2A描述般。

**【0039】** 雖然基板104、晶種緩衝層102及隔離緩衝層126在圖1及圖2A至圖2D之至少一些實施例中描述為摻雜有p型摻雜物，但應瞭解，n型摻雜物在其他實施例中可替代地用於基板104、晶種緩衝層102、隔離緩衝層126或前述之任何組合。雖然分級緩衝層124在圖1及圖2A至圖2D之至少一些實施例中描述且繪示為具有三個分級緩衝層，但應瞭解，分級緩衝層124在其他實施例中可具有更多或更少分級緩衝層。

**【0040】** 參考圖3A，提供圖1之III-V族元件之一些替代實施例之一剖面圖300A，其中一III-V族閘極層302使閘極電極122與阻障層112分離。在一些實施例中，III-V族閘極層302由閘極電極122完全覆蓋及/或具有相同於閘極電極122之頂部佈局(在剖面圖300A內不可見)。III-V族閘極層302摻雜有n型或p型摻雜物且可為例如GaN、某一其他III族氮化物、某一其他III-V族材料或前述之任何組合。

**【0041】** III-V族閘極層302經摻雜及/或極化，使得在不存在外部電場及/或來自閘極電極122之電場的情況下使2DEG 116之一下伏部分空乏。因此，當用小於一臨限值電壓之一電壓加偏壓於閘極電極122時，2DEG 116從第一源極/汲極電極118至第二源極/汲極電極120係不連續的。此外，當用大於臨限值電壓之一電壓加偏壓於閘極電極122時，閘極電極122產生一電場，從而增強2DEG 116之下伏部分，因此2DEG 116從第一源極/汲極電極118至第二源極/汲極電極120係連續的。在一些實施例中，III-V族元件係一增強模式HEMT。

**【0042】** 參考圖3B，提供圖1之III-V族元件之一些替代實施例之一

剖面圖300B，其中一閘極介電層304使閘極電極122與阻障層112分離。在一些實施例中，閘極介電層304從第一源極/汲極電極118延伸至第二源極/汲極電極120。閘極介電層304可為或包括例如氧化矽、某一其他氧化物、某一其他介電質或前述之任何組合。

**【0043】** 在不存在外部電場及/或來自閘極電極122之電場的情況下，2DEG 116從第一源極/汲極電極118至第二源極/汲極電極120係連續的。因此，當用小於一臨限值電壓之一電壓加偏壓於閘極電極122時，2DEG 116從第一源極/汲極電極118至第二源極/汲極電極120係連續的。此外，當用大於臨限值電壓之一電壓加偏壓於閘極電極122時，閘極電極122產生一電場，從而使2DEG 116下伏於閘極電極122之一部分空乏，因此2DEG 116從第一源極/汲極電極118至第二源極/汲極電極120係不連續的。在一些實施例中，III-V族元件係一空乏模式金屬絕緣體半導體場效電晶體(MISFET)。

**【0044】** 參考圖3C，提供圖3B之III-V族元件之一些替代實施例之一剖面圖300C，其中閘極介電層304及閘極電極122延伸穿過阻障層112。閘極介電層304延伸穿過阻障層112至通道層110，且閘極電極122內凹至阻障層112中。

**【0045】** 由於閘極介電層304及閘極電極122延伸穿過阻障層112，所以通道層110在閘極電極122處未由阻障層112覆蓋。此外，由於阻障層112吸引移動電子且形成2DEG 116，所以在不存在外部電場及/或來自閘極電極122之電場的情況下使閘極電極122處之2DEG 116空乏。因此，當用小於一臨限值電壓之一電壓加偏壓於閘極電極122時，2DEG 116從第一源極/汲極電極118至第二源極/汲極電極120係不連續的。當用大於臨限值

電壓之一電壓加偏壓於閘極電極122時，閘極電極122產生一電場，從而增強閘極電極122處之2DEG 116，因此2DEG 116從第一源極/汲極電極118至第二源極/汲極電極120係連續的。在一些實施例中，III-V族元件係一增強模式MISFET。

**【0046】** 參考圖4A，提供圖1之III-V族元件之一些替代實施例之一剖面圖400A，其中緩衝結構106進一步包含隔離緩衝層126與分級緩衝層124之間的一應變超晶格(SLS)緩衝層402。SLS緩衝層402阻擋來自基板104之矽擴散或以其他方式移動至隔離緩衝層126。此矽將減小隔離緩衝層126之一電阻且將增加III-V族元件之一軟崩潰電壓。此外，SLS緩衝層402釋放隔離緩衝層126之應力。例如，隔離緩衝層126可在拉伸應力下，且SLS緩衝層402可產生抵消拉伸應力之壓縮應力。拉伸應力可導致基板破裂及/或可不利地影響III-V族元件之效能(例如，動態接通電阻)。

**【0047】** 參考圖4B，提供圖4A之SLS緩衝層402之一些實施例之一剖面圖400B。SLS緩衝層402包括複數個第一III-V族層402a及複數個第二III-V族層402b。為易於繪示，僅一些第一III-V族層402a被標記為402a且僅一些第二III-V族層402b被標記為402b。第一及第二III-V族層402a、402b經交替堆疊，且第一III-V族層402a具有不同於第二III-V族層402b之一晶格常數。例如，第一III-V族層402a可為或包括AlN或某一其他III-V族材料，且第二III-V族層402b可為或包括GaN或某一其他III-V族材料，或反之亦然。

**【0048】** 參考圖5，提供圖1之III-V族元件之一些替代實施例之一剖面圖500，其中阻障層112包括一第一阻障層112a及上覆於第一阻障

層112a之一第二阻障層112b。第一阻障層112a可為或包括例如AlN或某一其他III族氮化物，及/或第二阻障層112b可為或包括例如 $Al_xG_{1-x}N$ 或某一其他III族氮化物，其中x係約0.1至0.3之間的一整數。第一阻障層112a可具有例如約0.5奈米至1.5奈米之間的一厚度，及/或第二阻障層112b可具有例如約10奈米至40奈米之間的一厚度。

【0049】雖然使用圖1中之晶種緩衝層102之實施例繪示圖3A至圖3C、圖4A及圖5，但應瞭解，可替代地在圖3A至圖3C、圖4A及圖5中使用圖2A至圖2D中之晶種緩衝層102之實施例。雖然使用圖1中之阻障層112之實施例繪示圖2A至圖2D、圖3A至圖3C及圖4A，但應瞭解，可替代地在圖2A至圖2D、圖3A至圖3C及圖4A中使用圖5中之阻障層112之實施例。雖然使用圖1中之緩衝結構106之實施例繪示圖2A至圖2D、圖3A至圖3C及圖5，但應瞭解，可替代地在圖2A至圖2D、圖3A至圖3C及圖5中使用圖4A中之緩衝結構106之實施例。

【0050】參考圖6至圖11，提供用於形成包括一經摻雜晶種緩衝層102之一III-V族元件元件之一方法之一些實施例之一系列剖面圖600至1100。該方法可例如形成圖1、圖2A至圖2D、圖3A至圖3C、圖4A及圖5中之III-V族元件元件之實施例。此外，雖然參考該方法描述圖6至圖11，但將瞭解，圖6至圖11中展示之結構不限於該方法且可獨立於該方法。

【0051】如由圖6之剖面圖600繪示，提供一基板104。在一些實施例中，基板104係或包括單晶矽或某一其他矽及/或具有一晶體定向(111)或某一其他晶體定向。此外，在一些實施例中，基板104具有一高電阻以減少基板損耗。高電阻可為例如大於約1 k $\Omega$ /cm、1.8 k $\Omega$ /cm或3 k $\Omega$ /cm及/或可例如在約1 k $\Omega$ /cm至1.8 k $\Omega$ /cm或約1.8 k $\Omega$ /cm至3 k $\Omega$ /cm之間。此

外，在一些實施例中，基板104經摻雜有p型摻雜物以達成高電阻。

【0052】亦由圖6之剖面圖600繪示，在基板104上磊晶地形成一晶種緩衝層102。晶種緩衝層102包括一低溫晶種緩衝層102l及上覆於低溫晶種緩衝層102l之一高溫晶種緩衝層102h。低溫及高溫晶種緩衝層102l、102h係或包括AlN、某一其他III族氮化物、某一其他III-V族材料或前述之任何組合。此外，低溫及高溫晶種緩衝層102l、102h具有高濃度之p型摻雜物。p型摻雜物可為或包括例如Mg、C、Fe、Zn或前述之任何組合。高摻雜濃度可為例如大於約 $1 \times 10^{17} \text{ cm}^{-3}$ 、約 $1 \times 10^{18} \text{ cm}^{-3}$ 或約 $1 \times 10^{19} \text{ cm}^{-3}$ 及/或可為例如約 $1 \times 10^{17}$ 至 $1 \times 10^{19} \text{ cm}^{-3}$ 、 $1 \times 10^{17}$ 至 $1 \times 10^{18} \text{ cm}^{-3}$ 或約 $1 \times 10^{18}$ 至 $1 \times 10^{19} \text{ cm}^{-3}$ 。在一些實施例中，低溫及高溫晶種緩衝層102l、102h係或包括相同材料(例如，AlN)、具有相同摻雜物(例如，Mg)、具有相同摻雜物濃度或前述之任何組合。在一些實施例中，低溫晶種緩衝層102l具有III族原子與V族原子之一第一比，且高溫晶種緩衝層102h具有III族原子與V族原子之不同於第一比之一第二比。在一些實施例中，低溫晶種緩衝層102l具有約20奈米至80奈米、約20奈米至40奈米或約40奈米至80奈米之間的一厚度 $T_{lsb}$ ，及/或高溫晶種緩衝層102h具有約50奈米至300奈米、約50奈米至175奈米或約175奈米至300奈米之間的一厚度 $T_{hsb}$ 。

【0053】在一些實施例中，用於形成晶種緩衝層102之一程序包括在基板104上磊晶地形成低溫晶種緩衝層102l，且在低溫晶種緩衝層102l上磊晶地形成高溫晶種緩衝層102h。藉由例如分子束磊晶(MBE)、金屬有機氣相磊晶(MOVPE)、某一其他氣相磊晶(VPE)、液相磊晶(LPE)、某一其他適合磊晶程序或前述之任何組合磊晶地形成低溫及高溫晶種緩衝層102l、102h。在一些實施例中，低溫及高溫晶種緩衝層102l、102h由相同

磊晶程序(例如，MOVPE)形成。在一些實施例中，低溫晶種緩衝層102i及/或高溫晶種緩衝層102h在形成的同時摻雜有p型摻雜物(例如，Mg、C、Fe或Zn)。例如，可藉由MOVPE在一反應器內形成低溫及/或高溫晶種緩衝層102i、102h，同時將二-環戊二烯鎂(Cp<sub>2</sub>Mg)注射至反應器中，藉此形成摻雜有Mg摻雜物之低溫及/或高溫晶種緩衝層102i、102h。在其他實施例中，低溫晶種緩衝層102i及/或高溫晶種緩衝層102h在形成之後進行摻雜。

**【0054】** 低溫晶種緩衝層102i係在低溫下形成，而高溫晶種緩衝層102h係在大於低溫之高溫下形成。在一些實施例中，低溫係約900°C至1000°C、約900°C至950°C，或約950°C至1000°C，及/或小於約900°C、950°C，或1000°C。在一些實施例中，高溫係約1000°C至1200°C、約1000°C至1100°C，或約1100°C至1200°C，及/或大於約1000°C、1100°C，或1200°C。在一些實施例中，於低溫下形成低溫晶種緩衝層102i促進在一3D生長模式中形成低溫晶種緩衝層102i。在一些實施例中，3D生長模式導致形成具有不良晶體品質及/或包含一系列峰及谷之一上或頂表面的低溫晶種緩衝層102i。例如，低溫晶種緩衝層102i之一上或頂表面可歸因於3D生長模式而具有一鋸齒狀輪廓。圖2B中展示此之一實例。在一些實施例中，在高溫下形成高溫晶種緩衝層102h促進在一2D生長模式中形成高溫晶種緩衝層102h。在一些實施例中，2D生長模式導致形成具有高晶體品質，且/或相較於低溫晶種緩衝層102i的上或頂表面相對光滑之一上或頂表面的高溫晶種緩衝層102h。

**【0055】** 歸因於p型摻雜物之高濃度，晶種緩衝層102未引發在基板104中沿晶種緩衝層102與基板104接觸之一介面形成2DHG。晶種緩衝層

102之p型摻雜物具有一正電荷，其排斥基板104中之移動電洞且防止形成2DHG。在一些實施例中，p型摻雜物之摻雜濃度經選擇，以便使2DHG完全空乏。若摻雜濃度過低(例如，小於約 $1 \times 10^{17} \text{ cm}^{-3}$ )，則2DHG將不會完全空乏。若摻雜濃度過高(例如，大於約 $1 \times 10^{19} \text{ cm}^{-3}$ )，則III-V族元件上之應力可過高，且III-V族元件可破裂且發生故障。藉由防止2DHG形成，基板104之一電阻保持高且未由2DHG減小。因而，最小化基板損耗且增強III-V族元件之PAE。

**【0056】** 雖然圖6繪示低溫晶種緩衝層102i及高溫晶種緩衝層102h兩者之形成，但在其他實施例中可省略(即，不形成)低溫及高溫晶種緩衝層102i、102h之一者。在此等其他實施例中，晶種緩衝層102及低溫及高溫晶種緩衝層102i、102h之剩餘者可為同一者。此外，雖然圖6繪示低溫及高溫晶種緩衝層102i、102h之形成各一次，但在其他實施例中，可多次形成低溫晶種緩衝層102i，及/或可多次形成高溫晶種緩衝層102h。在此等其他實施例中，晶種緩衝層102在低溫及高溫晶種緩衝層之間交替，圖2C繪示及描述此之一實例。

**【0057】** 如由圖7之剖面圖700繪示，在晶種緩衝層102上方磊晶地形成一分級緩衝層124。分級緩衝層124包含一分級緩衝層堆疊。例如，分級緩衝層124可包括一第一分級緩衝層124a、上覆於第一分級緩衝層124a之一第二分級緩衝層124b，及上覆於第二分級緩衝層124b之一第三分級緩衝層124c。分級緩衝層之個別晶格常數從分級緩衝層124之一頂部至分級緩衝層124之一底部增加或減小，以將分級緩衝層124之一晶格常數分級且減小或消除從晶種緩衝層102至此後形成於分級緩衝層124上之一層的晶格失配。分級緩衝層124及因此分級緩衝層可為或包括(例如)氮

化鋁鎵、某一其他III族氮化物、某一其他III-V族氮化物，或前述之任何組合。

**【0058】** 在一些實施例中，分級緩衝層共用一組共同元素且具有個別元素量。在一些實施例中，元素之至少一者之個別量從分級緩衝層124之頂部至分級緩衝層124之底部增加或減小以變更分級緩衝層之個別晶格常數且將分級緩衝層124之晶格常數分級。例如，第一分級緩衝層124a可為或包括 $Al_xGa_{1-x}N$ ，第二分級緩衝層可為或包括 $Al_yGa_{1-y}N$ ，且第三分級緩衝層124c可為或包括 $Al_zGa_{1-z}N$ ，其中x係約0.6至0.8，y係約0.4至0.6，且z係約0.1至0.3。在一些實施例中，第一分級緩衝層124a具有約200奈米至800奈米、200奈米至500奈米或約500奈米至800奈米之間的一厚度 $T_{f gb}$ 。在一些實施例中，第二分級緩衝層124b具有約300奈米至1000奈米、約300奈米至650奈米或約650奈米至1000奈米之間的一厚度 $T_{s gb}$ 。在一些實施例中，第三分級緩衝層124c具有約500奈米至2000奈米、約500奈米至1250奈米或約1250奈米至2000奈米之間的一厚度 $T_{t gb}$ 。

**【0059】** 在一些實施例中，用於形成分級緩衝層124之一程序包括循序形成堆疊於晶種緩衝層102上方之分級緩衝層。例如，可在晶種緩衝層102上方形成第一分級緩衝層124a，可在第一分級緩衝層124a上方形成第二分級緩衝層124b，且可在第二分級緩衝層124b上方形成第三分級緩衝層124c。分級緩衝層124可例如由MBE、MOVPE、某一其他VPE、LPE、某一其他適合磊晶程序或前述之任何組合形成。在一些實施例中，可在1000°C至1200°C、約1000°C至1100°C或約1100°C至1200°C之間的溫度下形成分級緩衝層124。在一些實施例中，晶種緩衝層102用作用於磊晶地形成分級緩衝層124之一晶種。

【0060】 如由圖8之剖面圖800繪示，在分級緩衝層124上方磊晶地形成一隔離緩衝層126。隔離緩衝層126係摻雜有高濃度之p型摻雜物以便具有一高電阻之一半導體材料。高電阻可為例如高於此後形成之一通道層。p型摻雜物可為或包括例如Mg、C、Fe、Zn或前述之任何組合。高摻雜濃度可為例如大於約 $1 \times 10^{18} \text{ cm}^{-3}$ 、約 $1 \times 10^{19} \text{ cm}^{-3}$ 或約 $1 \times 10^{20} \text{ cm}^{-3}$ 及/或可為例如約 $1 \times 10^{18}$ 至 $1 \times 10^{20} \text{ cm}^{-3}$ 、 $1 \times 10^{18}$ 至 $1 \times 10^{19} \text{ cm}^{-3}$ 或約 $1 \times 10^{19}$ 至 $1 \times 10^{20} \text{ cm}^{-3}$ 。在一些實施例中，高摻雜濃度超過低溫及高溫晶種緩衝層102i、102h之摻雜濃度。隔離緩衝層126可為或包括例如摻雜GaN、某一其他III族氮化物、某一其他III-V族材料或前述之任何組合。在一些實施例中，隔離緩衝層126具有約0.5微米至5.0微米、約0.5微米至2.75微米或約2.75微米至5.0微米之一厚度 $T_{\text{hrb}}$ 。

【0061】 在一些實施例中，隔離緩衝層126由MBE、MOVPE、某一其他VPE、LPE、某一其他適合磊晶程序或前述之任何組合形成。在一些實施例中，可在約 $900^{\circ}\text{C}$ 至 $1100^{\circ}\text{C}$ 、約 $900^{\circ}\text{C}$ 至 $1000^{\circ}\text{C}$ 或約 $1000^{\circ}\text{C}$ 至 $1100^{\circ}\text{C}$ 之溫度下形成隔離緩衝層126。在一些實施例中，隔離緩衝層126在形成的同時摻雜有摻雜物(例如，Mg、C或Fe)。在其他實施例中，隔離緩衝層126在形成之後進行摻雜。在一些實施例中，晶種緩衝層102(例如，低溫晶種緩衝層102i及/或高溫晶種緩衝層102h)經摻雜有Mg摻雜物，而隔離緩衝層126經摻雜有C摻雜物。

【0062】 雖然未展示，但在其他實施例中，可在形成隔離緩衝層126與形成分級緩衝層124之間磊晶地形成一SLS緩衝層。如關於圖4A及圖4B之SLS緩衝層402繪示及描述SLS緩衝層之一實例。SLS緩衝層可例如釋放隔離緩衝層126之應力。例如，隔離緩衝層126可在拉伸應力下，

且SLS緩衝層可產生抵消拉伸應力之壓縮應力。在不存在SLS緩衝層的情況下，拉伸應力可導致晶圓破裂及/或可不利地影響III-V族元件之效能(例如，動態接通電阻)。

**【0063】** 如由圖9之剖面圖900繪示，在隔離緩衝層126上方磊晶地形成一通道層110。通道層110係無摻雜的及/或具有小於約 $1 \times 10^{17} \text{ cm}^{-3}$ 、 $1 \times 10^{16} \text{ cm}^{-3}$ 或 $1 \times 10^{15} \text{ cm}^{-3}$ 之一低摻雜濃度。在一些實施例中，隔離緩衝層126用碳摻雜至大於約 $1 \times 10^{18} \text{ cm}^{-3}$ 之一濃度，且通道層110具有小於約 $1 \times 10^{17} \text{ cm}^{-3}$ 之一碳摻雜濃度。通道層110可為或包括例如GaN、某一其他III族氮化物或某一其他III-V族材料。在一些實施例中，通道層110具有約0.1微米至0.5微米、約0.1微米至0.35微米、約0.35微米至0.5微米或約0.25微米之一厚度 $T_c$ 。

**【0064】** 在一些實施例中，通道層110由MBE、MOVPE、某一其他VPE、LPE、某一其他適合磊晶程序或前述之任何組合形成。在一些實施例中，可在約 $1000^\circ\text{C}$ 至 $1200^\circ\text{C}$ 、約 $1000^\circ\text{C}$ 至 $1100^\circ\text{C}$ 或約 $1100^\circ\text{C}$ 至 $1200^\circ\text{C}$ 之溫度下形成通道層110。在一些實施例中，通道層110形成為無摻雜的且少量摻雜物隨後從相鄰層(例如，隔離緩衝層126)擴散至通道層110中。

**【0065】** 如由圖10之剖面圖1000繪示，直接在通道層110上磊晶地形成一阻障層112。阻障層112係具有不等於通道層110之能隙之一能隙之一半導體材料，藉此直接在通道層110上形成阻障層112界定一異質界面114。此外，阻障層112經極化，使得正電荷偏移朝向阻障層112之一下或底表面，且負電荷偏移朝向阻障層112之一上或頂表面。極化導致在通道層110中沿異質界面114形成2DEG 116。2DEG 116具有高濃度之移動電子，使得其係導電的。阻障層112可為或包括例如AlN、AlGa<sub>N</sub>、某一其

他III族氮化物、某一其他III-V族材料或前述之任何組合。

**【0066】** 在一些實施例中，阻障層112包括一第一阻障層112a及上覆於第一阻障層112a之一第二阻障層112b。第一阻障層112a可為或包括例如AlN或某一其他III-V族材料，及/或第二阻障層112b可為或包括例如AlGa<sub>x</sub>N或某一其他III-V族材料。在一些實施例中，第二阻障層112b係Al<sub>x</sub>Ga<sub>1-x</sub>N，其中x係約0.1至0.3、約0.1至0.2或約0.2至0.3。在一些實施例中，第一阻障層112a具有小於第二阻障層112b之一第二阻障厚度T<sub>sb</sub>之一第一阻障厚度T<sub>fb</sub>。第一阻障厚度T<sub>fb</sub>可為例如約0.5奈米至1.5奈米、約0.5奈米至1.0奈米或約1.0奈米至1.5奈米。第二阻障厚度T<sub>sb</sub>可為例如約10奈米至40奈米、約10奈米至25奈米或約25奈米至40奈米。

**【0067】** 在一些實施例中，由MBE、MOVPE、某一其他VPE、LPE、某一其他適合磊晶程序或前述之任何組合磊晶地形成阻障層112。在一些實施例中，用於形成阻障層112之一程序包括磊晶地形成第一阻障層112a且隨後在第一阻障層112a上磊晶地形成第二阻障層112b。在一些實施例中，可在約1000°C至1200°C、約1000°C至1100°C或約1100°C至1200°C之溫度下形成阻障層112及因此第一及第二阻障層112a、112b。

**【0068】** 如由圖11之剖面圖1100繪示，一第一源極/汲極電極118及一第二源極/汲極電極120經形成延伸至阻障層112中。在一些實施例中，第一及第二源極/汲極電極118、120延伸穿過阻障層112至通道層110。第一及第二源極/汲極電極118、120橫向隔開且電耦合至2DEG 116。在一些實施例中，第一及第二源極/汲極電極118、120歐姆耦合至2DEG 116。第一及第二源極/汲極電極118、120係導電的且可為或包括例如鋁銅、鋁、鎢、銅、摻雜多晶矽、某一其他導電材料或前述之任何組合。

【0069】 在一些實施例中，用於形成第一及第二源極/汲極電極 118、120 之一程序包括圖案化阻障層 112 以形成曝露通道層 110 之一對電極開口。在阻障層 112 上沉積一導電層以填充電極開口。此外，將導電層圖案化為第一及第二源極/汲極電極 118、120。可例如藉由一光微影/蝕刻程序或某一其他圖案化程序執行阻障層 112 及/或導電層之圖案化。可例如藉由化學氣相沉積(CVD)、物理氣相沉積(PVD)、無電式電鍍、電鍍、某一其他沉積程序或前述之任何組合執行導電層之沉積。

【0070】 亦由圖 11 之剖面圖 1100 繪示，在阻障層上橫向地在第一及第二源極/汲極電極 118、120 之間形成一閘極電極 122。閘極電極 122 係導電的且可為或包括例如鋁銅、鋁、鎢、銅、摻雜多晶矽、某一其他導電材料或前述之任何組合。在一些實施例中，用於形成閘極電極 122 之一程序包括沉積一導電層且將導電層圖案化為閘極電極 122。可例如藉由一光微影/蝕刻程序或某一其他圖案化程序執行圖案化。可例如藉由 CVD、PVD、無電式電鍍、電鍍、某一其他沉積程序或前述之任何組合執行導電層之沉積。

【0071】 在 III-V 族元件之使用期間，閘極電極 122 產生一電場，其操縱 2DEG 116 從第一源極/汲極電極 118 至第二源極/汲極電極 120 之連續性。例如，當用大於一臨限值電壓之一電壓加偏壓於閘極電極 122 時，閘極電極 122 可產生一電場，其使 2DEG 116 之一下伏部分之移動電子空乏且破壞 2DEG 116 從第一源極/汲極電極 118 至第二源極/汲極電極 120 之連續性。在一些實施例中，隔離緩衝層 126 歸因於其高敏感度而充當通道層 110 之「背阻障」，藉此減少基板損耗且增加 III-V 族元件之軟崩潰電壓。

【0072】 雖然圖 11 繪示根據圖 1 中之實施例形成閘極電極 122，但應

瞭解，可替代地根據圖3A至圖3C之任一者中之實施例形成閘極電極122。例如，針對圖3A之實施例，可在阻障層112上形成一III-V族閘極層302及閘極電極122。作為另一實例，針對圖3B及圖3C之實施例，可在阻障層112上形成一閘極介電層304及閘極電極122。

**【0073】** 雖然基板104、晶種緩衝層102及隔離緩衝層126在圖6至圖11之至少一些實施例中描述為摻雜有p型摻雜物，但應瞭解，n型摻雜物在其他實施例中可替代地用於基板104、晶種緩衝層102、隔離緩衝層126或前述之任何組合。雖然分級緩衝層124在圖7至圖11之至少一些實施例中描述為具有三個分級緩衝層，但應瞭解，分級緩衝層124在其他實施例中可具有更多或更少分級緩衝層。

**【0074】** 參考圖12，提供圖6至圖11之方法之一些實施例之一流程圖1200。由該方法形成之III-V族元件可為例如一增強模式HEMT、一空乏模式HEMT、一增強模式MISFET、一空乏模式MISFET或某一其他III-V族元件。

**【0075】** 在1202，在一基板上形成一III-V族緩衝結構。例如見圖6至圖8。在1202a，形成III-V族緩衝結構包括在基板上磊晶地形成一晶種緩衝層，其中晶種緩衝層經摻雜。例如見圖6。晶種緩衝層可例如摻雜有p型摻雜物。在一些實施例中，在1202b，形成III-V族緩衝結構包括在晶種緩衝層上方磊晶地形成一分級緩衝層。例如見圖7。在一些實施例中，在1202c，形成III-V族緩衝結構包括在分級緩衝層上磊晶地形成一隔離緩衝層。例如見圖8。

**【0076】** 在1204，在III-V族緩衝結構上形成一III-V族異質界面結構。例如見圖9及圖10。

【0077】 在1206，在III-V族異質接面結構上形成一閘極電極及一對源極/汲極電極。例如見圖11。

【0078】 歸因於高摻雜濃度，晶種緩衝層未引發在基板中沿晶種緩衝層與基板接觸之一介面形成2DHG。晶種緩衝層之摻雜物(例如，p型摻雜物)可例如具有一正電荷，其排斥基板中之移動電洞且防止形成2DHG。因而，2DHG不減小基板之一電阻率且基板損耗減少。歸因於減少基板損耗，增強III-V族元件之PAE。

【0079】 雖然由流程圖1200描述之方法在本文中繪示及描述為一系列動作或事件，但將瞭解，此等動作或事件之繪示順序不應被解釋為一限制性含義。例如，一些動作可以不同順序發生及/或與除在本文中繪示及/或描述之動作或事件以外之其他動作或事件同時發生。此外，並非需要全部繪示動作來實施本文中之描述之一或多個態樣或實施例，且本文中描繪之一或多個動作可在一或多個單獨動作及/或階段中實行。

【0080】 在一些實施例中，本申請案提供一種半導體元件，其包含：一基板；一晶種緩衝層，其上覆於且直接接觸該基板，其中該晶種緩衝層包含經摻雜且在該基板與該晶種緩衝層直接接觸之一介面處之一III-V族材料；一異質接面結構，其上覆於該晶種緩衝層；一對源極/汲極電極，其上覆於該異質接面結構；及一閘極電極，其上覆於該異質接面結構，橫向地在該等源極/汲極電極之間。在一些實施例中，該晶種緩衝層包含III族氮化物，其中該基板及該晶種緩衝層摻雜有相同摻雜類型。在一些實施例中，該晶種緩衝層包含氮化鋁。在一些實施例中，該晶種緩衝層係p型。在一些實施例中，該晶種緩衝層具有大於約 $1 \times 10^{18} \text{ cm}^{-3}$ 之一摻雜濃度。在一些實施例中，該晶種緩衝層包含一第一晶種緩衝層及上覆於

該第一晶種緩衝層之一第二晶種緩衝層，其中該第一晶種緩衝層具有V族原子與III族原子之一第一比，其中該第二晶種緩衝層具有V族原子與III族原子之一第二比，且其中該第一比及該第二比係不同的。在一些實施例中，該基板具有大於約1 k $\Omega$ /cm之一電阻。在一些實施例中，該半導體元件進一步包含：一分級緩衝層，其上覆於該晶種緩衝層；及一隔離緩衝層，其上覆於該分級緩衝層，其中該隔離緩衝層具有超過約 $1 \times 10^{18}$  cm<sup>-3</sup>之一摻雜物濃度，且其中該異質界面結構上覆於該隔離緩衝層。

**【0081】** 在一些實施例中，本申請案提供一種用於形成一半導體元件之方法，該方法包含：直接在一基板上磊晶地形成一晶種緩衝層，其中該晶種緩衝層包含經摻雜且在該基板與該晶種緩衝層直接接觸之一介面處之一III-V族材料；磊晶地形成上覆於該晶種緩衝層之一異質界面結構；在該異質界面結構上形成一對源極/汲極電極；及在該異質界面結構上橫向地在該等源極/汲極電極之間形成一閘極電極。在一些實施例中，形成該晶種緩衝層包含在生長該晶種緩衝層的同時摻雜該晶種緩衝層。在一些實施例中，形成該晶種緩衝層包含：在該基板上形成一第一晶種緩衝層，其中在第一溫度下形成該第一晶種緩衝層，且其中該第一晶種緩衝層包含該III族材料且經摻雜；及在該第一晶種緩衝層上形成一第二晶種緩衝層，其中在大於第一溫度之第二溫度下形成該第二晶種緩衝層，且其中該第二晶種緩衝層包含該III族材料且經摻雜。在一些實施例中，該等第一溫度小於約1000°C，其中該等第二溫度大於約1000°C。在一些實施例中，該第一晶種緩衝層之形成及該第二晶種緩衝層之形成重複至少一次。在一些實施例中，該晶種緩衝層摻雜有包含鎂、鐵或碳之至少一者之p型摻雜物。在一些實施例中，該方法進一步包含：在該晶種緩衝層上磊晶地

形成一分級緩衝層；及在該分級緩衝層上磊晶地形成一隔離緩衝層，其中該隔離緩衝層具有超過約 $1 \times 10^{18}$ 每立方釐米( $\text{cm}^{-3}$ )之一摻雜物濃度，且其中該等摻雜物包括鎂、鐵或碳之至少一者。

**【0082】** 在一些實施例中，本申請案提供另一種半導體元件，其包含：一矽基板；一晶種緩衝層，其上覆於且直接接觸該矽基板，其中該晶種緩衝層包含摻雜有p型摻雜物之氮化鋁；一通道層，其上覆於該晶種緩衝層，其中該通道層包含沿該通道層之一頂表面之一二維電子氣(2DEG)；一阻障層，其上覆於且接觸該通道層以界定一異質界面；一對源極/汲極電極，其等上覆於該通道層；及一閘極電極，其上覆於該阻障層，橫向地在該等源極/汲極電極之間。在一些實施例中，該閘極電極直接接觸該阻障層。在一些實施例中，該方法進一步包含一III-V族閘極層使該閘極電極與該阻障層分離且局部化至該閘極電極。在一些實施例中，該方法進一步包含一閘極介電層使該閘極電極與該阻障層分離。在一些實施例中，該閘極介電層突出穿過該阻障層至該通道層，其中該閘極電極陷入至該阻障層中。

**【0083】** 前文概述若干實施例之特徵，使得熟習此項技術者可更佳理解本揭露之態樣。熟習此項技術者應瞭解，其等可容易地使用本揭露作為設計或修改用於實行本文中介紹之實施例之相同目的及/或達成相同優點之其他程序及結構之一基礎。熟習此項技術者亦應認知，此等等效構造不脫離本揭露之精神及範疇，且其等可在不脫離本揭露之精神及範疇的情況下在本文中進行各種改變、替換及更改。

### **【符號說明】**

### **【0084】**

100	剖面圖
102	晶種緩衝層
102fl	第一低溫晶種緩衝層
102fh	第一高溫晶種緩衝層
102l	低溫晶種緩衝層
102h	高溫晶種緩衝層
102sl	第二低溫晶種緩衝層
102sh	第二高溫晶種緩衝層
104	基板
106	緩衝結構
108	異質接面結構
110	通道層
112	阻障層
112a	第一阻障層
112b	第二阻障層
114	異質接面
116	二維電子氣(2DEG)
118	第一源極/汲極電極
120	第二源極/汲極電極
122	閘極電極
124	分級緩衝層
124a	第一分級緩衝層
124b	第二分級緩衝層

124c	第三分級緩衝層
126	隔離緩衝層
200A	剖面圖
200B	剖面圖
200C	剖面圖
200D	剖面圖
202	介面
204	介面
300A	剖面圖
300B	剖面圖
300C	剖面圖
302	III-V族閘極層
304	閘極介電層
400A	剖面圖
400B	剖面圖
402	應變超晶格(SLS)緩衝層
402a	第一III-V族層
402b	第二III-V族層
500	剖面圖
600	剖面圖
700	剖面圖
800	剖面圖
900	剖面圖

1000	剖面圖
1100	剖面圖
1200	流程圖
1202	步驟
1202a	步驟
1202b	步驟
1202c	步驟
1204	步驟
1206	步驟
$T_c$	厚度
$T_{fb}$	第一阻障厚度
$T_{fgb}$	厚度
$T_{lsb}$	低溫厚度
$T_{hrb}$	厚度
$T_{hsb}$	高溫厚度
$T_{sb}$	第二阻障厚度
$T_{sgb}$	厚度
$T_{tgb}$	厚度

## 【發明申請專利範圍】

### 【第1項】

一種半導體元件，其包括：

一基板；

一晶種緩衝結構，其上覆於且直接接觸該基板，其中該晶種緩衝結構包括第一晶種緩衝層及上覆於該第一晶種緩衝層之第二晶種緩衝層，其中該第一晶種緩衝層及該第二晶種緩衝層包含相同的III-V族材料、包含相同的摻雜物濃度且在介面處彼此直接接觸，其中該介面處包含複數個峰及谷；

一異質接面結構，其上覆於該晶種緩衝結構；

一對源極/汲極電極，其上覆於該異質接面結構；及

一間極電極，其上覆於該異質接面結構，橫向地在該等源極/汲極電極之間。

### 【第2項】

如請求項1之半導體元件，其中該晶種緩衝結構包括III族氮化物，且其中該基板及該晶種緩衝結構經摻雜有相同摻雜類型。

### 【第3項】

如請求項1之半導體元件，其中該晶種緩衝結構包括氮化鋁。

### 【第4項】

如請求項1之半導體元件，其中該第一晶種緩衝層及該第二晶種緩衝層係p型。

### 【第5項】

如請求項1之半導體元件，其中該第一及第二晶種緩衝層之相同的摻

雜物濃度係大於約 $1 \times 10^{18}$ 每立方釐米( $\text{cm}^{-3}$ )。

**【第6項】**

如請求項1之半導體元件，其中該第一晶種緩衝層具有V族原子與III族原子之一第一比，其中該第二晶種緩衝層具有V族原子與III族原子之一第二比，且其中該第一比及該第二比係不同的。

**【第7項】**

如請求項1之半導體元件，其中該基板具有大於約1千歐姆/釐米( $\text{k}\Omega/\text{cm}$ )之一電阻。

**【第8項】**

如請求項1之半導體元件，進一步包括：

一分級緩衝層，其上覆於該晶種緩衝結構；及

一隔離緩衝層，其上覆於該分級緩衝層，其中該隔離緩衝層具有超過約 $1 \times 10^{18}$ 每立方釐米( $\text{cm}^{-3}$ )之一摻雜物濃度，且其中該異質界面結構上覆於該隔離緩衝層。

**【第9項】**

一種用於形成一半導體元件之方法，該方法包括：

直接在一基板上磊晶地形成一晶種緩衝結構，其中該晶種緩衝結構包括第一晶種緩衝層及上覆於該第一晶種緩衝層之第二晶種緩衝層，其中該第一晶種緩衝層及該第二晶種緩衝層包含相同的III-V族材料、包含相同的摻雜物濃度且在介面處彼此直接接觸，其中該介面處包含複數個峰及谷；

磊晶地形成上覆於該晶種緩衝結構之一異質界面結構；

在該異質界面結構上形成一對源極/汲極電極；及

在該異質接面結構上橫向地於該等源極/汲極電極之間形成一閘極電極。

【第10項】

一種半導體元件，其包括：

一矽基板；

一第一晶種緩衝層，其上覆於且直接接觸該矽基板，其中該第一晶種緩衝層包括摻雜有p型摻雜物之氮化鋁，其中該第一晶種緩衝層具有大於約 $1 \times 10^{17}$  p型摻雜物每立方釐米( $\text{cm}^{-3}$ )之第一摻雜濃度且其中該第一晶種緩衝層之上表面包含複數個峰與谷；

一第二晶種緩衝層，其上覆於且直接接觸該第一晶種緩衝層之該上表面，其中該第二晶種緩衝層包括摻雜有p型摻雜物之氮化鋁、其中該第二晶種緩衝層具有大於約 $1 \times 10^{17}$  p型摻雜物每立方釐米( $\text{cm}^{-3}$ )之第二摻雜濃度、其中該第一摻雜濃度等於該第二摻雜濃度且其中該第二晶種緩衝層之上表面相對於該第一晶種緩衝層之該上表面係實質上平坦的；

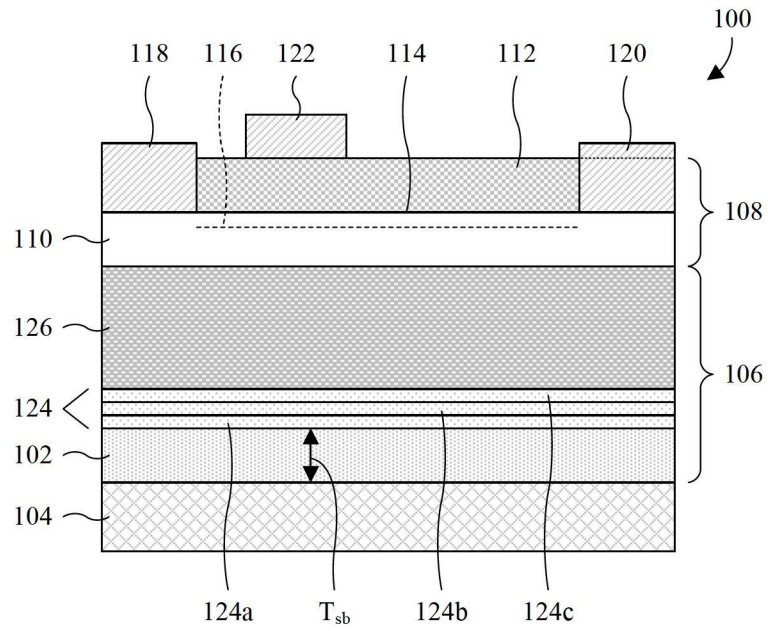
一通道層，其上覆於該第二晶種緩衝層，其中該通道層包括沿該通道層之一頂表面之一二維電子氣(2DEG)；

一阻障層，其上覆於且接觸該通道層以界定一異質接面；

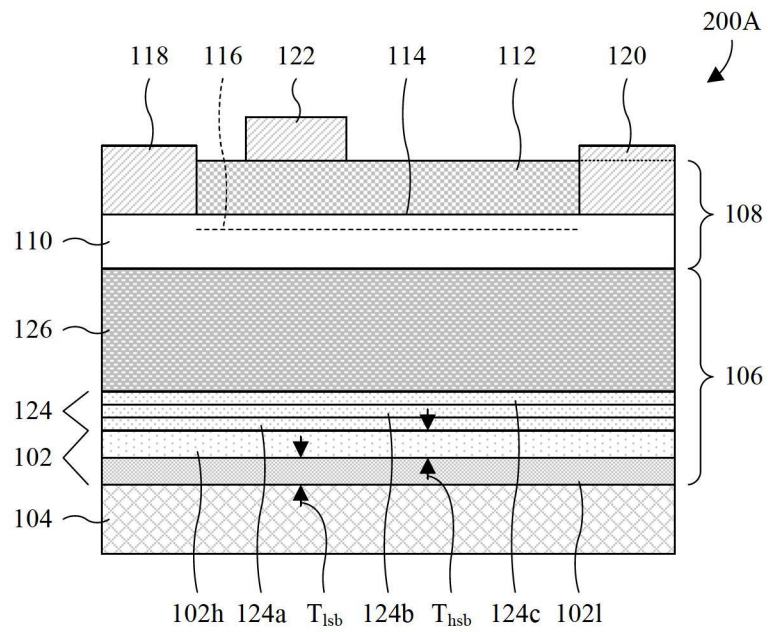
一對源極/汲極電極，其上覆於該通道層；及

一閘極電極，其上覆於該阻障層，橫向地在該等源極/汲極電極之間。

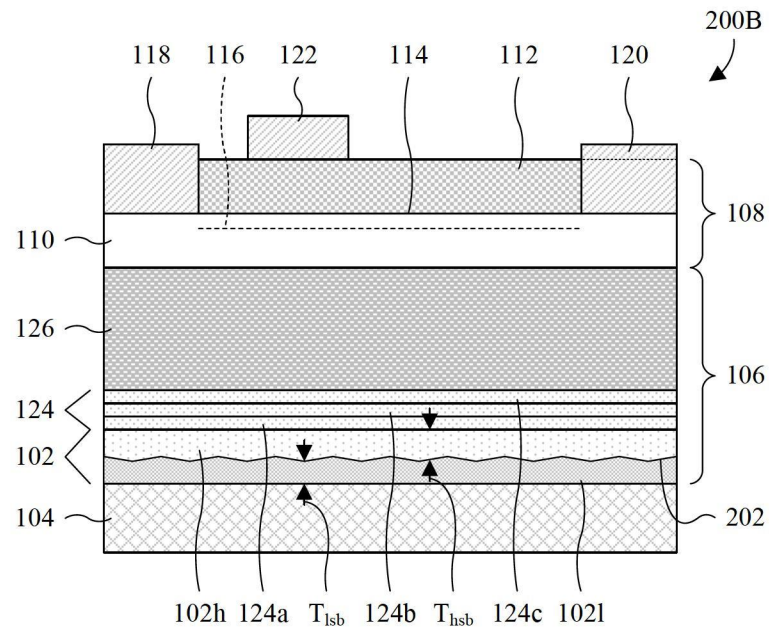
【發明圖式】



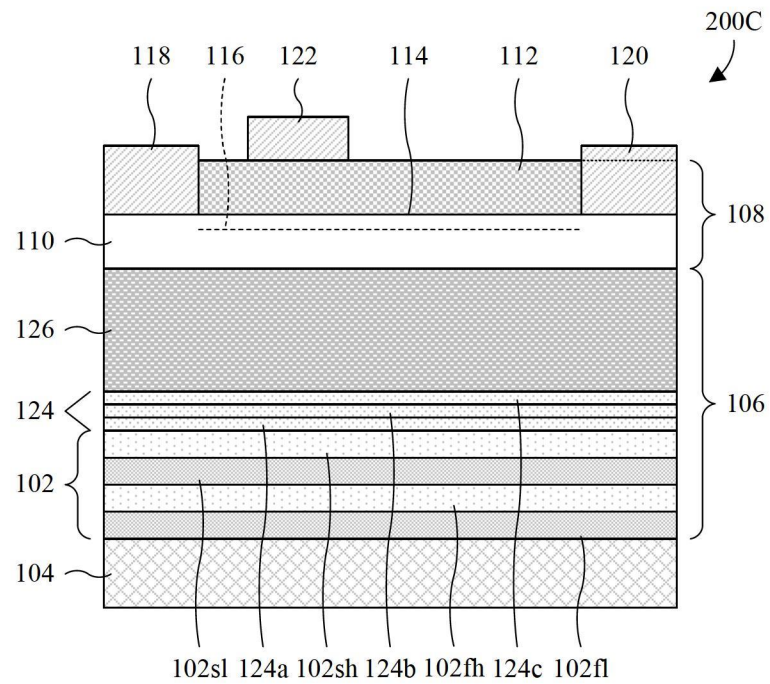
【圖1】



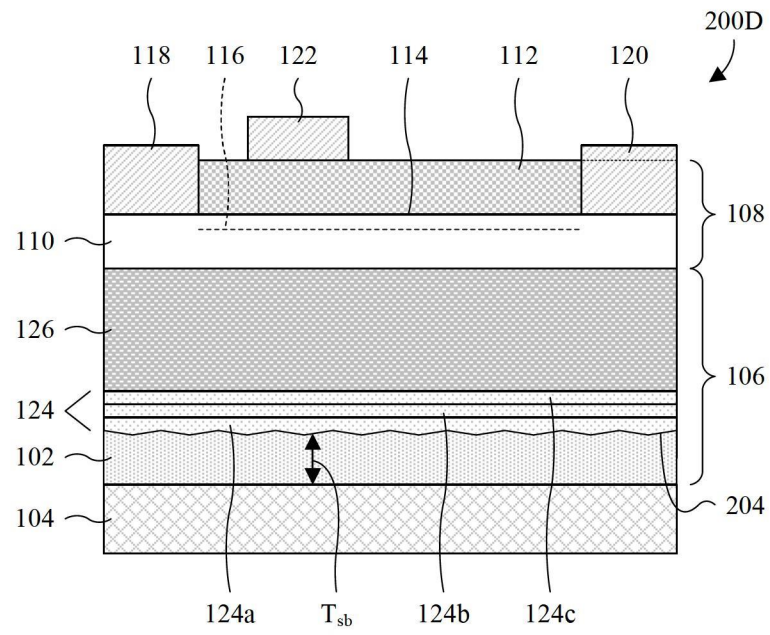
【圖2A】



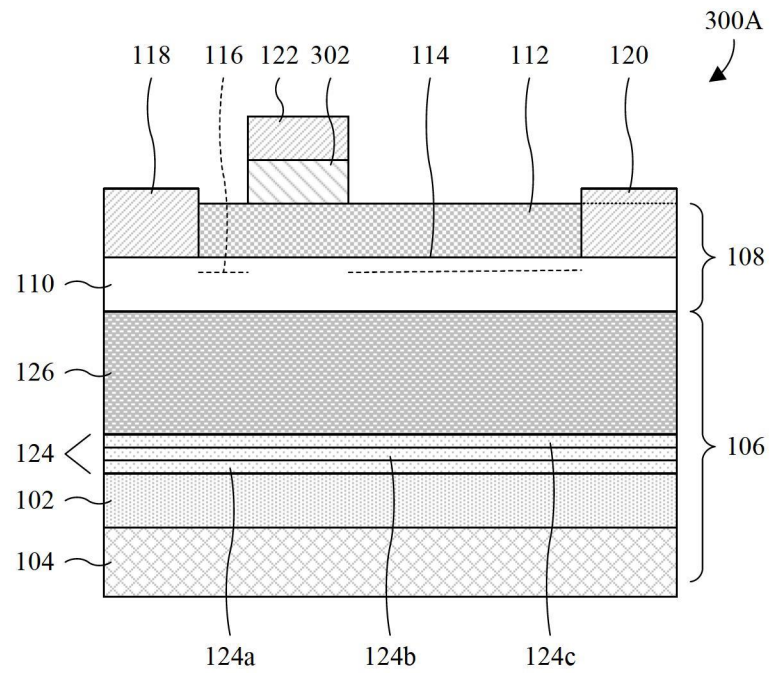
【圖2B】



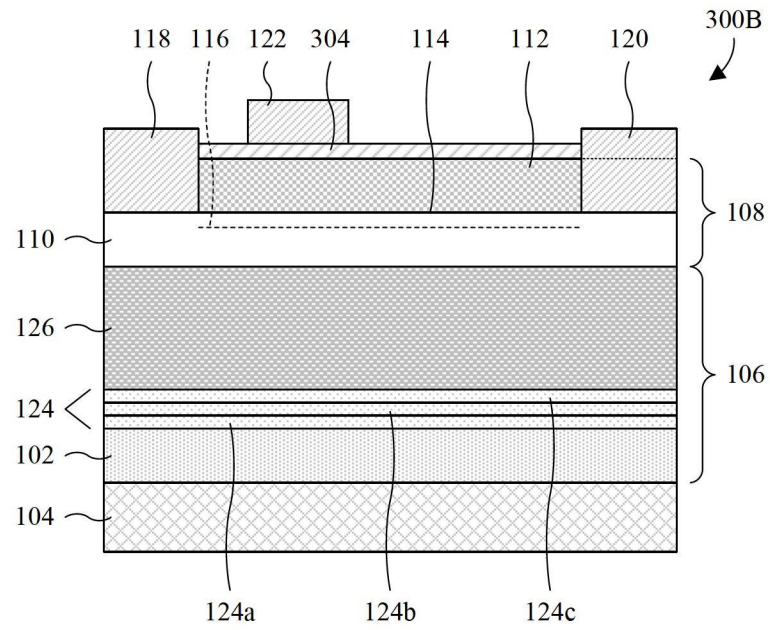
【圖2C】



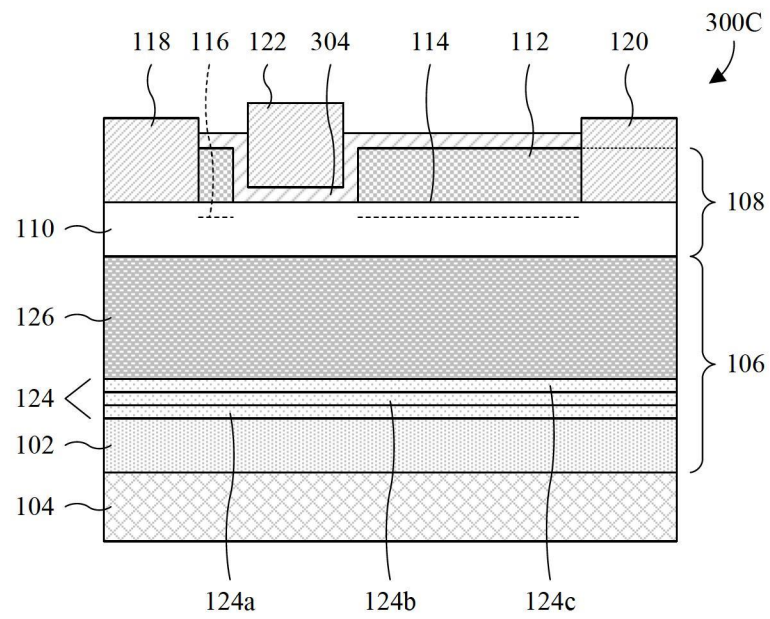
【圖2D】



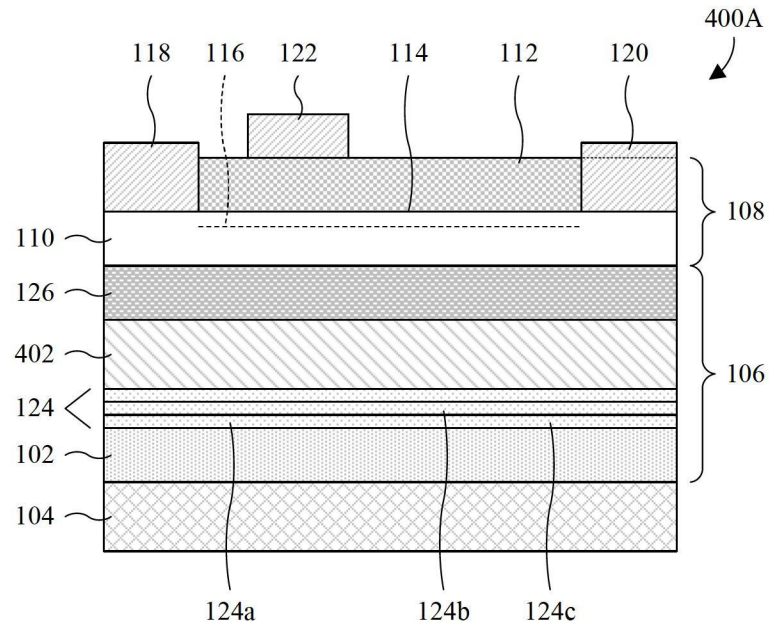
【圖3A】



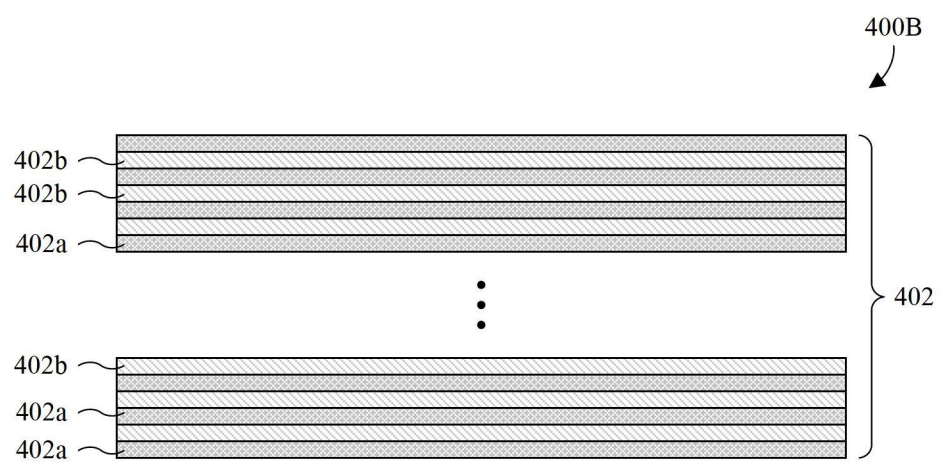
【圖3B】



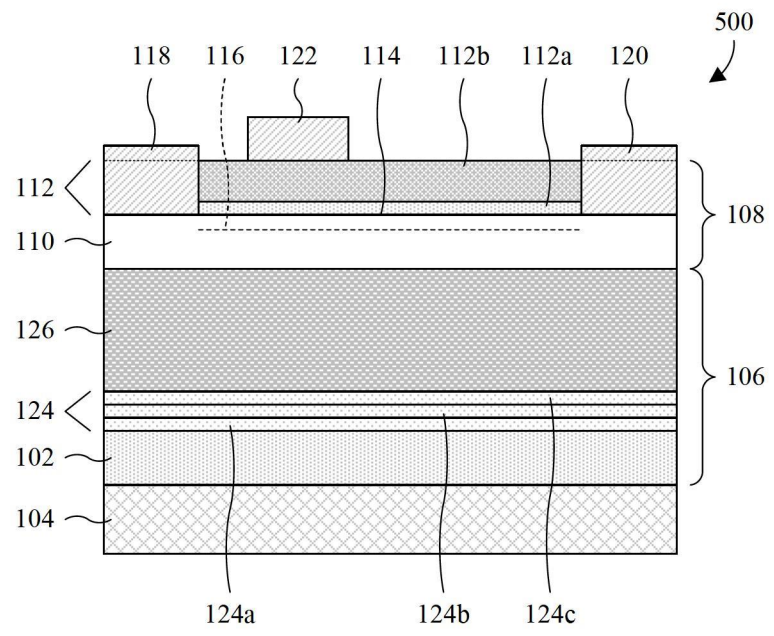
【圖3C】



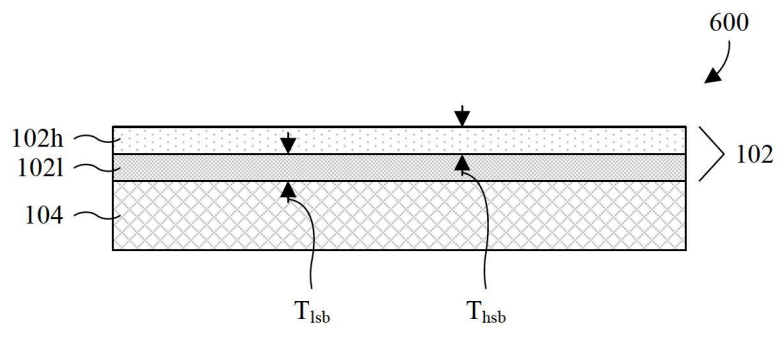
【圖4A】



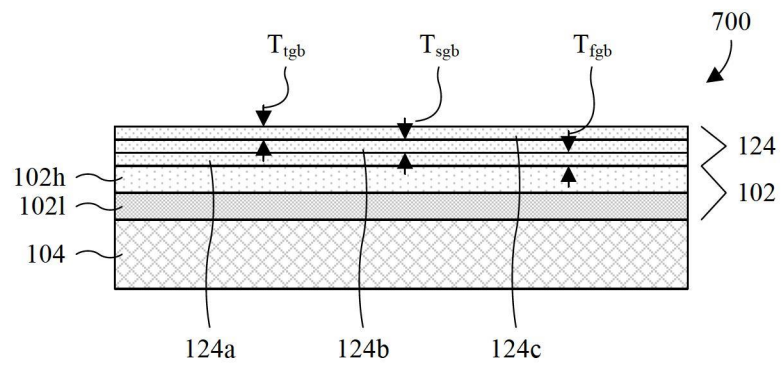
【圖4B】



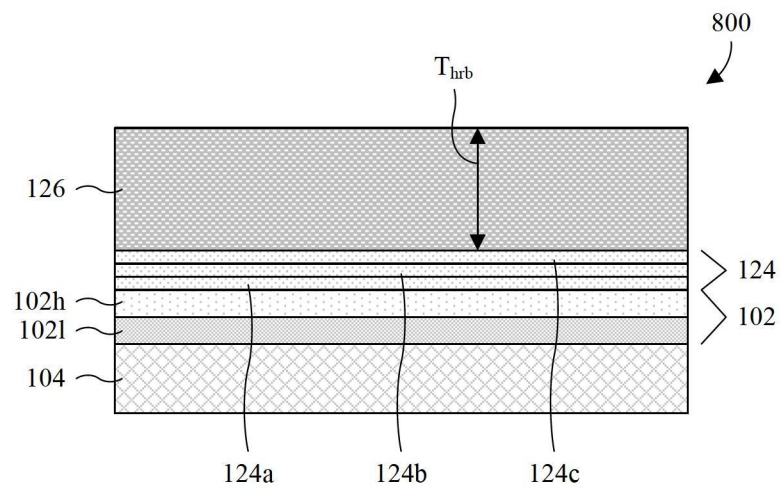
【圖5】



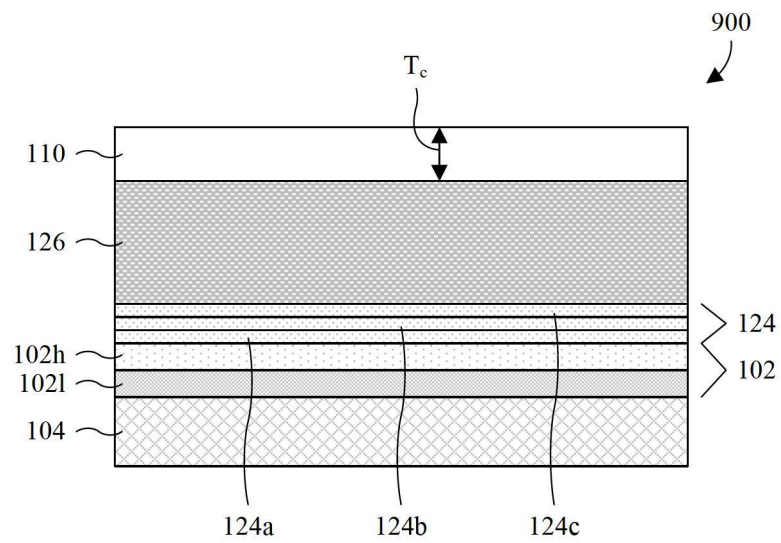
【圖6】



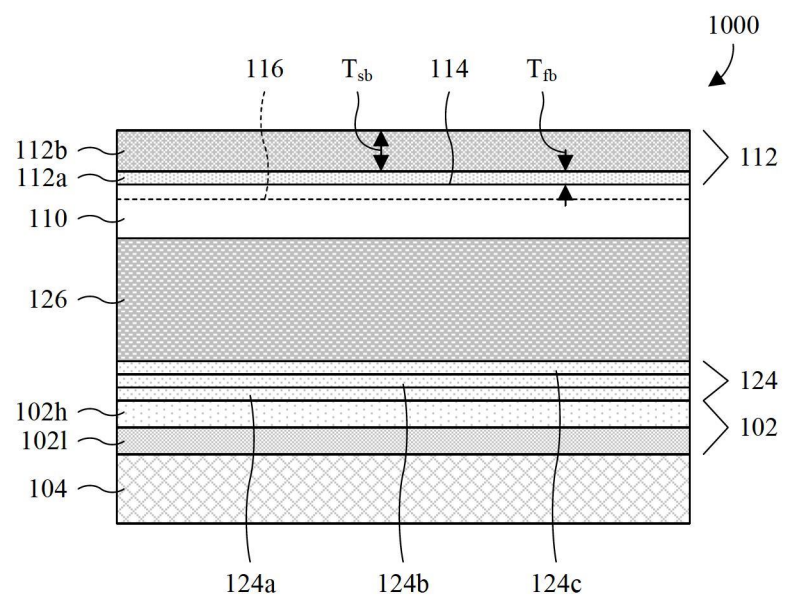
【圖7】



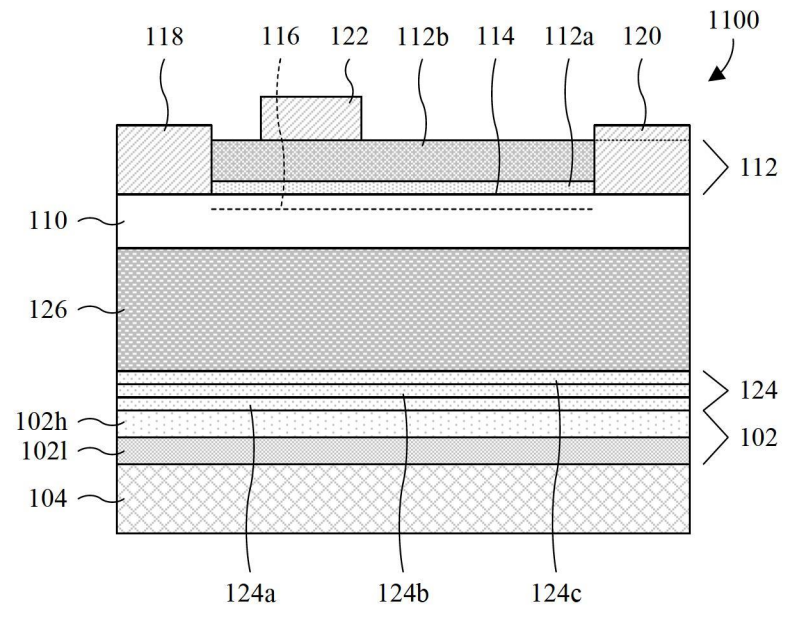
【圖8】



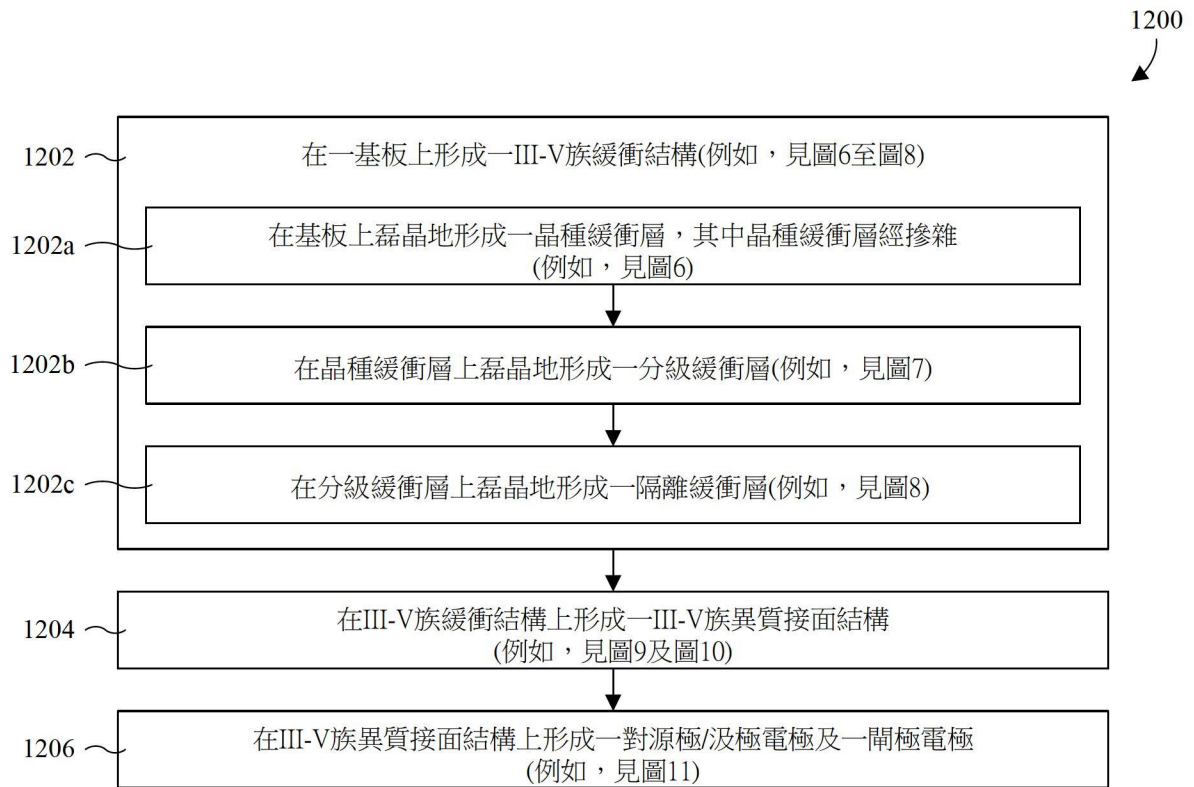
【圖9】



【圖10】



【圖11】



【圖12】