



(12)发明专利

(10)授权公告号 CN 104347512 B

(45)授权公告日 2017.07.14

(21)申请号 201310342916.0

(22)申请日 2013.08.07

(65)同一申请的已公布的文献号

申请公布号 CN 104347512 A

(43)申请公布日 2015.02.11

(73)专利权人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路18号

(72)发明人 禹国宾

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 骆苏华

(51)Int.Cl.

H01L 21/8238(2006.01)

H01L 21/324(2006.01)

(56)对比文件

CN 1926664 A,2007.03.07,

CN 103165457 A,2013.06.19,

US 2013178024 A1,2013.07.11,

CN 101573795 A,2009.11.04,

CN 1819202 A,2006.08.16,

CN 1926664 A,2007.03.07,

审查员 陈冠源

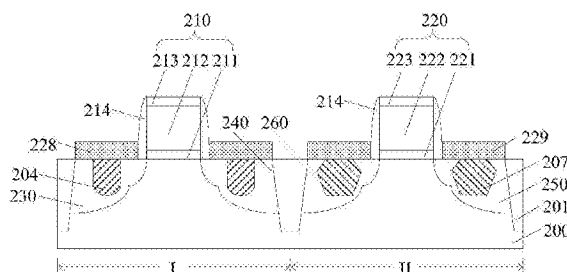
权利要求书2页 说明书10页 附图6页

(54)发明名称

CMOS晶体管的形成方法

(57)摘要

一种CMOS晶体管的形成方法,包括:提供半导体衬底;在所述半导体衬底的第一区域和第二区域形成栅极结构;在所述第一区域的栅极结构两侧的半导体衬底内形成第一凹槽;在所述第一凹槽内填充第一应力层;在所述第二区域的栅极结构两侧的半导体衬底内形成第二凹槽;在所述第二凹槽内填充第二应力层,所述第二应力层的应力类型与第一应力层相反;在所述第一栅极结构两侧半导体衬底表面形成第一碳化硅外延层,同时在第二栅极结构两侧半导体衬底表面形成第二碳化硅外延层。本发明能防止CMOS晶体管沟道区出现倒菱形尖峰,减小CMOS晶体管的漏电流,提高CMOS晶体管的可靠性以及成品率。



1. 一种CMOS晶体管的形成方法,其特征在于,包括:

提供半导体衬底,所述半导体衬底包括第一区域和第二区域,所述第一区域的半导体衬底表面形成有第一栅极结构,所述第二区域的半导体衬底表面形成有第二栅极结构;

在所述第一栅极结构两侧的半导体衬底内形成第一凹槽;

在所述第一凹槽内填充满第一应力层;

在所述第二栅极结构两侧的半导体衬底内形成第二凹槽;

在所述第二凹槽内填充满第二应力层,所述第二应力层的应力类型与第一应力层的类型相反;

在所述第一栅极结构两侧的半导体衬底表面形成第一碳化硅外延层,同时在所述第二栅极结构两侧的半导体衬底表面形成第二碳化硅外延层;

对所述第一栅极结构两侧的半导体衬底和第一碳化硅外延层进行掺杂,形成第一源区和第一漏区;

对所述第二栅极结构两侧的半导体衬底和第二碳化硅外延层进行掺杂,形成第二源区和第二漏区;

在所述第一碳化硅外延层表面淀积第一金属层,同时在第二碳化硅外延层表面淀积第二金属层;

对第一金属层和第二金属层进行退火处理,在第一源区和第一漏区表面形成第一金属硅化物层,同时在第二源区和第二漏区表面形成第二金属硅化物层。

2. 根据权利要求1所述的CMOS晶体管的形成方法,其特征在于,所述第一碳化硅外延层或第二碳化硅外延层的材料中碳的原子百分比为0.5%至5%。

3. 根据权利要求1所述的CMOS晶体管的形成方法,其特征在于,所述第一碳化硅外延层或第二碳化硅外延层的厚度为50埃至300埃。

4. 根据权利要求1所述的CMOS晶体管的形成方法,其特征在于,所述第一碳化硅外延层或第二碳化硅外延层的形成工艺为:外延温度为450度至600度,反应腔室压强为1托至500托,反应气体包括硅源气体和碳源气体,硅源气体为 SiH_4 或 SiH_2Cl_2 ,碳源气体为 C_2H_4 、 C_3H_8 或 C_2H_6 ,反应气体还包括 H_2 、 HCl 、 CH_4 、 CH_3Cl 或 CH_2Cl_2 中的一种或几种,硅源气体、碳源气体、 HCl 、 CH_4 、 CH_3Cl 、 CH_2Cl_2 的流量均为1sccm至1000sccm, H_2 流量为100sccm至50000sccm。

5. 根据权利要求1所述的CMOS晶体管的形成方法,其特征在于,所述退火处理为一步退火处理或多步退火处理。

6. 根据权利要求5所述的CMOS晶体管的形成方法,其特征在于,所述多步退火处理包括第一步退火处理和第二步退火处理。

7. 根据权利要求6所述的CMOS晶体管的形成方法,其特征在于,所述第一步退火处理为浸入式退火,退火温度为250度至350度,退火时长为20秒至90秒。

8. 根据权利要求6所述的CMOS晶体管的形成方法,其特征在于,所述第一步退火处理为毫秒退火,退火温度为650度至950度,退火时长为0.25毫秒至20毫秒。

9. 根据权利要求6所述的CMOS晶体管的形成方法,其特征在于,所述第二步退火处理为浸入式退火,退火温度为350度至500度,退火时长为20秒至90秒。

10. 根据权利要求6所述的CMOS晶体管的形成方法,其特征在于,所述第二步退火处理为尖峰退火,退火温度为350度至550度。

11. 根据权利要求1所述的CMOS晶体管的形成方法,其特征在于,所述第一金属层或第二金属层的材料为Ni、Pt、W、Ti、Ta或Co的单金属或合金。

12. 根据权利要求1所述的CMOS晶体管的形成方法,其特征在于,所述第一应力层或第二应力层的材料为SiC或SiGe。

13. 根据权利要求1所述的CMOS晶体管的形成方法,其特征在于,所述第一应力层或第二应力层的材料为SiC时, SiC中C的原子百分比为0.1%至10%。

14. 根据权利要求1所述的CMOS晶体管的形成方法,其特征在于,所述第一应力层或第二应力层的材料为SiGe时, SiGe中Ge的原子百分比为10%至50%。

15. 根据权利要求13所述的CMOS晶体管的形成方法,其特征在于,所述第一应力层或第二应力层的形成工艺为:外延温度450度至600度,反应腔室压强1托至500托,反应气体包括硅源气体和碳源气体,硅源气体为SiH₄或SiH₂Cl₂,碳源气体为C₂H₄、C₃H₈或C₂H₆,反应气体还包括HCl、CH₄、CH₃Cl、CH₂Cl₂或H₂中的一种或几种。

16. 根据权利要求14所述的CMOS晶体管的形成方法,其特征在于,所述第一应力层或第二应力层的形成工艺为:外延温度450度至700度,反应腔室压强1托至500托,反应气体包括硅源气体和锗源气体,硅源气体为SiH₄或SiH₂Cl₂,锗源气体为GeH₄,反应气体还包括HCl、CH₄、CH₃Cl、CH₂Cl₂或H₂中的一种或几种。

17. 根据权利要求1所述的CMOS晶体管的形成方法,其特征在于,所述第一凹槽或第二凹槽的形状为U形、方形或sigma形。

CMOS晶体管的形成方法

技术领域

[0001] 本发明涉及半导体制作领域,特别涉及CMOS晶体管的形成方法。

背景技术

[0002] 随着半导体器件集成度不断增大,半导体器件相关的临界尺寸不断减小,相应的出现了很多问题,如晶体管漏源区的表面电阻和接触电阻相应增加,导致晶体管的响应速度降低,信号出现延迟。因此,低电阻率的互连结构成为制造高集成度半导体器件的一个关键要素。

[0003] 为了降低晶体管漏源区的接触电阻,引入了金属硅化物的工艺方法,所述金属硅化物具有较低的电阻率,可以显著减小漏源极的接触电阻。金属硅化物和自对准金属硅化物及形成工艺已被广泛地用于降低MOS晶体管源极和漏极的表面电阻和接触电阻,从而降低电阻电容延迟时间。

[0004] 现有的自对准金属硅化物技术中,常采用硅化镍作为金属硅化物。由于利用所述硅化镍形成的源极和漏极的接触电阻,具有较小的电阻率、较小的硅消耗、容易达到较窄的线宽,因此,硅化镍被视为一种较为理想的金属硅化物。

[0005] 但是现有技术形成的晶体管仍然存在可靠性差以及成品率低的问题。

发明内容

[0006] 本发明解决的问题是提供一种优化的CMOS晶体管的形成方法,抑制晶体管中金属硅化物扩散至不期望区域,从而减小晶体管的漏电流,避免晶体管中出现源区或漏区的击穿或短路,提高晶体管的可靠性和成品率。

[0007] 为解决上述问题,本发明提供一种CMOS晶体管的形成方法,包括:

[0008] 提供半导体衬底,所述半导体衬底包括第一区域和第二区域,所述第一区域的半导体衬底表面形成有第一栅极结构,所述第二区域的半导体衬底表面形成有第二栅极结构;在所述第一栅极结构两侧的半导体衬底内形成第一凹槽;在所述第一凹槽内填充第一应力层;在所述第二栅极结构两侧的半导体衬底内形成第二凹槽;在所述第二凹槽内填充第二应力层,所述第二应力层的应力类型与第一应力层的类型相反;在所述第一栅极结构两侧的半导体衬底表面形成第一碳化硅外延层,同时在所述第二栅极结构两侧的半导体衬底表面形成第二碳化硅外延层;对所述第一栅极结构两侧的半导体衬底和第一碳化硅外延层进行掺杂,形成第一源区和第一漏区;对所述第二栅极结构两侧的半导体衬底和第二碳化硅外延层进行掺杂,形成第二源区和第二漏区;在所述第一碳化硅外延层表面淀积第一金属层,同时在第二碳化硅外延层表面淀积第二金属层;对第一金属层和第二金属层进行退火处理,在第一源区和第一漏区表面形成第一金属硅化物层,同时在第二源区和第二漏区表面形成第二金属硅化物层。

[0009] 可选的,所述第一碳化硅外延层或第二碳化硅外延层的材料中碳的原子百分比为0.5%至5%。

- [0010] 可选的,所述第一碳化硅外延层或第二碳化硅外延层的厚度为50埃至300埃。
- [0011] 可选的,所述第一碳化硅外延层或第二碳化硅外延层的形成工艺为:外延温度为450度至600度,反应腔室压强为1托至500托,反应气体包括硅源气体和碳源气体,硅源气体为SiH₄或SiH₂Cl₂,碳源气体为C₂H₄、C₃H₈或C₂H₆,反应气体还包括H₂、HCl、CH₄、CH₃Cl或CH₂Cl₂中的一种或几种,硅源气体、碳源气体、HCl、CH₄、CH₃Cl、CH₂Cl₂的流量均为1sccm至1000sccm,H₂流量为100sccm至50000sccm。
- [0012] 可选的,所述退火处理为一步退火处理或多步退火处理。
- [0013] 可选的,所述多步退火处理包括第一步退火处理和第二步退火处理。
- [0014] 可选的,所述第一步退火处理为浸入式退火,退火温度为250度至350度,退火时长为20秒至90秒。
- [0015] 可选的,所述第一步退火处理为毫秒退火,退火温度为650度至950度,退火时长为0.25毫秒至20毫秒。
- [0016] 可选的,所述第二步退火处理为浸入式退火,退火温度为350度至500度,退火时长为20秒至90秒。
- [0017] 可选的,所述第二步退火处理为尖峰退火,退火温度为350度至550度。
- [0018] 可选的,所述第一金属层或第二金属层的材料为Ni、Pt、W、Ti、Ta或Co的单金属或合金。
- [0019] 可选的,所述第一应力层或第二应力层的材料为SiC或SiGe。
- [0020] 可选的,所述第一应力层或第二应力层的材料为SiC时,SiC中C的原子百分比为0.1%至10%。
- [0021] 可选的,所述第一应力层或第二应力层的材料为SiGe时,SiGe中Ge的原子百分比为10%至50%。
- [0022] 可选的,所述第一应力层或第二应力层的形成工艺为:外延温度450度至600度,反应腔室压强1托至500托,反应气体包括硅源气体和碳源气体,硅源气体为SiH₄或SiH₂Cl₂,碳源气体为C₂H₄、C₃H₈或C₂H₆,反应气体还包括HCl、CH₄、CH₃Cl、CH₂Cl₂或H₂中的一种或几种。
- [0023] 可选的,所述第一应力层或第二应力层的形成工艺为:外延温度450度至700度,反应腔室压强1托至500托,反应气体包括硅源气体和锗源气体,硅源气体为SiH₄或SiH₂Cl₂,锗源气体为GeH₄,反应气体还包括HCl、CH₄、CH₃Cl、CH₂Cl₂或H₂中的一种或几种。
- [0024] 可选的,所述第一凹槽或第二凹槽的形状为U形、方形或sigma形。
- [0025] 与现有技术相比,本发明的技术方案具有以下优点:
- [0026] 本发明提供一种CMOS晶体管的形成方法,其中,在第一栅极结构两侧的半导体衬底表面形成第一碳化硅外延层,同时在第二栅极结构两侧的半导体衬底表面形成第二碳化硅外延层。
- [0027] 首先,所述第一碳化硅外延层或第二碳化硅外延层为后续形成第一金属硅化物层或第二金属硅化物层提供硅原子,且后续形成的第一金属硅化物层或第二金属硅化物层中具有碳原子,所述碳原子可以阻止第一金属硅化物层或第二金属硅化物层中的金属镍向CMOS晶体管沟道区扩散,避免在沟道区内形成倒菱形尖峰,从而减小CMOS晶体管的漏电流,提高CMOS晶体管的可靠性及成品率。
- [0028] 其次,第一碳化硅外延层和第二碳化硅外延层是同时形成的,减少了CMOS晶体管

形成工艺中的热预算,热预算的减少有利于减小CMOS晶体管的形成时间,提高CMOS晶体管的生产效率,且热预算的减少可以防止第一应力层或第二应力层受热产生退应力效应,从而提高CMOS晶体管的载流子迁移率,提高CMOS晶体管的驱动性能。

[0029] 再次,第一碳化硅外延层或第二碳化硅外延层采用外延工艺形成,所述第一碳化硅外延层或第二碳化硅外延层的材料中碳原子分布均匀,因此后续形成的第一金属硅化物层或第二金属硅化物层中碳原子也具有均匀的分布,在第一金属硅化物层或第二金属硅化物层底部区域仍具有较佳的阻挡金属镍扩散的能力。

[0030] 进一步的,形成第一金属硅化物层或第二金属硅化物层的工艺为两步退火处理,第一金属硅化物层或第二金属硅化物层的材料为NiSi,NiSi在硅化镍系列材料中具有电阻率较低且稳定性较高的特性,因此形成的CMOS晶体管的电学性能得到提高。

附图说明

[0031] 图1为本发明一实施例形成的CMOS晶体管的剖面结构示意图;

[0032] 图2至图11为本发明另一实施例CMOS晶体管形成过程的剖面结构示意图。

具体实施方式

[0033] 由背景技术可知,现有技术形成的晶体管漏电流大,容易导致晶体管的源区和漏区发生击穿或短路现象,晶体管的可靠性及成品率低。

[0034] 针对CMOS晶体管的形成工艺进行研究,请参考图1:

[0035] 提供半导体衬底100,所述半导体衬底100具有第一区域和第二区域,所述半导体衬底100内形成有浅沟槽隔离结构101,所述半导体衬底100表面形成有第一栅极结构110,所述半导体衬底100表面形成有第二栅极结构120,所述第一栅极结构110和第二栅极结构120两侧形成有侧墙102;

[0036] 在第一栅极结构110两侧的半导体衬底100内形成第一应力层(未图示);

[0037] 在第一栅极结构110两侧的半导体衬底100表面形成第一硅帽层(未图示);

[0038] 在第二栅极结构120两侧的半导体衬底100内形成第二应力层(未图示);

[0039] 在第二栅极结构120两侧的半导体衬底100表面形成第二硅帽层(未图示);

[0040] 对所述第一硅帽层和第一栅极结构110两侧的半导体衬底100进行掺杂,形成第一源区104和第一漏区103;

[0041] 对所述第二硅帽层和第二栅极结构120两侧的半导体衬底100进行掺杂,形成第一源区105和第一漏区106;

[0042] 在所述第一硅帽层表面淀积第一金属层,同时在第二硅帽层表面淀积第二金属层,在高温条件下进行硅化工艺,在第一栅极结构110两侧的半导体衬底100表面形成第一金属硅化物层107,在第二栅极结构120两侧的半导体衬底100表面形成第二金属硅化物层108。

[0043] 由于硅化镍具有较低的电阻率,且形成预定厚度的硅化镍所需的Si远少于其他金属硅化物,有利于减小CMOS晶体管的接触电阻,因此,第一金属硅化物层107或第二金属硅化物层108的材料为硅化镍。

[0044] 针对CMOS晶体管的形成工艺进行进一步的研究发现,形成的CMOS晶体管的漏电流

大,可靠性差,成品率低。这主要由以下原因造成的:

[0045] 在高温条件下进行硅化工艺,金属层中的镍与硅帽层中的硅反应形成金属硅化物层。金属硅化物层镍具有向CMOS晶体管源区、漏区扩散的特性,以及向沟道区方向横向扩散的特性,特别的,金属硅化物层底部位置的镍由于距离源区、漏区和沟道区较近,金属硅化物层底部位置的镍更易扩散至上述不期望区域。

[0046] 由于源区、漏区以及沟道区中的硅含量远高于镍含量,扩散至沟道区的镍与硅发生反应形成 NiSi_2 , NiSi_2 具有继续向硅含量高的区域扩散的特性,使得 NiSi_2 继续向沟道区侵蚀,形成如图1所示的倒菱形尖峰01, NiSi_2 具有一定的导电性,CMOS晶体管的漏电流增大,可靠性降低,成品率降低,严重的,沟道区中的倒菱形尖峰01会造成CMOS晶体管漏源区的击穿或短路。

[0047] 为此,本发明提供一种优化的CMOS晶体管的形成方法,在第一栅极结构两侧的半导体衬底表面形成第一碳化硅外延层,同时在第二栅极结构两侧的半导体衬底表面形成第二碳化硅外延层;后续在第一碳化硅外延层表面淀积第一金属层形成第一金属硅化物层,在第二碳化硅外延层表面淀积第二金属层形成第二金属硅化物层。本发明避免在沟道区内形成倒菱形尖峰,从而减小CMOS晶体管的漏电流,提高CMOS晶体管的可靠性及成品率。

[0048] 为使本发明的上述目的、特征和优点能够更为明显易懂,下面结合附图对本发明的具体实施例做详细的说明。

[0049] 图2至图11为本发明一实施例CMOS晶体管形成过程的剖面示意图。

[0050] 请参考图2,提供半导体衬底200,所述半导体衬底包括第一区域I和第二区域II,所述第一区域I的半导体衬底200表面形成有第一栅极结构210,所述第二区域II的半导体衬底200表面形成有第二栅极结构220。

[0051] 具体地,所述半导体衬底200为单晶硅、多晶硅、非晶硅或绝缘体上的硅其中的一种;所述半导体衬底200也可以为Si衬底、Ge衬底、GeSi衬底或GaAs衬底;所述半导体衬底200表面还可以形成若干外延界面层或应变层以提高CMOS晶体管的电学性能。

[0052] 在本发明的实施例中,所述半导体衬底200为Si衬底。

[0053] 所述第一区域I为NMOS区域或PMOS区域,所述第二区域II为NMOS区域或PMOS区域;当所述第一区域I为NMOS区域时,所述第二区域II为PMOS区域,当所述第一区域I为PMOS区域时,所述第二区域II为NMOS区域。

[0054] 在本发明的实施例中,以所述第一区域I为NMOS区域,第二区域II为PMOS区域做示范性说明。

[0055] 在所述半导体衬底200内还可以形成隔离结构,现有的隔离结构通常采用浅沟槽隔离。所述浅沟槽隔离结构的填充材料可以为氧化硅、氮化硅、氮氧化硅中的一种或几种。需要说明的是,隔离结构的形成是可选而非必需的,其主要用于隔离第一区域I和第二区域II,防止不同晶体管之间电学连接。

[0056] 在本实施例中,半导体衬底200内形成浅沟槽隔离结构201,所述浅沟槽隔离结构201内填充氧化硅。

[0057] 所述第一栅极结构210或第二栅极结构220可以为替代栅结构、金属栅极结构或多晶硅栅极结构。

[0058] 在本实施例中,所述第一栅极结构210包括:位于半导体衬底200表面的第一栅氧

化层211,位于第一栅介质层211表面的第一栅电极层212,以及位于第一栅电极层212表面的第一掩蔽层213。

[0059] 所述第二栅极结构220包括:位于半导体衬底200表面的第二栅介质层221,位于第二栅介质层221表面的第二栅电极层222,以及位于第二栅电极层222表面的第二掩蔽层223。

[0060] 在本实施例中,所述第一栅介质层211或第二栅介质层221的材料为氧化硅或氮氧化硅,所述第一栅电极层212或第二栅电极层222的材料为多晶硅,所述第一掩蔽层213或第二掩蔽层223的材料为氮化硅。

[0061] 作为另一个实施例,所述第一栅介质层211或第二栅介质层221的材料为氧化铪等高k介质材料,所述第一栅电极层212或第二栅电极层222的材料为金属或其他导电材料,所述第一掩蔽层213或第二掩蔽层223的材料为氮氧化硅。

[0062] 需要说明的是,所述第一掩蔽层213或第二掩蔽层223的形成是可选的而非必需的。

[0063] 在本实施例中,第一栅极结构210和第二栅极结构220两侧形成侧墙214,侧墙214位于半导体衬底200表面且紧挨第一栅极结构210或第二栅极结构220。所述侧墙214的材料为氧化硅、碳化硅、氮化硅或者氮氧化硅。

[0064] 所述侧墙214的主要作用为:保护第一栅极结构210和第二栅极结构220的侧壁,使其在后续进行蚀刻或离子注入时不受损伤。

[0065] 需要说明的是,侧墙214的形成是可选的而非必需的。

[0066] 本发明另一个实施例中,所述侧墙214在后续第一碳化硅外延层和第二碳化硅外延层形成后,紧挨第一栅极结构210或第二栅极结构220的两侧形成。

[0067] 在形成侧墙214之前,在第一栅极结构210或第二栅极结构220两侧的半导体衬底200内还会形成低掺杂源漏区(LDD),防止热电子退化效应。

[0068] 请参考图3,在所述第一栅极结构210两侧的半导体衬底200内形成第一凹槽202。

[0069] 所述第一凹槽202的形成步骤为:在所述半导体衬底200表面形成覆盖第一栅极结构210和第二栅极结构220的第一掩膜层203,所述第一掩膜层203具有位于第一栅极结构210两侧的第一开口,沿第一开口刻蚀第一栅极结构210两侧的半导体衬底200,在半导体衬底200内形成第一凹槽202。

[0070] 所述第一凹槽202的形状为U形、方形或sigma形。

[0071] 采用干法刻蚀或湿法刻蚀工艺形成所述第一凹槽202。

[0072] 本实施例中,所述第一凹槽202的形状为U形。

[0073] 作为一个实施例,以U形第一凹槽202的形成工艺做示范性说明:首先以所述第一掩膜层203为掩膜,采用干法刻蚀工艺,沿第一开口刻蚀所述半导体衬底200,形成U形的第一凹槽202。

[0074] 请参考图4,在所述第一凹槽202(请参考图3)内填充第一应力层204。

[0075] 本实施例中,所述第一应力层204的上表面与半导体衬底200表面平齐。在其他实施例中,所述第一应力层204的上表面可以低于半导体衬底200表面,也可以高于半导体衬底200表面。

[0076] 本实施例中,所述第一区域I为NMOS区域,则所述第一应力层204的材料为张应力

材料,以所述第一应力层204的材料为SiC做示范性说明。

[0077] 所述第一应力层204的形成工艺为选择性外延,所述第一应力层204的材料SiC中C的原子百分比为0.1%至10%。

[0078] 选择性外延形成第一应力层204的外延工艺参数为:外延温度450度至600度,反应腔室压强1托至500托,反应气体包括硅源气体和碳源气体,硅源气体为SiH₄或SiH₂Cl₂,碳源气体为C₂H₄、C₃H₈或C₂H₆,反应气体还包括HCl、CH₄、CH₃Cl、CH₂Cl₂或H₂的一种或几种。

[0079] 所述第一应力层204可以为单层结构,也可以为多层结构。

[0080] 所述第一应力层204为单层结构时,所述第一应力层204包括填充第一凹槽202的碳硅体层,所述碳硅体层中C的原子百分比为0.1%至10%。

[0081] 所述第一应力层204为多层结构时,所述第一应力层204包括:位于第一凹槽202底部和侧壁的碳硅种子层,所述碳硅种子层中C的原子百分比为0.1%至1%;位于碳硅种子层表面的碳硅渐变层,所述碳硅渐变层中C的原子百分比为0.1%逐渐增加到后续碳硅体层中C的原子百分比值;位于碳硅渐变层表面的碳硅体层,所述碳硅体层中C的原子百分比为1%至10%。

[0082] 在形成所述第一应力层204过程中,还可以包括步骤:对所述第一应力层204进行原位自掺杂。

[0083] 本实施例中,所述第一应力层204的材料为SiC,对所述第一应力层204进行原位N型自掺杂,向外延反应腔室内通入N型离子气体。作为一个实施例,所述N型离子气体是含磷气体(PH₃、P₂O₅)。

[0084] 请参考图5,在所述第二栅极结构220两侧的半导体衬底200内形成第二凹槽205。

[0085] 所述第二凹槽205的形成步骤为:去除第一掩膜层203(请参考图4),在所述半导体衬底200表面形成覆盖第一栅极结构210和第二栅极结构220的第二掩膜层206,所述第二掩膜层206具有位于第二栅极结构220两侧的第二开口,沿第二开口刻蚀第二栅极结构220两侧的半导体衬底200,在半导体衬底200内形成第二凹槽205。

[0086] 作为一个实施例,去除第一掩膜层203的工艺为:采用四甲基氢氧化铵(TMAH)溶液或者氨(NH₃)水溶液进行湿法刻蚀,其中,所述四甲基氢氧化铵(TMAH)溶液的浓度为3%至30%,所述氨(NH₃)水溶液的浓度为3%至30%。

[0087] 所述第二凹槽205的形状为U形、方形或sigma形。

[0088] 本实施例中,所述第二凹槽205的形状为sigma形。

[0089] 请参考图6,在所述第二凹槽205(请参考图5)内填充第二应力层207,所述第二应力层207的应力类型与第一应力层204相反。

[0090] 本实施例中,所述第二应力层207的上表面与半导体衬底200表面平齐。在其他实施例中,所述第二应力层207的上表面可以低于半导体衬底200表面,也可以高于半导体衬底200表面。

[0091] 本实施例中,所述第一区域II为PMOS区域,则所述第二应力层207的材料为压应力材料,以所述第二应力层207的材料为SiGe做示范性说明。

[0092] 所述第二应力层207的形成工艺为选择性外延。

[0093] 选择性外延形成第二应力层207的外延工艺参数为:外延温度450度至700度,反应腔室压强1托至500托,反应气体包括硅源气体和锗源气体,硅源气体为SiH₄或SiH₂Cl₂,锗源

气体为GeH₄,反应气体还包括HCl、CH₄、CH₃Cl、CH₂Cl₂或H₂中的一种或几种。

[0094] 所述第二应力层207可以为单层结构,也可以为多层结构。

[0095] 所述第二应力层207为单层结构时,所述第二应力层207包括填充第二凹槽205的锗硅体层,所述锗硅体层中Ge的原子百分比为10%至50%。

[0096] 所述第二应力层207为多层结构时,所述第二应力层207包括:位于第一凹槽202底部和侧壁的锗硅种子层,所述锗硅种子层中Ge的原子百分比为10%至20%;位于锗硅种子层表面的锗硅渐变层,所述锗硅渐变层中Ge的原子百分比为20%逐渐增加到后续锗硅体层中Ge的原子百分比;位于锗硅渐变层表面的锗硅体层,所述锗硅体层中Ge的原子百分比为20%至50%。

[0097] 在形成所述第二应力层207过程中,还可以包括步骤:对所述第二应力层207进行原位自掺杂。

[0098] 本实施例中,所述第二应力层207的材料为SiGe,对所述第二应力层207进行原位P型自掺杂,向外延反应腔室内通入P型离子气体。作为一个实施例,所述P型离子气体是含硼气体(B₂H₆、BH₃)。

[0099] 请参考图7,在所述第一栅极结构210两侧的半导体衬底200表面形成第一碳化硅外延层208,同时在所述第二栅极结构220两侧的半导体衬底200表面形成第二碳化硅外延层209。

[0100] 本实施例中,所述第一碳化硅外延层208或第二碳化硅外延层209的形成步骤为:去除第二掩膜层206(请参考图6),在第一栅极结构210两侧的半导体衬底200表面采用选择性外延工艺形成第一碳化硅外延层208,同时在第二栅极结构220两侧的半导体衬底200表面采用选择性外延工艺形成第二碳化硅外延层209。

[0101] 所述第一碳化硅外延层208和第二碳化硅外延层209是同时形成的,有利于减少CMOS晶体管形成工艺的热预算,减少CMOS晶体管的形成时间,缩短生产周期,从而提高CMOS晶体管的生产效率;且热预算的减少,有利于提高第一应力层204或第二应力层207的质量,这是由于,第一应力层204或第二应力层207受到过多的热处理,会产生退应力效应。

[0102] 所述第一碳化硅外延层208或第二碳化硅外延层209为后续形成金属硅化物层提供硅原子;且所述第一碳化硅外延层208或第二碳化硅外延层209中的碳原子具有阻挡后续形成的金属硅化物层中金属离子向沟道区扩散的作用。这是由于:碳原子具有比金属硅化物层中硅原子和金属原子小的原子半径,碳原子分布在金属硅化物层的晶格间隙中,使得金属硅化物层具有较高的热稳定性,有利于阻挡金属硅化物层中的金属离子向CMOS晶体管的沟道区内扩散,从而抑制在沟道区形成倒菱形尖峰,减小CMOS晶体管的漏电流,提高CMOS晶体管的可靠性以及成品率。

[0103] 所述第一碳化硅外延层208或第二碳化硅外延层209的形成工艺为外延,采用外延工艺,形成的碳化硅外延层的材料中碳原子分布均匀,碳化硅外延层底部和顶部的碳原子含量相同,均匀分布的碳原子阻挡金属硅化物中的金属离子扩散的能力强,有利于提高CMOS晶体管的可靠性。

[0104] 第一碳化硅外延层208或第二碳化硅外延层209的厚度过小,容易造成金属硅化物与半导体衬底200接触面出现空隙,导致CMOS晶体管的接触电阻变大;第一碳化硅外延层208或第二碳化硅外延层209的厚度过大,碳化硅外延层自身的电阻在晶体管接触电阻中所

占比重增大,对减小CMOS晶体管的接触电阻产生不利影响。

[0105] 第一碳化硅外延层208或第二碳化硅外延层209中碳的含量过小,起不到阻挡金属硅化物中易扩散离子扩散的作用,所述第一碳化硅外延层208或第二碳化硅外延层209中碳的含量过大,碳化硅外延层的致密度差,导致后续形成的金属硅化物致密度低,CMOS晶体管的接触电阻大。

[0106] 本实施例中,第一碳化硅外延层208或第二碳化硅外延层209的厚度为50埃至300埃,所述第一碳化硅外延层208或第二碳化硅外延层209中碳的原子百分比为0.5%至5%。

[0107] 本实施例中,外延形成第一碳化硅外延层208或第二碳化硅外延层209的工艺为:外延温度450度至600度,压强1托至500托,反应气体包括硅源气体和碳源气体,硅源气体为SiH₄或SiH₂Cl₂,碳源气体为C₂H₄、C₃H₈或C₂H₆,反应气体还包括HCl、CH₄、CH₃Cl、CH₂Cl₂或H₂的一种或几种,硅源气体、碳源气体、HCl、CH₄、CH₃Cl或CH₂Cl₂的气体流量均为1sccm(标况毫升每分钟:standard-state cubic centimeter per minute)至1000sccm,H₂气体流量为100sccm至50000sccm。

[0108] 请参考图8,对所述第一栅极结210两侧的半导体衬底200和第一碳化硅外延层208进行掺杂,形成第一源区230和第一漏区240。

[0109] 所述第一源区230和第一漏区240的形成工艺为第一离子注入,所述第一离子注入的具体步骤为:以所述第一栅极结构210和侧墙214为掩膜,对所述栅极结构210和侧墙214两侧的第一碳化硅外延层208和半导体衬底200进行第一离子注入,形成第一碳化硅外延层208中的离子掺杂区及半导体衬底200中的离子掺杂区,所述半导体衬底200中的离子掺杂区的深度大于前述形成的LDD的深度,所述第一碳化硅外延层208中的离子掺杂区、半导体衬底200中的离子掺杂区以及前述形成的LDD构成第一源区230和第一漏区240。

[0110] 对所述第一碳化硅外延层208进行掺杂的目的为:防止后续形成金属硅化物接触层时,第一碳化硅外延层208层底部有部分硅未发生反应,造成金属硅化物层和半导体衬底200的离子掺杂区和LDD的隔离,增大了接触电阻,影响金属硅化物层与半导体衬底200中的离子掺杂区和LDD的导通性能。

[0111] 本实施例中,所述第一离子注入的类型为N型离子注入,所述第一源区230和第一漏区240位置可以互换。

[0112] 请参考图9,对所述第二栅极结构220两侧的半导体衬底200和第二碳化硅外延层209进行掺杂,形成第二源区250和第二漏区260。

[0113] 形成所述第二源区250和第二漏区260的掺杂工艺采用第二离子注入工艺,所述第一源区230和第一漏区240的形成步骤参见第二源区250和第二漏区260的形成步骤,在此不再赘述。

[0114] 本实施中,所述第二离子注入的类型为P型离子注入,所述第二源区250和第二漏区260位置可以互换。

[0115] 请参考图10,在所述第一碳化硅外延层208表面淀积第一金属层218,同时在第二碳化硅外延层209表面淀积第二金属层219。

[0116] 所述第一金属层218或第二金属层219的材料为Ni、Pt、W、Ti、Ta或Co的单金属或合金。所述第一金属层218或第二金属层219的形成工艺为物理气相沉积、金属溅射或原子层沉积。

[0117] 本实施例中,所述第一金属层218或第二金属层219的材料为Ni,所述第一金属层218或第二金属层219的形成工艺为物理气相沉积,所述第一金属层218或第二金属层219的厚度为50埃至200埃。

[0118] 请参考图11,对第一金属层218和第二金属层219进行退火处理,在第一源区230和第一漏区240表面形成第一金属硅化物层228,同时在第二源区250和第二漏区260表面形成第二金属硅化物层229。

[0119] 所述退火处理为一步退火处理或多步退火处理。所述多步退火处理包括第一步退火处理和第二步退火处理。

[0120] 本实施例以对第一金属层228进行多步退火处理作示范性说明。

[0121] 所述第一步退火处理可以为浸入式退火,退火温度为250度至350度,退火时长为20秒至90秒。

[0122] 所述第一步退火处理也可以为毫秒退火,退火温度为650度至950度,退火时长为0.25毫秒至20毫秒。

[0123] 经过第一步退火处理后,第一金属层218中的镍与第一碳化硅外延层208中的硅反应,形成 Ni_2Si 层。

[0124] 对形成的 Ni_2Si 层进行第二步退火处理。

[0125] 所述第二步退火处理可以为浸入式退火,退火温度为350度至500度,退火时长为20秒至90秒。

[0126] 所述第二步退火处理也可以为尖峰退火,退火温度为350度至550度。

[0127] 经过第二步退火处理后,所述 Ni_2Si 与第一碳化硅外延层208中的硅继续反应,在第一源区230和第一漏区240表面形成第一金属硅化物层228。所述金属硅化物层228的材料为NiSi,NiSi的电阻率小且稳定性比 Ni_2Si 高。

[0128] 第一金属硅化物层228的材料为NiSi,且第一金属硅化物层228中存在碳原子,碳原子可以较佳地阻挡镍原子的扩散,包括阻挡镍原子向沟道区扩散和阻挡镍原子向源区和漏区扩散,减少了 $NiSi_2$ 的生成。因此,第一金属硅化物层228中的材料具有较高的热稳定性,有利于减小CMOS晶体管的漏电流,防止第一源区230和第一漏区240发生短路,提高CMOS晶体管的可靠性及成品率。

[0129] 第二金属硅化物层229的形成工艺参见第一金属硅化物层228的形成工艺,在此不再赘述。

[0130] 本发明提供的CMOS晶体管的形成方法,在形成第一金属硅化物层或第二金属硅化物层之前,在第一栅极结构两侧的半导体衬底表面形成第一碳化硅外延层,同时在第二栅极结构两侧的半导体衬底表面形成第二碳化硅外延层。因此后续形成的第一金属硅化物层或第二金属硅化物层中存在碳原子,碳原子位于金属硅化物的晶格间隙中,阻挡金属硅化物中的金属离子扩散至不期望区域,因此,第一金属硅化物层或第二金属硅化物层中的金属离子扩散至沟道区的几率减小,第一金属硅化物层或第二金属硅化物层的热稳定性增大,抑制在CMOS晶体管的沟道区形成倒菱形尖峰,减小了CMOS晶体管的漏电流,提高了CMOS晶体管的可靠性及成品率。

[0131] 且由于第一碳化硅外延层或第二碳化硅外延层的形成工艺为外延,第一碳化硅外延层或第二碳化硅外延层的底部区域仍具有较佳浓度的碳原子,后续形成的第一金属硅化

物层或第二金属硅化物层的底部也具有较佳阻挡金属离子扩散的能力。

[0132] 本发明提供的实施例中,所述第一金属硅化物层或第二金属硅化物层是经过多步退火处理形成的,所述第一金属硅化物层或第二金属硅化物层的材料为电阻率低且热稳定性相对较高的NiSi,有利于提高CMOS晶体管的可靠性以及成品率。

[0133] 本发明提供的实施例中,在第一应力层和第二应力层形成之后,同时形成第一碳化硅外延层和第二碳化硅外延层,减少了CMOS晶体管中的热预算,从而提高了CMOS晶体管的生成效率,缩短生成周期;且热预算的减少,有利于提高第一应力层或第二应力层的质量,避免第一应力层或第二应力层因热处理过程造成退应力效应,从而提高了CMOS晶体管的载流子迁移率,进而提高了CMOS晶体管的驱动能力。

[0134] 虽然本发明披露如上,但本发明并非限于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

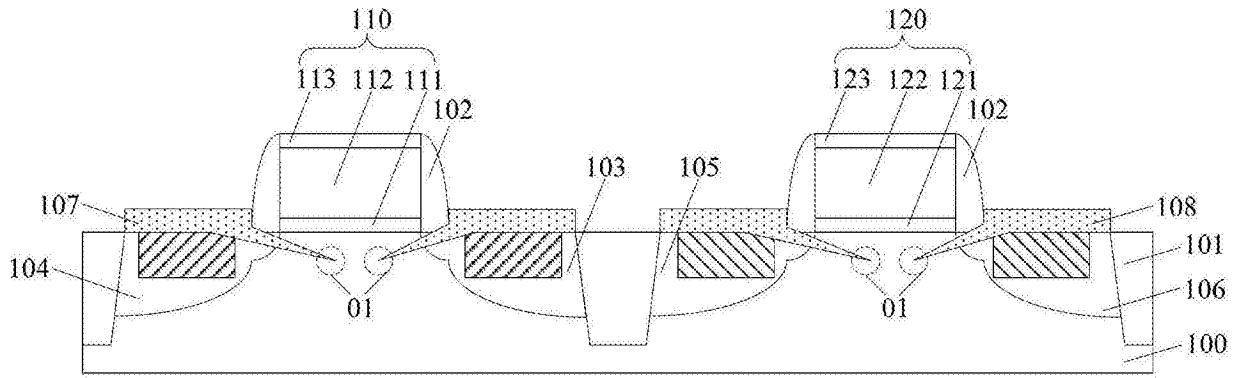


图1

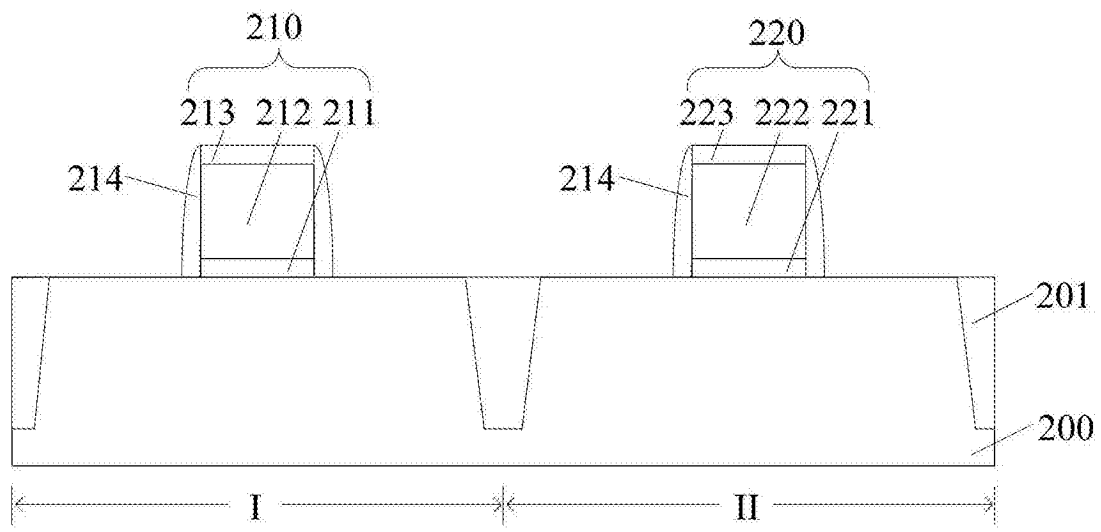


图2

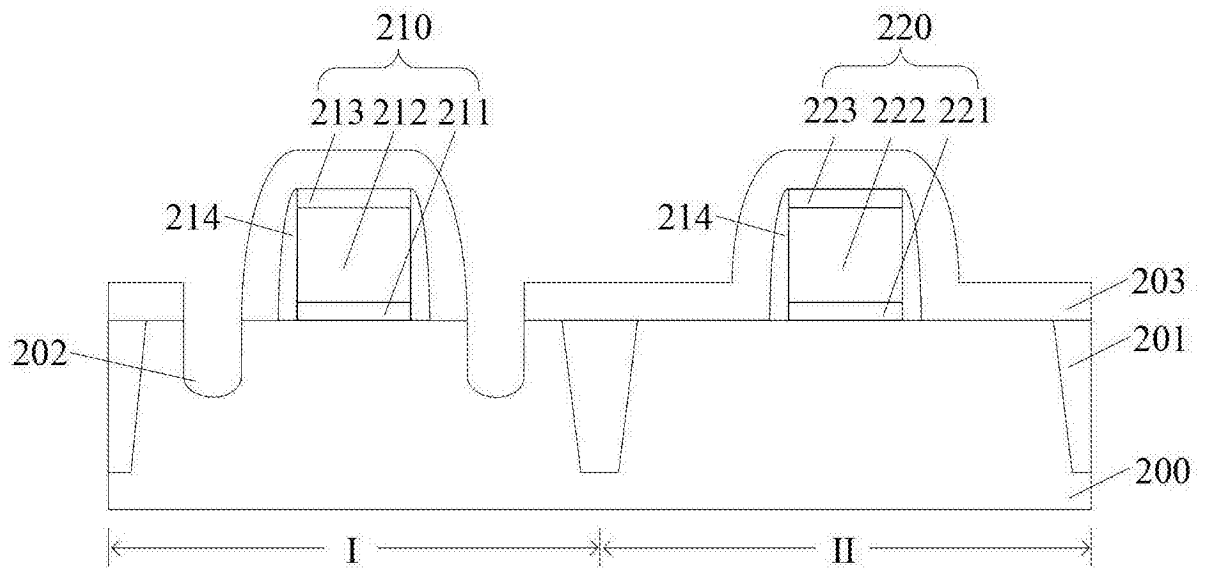


图3

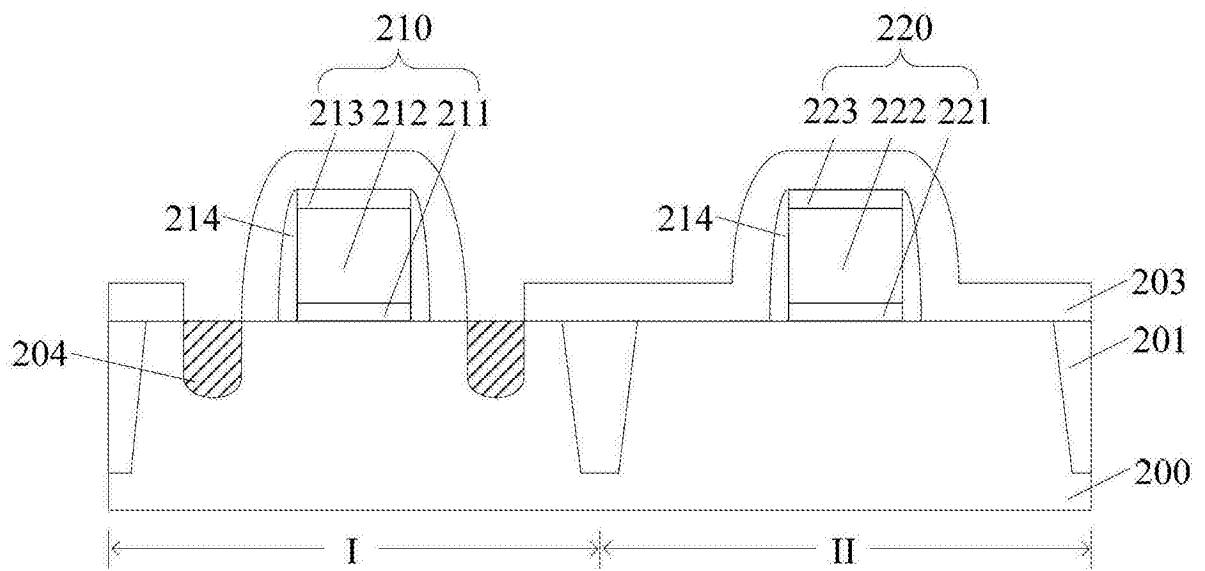


图4

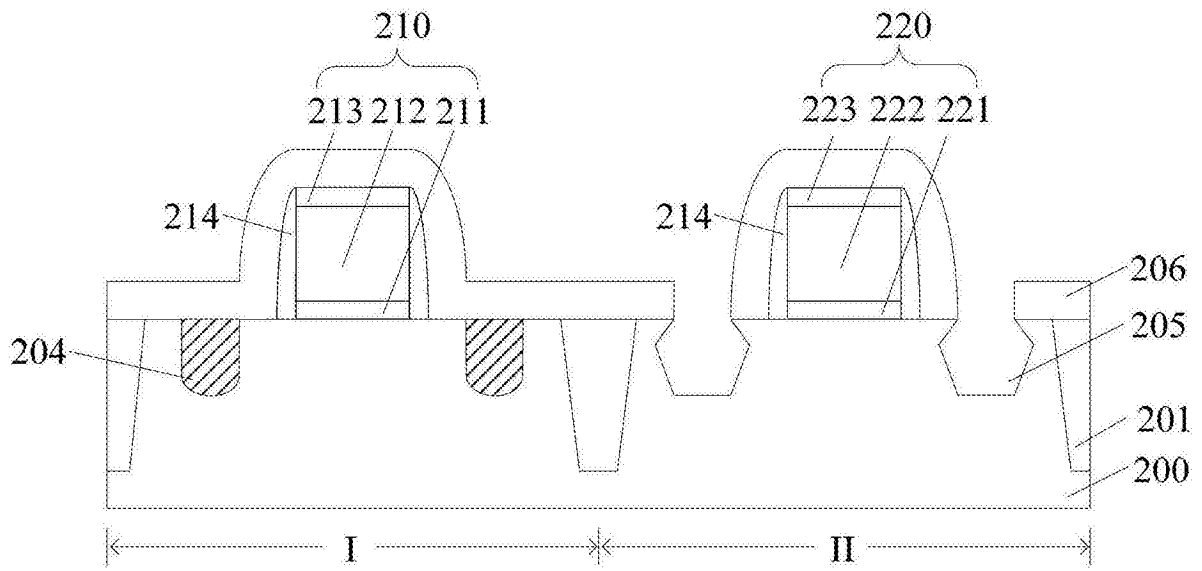


图5

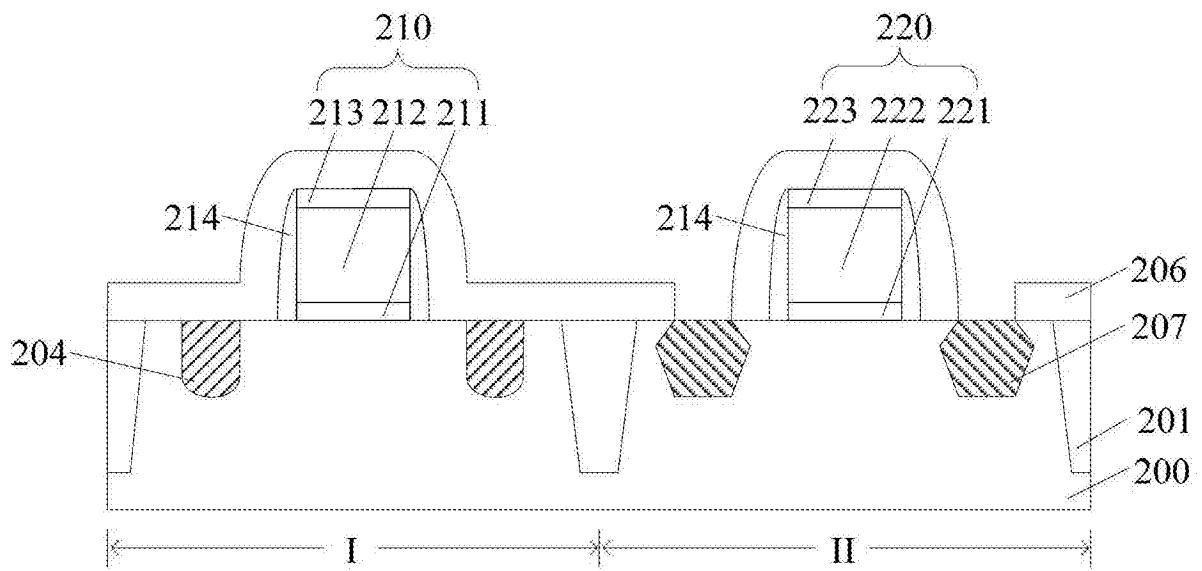


图6

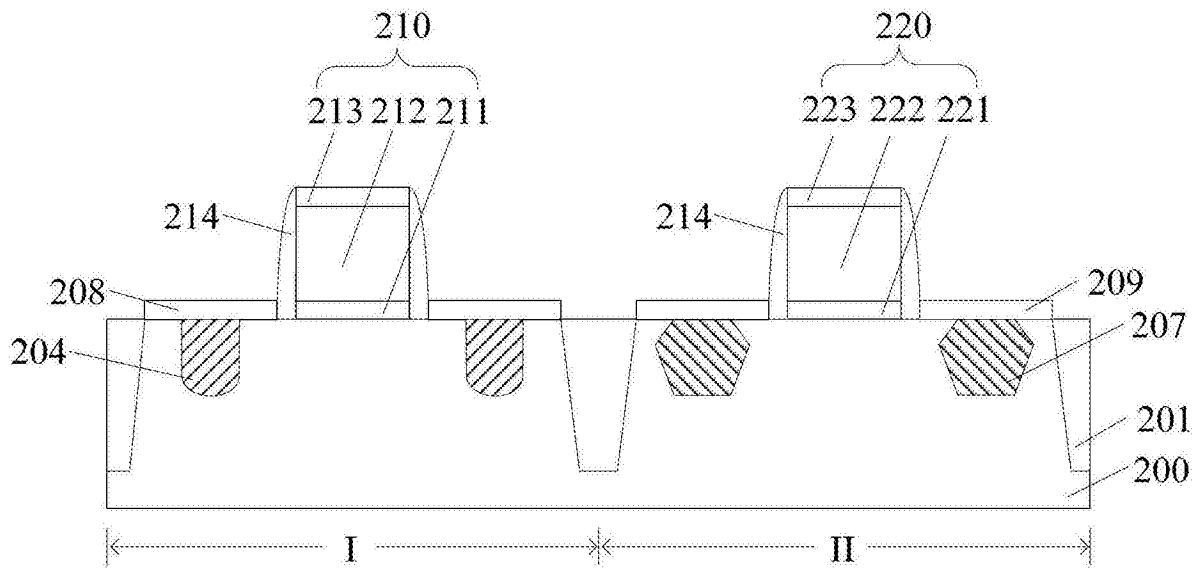


图7

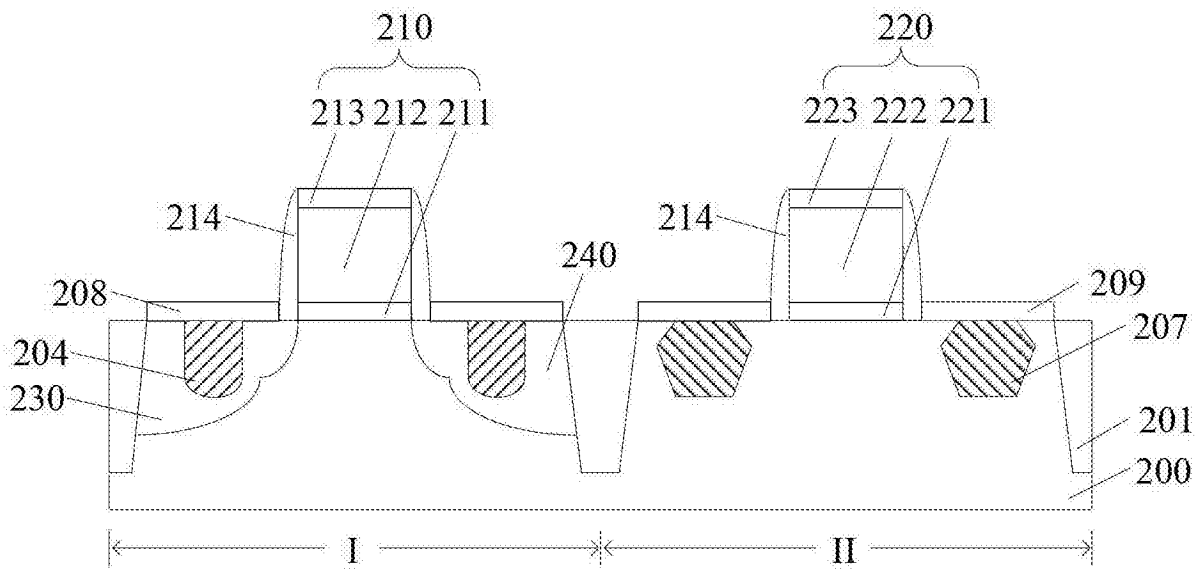


图8

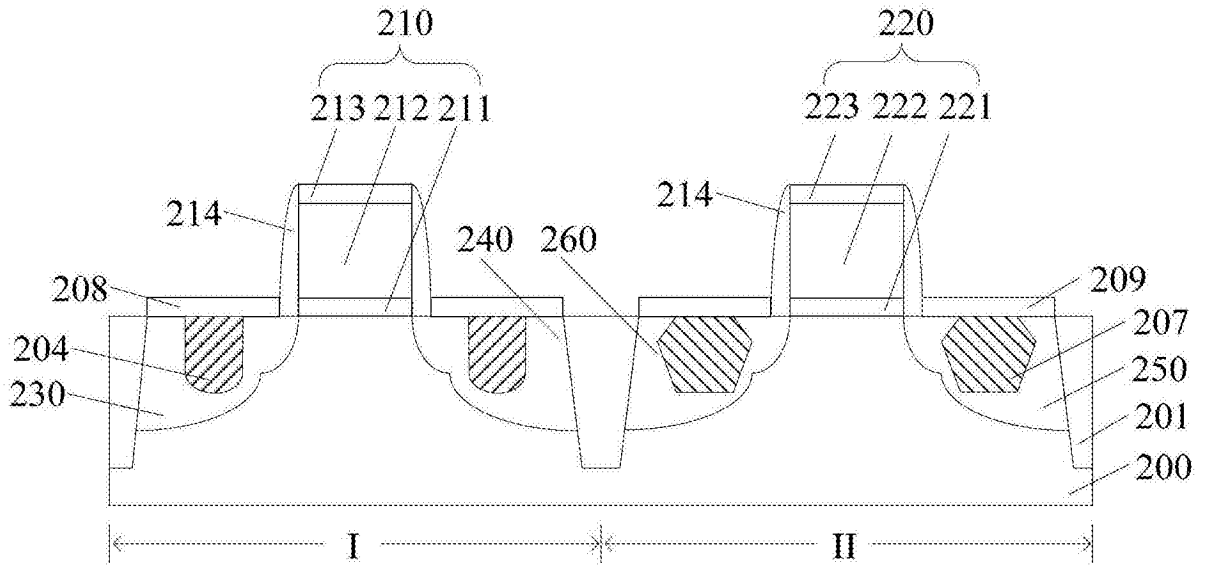


图9

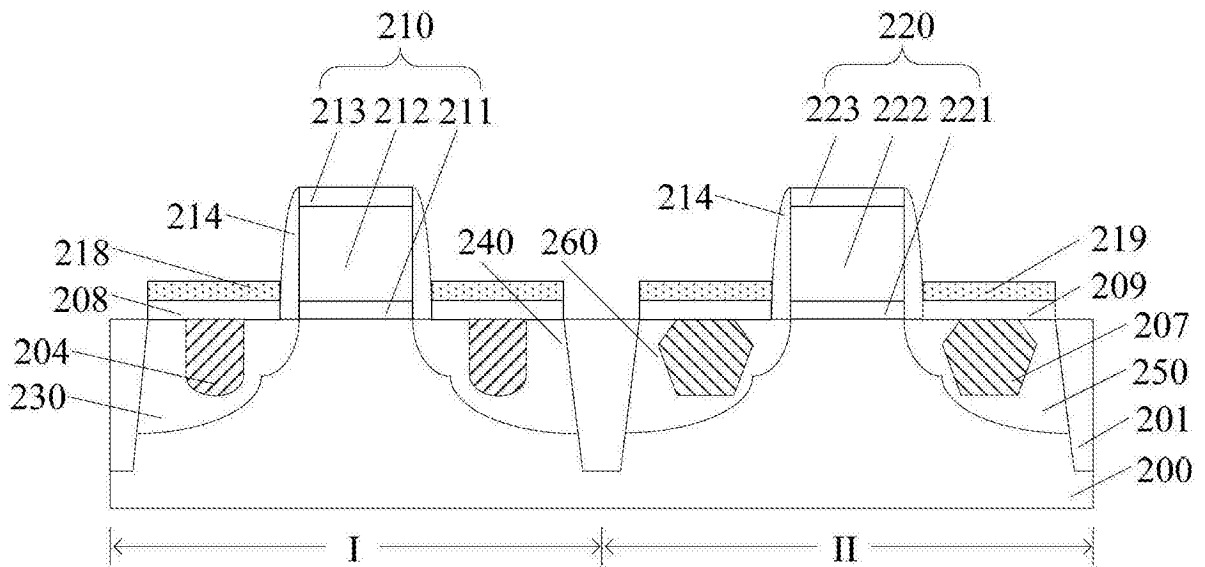


图10

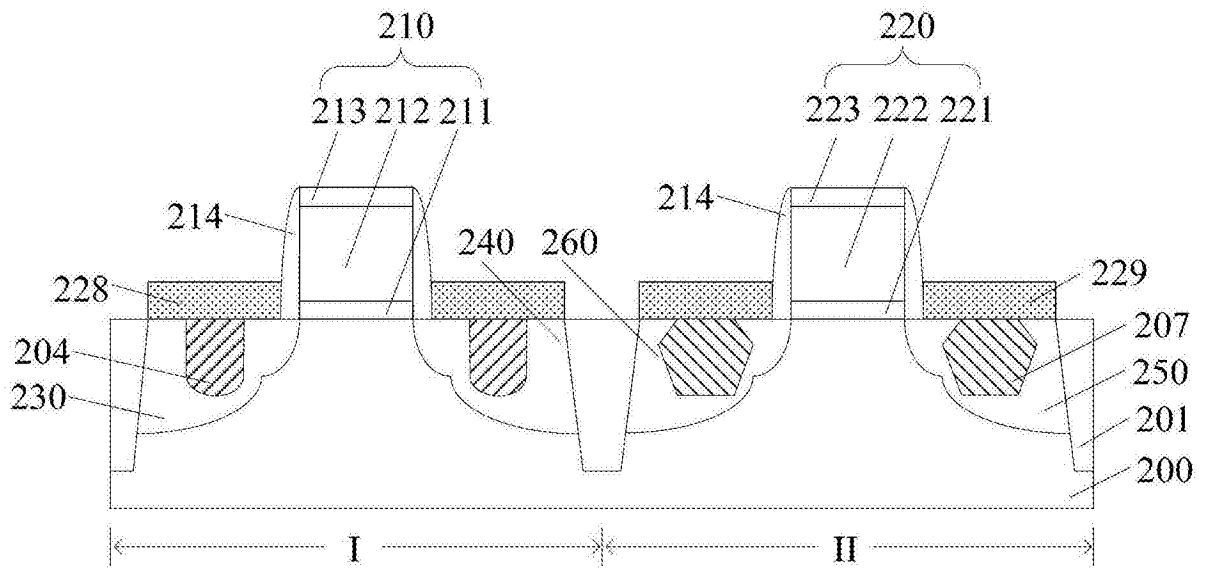


图11