

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5243340号
(P5243340)

(45) 発行日 平成25年7月24日(2013.7.24)

(24) 登録日 平成25年4月12日(2013.4.12)

(51) Int.Cl.

F I

G O 1 R 31/28 (2006.01)

G O 1 R 31/28

P

G O 1 R 29/02 (2006.01)

G O 1 R 29/02

L

請求項の数 14 (全 20 頁)

(21) 出願番号 特願2009-113895 (P2009-113895)
 (22) 出願日 平成21年5月8日(2009.5.8)
 (65) 公開番号 特開2010-261863 (P2010-261863A)
 (43) 公開日 平成22年11月18日(2010.11.18)
 審査請求日 平成23年12月2日(2011.12.2)

(73) 特許権者 390005175
 株式会社アドバンテスト
 東京都練馬区旭町1丁目32番1号
 (74) 代理人 110000877
 龍華国際特許業務法人
 (72) 発明者 長谷 健一
 東京都練馬区旭町1丁目32番1号 株式
 会社アドバンテスト内
 (72) 発明者 石田 雅裕
 東京都練馬区旭町1丁目32番1号 株式
 会社アドバンテスト内
 審査官 藤原 伸二

最終頁に続く

(54) 【発明の名称】 試験装置および試験方法

(57) 【特許請求の範囲】

【請求項1】

被試験デバイスを試験する試験装置であって、

前記被試験デバイスは、所定のパターン周期で所定のパターンが繰り返される繰返信号を、前記繰返信号のビット周期と略同一周期の内部サンプリングクロックでサンプリングする内部回路を有し、

前記試験装置は、

外部サンプリングクロックを生成するクロック発生部と、

前記被試験デバイスの外部において前記外部サンプリングクロックの位相を順次シフトさせて、前記被試験デバイスに入力する位相制御部と、

前記内部回路におけるサンプリングクロックを、前記内部サンプリングクロックから前記外部サンプリングクロックに切り替えさせる切替制御部と、

前記内部回路が前記繰返信号を前記外部サンプリングクロックに応じてサンプリングした結果に基づいて、前記内部回路の特性を測定する測定部と

を備え、

前記クロック発生部は、AおよびBを互いに素な整数、前記外部サンプリングクロックの周期をM、前記繰返信号のパターン周期をNとすると、所定の観測期間において $N \times A = M \times B$ を満たす前記外部サンプリングクロックを生成する試験装置。

【請求項2】

前記クロック発生部は、前記繰返信号の前記ビット周期の整数倍の周期を有する前記外

10

20

部サンプリングクロックを生成する

請求項 1 に記載の試験装置。

【請求項 3】

前記測定部は、前記内部回路におけるサンプリング結果と、所定の期待値パターンとを比較した比較結果に基づいて、前記内部回路におけるジッタ耐性またはアイ開口の少なくとも一方を測定する

請求項 1 または 2 に記載の試験装置。

【請求項 4】

前記被試験デバイスは、前記内部回路に前記内部サンプリングクロックおよび前記外部サンプリングクロックのいずれかを選択して入力するクロック選択部と、前記内部回路を試験する B I S T 部と、前記 B I S T 部およびデバイス外部の間でデータを受け渡す入出力ポートとを更に有し、

前記切替制御部は、前記入出力ポートおよび前記 B I S T 部を介して前記クロック選択部を制御して、前記クロック選択部に前記外部サンプリングクロックを選択させる

請求項 1 から 3 のいずれか一項に記載の試験装置。

【請求項 5】

前記繰返信号を生成して前記被試験デバイスに入力する入力側 L F S R 回路と、

前記入力側 L F S R 回路と同一構成のフリップフロップおよび論理回路が設けられ、前記内部回路のサンプリング結果が初段の前記フリップフロップに入力されることで、前記サンプリング結果に同期した前記期待値パターンを生成する期待値側 L F S R 回路と

を更に備える請求項 3 に記載の試験装置。

【請求項 6】

与えられる動作クロックに応じて動作し、前記繰返信号を生成して前記被試験デバイスに入力する信号発生部と、

前記動作クロックを生成して前記信号発生部に入力する動作クロック生成部と、

前記動作クロックと同期した前記外部サンプリングクロックを生成して前記位相制御部に入力するサンプリングクロック生成部と

を更に備える請求項 1 から 4 のいずれか一項に記載の試験装置。

【請求項 7】

前記被試験デバイスは、与えられる動作クロックに応じて動作し、前記繰返信号を生成して前記内部回路にループバックする信号発生部を更に有し、

前記試験装置は、

前記動作クロックを生成して前記信号発生部に入力する動作クロック生成部と、

前記動作クロックと同期した前記外部サンプリングクロックを生成して前記位相制御部に入力するサンプリングクロック生成部と

を更に備える請求項 1 から 4 のいずれか一項に記載の試験装置。

【請求項 8】

前記サンプリングクロック生成部は、前記動作クロック生成部よりジッタの小さいクロックを生成する

請求項 6 または 7 に記載の試験装置。

【請求項 9】

前記被試験デバイスは、前記繰返信号を生成して前記内部回路に入力する入力側 L F S R 回路と、

前記入力側 L F S R 回路と同一構成のフリップフロップおよび論理回路が設けられ、前記内部回路のサンプリング結果が初段の前記フリップフロップに入力されることで、前記サンプリング結果に同期した前記期待値パターンを生成する期待値側 L F S R 回路と

を更に備える請求項 3 に記載の試験装置。

【請求項 10】

被試験デバイスを試験する試験装置であって、

前記被試験デバイスは、所定のパターン周期で所定のパターンが繰返される繰返信号

10

20

30

40

50

を、前記繰返信号のビット周期と略同一周期の内部サンプリングクロックでサンプリングする内部回路を有し、

前記試験装置は、

外部サンプリングクロックを生成するクロック発生部と、

前記被試験デバイスの外部において前記繰返信号の位相を順次シフトさせて前記被試験デバイスに入力することで、前記繰返信号と前記内部サンプリングクロックとの間の位相を順次シフトさせる動作クロック生成部と、

前記内部回路におけるサンプリングクロックを、前記内部サンプリングクロックから前記外部サンプリングクロックに切り替えさせる切替制御部と、

前記内部回路が前記繰返信号を前記外部サンプリングクロックに応じてサンプリングした結果に基づいて、前記内部回路の特性を測定する測定部と

を備え、

前記クロック発生部は、AおよびBを互いに素な整数、前記外部サンプリングクロックの周期をM、前記繰返信号のパターン周期をNとすると、所定の観測期間において $N \times A = M \times B$ を満たす前記外部サンプリングクロックを生成する試験装置。

【請求項 1 1】

被試験デバイスを試験する試験方法であって、

前記被試験デバイスは、所定のパターン周期で所定のパターンが繰り返される繰返信号を、前記繰返信号のビット周期と略同一周期の内部サンプリングクロックでサンプリングする内部回路を有し、

外部サンプリングクロックを生成するクロック発生段階と、

前記被試験デバイスの外部において前記外部サンプリングクロックの位相を順次シフトさせて、前記被試験デバイスに入力する位相制御段階と、

前記内部回路におけるサンプリングクロックを、前記内部サンプリングクロックから前記外部サンプリングクロックに切り替えさせる切替制御段階と、

前記内部回路が前記繰返信号を前記外部サンプリングクロックに応じてサンプリングした結果に基づいて、前記内部回路の特性を測定する測定段階と

を備え、

前記クロック発生段階において、AおよびBを互いに素な整数、前記外部サンプリングクロックの周期をM、前記繰返信号のパターン周期をNとすると、所定の観測期間において $N \times A = M \times B$ を満たす前記外部サンプリングクロックを生成する試験方法。

【請求項 1 2】

試験用デバイスを制御して外部デバイスを試験する試験装置であって、

前記試験用デバイスは、前記外部デバイスが出力する所定のパターン周期で所定のパターンが繰り返される繰返信号を、前記繰返信号のビット周期と略同一周期の内部サンプリングクロックでサンプリングする内部回路を有し、

前記試験装置は、

外部サンプリングクロックを生成するクロック発生部と、

前記試験用デバイスの外部において前記外部サンプリングクロックの位相を順次シフトさせて、前記試験用デバイスに入力する位相制御部と、

前記内部回路におけるサンプリングクロックを、前記内部サンプリングクロックから前記外部サンプリングクロックに切り替えさせる切替制御部と、

前記内部回路が前記繰返信号を前記外部サンプリングクロックに応じてサンプリングした結果に基づいて、前記繰返信号の特性を測定する測定部と

を備え、

前記クロック発生部は、AおよびBを互いに素な整数、前記外部サンプリングクロックの周期をM、前記繰返信号のパターン周期をNとすると、所定の観測期間において $N \times A = M \times B$ を満たす前記外部サンプリングクロックを生成する試験装置。

【請求項 1 3】

前記外部デバイスは、前記繰返信号を生成して前記内部回路に入力する入力側 L F S R

回路を有し、

前記試験用デバイスは、前記入力側 L F S R 回路と同一構成のフリップフロップおよび論理回路が設けられ、前記内部回路のサンプリング結果が初段の前記フリップフロップに入力されることで、前記サンプリング結果に同期した期待値パターンを生成する期待値側 L F S R 回路を有し、

前記測定部は、前記内部回路におけるサンプリング結果と、前記期待値パターンとを比較した比較結果に基づいて、前記繰返信号の特性を測定する、請求項 1 2 に記載の試験装置。

【請求項 1 4】

試験用デバイスを制御して外部デバイスを試験する試験方法であって、

前記試験用デバイスは、前記外部デバイスが出力する所定のパターン周期で所定のパターンが繰返される繰返信号を、前記繰返信号のビット周期と略同一周期の内部サンプリングクロックでサンプリングする内部回路を有し、

外部サンプリングクロックを生成するクロック発生段階と、

前記試験用デバイスの外部において前記外部サンプリングクロックの位相を順次シフトさせて、前記試験用デバイスに入力する位相制御段階と、

前記内部回路におけるサンプリングクロックを、前記内部サンプリングクロックから前記外部サンプリングクロックに切り替えさせる切替制御段階と、

前記内部回路が前記繰返信号を前記外部サンプリングクロックに応じてサンプリングした結果に基づいて、前記繰返信号の特性を測定する測定段階と

を備え、

前記クロック発生段階において、A および B を互いに素な整数、前記外部サンプリングクロックの周期を M、前記繰返信号のパターン周期を N とすると、所定の観測期間において $N \times A = M \times B$ を満たす前記外部サンプリングクロックを生成する試験方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、試験装置および試験方法に関する。

【背景技術】

【0002】

従来、デバイスが生成する信号のジッタ量およびアイ開口の特性を測定する方法として、被測定信号を遅延させる可変遅延回路をデバイス内部に設け、遅延量ごとにビット誤り率を測定する方法が知られている。また、被測定信号の周波数の非整数倍の周波数を有する信号で被測定信号をサンプリングすることにより、ジッタを測定する方法も知られている。関連する技術として、以下の先行技術文献に記載された発明を認識している。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2007 - 127645 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところが、デバイス内部に可変遅延回路を設ける場合には、デバイスのプロセス、電圧、および、温度等の影響により、高精度で遅延時間を設定することが困難である。その結果、ジッタ等の測定結果に誤差が生じるという課題が生じている。被測定信号の周波数の非整数倍の周波数を有する信号で被測定信号をサンプリングする場合には、サンプリング後にデータ演算処理が必要になるので、回路規模が大きくなるという課題が生じている。さらに、いずれの方法においても、サンプリングクロックの周波数が高い場合には、サンプリングクロックが発生するノイズが、周辺回路に影響を与えるという課題が生じる。

【課題を解決するための手段】

【 0 0 0 5 】

上記課題を解決するために、本発明の第 1 の態様においては、被試験デバイスを試験する試験装置であって、被試験デバイスは、所定のパターン周期で所定のパターンが繰り返される繰返信号を、繰返信号のビット周期と略同一周期の内部サンプリングクロックでサンプリングする内部回路を有し、試験装置は、外部サンプリングクロックを生成するクロック発生部と、被試験デバイスの外部において外部サンプリングクロックの位相を順次シフトさせて、被試験デバイスに入力する位相制御部と、内部回路におけるサンプリングクロックを、内部サンプリングクロックから外部サンプリングクロックに切り替えさせる切替制御部と、内部回路が繰返信号を外部サンプリングクロックに応じてサンプリングした結果に基づいて、内部回路の特性を測定する測定部とを備え、クロック発生部は、A および B を互いに素な整数、外部サンプリングクロックの周期を M、繰返信号のパターン周期を N とすると、所定の観測期間において $N \times A = M \times B$ を満たす外部サンプリングクロックを生成する試験装置を提供する。

10

【 0 0 0 6 】

本発明の第 2 の態様においては、クロック発生部は、繰返信号のビット周期の整数倍の周期を有する外部サンプリングクロックを生成する試験装置を提供する。

【 0 0 0 7 】

本発明の第 3 の態様においては、測定部は、内部回路におけるサンプリング結果と、所定の期待値パターンとを比較した比較結果に基づいて、内部回路におけるジッタ耐性またはアイ開口の少なくとも一方を測定する試験装置を提供する。

20

【 0 0 0 8 】

本発明の第 4 の態様においては、被試験デバイスは、内部回路に内部サンプリングクロックおよび外部サンプリングクロックのいずれかを選択して入力するクロック選択部と、内部回路を試験する B I S T 部と、B I S T 部およびデバイス外部の間でデータを受け渡す入出力ポートとを更に有し、切替制御部は、入出力ポートおよび B I S T 部を介してクロック選択部を制御して、クロック選択部に外部サンプリングクロックを選択させる試験装置を提供する。

【 0 0 0 9 】

本発明の第 5 の態様においては、繰返信号を生成して被試験デバイスに入力する入力側 L F S R 回路と、入力側 L F S R 回路と同一構成のフリップフロップおよび論理回路が設けられ、内部回路のサンプリング結果が初段のフリップフロップに入力されることで、サンプリング結果に同期した期待値パターンを生成する期待値側 L F S R 回路とを更に備える試験装置を提供する。

30

【 0 0 1 0 】

本発明の第 6 の態様においては、被試験デバイスは、与えられる動作クロックに応じて動作し、繰返信号を生成して内部回路にループバックする信号発生部を更に有し、試験装置は、動作クロックを生成して信号発生部に入力する動作クロック生成部と、動作クロックと同期した外部サンプリングクロックを生成して位相制御部に入力するサンプリングクロック生成部とを更に備える試験装置を提供する。

40

【 0 0 1 1 】

本発明の第 7 の態様においては、サンプリングクロック生成部は、動作クロック生成部よりジッタの小さいクロックを生成する試験装置を提供する。

【 0 0 1 2 】

なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

【図面の簡単な説明】

【 0 0 1 3 】

【図 1】第 1 の実施形態に係る試験装置 1 0 0 および被試験デバイス 2 0 0 の構成を示す。

50

【図 2】繰返信号およびサンプリングクロックの関係を示す。

【図 3】サンプリングクロックの位相が順次シフトされた場合の繰返信号とサンプリング結果との関係を示す。

【図 4】測定部 140 におけるジッタ特性の測定手順を示す。

【図 5】他の実施形態に係る試験装置 100 および被試験デバイス 200 の構成を示す。

【図 6】他の実施形態に係る試験装置 100 および被試験デバイス 200 の構成を示す。

【図 7】入力側 LFSR 回路 150 の構成を示す。

【図 8】期待値側 LFSR 回路 160 の構成を示す。

【図 9】他の実施形態に係る試験装置 100 および被試験デバイス 200 の構成を示す。

【図 10】他の実施形態に係る試験装置 100 および被試験デバイス 200 の構成を示す

10

。

【図 11】他の実施形態に係る試験装置 100 および被試験デバイス 200 の構成を示す

。

【図 12】他の実施形態に係る試験装置 100、試験用デバイス 250、および、外部デバイス 500 の構成を示す。

【図 13】他の実施形態に係る試験装置 100、試験用デバイス 250、および、外部デバイス 500 の構成を示す。

【発明を実施するための形態】

【0014】

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は特許請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

20

【0015】

図 1 は、第 1 の実施形態に係る試験装置 100 および被試験デバイス 200 の構成を示す。試験装置 100 は、被試験デバイス 200 を試験する。試験装置 100 は、所定のパターンを有する繰返信号等の入力信号を被試験デバイス 200 に入力してよい。試験装置 100 は、被試験デバイス 200 が繰返信号に応じて出力する信号に基づいて、被試験デバイス 200 の良否を判定してよい。

【0016】

被試験デバイス 200 は、内部回路 300 を備える。また、被試験デバイス 200 は、入力ピン 202、入力ピン 204、入力ピン 206、および、出力ピン 208 を備える。入力ピン 206 は、被試験デバイス 200 の通常動作時には使用されず、試験装置 100 が被試験デバイス 200 を試験する場合にのみ使用される。内部回路 300 は、サンプリング部 310、内部クロック発生部 320、および、クロック選択部 330 を有する。内部回路 300 は、所定のパターン周期で所定のパターンが繰り返される繰返信号を、繰返信号のビット周期と略同一周期の内部サンプリングクロックでサンプリングする。

30

【0017】

内部クロック発生部 320 は、繰返信号からクロック成分を抽出して、内部サンプリングクロックを発生してよい。例えば、内部クロック発生部 320 は、フェーズロック回路を有してよい。内部クロック発生部 320 は、繰返信号の論理値の遷移タイミングに応じて内部クロックを生成することにより、繰返信号に同期したクロックを再生してよい。

40

【0018】

被試験デバイス 200 に入力される繰返信号は、「1」または「0」のいずれかの論理値を有するデータ列である。繰返信号は、所定のパターンが繰り返される擬似ランダムビットシーケンス (Pseudorandom Bit Sequence, PRBS) であってよい。

【0019】

パターン周期は、当該データ列内で繰り返される所定のパターンが有するビット数である。例えば、データ列において、N ビット (N は 2 以上の整数) のパターンが繰り返される場合のパターン周期は N である。繰返信号が、パターン周期 N のパターンが L 回繰返

50

されるデータ列を有する場合、当該データ列の長さは $N \times L$ ビットとなる。

【0020】

ビット周期 T_d は、繰返信号に含まれるデータの単位長である。例えば、データ1ビットごとに発生するクロックの周波数が f_d (Hz)である場合には、ビット周期は、 $T_d = 1 / f_d$ となる。内部回路300は、内部クロック発生部320において、繰返信号のビット周期と略同一周期の内部サンプリングクロックを生成する。例えば、繰返信号のビット周期が $1 / f_d$ の場合には、内部サンプリングクロックの周波数は、略 f_d となる。

【0021】

サンプリング部310は、通常動作時には、繰返信号を当該内部サンプリングクロックでサンプリングする。内部サンプリングクロックの周期が繰返信号の周期と略等しいので、サンプリング部310は、ビットごとに繰返信号をサンプリングすることができる。サンプリング部310は、被試験デバイス200内の他の回路にサンプリング結果を出力してよい。被試験デバイス200が試験装置100により試験される場合には、サンプリング部310は、出力ピン208を介して、サンプリング結果を試験装置100に対して出力する。

10

【0022】

クロック選択部330は、サンプリング部310にサンプリングクロックを供給する。クロック選択部330は、内部クロック発生部320が発生する内部サンプリングクロック、および、入力ピン204から入力される外部サンプリングクロックのいずれか1つを選択して、サンプリング部310に入力する。

20

【0023】

試験装置100は、クロック発生部110、位相制御部120、切替制御部130、および、測定部140を備える。クロック発生部110は、所定の観測期間において繰返信号のパターン周期に対してコヒーレントな周期を有する外部サンプリングクロックを生成する。外部サンプリングクロックの周期は、繰返信号のビット周期の整数倍の周期を有する。例えば、繰返信号のビット周期が100psである場合には、外部サンプリングクロックの周期は、400psであってよい。

【0024】

ここで、繰返信号のパターン周期に対してコヒーレントな周期とは、以下の関係を有する周期をいう。外部サンプリングクロックの周期 M (M は2以上の整数)が繰返信号のパターン周期 N に対してコヒーレントな周期である場合には、互いに素である整数 A および B に対して、 $N \times A = M \times B$ の関係を有する。例えば、外部サンプリングクロックの周期 M が4であり、繰返信号のパターン周期 N が7の場合、 $N \times A = M \times B$ の関係を満たす A および B は、それぞれ4および7である。4および7は互いに素である整数なので、当該外部サンプリングクロックは繰返信号に対してコヒーレントな周期を有する。

30

【0025】

繰返信号のパターン周期が N であり、外部サンプリングクロックの周期が M の場合、サンプリング部310は、繰返パターンが M 回発生する期間に渡って繰返信号をサンプリングすることにより、繰返信号が含む繰返パターン内の全てのビット位置のデータをサンプリングすることができる。具体的には、サンプリング部310は、1番目、 $(1 + M)$ 番目、 $\dots$ 、 $1 + M \times (N - 1)$ 番目のデータをサンプリングすることにより、繰返信号に含まれる N ビットの全ての位置において、データをサンプリングすることができる。

40

【0026】

例えば、繰返信号のパターン周期が7であり、外部サンプリングクロックの周期が4であるとする。繰返信号パターンが「a b c d e f g a b c d $\dots$ 」($a \sim g$ のそれぞれは「1」または「0」の論理値)である場合に、サンプリング部310は、1番目、5番目、 $\dots$ 、25番目のデータをサンプリングする。サンプリング部310は、繰返信号の4パターン周期に渡って4ビットごとにサンプリングをすることにより、a e b f c g dの順番にサンプリングすることができる。

【0027】

50

位相制御部 120 は、被試験デバイス 200 の外部において外部サンプリングクロックの位相を順次シフトさせて、被試験デバイス 200 に入力する。位相制御部 120 は、被試験デバイス 200 に入力される繰返信号のビット周期 T_d よりも小さな間隔で、ビット周期 T_d 以上の期間に渡って、サンプリングクロックの位相を順次シフトしてよい。例えば、繰返信号のビット周期が 100 ps の場合、位相制御部 120 は、1 ps 単位でサンプリングクロックの位相を順次シフトしてよい。位相制御部 120 は、被試験デバイス 200 の外部で位相を順次シフトするので、被試験デバイス 200 のプロセスおよび温度等の影響を受けることなく、高精度で位相をシフトすることができる。

【0028】

切替制御部 130 は、内部回路 300 におけるサンプリングクロックを、内部サンプリングクロックから外部サンプリングクロックに切り替えさせる。具体的には、切替制御部 130 は、クロック選択部 330 を制御して、サンプリング部 310 に入力するクロックを切り替える。例えば、切替制御部 130 は、被試験デバイス 200 のジッタ耐性、あるいは、被試験デバイス 200 に入力される信号のアイ開口及びジッタ量等の特性を測定する場合に、位相制御部 120 が出力する外部サンプリングクロックがサンプリング部 310 に入力されるべく、クロック選択部 330 を制御してよい。切替制御部 130 は、論理信号をクロック選択部 330 に入力することにより、サンプリング部 310 に入力するサンプリングクロックを切り替えてよい。

【0029】

測定部 140 は、内部回路 300 が繰返信号を外部サンプリングクロックに応じてサンプリングした結果に基づいて、内部回路 300 の特性を測定する。具体的には、測定部 140 は、切替制御部 130 が、内部回路 300 におけるサンプリングクロックを、内部サンプリングクロックから外部サンプリングクロックに切り替えさせた状態で、内部回路 300 におけるサンプリング結果に基づいて内部回路 300 の特性を測定する。例えば、測定部 140 は、サンプリング部 310 が出力するサンプリング結果を所定の期待値と比較した結果に基づいて、内部回路 300 のジッタ耐性を測定してよい。具体的には、測定部 140 は、内部回路 300 が、サンプリング結果のビット誤り率が所定値以下となるサンプリングクロックの位相範囲に応じたジッタ耐性を有すると判定してよい。

【0030】

測定部 140 は、内部回路 300 におけるサンプリング結果と、所定の期待値パターンとを比較した結果に基づいて、内部回路 300 におけるジッタ耐性またはアイ開口の少なくとも一方を測定してもよい。例えば、測定部 140 は、ビット誤り率に基づいてアイ開口を測定する代わりに、繰返信号が有するパターン周期ごとに、当該パターン長に等しい長さのデータ列のサンプリング結果が所定の期待値パターンと一致する確率に基づいて、内部回路 300 のジッタ耐性またはアイ開口を測定してよい。

【0031】

以上のように、本実施形態に係るサンプリング部 310 は、繰返信号のビット周期よりも長い周期でサンプリングしながらも、繰返信号が有する繰返パターンにおける全てのビット位置において、繰返信号をサンプリングできる。従って、サンプリング部 310 は、サンプリング周波数を低くすることができる。その結果、試験装置 100 および被試験デバイス 200 は、被試験デバイス 200 内の他の回路および外部回路に対して影響を与えるノイズの発生を抑制することができる。

【0032】

図 2 は、繰返信号およびサンプリングクロックの関係の一例を示す。繰返信号のパターン周期は 7 ビットであり、「1011100」のデータパターンが繰り返されている。同図におけるサンプリングクロックは、繰返信号の各データの略中心位置において立ち上がる。サンプリングクロックの周期は、繰返信号 4 ビット分のデータ長に等しいので、繰返信号の 1 番目のビット、5 番目のビット、9 番目、 $\dots$ 、 $1 + 4 \times (k - 1)$ 番目 (k は 1 以上の整数) のビットを順次サンプリングする。

【0033】

10

20

30

40

50

期待値は、繰返信号の 1 番目、5 番目、9 番目、 $\dots$ 、 $1 + 4 \times (k - 1)$ 番目のデータの論理値に等しい。図 2 においては、繰返信号のデータの略中心位置においてサンプリングするので、サンプリング結果は期待値と等しい値となっている。

【0034】

ところが、サンプリングクロックの位相が繰返信号のビット中心位置から離れると、サンプリング結果が期待値と異なる場合が生じる。特に、繰返信号がジッタを有する場合には、繰返信号のデータ端部付近におけるビット誤り率が高くなる。そこで、試験装置 100 は、位相制御部 120 においてサンプリングクロックの位相を順次シフトして、それぞれの位相におけるビット誤り率を測定することにより、繰返信号のジッタおよびアイ開口を測定することができる。

10

【0035】

図 3 は、サンプリングクロックの位相が順次シフトされた場合の繰返信号とサンプリング結果との関係を示す。同図における期待値は、点線で示すタイミング直後の繰返信号の値に相当する。位相制御部 120 は、点線で示すタイミングの前後のタイミングにおいて、サンプリングクロックの位相を T1 から T6 まで順次シフトする。

【0036】

サンプリングクロックの位相が T1、T2、T3 である場合には、点線で示すタイミングの前のデータがサンプリングされる。その結果、T1、T2、T3 における「サンプリング結果 1」が示す値は期待値と一致していない。これに対して、サンプリングクロックの位相が T4、T5、T6 である場合には、点線で示すタイミングの後のデータがサンプリングされる。その結果、T4、T5、T6 における「サンプリング結果 2」が示す値は、期待値と一致している。

20

【0037】

試験装置 100 は、所定の期間に渡って、異なる位相を有するサンプリングクロックごとにビット誤り率を測定することにより、アイ開口を測定する。例えば、T4、T5、T6 のサンプリングタイミングにおけるビット誤り率が零の場合に、測定部 140 は、T4、T5、T6 の範囲内においてアイが開いていると判断してよい。試験装置 100 は、ビット誤り率が所定値以下の場合に、アイが開いていると判断してもよい。試験装置 100 は、それぞれのサンプリングクロックの位相差を繰返信号のビット周期よりも小さな間隔とした上で、ビット周期以上の範囲で位相をシフトすることにより、アイ開口の両端を検出することができる。

30

【0038】

図 4 は、測定部 140 におけるジッタ特性の測定手順を示す。同図において、「期待値」は、測定部 140 において発生される「1」または「0」の論理値である。測定部 140 は、サンプリング部 310 から入力されるサンプリング結果に応じて、当該期待値を発生する。図 4 においては、繰返信号パターンに同期して、「1」、「0」、「1」、「1」の順番に期待値が変化している。

【0039】

図 4 における「繰返信号」は、サンプリング部 310 に入力される、論理値「1」および「0」のいずれかを有する信号である。繰返信号の論理値は、所定の周期で遷移する。繰返信号の論理値が切り替わるタイミングにおいては、ジッタが生じている。

40

【0040】

図 4 における「サンプリングクロック」は、位相制御部 120 が出力するサンプリングクロックを示す。位相制御部 120 は、試験装置 100 が被試験デバイス 200 を試験する間に、繰返信号の周期に対して小さい間隔で順次位相をシフトする。その結果、サンプリングクロックは、繰返信号に対して複数の異なる位相で発生している。

【0041】

図 4 における「比較結果」は、繰返信号をサンプリングクロックでサンプリングした結果と、期待値とを比較した結果を示す。繰返信号の論理値が遷移するタイミング付近においては、繰返信号が期待値と異なる場合が生じるので、比較結果が「F（フェイル）」と

50

なる。繰返信号の論理値が遷移しないタイミングにおいては、繰返信号が期待値と一致するので、比較結果が「P（パス）」となる。

【 0 0 4 2 】

図 4 における「確率密度関数」は、繰返信号を複数回に渡って測定した場合に生じる、それぞれのサンプリングタイミングにおける「フェイル」の発生確率のヒストグラムを示す。「フェイル」が発生する確率は、繰返信号のデータ遷移タイミング付近において最も高い。当該確率は、繰返信号のデータ遷移タイミングから離れると共に低くなる。

【 0 0 4 3 】

測定部 1 4 0 は、サンプリング部 3 1 0 から取得するサンプリング結果を所定の期待値と比較することにより、サンプリング結果に生じるビット誤りの確率密度関数を算出してよい。また、測定部 1 4 0 は、算出した確率密度関数に基づいて、ジッタ分布、ジッタ量、および、ジッタの種別等を解析してよい。例えば、測定部 1 4 0 は、確率密度関数の分布を所定の分布と比較して確定ジッタ成分を特定することにより、ランダムジッタ成分と確定ジッタ成分とを分離してよい。

【 0 0 4 4 】

図 5 は、他の実施形態に係る試験装置 1 0 0 および被試験デバイス 2 0 0 の構成を示す。本実施形態に係る被試験デバイス 2 0 0 は、図 1 に示す構成に対して、B I S T 部 4 0 0 および入出力ポート 2 1 0 を更に有する。B I S T 部 4 0 0 は、内部回路 3 0 0 を試験する。入出力ポート 2 1 0 は、B I S T 部 4 0 0 およびデバイス外部の間でデータを受け渡す。B I S T 部 4 0 0 は、被試験デバイス 2 0 0 の自己診断試験をする。

【 0 0 4 5 】

B I S T 部 4 0 0 は、図 5 に示すように、比較部 4 1 0 および期待値発生部 4 2 0 を有してよい。比較部 4 1 0 は、サンプリング部 3 1 0 が出力するサンプリング結果の論理値を期待値発生部 4 2 0 が発生する期待値と比較して、比較結果を測定部 1 4 0 に入力する。B I S T 部 4 0 0 は、比較結果が不一致であるサンプリング結果の数を計数するカウンタを有してもよい。測定部 1 4 0 は、B I S T 部 4 0 0 から取得した計数結果に基づいて、繰返信号の特性を測定してもよい。

【 0 0 4 6 】

また、B I S T 部 4 0 0 は、クロック選択部 3 3 0 を制御して、自己診断試験に用いるサンプリングクロックを選択する。切替制御部 1 3 0 は、入出力ポート 2 1 0 および B I S T 部 4 0 0 を介してクロック選択部 3 3 0 を制御して、クロック選択部 3 3 0 に外部サンプリングクロックを選択させてよい。入出力ポート 2 1 0 は、データバス等の汎用インターフェイスであってもよい。切替制御部 1 3 0 が、B I S T 部 4 0 0 を介してクロックを選択することにより、切替制御部 1 3 0 とクロック選択部 3 3 0 との接続に用いる専用の入力ピン 2 0 6 を設ける必要がなくなる。

【 0 0 4 7 】

図 6 は、他の実施形態に係る試験装置 1 0 0 および被試験デバイス 2 0 0 の構成を示す。本実施形態に係る試験装置 1 0 0 は、図 1 に示す試験装置 1 0 0 に対して、入力側 L F S R 回路 1 5 0、期待値側 L F S R 回路 1 6 0、および、動作クロック生成部 1 8 0 を更に備える。入力側 L F S R 回路 1 5 0 は、繰返信号を生成して被試験デバイス 2 0 0 に入力する。期待値側 L F S R 回路 1 6 0 は、入力側 L F S R (Linear Feedback Shift Register) 回路 1 5 0 と同一構成のフリップフロップおよび論理回路を有する。期待値側 L F S R 回路 1 6 0 は、サンプリング部 3 1 0 におけるサンプリング結果が初段のフリップフロップに入力されることで、サンプリング結果に同期した期待値パターンを生成する。動作クロック生成部 1 8 0 は、入力側 L F S R 回路 1 5 0 および期待値側 L F S R 回路 1 6 0 を動作させる動作クロックを生成する。動作クロック生成部 1 8 0 は、クロック発生部 1 1 0 が出力するクロックを逡倍して動作クロックを生成してよい。

【 0 0 4 8 】

図 7 は、入力側 L F S R 回路 1 5 0 の構成を示す。入力側 L F S R 回路 1 5 0 は、リニアフィードバックシフトレジスタ (L F S R) を用いて、擬似ランダムビットシーケンス

10

20

30

40

50

(P R B S) から成る論理パターンを有する繰返信号を生成する。入力側 L F S R 回路 1 5 0 は、複数のフリップフロップ 1 5 2 (フリップフロップ 1 5 2 - 1、フリップフロップ 1 5 2 - 2、・・・、フリップフロップ 1 5 2 - (n - 1)、フリップフロップ 1 5 2 - n) および排他的論理和回路 1 5 4 を有する。

【 0 0 4 9 】

それぞれのフリップフロップ 1 5 2 には、発生すべき論理パターンに応じた初期値が設定される。それぞれのフリップフロップ 1 5 2 は、動作クロック生成部 1 8 0 が発生する動作クロックの立ち上がりエッジに応じて前段のフリップフロップ 1 5 2 が出力するデータをラッチする。

【 0 0 5 0 】

フリップフロップ 1 5 2 - (n - 1) およびフリップフロップ 1 5 2 - n の出力は、排他的論理和回路 1 5 4 に入力される。排他的論理和回路 1 5 4 の出力はフリップフロップ 1 5 2 - 1 に入力される。排他的論理和回路 1 5 4 に接続されるフリップフロップ 1 5 2 は、リニアフィードバックシフトレジスタの生成多項式に応じて選択されてよい。排他的論理和回路 1 5 4 は、擬似ランダムビットシーケンスから成る繰返信号を生成する。排他的論理和回路 1 5 4 が生成する繰返信号は、入力ピン 2 0 2 を介して、サンプリング部 3 1 0 に入力される。

【 0 0 5 1 】

図 8 は、期待値側 L F S R 回路 1 6 0 の構成を示す。期待値側 L F S R 回路 1 6 0 は、複数のフリップフロップ 1 6 2 (フリップフロップ 1 6 2 - 1、フリップフロップ 1 6 2 - 2、・・・、フリップフロップ 1 6 2 - (n - 1)、フリップフロップ 1 6 2 - n)、排他的論理和回路 1 6 4、および、切替部 1 6 6 を有する。期待値側 L F S R 回路 1 6 0 は、入力側 L F S R 回路 1 5 0 と同様に、リニアフィードバックシフトレジスタ (L F S R) を用いて、擬似ランダムビットシーケンス (P R B S) から成る論理パターンを有する信号を生成する。それぞれのフリップフロップ 1 6 2 は、動作クロック生成部 1 8 0 が発生する動作クロックの立ち上がりエッジに応じて前段のフリップフロップ 1 6 2 が出力するデータをラッチする。フリップフロップ 1 6 2 - (n - 1) およびフリップフロップ 1 6 2 - n の出力は、排他的論理和回路 1 6 4 に入力される。フリップフロップ 1 6 2 と排他的論理和回路 1 6 4 との接続関係は、入力側 L F S R 回路 1 5 0 内のフリップフロップ 1 5 2 と排他的論理和回路 1 5 4 との接続関係に等しい。

【 0 0 5 2 】

フリップフロップ 1 6 2 - 1 には、サンプリング部 3 1 0 のサンプリング結果が入力される。フリップフロップ 1 6 2 - 1 に入力されたサンプリング結果は、動作クロックの立ち上がりエッジに応じて、順次後段のフリップフロップ 1 6 2 に出力される。フリップフロップ 1 6 2 - 1 が、サンプリング部 3 1 0 が出力する最初のサンプリング結果を取得した動作クロックから起算して、n 番目の動作クロックにおいて、フリップフロップ 1 6 2 - n が当該サンプリング結果をラッチする。

【 0 0 5 3 】

その後、排他的論理和回路 1 6 4 は、入力側 L F S R 回路 1 5 0 が生成する擬似ランダム系列の繰返信号と等しいパターンの期待値パターンの出力を開始する。排他的論理和回路 1 6 4 は、生成した期待値パターンを測定部 1 4 0 に入力すると共に、切替部 1 6 6 を介して、フリップフロップ 1 6 2 - 1 に入力する。

【 0 0 5 4 】

切替部 1 6 6 は、フリップフロップ 1 6 2 - 1 に入力するデータを選択する。具体的には、切替部 1 6 6 は、サンプリング部 3 1 0 が出力するサンプリング結果、または、排他的論理和回路 1 6 4 が出力するデータのいずれかを選択する。切替部 1 6 6 は、フリップフロップ 1 6 2 - 1 が最初のサンプリング結果を取得したクロックから起算して、n 番目の動作クロックが入力されるまでの間は、サンプリング部 3 1 0 が出力するデータをフリップフロップ 1 6 2 - 1 に入力する。切替部 1 6 6 は、当該 n 番目の動作クロックの入力後、排他的論理和回路 1 6 4 が出力するデータをフリップフロップ 1 6 2 - 1 に入力する

10

20

30

40

50

べく選択を切り替えてよい。

【 0 0 5 5 】

位相制御部 1 2 0 は、少なくとも、フリップフロップ 1 6 2 - 1 が最初のサンプリング結果を取得した動作クロックから起算して n 番目の動作クロックがフリップフロップ 1 6 2 - 1 に入力されるまでは、サンプリング部 3 1 0 が繰返信号の各データの略中央位置でサンプリングするべく、サンプリングクロックの位相を制御する。これにより、期待値側 L F S R 回路 1 6 0 は、繰返信号の先頭から所定数のデータを誤りなく取得することができる。

【 0 0 5 6 】

期待値側 L F S R 回路 1 6 0 は、排他的論理和回路 1 6 4 の出力がフリップフロップ 1 6 2 - 1 に入力されるべく切替部 1 6 6 が接続を切り替えた後には、サンプリング部 3 1 0 が出力するサンプリング結果の値によらず、サンプリング部 3 1 0 に入力される繰返信号と等しいパターンを有する期待値パターンを生成できる。排他的論理和回路 1 6 4 の出力がフリップフロップ 1 6 2 - 1 に入力され始めた後に、位相制御部 1 2 0 は、サンプリングクロックの位相シフトを開始してよい。

【 0 0 5 7 】

試験装置 1 0 0 は、入力側 L F S R 回路 1 5 0 に入力する動作クロックに所定のジッタを印加することにより、入力側 L F S R 回路 1 5 0 が生成する繰返信号にジッタを印加してよい。測定部 1 4 0 は、サンプリング部 3 1 0 が出力したサンプリング結果を期待値側 L F S R 回路 1 6 0 が出力する期待値と比較することにより、ジッタが印加された繰返信号をサンプリングした場合のアイ開口を測定する。測定部 1 4 0 は、アイ開口の測定結果に基づいて、内部回路 3 0 0 のジッタ耐性を測定してよい。

【 0 0 5 8 】

サンプリング部 3 1 0 および期待値側 L F S R 回路 1 6 0 は、生成したデータをシリアル / パラレル変換した上で出力してよい。測定部 1 4 0 は、サンプリング部 3 1 0 が出力するパラレルデータと、期待値側 L F S R 回路 1 6 0 が出力する期待値のパラレルデータとを比較することによって、サンプリング結果に基づいて繰返信号の特性を測定してよい。

【 0 0 5 9 】

図 9 は、他の実施形態に係る試験装置 1 0 0 および被試験デバイス 2 0 0 の構成を示す。同図においては、図 6 に示す試験装置 1 0 0 が備える入力側 L F S R 回路 1 5 0 および期待値側 L F S R 回路 1 6 0 を、被試験デバイス 2 0 0 が備える。入力側 L F S R 回路 1 5 0 は、入力ピン 2 1 2 を介して動作クロック生成部 1 8 0 から入力される動作クロックに同期して、擬似ランダムビットシーケンス (P R B S) から成る論理パターンを有する繰返信号を生成する。入力側 L F S R 回路 1 5 0 は、生成した繰返信号をサンプリング部 3 1 0 に入力する。

【 0 0 6 0 】

期待値側 L F S R 回路 1 6 0 は、入力側 L F S R 回路 1 5 0 と同一構成のフリップフロップおよび論理回路を有する。期待値側 L F S R 回路 1 6 0 は、サンプリング部 3 1 0 におけるサンプリング結果が初段のフリップフロップに入力されることにより、サンプリング結果に同期した期待値パターンを生成する。期待値側 L F S R 回路 1 6 0 は、動作クロック生成部 1 8 0 から入力される動作クロックに同期して、期待値を生成してよい。また、期待値側 L F S R 回路 1 6 0 は、所定数の動作クロックが入力される間にサンプリング結果を取得した後に、入力側 L F S R 回路 1 5 0 が出力する繰返信号のパターンと同一のパターンを有する期待値の生成を開始してよい。

【 0 0 6 1 】

期待値側 L F S R 回路 1 6 0 は、生成した期待値を比較部 4 1 0 に入力する。比較部 4 1 0 は、サンプリング部 3 1 0 から入力されたサンプリング結果を当該期待値と比較する。比較部 4 1 0 は、比較結果を測定部 1 4 0 に入力する。測定部 1 4 0 は、比較部 4 1 0 から取得した比較結果に基づいて、繰返信号のアイ開口、ならびに、内部回路 3 0 0 のジ

10

20

30

40

50

ッタ耐性を測定してよい。

【0062】

図10は、他の実施形態に係る試験装置100および被試験デバイス200の構成を示す。本実施形態に係る試験装置100は、図5に示す構成に対して、信号発生部170、動作クロック生成部180、および、サンプリングクロック生成部190を更に備える。信号発生部170は、与えられる動作クロックに応じて動作し、繰返信号を生成して被試験デバイス200に入力する。動作クロック生成部180は、動作クロックを生成して信号発生部170に入力する。信号発生部170は、動作クロック生成部180が生成する動作クロックに応じて擬似ランダムビットシーケンス(P R B S)を発生してよい。

【0063】

サンプリングクロック生成部190は、動作クロックと同期した外部サンプリングクロックを生成して位相制御部120に入力する。サンプリングクロック生成部190は、動作クロック生成部180が生成する同期クロックをフェーズロックループ回路に入力することにより、動作クロックと同期したサンプリングクロックを生成してよい。以上の構成により、サンプリング部310に入力される繰返信号とサンプリングクロックとを同期させることができる。

【0064】

試験装置100は、位相制御部120においてサンプリングクロックの位相をシフトさせる代わりに、繰返信号の位相をシフトさせてもよい。具体的には、動作クロック生成部180は、サンプリングクロック生成部190が生成するサンプリングクロックに対して、順次位相をシフトさせた動作クロックを発生してよい。例えば、繰返信号の周期が100 p sの場合、動作クロック生成部180は、1 p s単位で動作クロックを順次シフトさせてよい。また、動作クロック生成部180は、少なくとも繰返信号の1周期以上の期間に渡って、動作クロックの位相を順次シフトしてよい。

【0065】

信号発生部170が、入力される動作クロックに対して所定の時間だけ遅延させたタイミングで信号を発生することにより、繰返信号の位相を順次シフトさせてもよい。信号発生部170は、遅延させる時間を順次切り替えることにより、サンプリングクロックに対する繰返信号の位相を順次シフトさせることができる。

【0066】

また、試験装置100は、サンプリングクロックおよび繰返信号の位相を同時に順次シフトさせてもよい。試験装置100は、サンプリングクロックおよび繰返信号の最小位相シフト間隔として、互いに素となる異なる値を選択することにより、サンプリングクロックおよび繰返信号の間の相対位相を、より柔軟に設定することができる。例えば、サンプリングクロックの最小位相シフト間隔が2 p sであり、繰返信号の最小位相シフト間隔が3 p sである場合には、相対位相を5 p s、7 p sなどの値に設定することができる。

【0067】

図11は、他の実施形態に係る試験装置100および被試験デバイス200の構成を示す。本実施形態に係る試験装置100は、図5に示す構成に対して、動作クロック生成部180およびサンプリングクロック生成部190を更に備える。被試験デバイス200は、図5に示す構成に対して、出力ピン214および信号発生部430を更に備える。

【0068】

動作クロック生成部180は、動作クロックを生成して信号発生部430に入力する。サンプリングクロック生成部190は、動作クロックと同期した外部サンプリングクロックを生成して位相制御部120に入力する。信号発生部430は、与えられる動作クロックに応じて動作し、繰返信号を生成して内部回路300にループバックする。

【0069】

信号発生部430は、動作クロック生成部180が生成する動作クロックに応じて擬似ランダムビットシーケンス(P R B S)を発生してよい。信号発生部430は、発生した繰返信号を出力ピン214に出力する。出力ピン214が被試験デバイス200の外部で

10

20

30

40

50

入力ピン 202 に接続されれば、信号発生部 430 が発生した繰返信号は、出力ピン 214 および入力ピン 202 を介して、サンプリング部 310 に入力される。信号発生部 430 は、出力ピン 214 および入力ピン 202 を介することなく、サンプリング部 310 に繰返信号を入力してもよい。

【0070】

サンプリングクロック生成部 190 は、動作クロック生成部 180 よりジッタの小さいクロックを生成してもよい。繰返信号のジッタ特性を測定する場合に、サンプリングクロックがジッタを有すると、測定結果に生じる誤差が大きくなる。そこで、サンプリングクロック生成部 190 が、繰返信号を発生する基準となる動作クロックのジッタよりも小さいジッタを有するサンプリングクロックを生成することにより、測定精度を高めることができる。

10

【0071】

内部回路 300 は、位相制御部 120 から入力されるサンプリングクロックを逡倍するフェーズロックループ回路を更に有してもよい。この場合には、入力ピン 204 を介して入力されるサンプリングクロックの周波数を下げることができるので、試験装置 100 および被試験デバイス 200 の外部に放射されるノイズが更に低減される。

【0072】

図 12 は、他の実施形態に係る試験装置 100、試験用デバイス 250、および、外部デバイス 500 の構成を示す。外部デバイス 500 は、動作クロック生成部 180 が出力する動作クロックに応じて、繰返信号を出力する。外部デバイス 500 は、試験用デバイス 250 の入力ピン 202 を介して、サンプリング部 310 に繰返信号を入力する。試験装置 100 は、試験用デバイス 250 を制御することにより、外部デバイス 500 が出力する繰返信号のジッタ量等の特性を試験することができる。

20

【0073】

例えば、試験用デバイス 250 として、内部回路 300 のジッタ耐性等の特性が既知のデバイスを用いれば、試験装置 100 は、試験用デバイス 250 が出力するサンプリング結果を測定することにより、外部デバイス 500 の出力信号の特性を試験することができる。具体的には、比較部 410 は、外部デバイス 500 が出力する繰返信号のサンプリング結果を、期待値発生部 420 が発生する期待値と比較する。本実施形態に係る構成においては、外部デバイス 500 の動作周波数が試験装置 100 の測定可能周波数を上回る場合であっても、試験用デバイス 250 の動作周波数が十分に高い場合には、試験装置 100 は、外部デバイス 500 が出力する繰返信号の特性を測定することができる。なお、試験装置 100 は、試験用デバイス 250 を内蔵してもよい。

30

【0074】

図 13 は、他の実施形態に係る試験装置 100、試験用デバイス 250、および、外部デバイス 500 の構成を示す。外部デバイス 500 は、入力側 LFSR 回路 150 を有する。入力側 LFSR 回路 150 は、擬似ランダムビットシーケンス (PRBS) から成る論理パターンを有する繰返信号を生成する。入力側 LFSR 回路 150 は、入力ピン 202 を介して、生成した繰返信号を内部回路 300 に入力する。

【0075】

試験用デバイス 250 は、図 12 に示す期待値発生部 420 を期待値側 LFSR 回路 160 により構成する。期待値側 LFSR 回路 160 は、入力側 LFSR 回路 150 と同一構成のフリップフロップおよび論理回路を有する。期待値側 LFSR 回路 160 は、サンプリング部 310 が出力するサンプリング結果が初段のフリップフロップに入力されることにより、サンプリング結果に同期した期待値パターンを生成する。期待値側 LFSR 回路 160 は、内部クロック発生部 320 が出力するクロックに同期して、期待値パターンを生成してよい。また、期待値側 LFSR 回路 160 は、所定数のクロックが入力される間にサンプリング結果を取得した後に、入力側 LFSR 回路 150 が出力する繰返信号のパターンと同一のパターンを有する期待値の生成を開始してよい。

40

【0076】

50

期待値側 L F S R 回路 1 6 0 は、生成した期待値を比較部 4 1 0 に入力する。比較部 4 1 0 は、サンプリング部 3 1 0 から入力されたサンプリング結果を当該期待値と比較する。比較部 4 1 0 は、比較結果を測定部 1 4 0 に入力する。測定部 1 4 0 は、比較部 4 1 0 から取得した比較結果に基づいて、外部デバイス 5 0 0 が出力する繰返信号のジッタ量等の特性を測定してよい。

【 0 0 7 7 】

なお、図 1 0、図 1 1、図 1 2、および、図 1 3 における動作クロック生成部 1 8 0 は、図 6 に示す構成と同様に、クロック発生部 1 1 0 が出力するクロックを逡倍することにより動作クロックを生成してもよい。

【 0 0 7 8 】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。

【 0 0 7 9 】

特許請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。特許請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

【 符号の説明 】

【 0 0 8 0 】

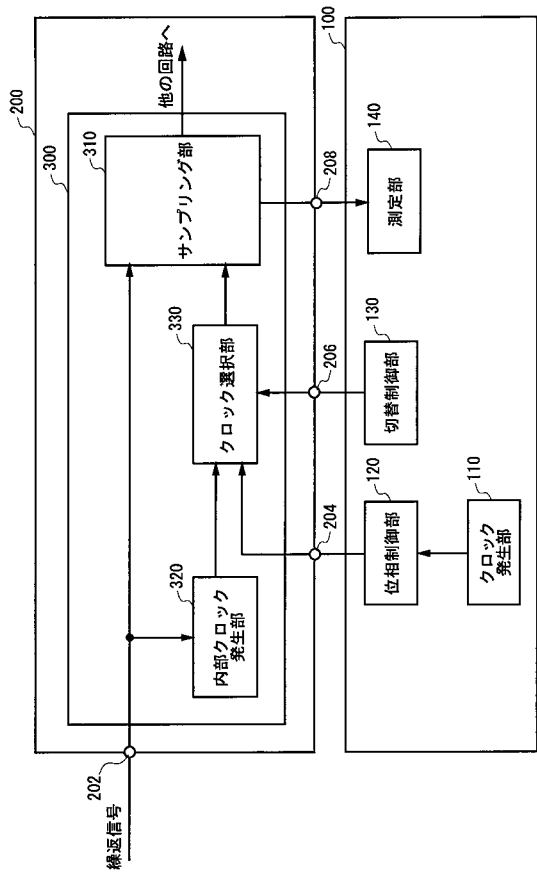
1 0 0 試験装置、1 1 0 クロック発生部、1 2 0 位相制御部、1 3 0 切替制御部、1 4 0 測定部、1 5 0 入力側 L F S R 回路、1 5 2 フリップフロップ、1 5 4 排他的論理和回路、1 6 0 期待値側 L F S R 回路、1 6 2 フリップフロップ、1 6 4 排他的論理和回路、1 6 6 切替部、1 7 0 信号発生部、1 8 0 動作クロック生成部、1 9 0 サンプリングクロック生成部、2 0 0 被試験デバイス、2 0 2 入力ピン、2 0 4 入力ピン、2 0 6 入力ピン、2 0 8 出力ピン、2 1 0 入出力ポート、2 1 2 入力ピン、2 1 4 出力ピン、2 5 0 試験用デバイス、3 0 0 内部回路、3 1 0 サンプリング部、3 2 0 内部クロック発生部、3 3 0 クロック選択部、4 0 0 B I S T 部、4 1 0 比較部、4 2 0 期待値発生部、4 3 0 信号発生部、5 0 0 外部デバイス

10

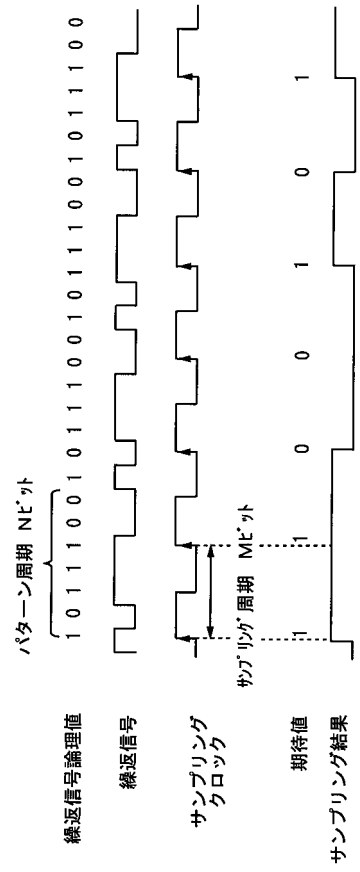
20

30

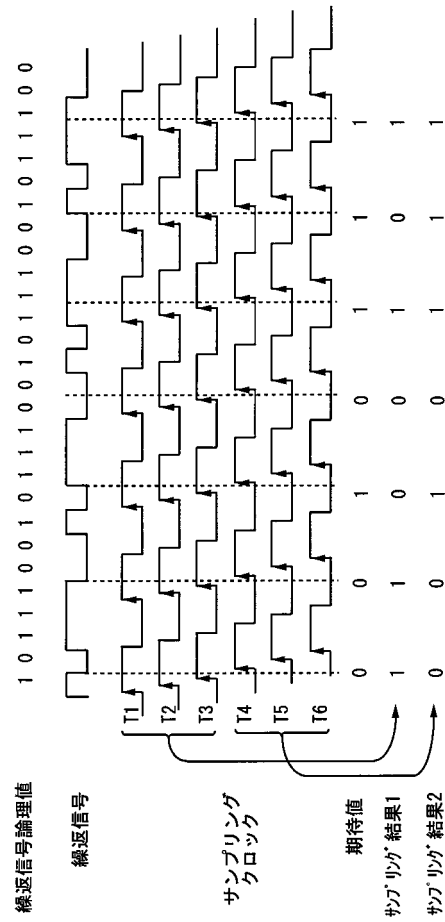
【図 1】



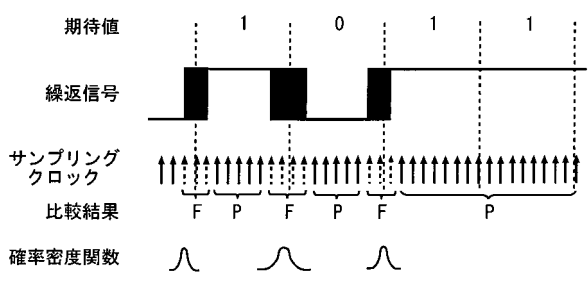
【図 2】



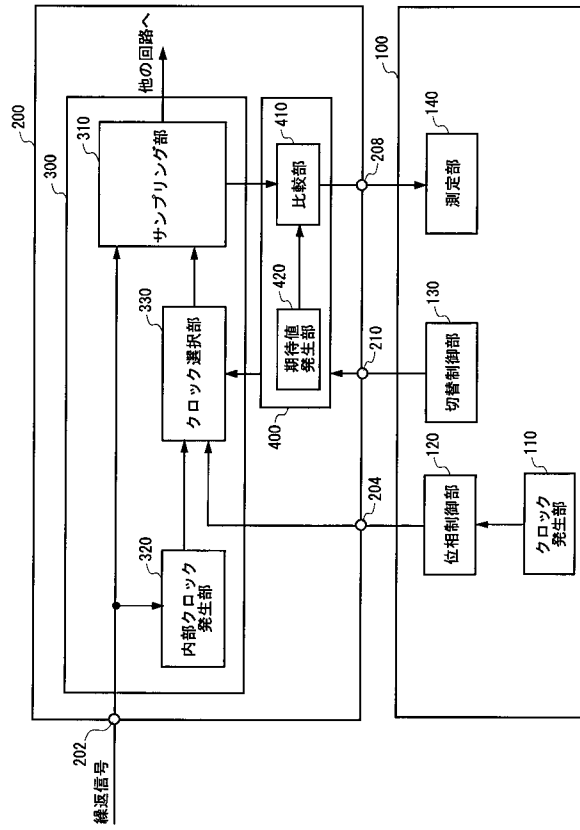
【図 3】



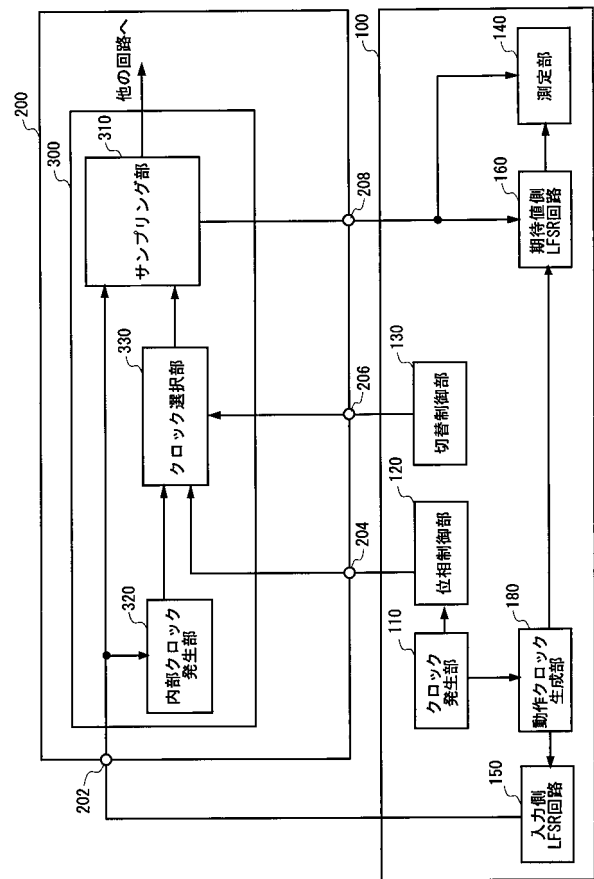
【図 4】



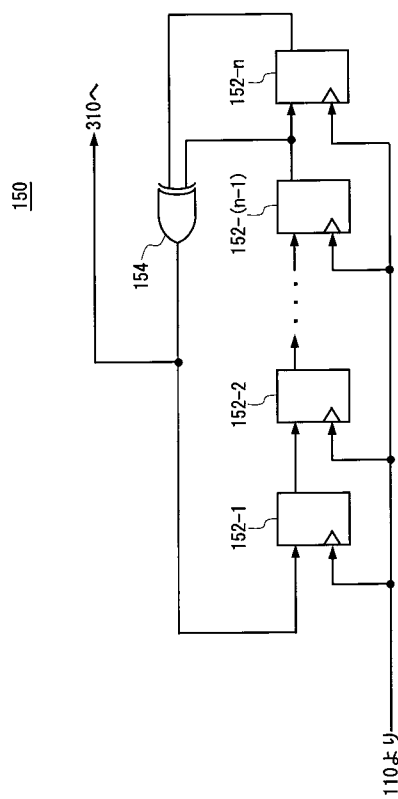
【図 5】



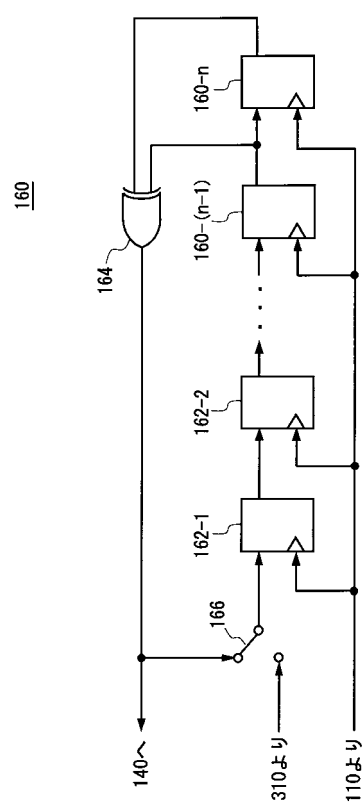
【図 6】



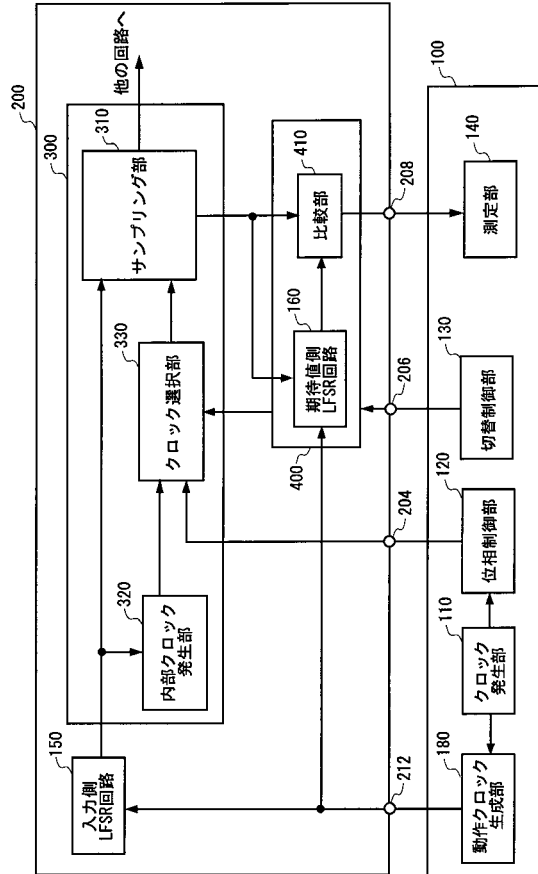
【図 7】



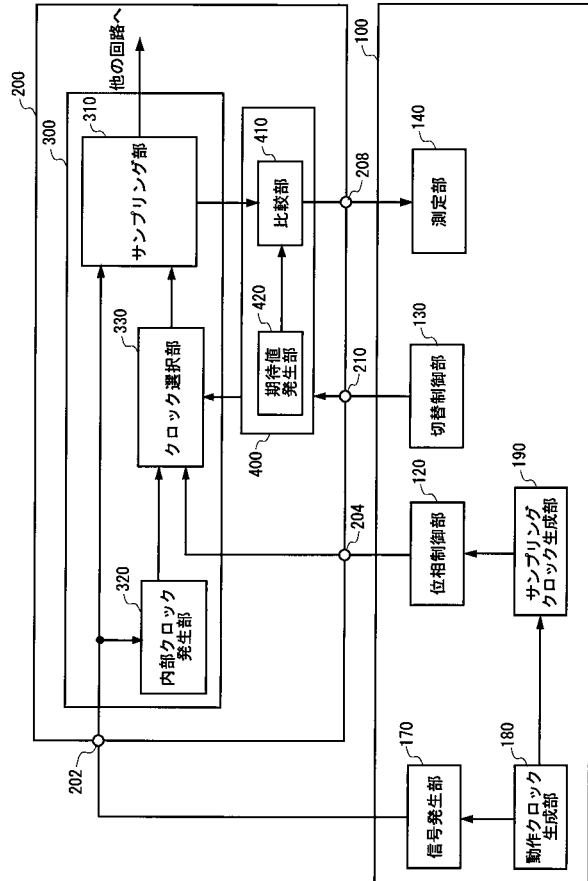
【図 8】



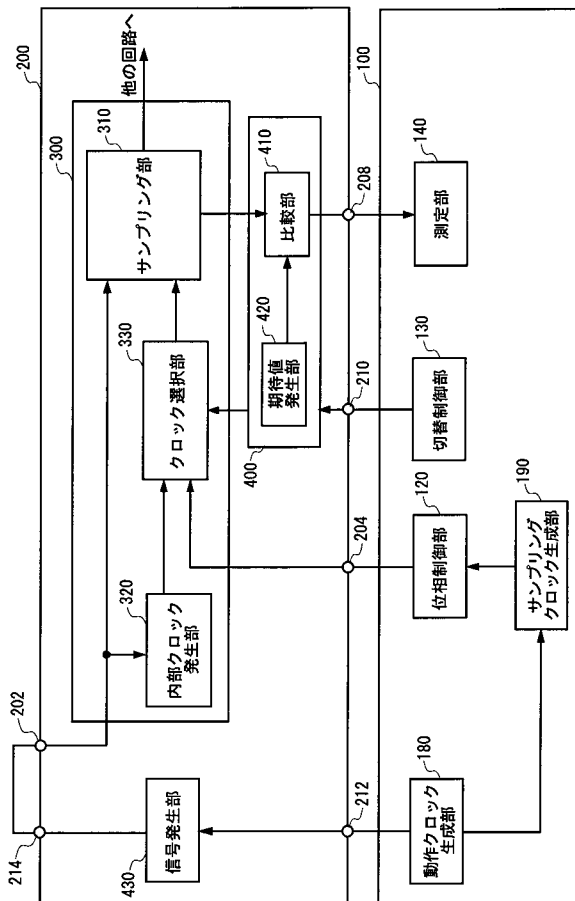
【 図 9 】



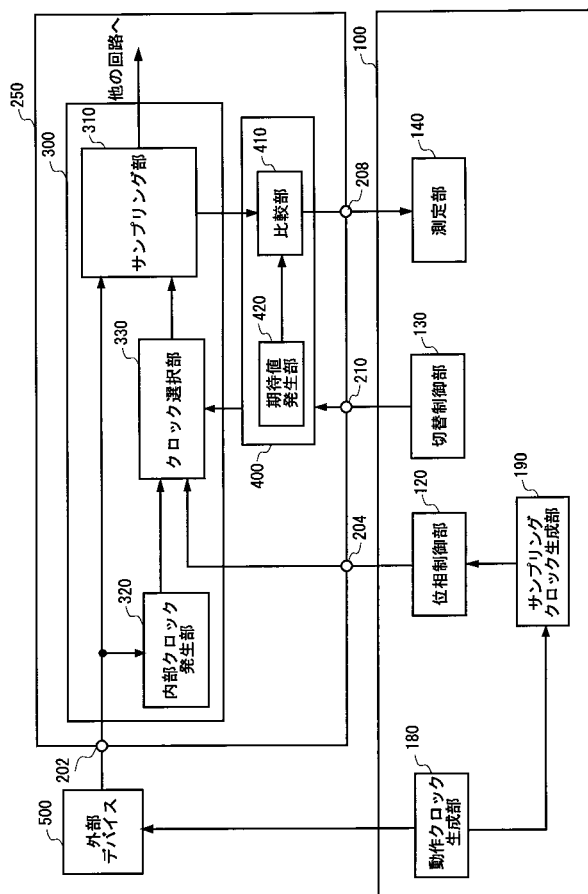
【 図 1 0 】



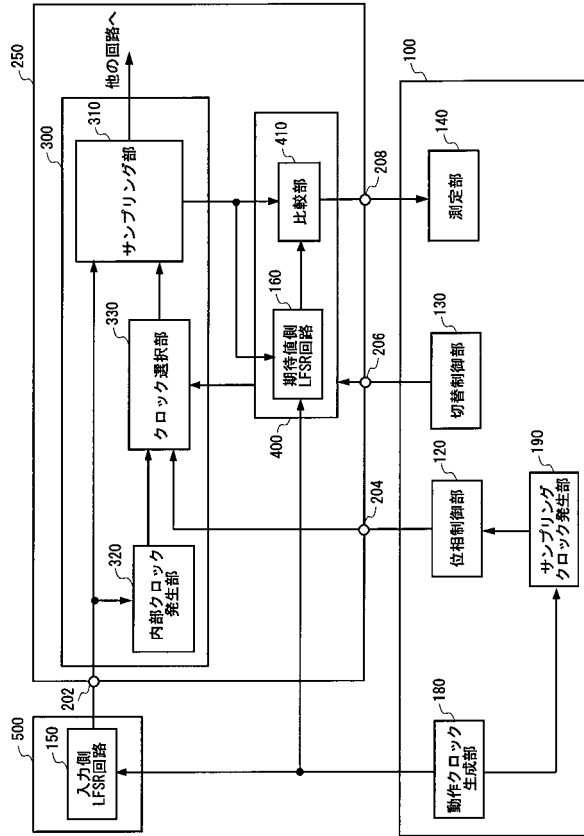
【 図 1 1 】



【 図 1 2 】



【図 13】



フロントページの続き

(56)参考文献 国際公開第2005/013573(WO, A1)
特開2001-027652(JP, A)
特開平11-014714(JP, A)
特開2002-196046(JP, A)
国際公開第2007/099918(WO, A1)
特開昭61-071499(JP, A)

(58)調査した分野(Int.Cl., DB名)

G01R 31/28 - 31/3193
G01R 29/02