



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년10월23일
(11) 등록번호 10-0769772
(24) 등록일자 2007년10월17일

(51) Int. Cl.

G11C 16/16(2006.01)

(21) 출원번호 10-2006-0096186

(22) 출원일자 2006년09월29일

심사청구일자 2006년09월29일

(56) 선행기술조사문헌

JP2003257190 A

(뒷면에 계속)

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

왕중현

충북 청주시 흥덕구 모충동 덕일아파트 나동 201호

(74) 대리인

신영무

전체 청구항 수 : 총 9 항

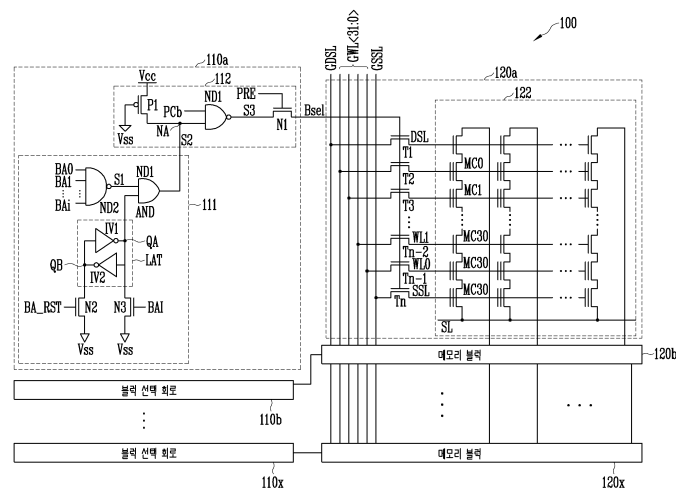
심사관 : 조명관

(54) 플래시 메모리 장치 및 이를 이용한 소거 방법

(57) 요약

본 발명은 플래시 메모리 장치 및 이를 이용한 소거 방법에 관한 것으로, 플래시 메모리 장치의 블록 스위치 회로를 디코딩된 블록 어드레스와 선택된 블록 어드레스에 의해 직관적으로 인에이블 되는 제어 신호에 응답하여 다수의 원하는 메모리 블록을 동시에 소거하거나 순차적으로 소거동작이 진행되도록 제어 하여 소자의 소거 시간을 단축할 수 있는 플래시 메모리 장치 및 이를 이용한 소거 방법을 개시한다.

대표도 - 도2



(56) 선행기술조사문헌
JP2005339763 A
KR1019970072440 A
KR1020010037587 A
KR1020060024146 A
KR1020060110197 A
US6414874 B2

특허청구의 범위

청구항 1

디코딩된 다수의 블록 어드레스 신호와 블록 제어 신호에 응답하여 블록 선택 신호를 생성하는 다수의 블록 선택 회로; 및

상기 블록 선택 신호에 응답하여 글로벌 라인과 연결되고, 웰 바이어스에 응답하여 소거 동작을 실시하는 다수의 메모리 셀 어레이를 포함하는 다수의 메모리 블록을 포함하며,

상기 블록 선택 회로 각각은 상기 동시에 상기 디코딩된 다수의 블록 어드레스 신호에 무관하게 상기 블록 제어 신호에 응답하여 상기 블록 선택 신호를 생성하거나, 상기 디코딩된 다수의 블록 어드레스 신호에 응답하여 해당 메모리 블록을 선택하는 상기 블록 선택 신호를 생성하는 플래시 메모리 장치.

청구항 2

제 1 항에 있어서,

상기 다수의 블록 선택 회로 각각은

상기 디코딩된 다수의 블록 어드레스 신호와 상기 블록 제어 신호에 응답하여 선택 제어 신호를 생성하는 제어 신호 발생부; 및

상기 선택 제어 신호에 응답하여 상기 블록 선택 신호를 생성하는 선택 신호 발생부를 포함하는 플래시 메모리 장치.

청구항 3

제 2 항에 있어서,

상기 제어 신호 발생부는 상기 디코딩된 다수의 블록 어드레스 신호를 논리 조합하여 조합 신호를 생성하는 낸드 게이트;

상기 블록 제어 신호에 대응하는 정보를 임시 저장하는 래치;

상기 래치의 출력 노드와 접지 전압에 연결되고, 상기 블록 제어 신호에 응답하여 상기 래치의 출력 노드 전위를 제어하는 트랜지스터; 및

상기 래치의 출력 노드의 전위와 상기 조합 신호를 논리 조합하여 상기 선택 제어 신호를 생성하는 앤드 게이트를 포함하는 플래시 메모리 장치.

청구항 4

제 2 항에 있어서,

상기 선택 신호 발생부는 상기 선택 제어 신호와 상기 프로그램 프리차지바 신호를 논리 조합하여 조합신호를 생성하는 낸드 게이트; 및

프리차지 신호에 응답하여 상기 조합 신호를 상기 블록 선택 신호로 출력하는 트랜지스터를 포함하는 플래시 메모리 장치.

청구항 5

제 1 항에 있어서,

상기 블록 제어 신호는 상기 선택된 블록 어드레스 신호에 응답하여 인에이블되는 플래시 메모리 장치.

청구항 6

제 1 항에 있어서,

상기 블록 제어 신호는 상기 선택된 블록 어드레스 신호 중 시작 어드레스와 종료 어드레스에 응답하여 각 해당하는 블록 제어 신호가 순차적으로 인에이블되는 플래시 메모리 장치.

청구항 7

제 6 항에 있어서,

상기 시작 어드레스와 상기 종료 어드레스에 응답하여 상기 순차적으로 인에이블되는 상기 블록 제어 신호를 생성하는 카운터를 포함한 블록 어드레스 스캔 회로 더 포함하는 플래시 메모리 장치.

청구항 8

다수의 메모리 블록 중 소거 동작을 진행할 시작 메모리 블록과 종료 메모리 블록을 선택하는 단계;

상기 시작 메모리 블록부터 상기 종료 메모리 블록까지 각기 연결된 블록 선택 회로를 순차적으로 인에이블 시키는 단계; 및

상기 시작 메모리 블록부터 상기 종료 메모리 블록의 웰에 소거 바이어스를 인가하여 순차적으로 블록을 소거시키는 단계를 포함하는 플래시 메모리 장치의 소거 방법.

청구항 9

다수의 메모리 블록 중 소거 동작을 진행할 하나 이상의 메모리 블록을 선택하는 단계;

선택된 상기 하나 이상의 메모리 블록에 해당하는 블록 선택 회로를 동시에 인에이블 시키는 단계; 및

상기 선택된 상기 하나 이상의 메모리 블록의 웰에 소거 바이어스를 인가하여 동시에 다수의 메모리 블록을 소거시키는 단계를 포함하는 플래시 메모리 장치의 소거 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <8> 본 발명은 플래시 메모리 장치 및 이를 이용한 소거 방법에 관한 것으로, 특히, 다수의 블록을 동시에 소거하여 소거 시간을 감소시킬 수 있는 플래시 메모리 장치 및 이를 이용한 소거 방법에 관한 것이다.
- <9> 일반적으로 NAND형 플래시 메모리 소자는 다수의 셀 블록을 포함하여 구성된다. 하나의 셀 블록은 다수의 셀이 직렬 연결된 다수의 셀 스트링, 다수의 비트라인, 다수의 워드라인, 셀 스트링과 비트라인 사이에 접속된 드레인 선택 트랜지스터, 셀 스트링과 공통 소오스 라인 사이에 접속된 소오스 선택 트랜지스터를 포함하여 구성된다. 한편, 하나의 워드라인을 공유하는 다수의 메모리 셀은 하나의 페이지를 구성하고, 모든 셀들은 P웰을 공유한다. 그리고, 셀 블록에 소정 전압을 공급하기 위한 패스 트랜지스터를 더 포함하는데, 패스 트랜지스터는 드레인 선택용 고전압 트랜지스터, 소오스 선택용 고전압 트랜지스터 및 셀 선택용 고전압 트랜지스터를 포함하여 구성된다.
- <10> 상기와 같이 구성되는 NAND형 플래시 메모리 소자는 메모리 셀에 데이터를 프로그램하기 위하여 먼저 소거를 실시한 후 선택된 셀에만 프로그램을 실시하게 된다. 그런데, NAND형 플래시 메모리 소자의 프로그램은 페이지 단위로 실시하지만, 소거는 모든 셀들이 P웰을 공유하기 때문에 셀 블록 단위로 실시하게 되는데, 종래의 NAND형 플래시 메모리 소자의 소거 방법을 간략하게 설명하면 다음과 같다.
- <11> 다수의 셀 블록중 어느 하나의 블록을 선택한 다음, 선택된 셀 블록과 접속된 패스 트랜지스터내의 드레인 선택용 고전압 트랜지스터, 소오스 선택용 고전압 트랜지스터 및 셀 선택용 고전압 트랜지스터 각각의 게이트 단자에 전원 전압을 인가한다. 그리고, 드레인 선택용 고전압 트랜지스터 및 소오스 선택용 고전압 트랜지스터를 통해 4.5V의 전압을 드레인 선택 트랜지스터 및 소오스 선택 트랜지스터에 인가하고, 셀 선택용 고전압 트랜지스터를 통해 0V의 전압을 메모리 셀에 인가한다. 그리고, 선택되지 않은 셀 블록과 접속된 패스 트랜지스터 내의 드레인 선택용 고전압 트랜지스터, 소오스 선택용 고전압 트랜지스터 및 셀 선택용 고전압 트랜지스터 각각의 게이트 단자에 0V의 전압을 인가한다. 그리고, 전체 셀 블록의 P웰에 소거 전압을 인가한다. 그런데, 선택되지 않은 셀의 P웰은 소거 전압으로 상승할 때 워드라인의 캐패시턴스와 워드라인과 P웰간의 캐패시턴스로 인한 커플링 효과로 선택되지 않은 셀 블록의 워드라인 전압이 상승하고, 그에 따라 선택되지 않은 셀 블록은 소거가

이루어지지 않는다.

<12> 도 1은 종래 기술에 따른 플래시 메모리 소자의 블록 선택 회로이다.

<13> 도 1을 참조하면, 블록 선택 회로(10)는 디코딩된 다수의 블록 어드레스(BAO 내지 BAi)에 응답하여 블록 선택 신호(BS)를 출력하여 메모리 블록을 선택한다.

<14> 플래시 메모리 소자는 소거 동작 시 소거 동작을 수행할 블록 어드레스를 개별적으로 지정하여 소거 동작을 수행하게 된다. 이로 인하여 메모리 컨트롤러는 매 블록마다 블록 어드레스를 지정하여야 하며 소거 시간도 블록 수에 비례하여 증가하게 된다.

<15>

발명이 이루고자 하는 기술적 과제

<16> 본 발명이 이루고자 하는 기술적 과제는 플래시 메모리 장치의 블록 스위치 회로를 디코딩된 블록 어드레스와 선택된 블록 어드레스에 의해 직관적으로 인에이블 되는 제어 신호에 응답하여 다수의 원하는 메모리 블록을 동시에 소거하거나 순차적으로 소거동작이 진행되도록 제어 하여 소자의 소거 시간을 단축할 수 있는 플래시 메모리 장치 및 이를 이용한 소거 방법을 제공하는 데 있다.

발명의 구성 및 작용

<17> 본 발명의 일 실시 예에 따른 플래시 메모리 장치는 디코딩된 다수의 블록 어드레스 신호와 블록 제어 신호에 응답하여 블록 선택 신호를 생성하는 다수의 블록 선택 회로, 및 상기 블록 선택 신호에 응답하여 글로벌 라인과 연결되고, 웰 바이어스에 응답하여 소거 동작을 실시하는 다수의 메모리 셀 어레이를 포함하는 다수의 메모리 블록을 포함하며, 상기 블록 선택 회로 각각은 상기 동시에 상기 디코딩된 다수의 블록 어드레스 신호에 무관하게 상기 블록 제어 신호에 응답하여 상기 블록 선택 신호를 생성하거나, 상기 디코딩된 다수의 블록 어드레스 신호에 응답하여 해당 메모리 블록을 선택하는 상기 블록 선택 신호를 생성한다.

<18> 상기 다수의 블록 선택 회로 각각은 상기 디코딩된 다수의 블록 어드레스 신호와 상기 블록 제어 신호에 응답하여 선택 제어 신호를 생성하는 제어 신호 발생부, 및 상기 선택 제어 신호 및 프로그램 프리차지바 신호에 응답하여 상기 블록 선택 신호를 생성하는 선택 신호 발생부를 포함한다.

<19> 상기 제어 신호 발생부는 상기 디코딩된 다수의 블록 어드레스 신호를 논리 조합하여 조합 신호를 생성하는 낸드 게이트와, 상기 블록 제어 신호에 대응하는 정보를 임시 저장하는 래치와, 상기 래치의 출력 노드와 접지 전압에 연결되고, 상기 블록 제어 신호에 응답하여 상기 래치의 출력 노드 전위를 제어하는 트랜지스터, 및 상기 래치의 출력 노드의 전위와 상기 조합 신호를 논리 조합하여 상기 선택 제어 신호를 생성하는 앤드 게이트를 포함한다.

<20> 상기 선택 신호 발생부는 상기 선택 제어 신호와 상기 프로그램 프리차지바 신호를 논리 조합하여 조합신호를 생성하는 낸드 게이트, 및 프리차지 신호에 응답하여 상기 조합 신호를 상기 블록 선택 신호로 출력하는 트랜지스터를 포함한다.

<21> 상기 블록 제어 신호는 상기 선택된 블록 어드레스 신호에 응답하여 인에이블된다.

<22> 상기 블록 제어 신호는 상기 선택된 블록 어드레스 신호 중 시작 어드레스와 종료 어드레스에 응답하여 각 해당하는 블록 제어 신호가 순차적으로 인에이블된다.

<23> 상기 시작 어드레스와 상기 종료 어드레스에 응답하여 상기 순차적으로 인에이블되는 상기 블록 제어 신호를 생성하는 카운터를 포함한 블록 어드레스 스캔 회로 더 포함한다.

<24> 본 발명의 일 실시 예에 따른 플래시 메모리 장치의 소거 방법은 다수의 메모리 블록 중 소거 동작을 진행할 시작 메모리 블록과 종료 메모리 블록을 선택하는 단계와, 상기 시작 메모리 블록부터 상기 종료 메모리 블록까지 각기 연결된 블록 선택 회로를 순차적으로 인에이블 시키는 단계, 및 상기 시작 메모리 블록부터 상기 종료 메모리 블록의 웰에 소거 바이어스를 인가하여 순차적으로 블록을 소거시키는 단계를 포함한다.

<25> 본 발명의 다른 실시 예에 따른 플래시 메모리 장치의 소거 방법은 다수의 메모리 블록 중 소거 동작을 진행할 하나 이상의 메모리 블록을 선택하는 단계와, 선택된 상기 하나 이상의 메모리 블록에 해당하는 블록 선택 회로를 동시에 인에이블 시키는 단계, 및 상기 선택된 상기 하나 이상의 메모리 블록의 웰에 소거 바이어스를 인가

하여 동시에 다수의 메모리 블록을 소거시키는 단계를 포함한다.

- <26> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명의 범위는 본원의 특허청구범위에 의해서 이해되어야 한다.
- <27> 도 2는 본 발명의 일 실시 예에 따른 블록 선택 회로를 포함한 플래시 메모리 장치이다.
- <28> 도 2를 참조하면, 플래시 메모리 장치(100)는 다수의 블록 선택 회로(110a 내지 110x; a 내지 x는 정수), 및 다수의 메모리 블록(120a 내지 120x)을 포함한다. 다수의 블록 선택 회로(110a 내지 110x)는 다수의 메모리 블록(120a 내지 120x)에 각각 연결된다.
- <29> 다수의 블록 선택 회로(110a 내지 110x)는 그 구조 및 동작이 유사하므로, 블록 선택 회로(110a)를 예로 들어 설명한다.
- <30> 블록 선택 회로(110a)는 제어 신호 발생부(111)와 선택 신호 발생부(112)를 포함한다.
- <31> 제어 신호 발생부(111)는 디코딩된 다수의 블록 어드레스 신호(BA0 내지 BAi)와 블록 제어 신호(BAI)에 응답하여 선택 제어 신호(S2)를 생성한다.
- <32> 제어 신호 발생부(111)는 낸드 게이트(ND2), 앤드 게이트(AND), 래치(LAT), 및 NMOS 트랜지스터(N2, 및 N3)를 포함한다. 낸드 게이트(ND2)는 디코딩된 다수의 블록 어드레스 신호(BA0 내지 BAi)를 논리 조합하여 조합 신호(S1)를 출력한다. 앤드 게이트(AND)는 조합 신호(S1)와 래치(LAT)의 노드(QA)의 신호를 논리 조합하여 선택 제어 신호(S2)를 생성한다. 래치(LAT)는 인버터(IV1 및 IV2)가 역방향 병렬 구조로 연결되어 있다. NMOS 트랜지스터(N2)는 래치(LAT)의 노드(QB)와 접지 전압(Vss)에 연결되고, 초기화 신호(BA_RST)에 응답하여 노드(QB)와 접지 전압(Vss)을 연결한다. NMOS 트랜지스터(N3)는 래치(LAT)의 노드(QA)와 접지 전압(Vss)에 연결되고, 블록 제어 신호(BAI)에 응답하여 노드(QA)와 접지 전압(Vss)을 연결한다.
- <33> 선택 신호 발생부(112)는 낸드 게이트(ND1)와 PMOS 트랜지스터(P1), 및 NMOS 트랜지스터(N1)를 포함한다. PMOS 트랜지스터(P1)는 전원 전압(Vcc)과 노드(NA) 사이에 연결되고, 게이트에 접지 전원(Vss)이 연결되어 노드(NA)에 전원 전압(Vcc)를 공급한다. PMOS 트랜지스터(P1)는 저항치를 갖으므로 저항의 역할을 수행한다. 낸드 게이트(ND1)는 소거 동작시 하이 레벨로 인가되는 프로그램 프리차지바 신호(PCb)와 선택 제어 신호(S2)를 논리 조합하여 조합신호(S3)를 생성한다. NMOS 트랜지스터(N1)는 낸드 게이트(ND1)의 출력 단자에 연결되고, 프리차지 신호(PRE)에 응답하여 조합신호(S3)를 블록 선택 신호(Bsel)로 출력한다. 이때 프리차지 신호(PRE)는 Vcc+Vth의 전위를 갖는 고전압 신호이다.
- <34> 다수의 메모리 블록(120a 내지 120x)는 그 구조 및 동작이 유사하므로, 메모리 블록(120a)를 예로 들어 설명한다.
- <35> 메모리 블록(120a)은 패스 트랜지스터부(121)와 메모리 셀 어레이부(122)를 포함한다.
- <36> 패스 트랜지스터부(121)는 다수의 패스 트랜지스터(T1 내지 Tn)를 포함하며, 다수의 패스 트랜지스터(T1 내지 Tn)는 블록 선택 신호(Bsel)에 응답하여 턴온되어 글로벌 드레인 선택 라인(GDSL)과 드레인 선택 라인, 글로벌 워드 라인(GWL<31:0>)과 워드 라인, 및 글로벌 소스 선택 라인(GSSL)과 소스 라인을 각각 연결한다.
- <37> 메모리 셀 어레이부(122)는 다수의 메모리 셀(MC0 내지 MC31)과 드레인 선택 트랜지스터 및 소스 선택 트랜지스터가 직렬 연결된 스트링 구조의 셀 어레이를 다수개 포함한다.
- <38> 도 2를 참조하여 본 발명의 일 실시 예에 따른 플래시 메모리 장치의 소거 동작을 상세히 설명하면 다음과 같다.
- <39> 먼저 소거 동작을 실시하기 위한 메모리 블록의 범위를 설정하여 소거 동작의 명령 셋팅 동작시 시작 블록 어드레스와 종료 블록 어드레스를 지정한다. 또한 개별적인 소거 동작을 하기 위해선 다수의 블록 어드레스 중 선택한 블록 어드레스를 지정한다. 또한 다수의 블록 어드레스 중 상술한 시작 블록 어드레스와 종료 블록 어드레스 또는 선택 블록 어드레스에 해당하는 블록 제어 신호(BAI)를 생성하는 블록 어드레스 스캔 회로(미도시)를 이용하여 생성한다. 이때 블록 어드레스 스캔 회로는 일반적인 카운터를 사용하여 구현할 수 있다.
- <40> 본 발명에서는 소거 시작 블록을 메모리 블록(120a)으로, 종료 블록을 메모리 블록(120x)로 설정하는 예를 들어

설명하도록 한다.

- <41> 제어 신호 발생부(111)의 NMOS 트랜지스터(N2)에 초기화 신호(BA_RST)가 인가되어 래치(LAT)의 노드(QB)와 접지 전원(Vss)가 연결된다. 따라서 노드(QA)는 하이 레벨로 초기화 된다. 그 후, 블록 제어 신호(BAI)가 로우 레벨에서 하이 레벨로 천이하여 제어 신호 발생부(111)의 NMOS 트랜지스터(N3)가 턴온된다. 이에 따라, 래치(LAT)의 노드(QA)가 로우 레벨로 천이한다.
- <42> 낸드 게이트(ND2)는 다수의 디코딩된 블록 어드레스 신호(BA0 내지 BAi)를 논리 조합하여 로우 레벨의 조합 신호(S1)를 출력한다. 앤드 게이트(AND)는 로우 레벨의 노드(QA) 신호와 로우 레벨의 조합 신호(S1)를 논리 조합하여 로우 레벨의 선택 제어 신호(S2)를 생성한다.
- <43> 선택 신호 발생부(112)의 노드(NA)는 PMOS 트랜지스터(P1)에 의해 공급되는 전원 전압(Vcc)이 제어 신호 발생부(111)의 선택 제어 신호(S2)에 의해 로우 레벨로 디스차지된다. 이때 PMOS 트랜지스터(P1)는 저항값을 갖으므로 노드(NA)는 로우 레벨로 안정화된다. 낸드 게이트(ND1)는 로우 레벨의 선택 제어 신호(S2)와 소거 동작시 하이 레벨로 천이하는 프로그램 프리차지바 신호(PCb)를 논리 조합하여 하이 레벨의 조합신호(S3)를 출력한다. NMOS 트랜지스터(N1)는 하이 레벨(Vcc+Vth)의 프리차지 신호(PRE)에 응답하여 턴온되어 하이 레벨의 조합신호(S3)를 블록 선택 신호(Bsel)로 출력한다.
- <44> 블록 선택 신호(Bsel)는 메모리 블록(120a)의 패스 트랜지스터부(121)를 활성화 시킨다. 즉, 다수의 패스 트랜지스터(T1 내지 Tn)는 블록 선택 신호(Bsel)에 응답하여 턴온되어 글로벌 드레인 선택 라인(GDSL)과 드레인 선택 라인, 글로벌 워드 라인(GWL<31:0>)과 워드 라인, 및 글로벌 소스 선택 라인(GSSL)과 소스 라인을 각각 연결한다. 이때 메모리 블록(120a)의 웰(Well)에 웰 바이어스가 약 20V의 고전압이 인가되어 메모리 블록(120a)의 소거 동작이 진행된다.
- <45> 이 후, 블록 어드레스 스캔 회로에 의해 블록 선택 회로(110b)에 인가되는 블록 제어 신호(BAI)가 인에이블되어 상술한 바와 같이 메모리 블록(120b)의 소거 동작이 진행된다. 이는 종료 메모리 블록(120x)의 소거 동작이 완료될 때까지 순차적으로 진행된다.
- <46> 다수의 메모리 블록의 소거 동작을 동시에 진행할 경우 해당 메모리 블록의 어드레스에 해당하는 블록 제어 신호(BAI)를 인에이블시켜 소거 동작을 동시에 진행할 수 있다.
- <47> 본 발명의 기술 사상은 상기 바람직한 실시 예에 따라 구체적으로 기술되었으나, 상기한 실시 예는 그 설명을 위한 것이며, 그 제한을 위한 것이 아님을 주지하여야 한다. 또한, 본 발명의 기술 분야에서 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시 예가 가능함을 이해할 수 있을 것이다.

발명의 효과

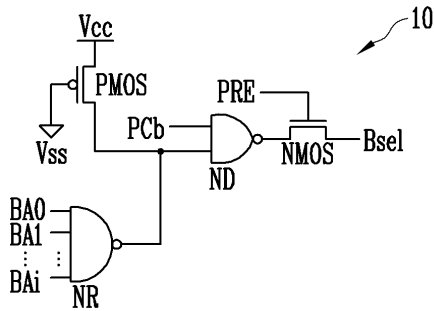
- <48> 본 발명의 일 실시 예에 따르면, 플래시 메모리 장치의 블록 스위치 회로를 디코딩된 블록 어드레스와 선택된 블록 어드레스에 의해 직관적으로 인에이블 되는 제어 신호에 응답하여 다수의 원하는 메모리 블록을 동시에 소거하거나 순차적으로 소거동작이 진행되도록 제어 하여 소자의 소거 시간을 단축할 수 있다.

도면의 간단한 설명

- <1> 도 1은 종래 기술에 따른 플래시 메모리 장치의 블록 스위치 회로이다.
- <2> 도 2는 본 발명의 일 실시 예에 따른 블록 스위치 회로를 포함한 플래시 메모리 장치이다.
- <3> <도면의 주요 부분에 대한 부호 설명>
- <4> 100 : 플래시 메모리 장치 110a 내지 110x : 블록 선택 회로
- <5> 111 : 제어 신호 발생부 112 : 선택 신호 발생부
- <6> 120a 내지 120x : 메모리 블록 121 : 패스 트랜지스터부
- <7> 122 : 메모리 셀 어레이 LAT : 래치

도면

도면1



도면2

