



(10) **DE 10 2018 108 554 A1 2018.11.29**

(12)

Offenlegungsschrift

(21) Aktenzeichen: **10 2018 108 554.0**

(51) Int Cl.: **G11C 7/10 (2006.01)**

(22) Anmeldetag: **11.04.2018**

(43) Offenlegungstag: **29.11.2018**

(30) Unionspriorität:

10-2017-0066377	29.05.2017	KR
10-2017-0089692	14.07.2017	KR

(72) Erfinder:

Son, Young-Hoon, Hwasung-si, Gyeonggi-do, KR; Kim, Si-Hong, Hwasung-si, Gyeonggi-do, KR; Lee, Chang-Kyo, Hwasung-si, Gyeonggi-do, KR; Choi, Jung-Hwan, Hwasung-si, Gyeonggi-do, KR; Ha, Kyung-Soo, Hwasung-si, Gyeonggi-do, KR

(71) Anmelder:

Samsung Electronics Co., Ltd., Suwon-si,
Gyeonggi-do, KR

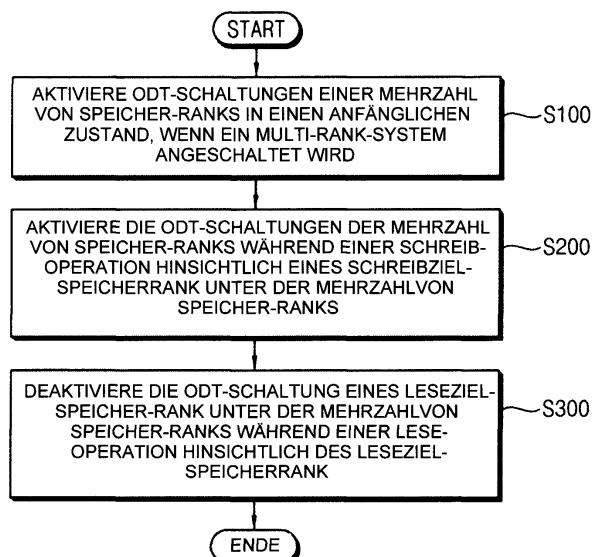
(74) Vertreter:

KUHNEN & WACKER Patent- und
Rechtsanwaltsbüro PartG mbB, 85354 Freising,
DE

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **Verfahren zum Steuern einer On-Die-Terminierung und System, welches dasselbe durchführt**

(57) Zusammenfassung: Ein Verfahren zum Steuern einer On-Die-Terminierung (ODT) in einem Multi-Rank-System (10), welches eine Mehrzahl von Speicher-Ranks (RNK1 - RNKM) aufweist, ist vorgesehen. Das Verfahren weist Folgendes auf: ein Aktivieren von ODT-Schaltungen (300) der Mehrzahl von Speicher-Ranks (RNK1 - RNKM) in einen anfänglichen Zustand, wenn das Multi-Rank-System (10) angeschaltet wird; ein Aktivieren der ODT-Schaltungen (300) eines Schreibzielspeicher-Rank und Nicht-Ziel-speicher-Ranks unter der Mehrzahl von Speicher-Ranks (RNK1 - RNKM) während einer Schreiboperation; und ein Deaktivieren der ODT-Schaltung (300) eines Lesezielspei-cher-Rank unter der Mehrzahl von Speicher-Ranks (RNK1 - RNKM), während die ODT-Schaltungen (300) von Nicht-Ziel-speicher-Ranks unter der Mehrzahl von Speicher-Ranks (RNK1 - RNKM) während einer Leseoperation aktiviert werden.



Beschreibung

QUERVERWEIS AUF EINE VERWANDTE ANMELDUNG

[0001] Diese nichtvorläufige U.S.-Anmeldung beansprucht unter 35 USC § 119 die Priorität der koreanischen Patentanmeldung Nr. 10-2017-0066377, welche am 29. Mai 2017 eingereicht wurde, und der koreanischen Patentanmeldung Nr. 10-2017-0089692, welche am 14. Juli 2017 eingereicht wurde, und deren Offenbarungen hierin durch Verweis in ihren Gesamtheiten miteinbezogen sind.

HINTERGRUND

Technisches Gebiet

[0002] Beispielhafte Ausführungsformen beziehen sich allgemein auf integrierte Halbleiterschaltungen und genauer auf ein Verfahren zum Steuern einer On-Die-Terminierung und ein System, welches das Verfahren durchführt.

Diskussion des Standes der Technik

[0003] Eine On-Die-Terminierung (ODT = On-Die-Termination = On-Die-Terminierung) ist eingeführt, um eine Signalintegrität durch ein Verringern einer Signalreflexion zwischen einem Transmitter und einem Empfänger zu verbessern. Eine ODT-Schaltung kann die Signalreflexion durch ein Vorsehen eines Terminierwiderstandes verringern, welcher auf eine Impedanz einer Übertragungsleitung abgestimmt ist. Wenn jedoch eine ODT implementiert ist, um die Signalintegrität zu verbessern, kann der Leistungsverbrauch erhöht werden.

KURZFASSUNG

[0004] Wenigstens eine Ausführung des erforderlichen Konzepts sieht ein Verfahren zum Steuern einer ODT vor, welches in der Lage ist, einen Leistungsverbrauch zu verringern und die Signalintegrität zu erhöhen.

[0005] Wenigstens eine Ausführungsform des erforderlichen Konzepts sieht ein System vor, welches ein Verfahren zum Steuern einer ODT durchführt, welches in der Lage ist, einen Leistungsverbrauch zu reduzieren und eine Signalintegrität zu verbessern.

[0006] Gemäß einer beispielhaften Ausführungsform des erforderlichen Konzepts weist ein Verfahren zum Steuern einer On-Die-Terminierung (ODT) in einem Multi-Rank-System beziehungsweise Multi-Bank-System, das eine Mehrzahl von Speicher-Ranks aufweist, ein Aktivieren von ODT-Schaltungen der Mehrzahl von Speicher-Ranks in einen Anfangszustand auf, wenn das Multi-Rank-Speichersystem eingeschaltet wird, ein Aktivieren der ODT-Schaltungen eines Schreibzielspeicher-Rank und von Nicht-Zielspeicher-Ranks unter der Mehrzahl von Speicher-Ranks während einer Schreiboperation und ein Deaktivieren der ODT-Schaltung eines Lesezielspeicher-Rank inmitten der Mehrzahl von Speicher-Ranks, während die ODT-Schaltungen von Nicht-Zielspeicher-Ranks inmitten der Mehrzahl von Speicher-Ranks während einer Leseoperation deaktiviert werden.

[0007] Gemäß einer beispielhaften Ausführungsform des erforderlichen Konzepts weist ein Verfahren zum Steuern einer On-Die-Terminierung (ODT) in einer Speichervorrichtung ein Aktivieren einer ODT-Schaltung der Speichervorrichtung in einen anfänglichen Zustand, um einen ersten Widerstandswert zu haben, wenn die Speichervorrichtung eingeschaltet wird, ein Aktivieren der ODT-Schaltung während einer Schreiboperation hinsichtlich der Speichervorrichtung und ein Deaktivieren der ODT-Schaltung während einer Leseoperation hinsichtlich der Speichervorrichtung auf.

[0008] Gemäß einer beispielhaften Ausführungsform des erforderlichen Konzepts weist ein System eine Mehrzahl von Speicher-Ranks beziehungsweise Speicherbänken auf, welche eine Mehrzahl von Speichervorrichtungen aufweisen und einen Speichercontroller, welcher konfiguriert ist, um die Mehrzahl von Speicher-Ranks zu steuern. On-Die-Terminier (ODT)-Schaltungen der Mehrzahl von Speicher-Ranks werden in einen anfänglichen Zustand aktiviert, wenn das System angeschaltet wird, die ODT-Schaltungen der Mehrzahl von Speicher-Ranks werden während einer Schreiboperation hinsichtlich eines Schreibzielspeicher-Rank und Nicht-Zielspeicher-Ranks inmitten der Mehrzahl von Speicher-Ranks aktiviert, und die ODT-Schaltung eines Lesezielspeicher-Rank inmitten der Mehrzahl von Speicher-Ranks wird deaktiviert, während die ODT-Schaltungen

tungen von Nicht-Zielspeicher-Ranks inmitten der Mehrzahl von Speicher-Ranks während einer Leseoperation aktiviert sind.

[0009] Gemäß einer beispielhaften Ausführungsform des erfinderischen Konzepts weist ein System einen ersten Speicher-Rank und einen zweiten Speicher-Rank auf. Der erste Speicher-Rank weist eine Mehrzahl von ersten Speichervorrichtungen auf, welche mit einer ersten On-Die-Terminier(ODT)-Schaltung verbunden sind. Der zweite Speicher-Rank weist eine Mehrzahl von zweiten Speichervorrichtungen auf, welche mit einer zweiten ODT-Schaltung verbunden sind. Die erste und zweite ODT-Schaltung sind während einer Schreiboperation des ersten Speicher-Rank aktiviert und die erste ODT-Schaltung ist deaktiviert und die zweite ODT-Schaltung ist aktiviert während einer Leseoperation des ersten Speicher-Rank.

[0010] Das Verfahren zum Steuern von ODT und das System, welches das Verfahren gemäß beispielhaften Ausführungsformen durchführt, kann den Leistungsverbrauch verringern und die Signalintegrität durch eine statische ODT-Steuerung verbessern derart, dass die ODT-Schaltungen des Zielspeicher-Rank und der Nicht-Zielspeicher-Ranks allgemein in dem aktivierte Zustand aufrechterhalten werden, wohingegen die ODT-Schaltung des Lesezielspeicher-Rank während der Leseoperation deaktiviert ist.

Figurenliste

[0011] Beispielhafte Ausführungsformen der vorliegenden Offenbarung werden deutlicher aus der folgenden detaillierten Beschreibung zusammengenommen mit den beigefügten Zeichnungen verstanden werden.

Fig. 1 ist ein Flussdiagramm, welches ein Verfahren zum Steuern einer On-Die-Terminierung (ODT) gemäß einer beispielhaften Ausführungsform des erfinderischen Konzepts veranschaulicht.

Fig. 2 ist ein Zeitdiagramm, welches ein Verfahren zum Steuern einer ODT gemäß einer beispielhaften Ausführungsform des erfinderischen Konzepts veranschaulicht.

Fig. 3 ist ein Blockschaltbild, welches ein Multi-Rank-System gemäß einer beispielhaften Ausführungsform des erfinderischen Konzepts veranschaulicht.

Fig. 4 ist ein Blockschaltbild, welches eine beispielhafte Ausführungsform einer Speichervorrichtung veranschaulicht, welche in dem Multi-Rank-System der **Fig. 3** enthalten ist.

Fig. 5 ist Blockschaltbild, welches eine Ausführungsform einer Daten-Eingangs-/Ausgangs-Schaltung veranschaulicht, welche in der Speichervorrichtung der **Fig. 4** gemäß einer beispielhaften Ausführungsform des erfinderischen Konzepts enthalten ist.

Fig. 6 ist ein Schaltbild, welches eine ODT-Schaltung veranschaulicht, welche in der Daten-Eingangs-/Ausgangs-Schaltung der **Fig. 5** gemäß einer beispielhaften Ausführungsform des erfinderischen Konzepts enthalten ist.

Fig. 7, Fig. 8A und **Fig. 8B** sind Diagramme, welche ein Verfahren zum Steuern einer ODT in einer Schreiboperation gemäß einer beispielhaften Ausführungsform des erfinderischen Konzepts veranschaulichen.

Fig. 9 und **Fig. 10** sind Diagramme, welche ein Verfahren zum Steuern einer ODT in einer Leseoperation gemäß einer beispielhaften Ausführungsform des erfinderischen Konzepts veranschaulichen.

Fig. 11 ist ein Diagramm, welches eine Ausführungsform einer Widerstandseinstellung, welche auf ein Verfahren zum Steuern einer ODT gemäß einer beispielhaften Ausführungsform des erfinderischen Konzepts ausgeübt wird, veranschaulicht.

Fig. 12 ist ein Diagramm zum Beschreiben eines äquivalenten Widerstandes der ODT-Schaltung in einer Schreiboperation, welche der Widerstandseinstellung der **Fig. 11** entspricht.

Fig. 13 ist ein Diagramm zum Beschreiben eines äquivalenten Widerstandes der ODT-Schaltung in einer Leseoperation, welche der Widerstandseinstellung der **Fig. 11** entspricht.

Fig. 14A und **Fig. 14B** sind Diagramme zum Beschreiben einer mit Mittelabgriff versehenen Terminierung (CTT = Center-Tapped Termination = mit Mittelabgriff versehene Terminierung).

Fig. 15A und **Fig. 15B** sind Diagramme zum Beschreiben einer ersten Pseudo-Offen-Drain (POD)-Terminierung.

Fig. 16A und **Fig. 16B** sind Diagramme zum Beschreiben einer zweiten POD-Terminierung.

Fig. 17 ist ein Diagramm, welches eine Ausführungsform einer Widerstandseinstellung veranschaulicht, welche auf ein Verfahren zum Steuern einer ODT gemäß einer beispielhaften Ausführungsform des erforderlichen Konzepts angewandt wird.

Fig. 18 ist ein Diagramm, welches einen CAS-Befehl gemäß einer beispielhaften Ausführungsform des erforderlichen Konzepts veranschaulicht.

Fig. 19A und **Fig. 19B** sind Diagramme zum Beschreiben eines Modusregisters für eine ODT gemäß einer beispielhaften Ausführungsform des erforderlichen Konzepts.

Fig. 20 ist ein strukturelles Diagramm, welches eine Halbleiterspeichervorrichtung gemäß einer beispielhaften Ausführungsform des erforderlichen Konzepts veranschaulicht.

Fig. 21 ist ein Blockschaltbild, welches ein mobiles System gemäß einer beispielhaften Ausführungsform des erforderlichen Konzepts veranschaulicht.

DETAILLIERTE BESCHREIBUNG DER BEISPIELHAFTEN AUSFÜHRUNGSFORMEN

[0012] Das erforderliche Konzept wird vollständiger hierin nachstehend unter Bezugnahme auf die beigefügten Zeichnungen beschrieben werden, in welche einige beispielhafte Ausführungsformen des erforderlichen Konzepts gezeigt sind. In den Zeichnungen beziehen sich ähnliche Bezugszeichen auf ähnliche Elemente durchgehend.

[0013] **Fig. 1** ist ein Flussdiagramm, welches ein Verfahren zum Steuern einer On-Die-Terminierung (ODT) gemäß einer beispielhaften Ausführungsform des erforderlichen Konzepts veranschaulicht, und **Fig. 2** ist ein Zeitdiagramm, welches ein Verfahren zum Steuern einer ODT gemäß einer beispielhaften Ausführungsform des erforderlichen Konzepts veranschaulicht.

[0014] Die **Fig. 1** und **Fig. 2** veranschaulichen ein Verfahren zum Steuern einer ODT in einem Multi-Rank-System, welches eine Mehrzahl von Speicher-Ranks aufweist. Das Multi-Rank-System wird untenstehend unter Bezugnahme auf **Fig. 3** beschrieben werden. In einer Ausführungsform ist ein Speicher-Rank ein Satz von Speicherchips, welcher mit demselben Chipauswahlsignal verbunden ist. Demnach empfängt, wenn es mehrere Speicher-Ranks gibt, jeder Speicher-Rank ein unterschiedliches Chipauswahlsignal. In einer weiteren Ausführungsform verwendet der Satz von Speicherchips für einen gegebenen Speicher-Rank denselben Befehl und Steuersignale.

[0015] Bezug nehmend auf **Fig. 1** werden ODT-Schaltungen einer Mehrzahl von Speicher-Ranks in einen anfänglichen Zustand aktiviert, wenn das Multi-Rank-System angeschaltet wird (**S100**). Beispielsweise kann ein Aktivieren der ODT-Schaltungen in einen anfänglichen Zustand durch ein Anlegen von Leistung an die ODT-Schaltungen und ein Einstellen eines Widerstandes von jeder von ODT-Schaltungen auf einen selben Widerstandswert durchgeführt werden. Die ODT-Schaltungen der Mehrzahl von Speicher-Ranks sind während einer Schreiboperation hinsichtlich eines Schreibzielspeicher-Rank inmitten der Mehrzahl von Speicher-Ranks aktiviert (**S200**). Beispielsweise ist, wenn eine der ODT-Schaltungen eines Speicher-Rank, welcher gegenwärtig das Ziel eines Schreibens ist, gegenwärtig aufgrund einer vorangehenden Leseoperation des Speicher-Rank deaktiviert ist, dann diese ODT während des Schreibens aktiviert. Ferner kann die ODT-Schaltung des Speicher-Rank, welcher gegenwärtig das Ziel des Schreibens ist, einige Zeit vor dem tatsächlichen Schreiben aktiviert werden. Die ODT-Schaltung eines Lesezielspeicher-Rank inmitten der Mehrzahl von Speicher-Ranks wird während einer Leseoperation hinsichtlich des Lesezielspeicher-Rank deaktiviert (**S300**).

[0016] Eine Speicherzugriffsoperation kann eine Schreiboperation und eine Leseoperation aufweisen und die Speicherzugriffsoperation kann von anderen Operationen wie beispielsweise einer Modusregisterbeschreibung, einer Modusregisterleseoperation, einer Auffrischoperation etc. unterschieden werden. Im Fall der Schreiboperation kann die Mehrzahl von Speicher-Ranks durch einen Schreibzielspeicher-Rank, welcher ein Objekt der Schreiboperation ist, und Nicht-Zielspeicher-Ranks mit Ausnahme des Schreibzielspeicher-Rank unterteilt beziehungsweise geteilt werden. Beispielsweise werden während einer Schreiboperation Daten zu einem einer Mehrzahl von Speicher-Ranks (das heißt dem Schreibzielspeicher-Rank) geschrieben und die Daten werden nicht zu den verbleibenden Speicher-Ranks geschrieben. Im Fall der Leseoperation kann die Mehrzahl von Speicher-Ranks durch einen Lesezielspeicher-Rank unterteilt beziehungsweise geteilt werden, welcher ein Objekt der Leseoperation ist, und Nicht-Zielspeicher-Ranks mit Ausnahme des Lesezielspeicher-Rank. Beispielsweise werden während einer Leseoperation Daten von einem einer Mehrzahl von Speicher-Ranks (das heißt dem Lesezielspeicher-Rank) gelesen und Daten werden nicht von den verbleibenden Spei-

cher-Ranks gelesen. Auf den Schreibzielspeicher-Rank oder den Lesezielspeicher-Rank kann einfach Bezug genommen werden als ein Zielspeicher-Rank.

[0017] Bezug nehmend auf **Fig. 2** werden zu einem Zeitpunkt **T1**, wenn das Multi-Rank-System eingeschaltet wird, die ODT-Schaltungen der Mehrzahl von Speicher-Ranks in den anfänglichen Zustand aktiviert. In einer beispielhaften Ausführungsform wird jede der ODT-Schaltungen der Mehrzahl von Speicher-Ranks eingestellt, um einen ersten Widerstandswert in dem anfänglichen Zustand zu haben. Auch wenn **Fig. 2** veranschaulicht, dass ein Aktivierungszeitpunkt der ODT-Schaltungen mit einem Anschaltzeitpunkt zusammenfällt, kann die Anschaltsequenz zuerst vollendet werden, und dann können, nachdem ein bestimmtes Zeitintervall verstreicht, die ODT-Schaltungen in den anfänglichen Zustand aktiviert werden.

[0018] Während Zeitintervallen **T2-T3** und **T4-T5**, während die Schreiboperation durchgeführt wird, erhalten all die ODT-Schaltungen der Speicher-Ranks, einschließlich des Schreibzielspeicher-Rank und der Nicht-Zielspeicher-Ranks einen aktivierte Zustand aufrecht. In einer beispielhaften Ausführungsform werden die ODT-Schaltungen der Mehrzahl von Speicher-Ranks in dem anfänglichen Zustand aufrechterhalten, um den ersten Widerstandswert während der Schreiboperation zu haben. In einer anderen beispielhaften Ausführungsform wird ein Widerstandswert der ODT-Schaltung des Schreibzielspeicher-Rank von dem ersten Widerstandswert auf einen zweiten Widerstandswert unterschiedlich von dem ersten Widerstandswert während der Schreiboperation geändert.

[0019] Während eines Zeitintervalls **T6-T7**, während die Leseoperation durchgeführt wird, wird die ODT-Schaltung des Lesezielspeicher-Rank deaktiviert und die ODT-Schaltungen der Nicht-Zielspeicher-Ranks werden aktiviert. In einer beispielhaften Ausführungsform werden die ODT-Schaltungen der Nicht-Zielspeicher-Ranks in dem anfänglichen Zustand aufrechterhalten, um den ersten Widerstandswert während der Leseoperation zu haben. Auch wenn **Fig. 2** veranschaulicht, dass das Zeitintervall des Deaktivierens des Lesezielspeicher-Rank mit dem Zeitintervall der Leseoperation zusammenfällt, kann das Zeitintervall des Deaktivierens des Lesezielspeicher-Rank geringer sein als das Zeitintervall der Leseoperation. In anderen Worten gesagt ist es ausreichend, dass die ODT-Schaltung des Lesezielspeicher-Rank nur deaktiviert wird während Lesedaten durch die Daten-Eingangs-/Ausgangs-Kontakte ausgegeben werden. Beispielsweise kann die ODT-Schaltung des Lesezielspeicher-Rank nur deaktiviert werden, während Daten, welche von dem Zielspeicher-Rank gelesen werden, durch Kontakte des Zielspeicher-Rank ausgegeben werden.

[0020] Zum Zeitpunkt **T8**, wenn das Multi-Rank-System abgeschaltet wird, wird eine Leistungszufuhr blockiert und die ODT-Schaltungen all der Speicher-Ranks werden deaktiviert. Beispielsweise kann ein Schalter zwischen einer Leistung, welche den ODT-Schaltungen zugeführt wird, gegenwärtig sein, und das Blockieren kann durch ein Öffnen des Schalters durchgeführt werden. Beispielsweise kann, wenn der Schalter ein Transistor ist, der Schalter basierend auf einem Steuersignal, welches an ein Gate des Transistors angelegt wird, geöffnet werden.

[0021] Wenn nur die ODT-Schaltung des Zielspeicher-Rank aktiviert wird und die ODT-Schaltungen der Nicht-Zielspeicher-Ranks deaktiviert werden, kann die Signalintegrität verschlechtert sein, da Wellen von Signalen, welche in die Nicht-Zielspeicher-Ranks injiziert werden, nicht terminiert sind und demnach kann Jitter beziehungsweise Rauschen verursacht werden. Im Gegensatz dazu kann gemäß wenigstens einer Ausführungsform des erfinderischen Konzepts die Signalintegrität durch ein Aktivieren der ODT-Schaltungen nahezu immer mit Ausnahme des Falls des Lesezielspeicher-Rank erhöht werden. Auch wenn die ODT-Schaltungen der Nicht-Zielspeicher-Ranks immer aktiviert sind, wird ein Bereitschafts-Leistungsverbrauch im Fall einer pseudooffenen Drain-Terminierung nicht verursacht werden, wie untenstehend beschrieben wird.

[0022] Wenn die ODT-Schaltungen der Nicht-Zielspeicher-Ranks in der Schreiboperation aktiviert werden und in der Leseoperation deaktiviert werden, sind all die Speicher-Ranks in Bereitschaft, einen Speicherzugriffsbefehl (beispielsweise einen Schreibbefehl oder einen Lesebefehl) zu empfangen und zu decodieren. In diesem Fall treten die ODT-Schaltungen nicht in einen Abschaltmodus ein und demnach wird der Bereitschaftsleistungsverbrauch erhöht. Im Gegensatz dazu werden gemäß einer beispielhaften Ausführungsform die ODT-Schaltungen der Nicht-Zielspeicher-Ranks in dem aktivierte Zustand in der Schreiboperation und der Leseoperation aufrechterhalten. In diesem Fall können die ODT-Schaltungen in den Abschaltmodus leichter eintreten und demnach kann der Bereitschaftsleistungsverbrauch verringert werden.

[0023] In einer Ausführungsform haben die ODT-Schaltungen der Nicht-Zielspeicher-Ranks inmitten der Mehrzahl von Speicher-Ranks einen konstanten Widerstandswert unabhängig von dem Speicherzugriffsbefehl (beispielsweise einem Schreibbefehl oder einem Lesebefehl), welcher durch den Speichercontroller ausgege-

ben wird. Dieser konstante Widerstandswert kann auf einem Wert basiert sein, welcher in dem Modusregister gespeichert ist.

[0024] In einer beispielhaften Ausführungsform werden die Mehrzahl von Speicher-Ranks, welcher Speicher-Rank dem Zielspeicher-Rank für die Schreiboperation oder die Leseoperation entspricht, basierend auf einer Mehrzahl von Rankauswahlsignalen informiert, welche jeweils für die Mehrzahl von Speicher-Ranks vorgesehen sind. In diesem Fall treten alle der Speicher-Ranks in dem Bereitschaftszustand in den Abschaltmodus ein und der Zielspeicher-Rank, welcher dem aktivierte Rankauswahlsignal entspricht, wird von dem Abschaltmodus in den Normalbetriebsmodus aufgeweckt. Die Nicht-Zielspeicher-Ranks müssen den aktivierte Zustand der ODT-Schaltungen nicht ändern, und demnach kann der Abschaltmodus hinsichtlich der Nicht-Zielspeicher-Ranks aufrechterhalten werden.

[0025] Als solches können das Verfahren zum Steuern einer ODT und das System, welches das Verfahren gemäß wenigstens einer Ausführungsform durchführt, den Leistungsverbrauch verringern und die Signalintegrität durch eine statische ODT-Steuerung verbessern derart, dass die ODT-Schaltungen des Zielspeicher-Rank und der Nicht-Zielspeicher-Ranks allgemein in dem aktivierte Zustand aufrechterhalten werden, wohingegen die ODT-Schaltung des Lesezielspeicher-Rank während der Leseoperation deaktiviert wird.

[0026] Obwohl ein Verfahren zum Steuern einer ODT für das Multi-Rank-System unter Bezugnahme auf die **Fig. 1** und **Fig. 2** beschrieben wurde, kann die beispielhafte Ausführungsform auf ein System angewandt werden, welches eine Speichervorrichtung eines Einzel-Speicher-Rank aufweist.

[0027] Im Falle des Einzel-Rank-Systems entspricht die einzelne Speichervorrichtung dem Schreibzielspeicher-Rank während der Schreiboperation und dem Lesezielspeicher-Rank während der Leseoperation. Gemäß einer beispielhaften Ausführungsform wird eine ODT-Schaltung der Speichervorrichtung in einen anfänglichen Zustand aktiviert, um einen ersten Widerstandswert zu haben, wenn die Speichervorrichtung angeschaltet wird. Die ODT-Schaltung kann während der Schreiboperation hinsichtlich der Speichervorrichtung aktiviert werden und die ODT-Schaltung kann während der Leseoperation hinsichtlich der Speichervorrichtung deaktiviert werden.

[0028] **Fig. 3** ist ein Blockschaltbild, welches ein Multi-Rank-System gemäß einer beispielhaften Ausführungsform des erfinderischen Konzepts veranschaulicht.

[0029] Bezug nehmend auf **Fig. 3** weist ein Multi-Rank-System **10** einen Speichercontroller **20** und ein Speicheruntersystem **30** auf. Das Speicheruntersystem **30** weist eine Mehrzahl von Speicher-Ranks RNK1 bis RNKM auf und jeder der Speicher-Ranks RNK1 bis RNKM weist eine oder mehrere Speichervorrichtungen MEM auf, M ist eine natürliche Zahl größer als 1. Der Speichercontroller **20** und das Speicheruntersystem können Schnittstellenschaltungen jeweils für eine wechselseitige Kommunikation aufweisen. Die Schnittstellenschaltungen können durch einen Steuerbus zum Übertragen eines Befehls **CMD**, einer Adresse **ADDR** und eines Steuersignals **CTRL** etc. verbunden sein und einen Datenbus zum Übertragen von Daten. In einer Ausführungsform weist der Befehl **CMD** die Adresse **ADDR** auf. Der Speichercontroller **20** kann den Befehl **CMD** und die Adresse **ADDR** für einen Zugriff auf das Speicheruntersystem **30** ausgeben und Daten können in das Speicheruntersystem **30** geschrieben werden oder Daten können aus dem Speicheruntersystem **30** unter der Steuerung des Speichercontrollers **20** ausgelesen werden. In einer Ausführungsform weist der Speichercontroller **20** getrennte Kontakte zum Ausgeben des Steuersignals **CTRL**, des Befehls **CMD**, der Adresse **ADDR** und ein Austauschen der Daten **DATA** mit dem Speicheruntersystem **30** auf. Wenn der Befehl **CMD** die Adresse **ADDR** aufweist, kann der Speichercontroller **20** den Kontakt zum Ausgeben der Adresse **ADDR** auslassen. Gemäß einer beispielhaften Ausführungsform werden ODT-Schaltungen der Mehrzahl von Speicher-Ranks RNK1 bis RNKM in einen anfänglichen Zustand aktiviert, wenn das Multi-Rank-System **10** angeschaltet wird, die ODT-Schaltungen der Mehrzahl Speicher-Ranks RNK1 bis RNKM werden während einer Schreiboperation hinsichtlich eines Schreibzielspeicher-Rank inmitten der Mehrzahl von Speicher-Ranks RNK1 bis RNKM aktiviert und die ODT-Schaltung eines Lesezielspeicher-Rank inmitten der Mehrzahl von Speicher-Ranks RNK1 bis RNKM wird während einer Leseoperation hinsichtlich des Lesezielspeicher-Rank deaktiviert.

[0030] **Fig. 4** ist ein Blockschaltbild, welches eine beispielhafte Ausführungsform einer Speichervorrichtung, welche in dem Multi-Rank-System der **Fig. 3** enthalten ist, veranschaulicht.

[0031] Bezug nehmend auf **Fig. 4** weist eine Speichervorrichtung **400** eine Steuerlogik **410** (beispielsweise eine Steuerlogikschatzung), ein Adressregister **420**, eine Banksteuerlogik **430** (beispielsweise Banksteuerlogikschatzung), einen Zeilenadressmultiplexer **440**, einen Auffrischzähler **445**, einen Zeilendecoder **460**, einen

Spaltendecoder **470**, eine Speicherzellanordnung **480**, eine Leseverstärkereinheit **485** (beispielsweise Leseverstärkerschaltung), eine Eingangs-/Ausgangs(I/O)-Taktschaltung (gating circuit) **490** und eine Daten-Eingangs-/Ausgangs(I/O)-Schaltung **500** auf.

[0032] Die Speicherzellanordnung **480** weist eine Mehrzahl von Bankanordnungen **480a** bis **480h** auf. Der Zeilendecoder **460** weist eine Mehrzahl von Bankzeilendecodern **460a** bis **460h** auf, welche jeweils mit den Bankanordnungen **480a** bis **480h** gekoppelt sind. Der Spaltendecoder **470** weist eine Mehrzahl von Bankspaltendecodern **470a** bis **470h** auf, welche jeweils mit den Bankanordnungen **480a** bis **480h** gekoppelt sind. Die Leseverstärkereinheit **485** weist eine Mehrzahl von Bankleseverstärkern **485a** bis **485h** auf, welche jeweils mit den Bankanordnungen **480a** bis **480h** gekoppelt sind.

[0033] Das Adressregister **420** empfängt eine Adresse **ADDR**, welche eine Bankadresse **BANK_ADDR**, eine Zeilenadresse **ROW_ADDR** und eine Spaltenadresse **COL_ADDR** aufweist, von dem Speichercontroller **20**. Das Adressregister **420** sieht die empfangene Bankadresse **BANK_ADDR** für die Banksteuerlogik **430** vor, die empfangene Zeilenadresse **ROW_ADDR** für den Zeilenadressmultiplexer **440** und die empfangene Spaltenadresse **COL_ADDR** für einen Spaltendecoder **470**.

[0034] Die Banksteuerlogik **430** kann Banksteuersignale basierend auf der Bankadresse **BANK_ADDR** erzeugen. Einer der Bankzeilendecoder **460a** bis **460h**, welcher der Bankadresse **BANK_ADDR** entspricht, kann basierend auf den Banksteuersignalen aktiviert werden. Einer der Bankspaltendecoder **470a** bis **470h**, welcher der Bankadresse **BANK_ADDR** entspricht, kann basierend auf den Banksteuersignalen aktiviert werden.

[0035] Der Zeilenadressmultiplexer **440** kann die Zeilenadresse **ROW_ADDR** von dem Adressregister **420** empfangen und kann eine Auffrischzeilenadresse **REF_ADDR** von dem Auffrischzähler **445** empfangen. Der Zeilenadressmultiplexer **440** kann selektiv eine der Zeilenadresse **ROW_ADDR** oder der Auffrischzeilenadresse **REF_ADDR** als eine Zeilenadresse **RA** ausgeben. Die Zeilenadresse **RA**, welche von dem Zeilenadressmultiplexer **440** ausgegeben wird, kann auf die Bankzeilendecoder **460a** bis **460h** angewandt werden.

[0036] Der aktivierte einer der Bankzeilendecoder **460a** bis **460h** kann die Zeilenadresse **RA**, welche von dem Zeilenadressmultiplexer **440** ausgegeben wird, decodieren und kann eine Wortleitung, welche der Zeilenadresse **RA** entspricht, aktivieren. Beispielsweise kann der aktivierte Bankzeilendecoder eine Wortleitungstreiberspannung an die Wortleitung, welche der Zeilenadresse **RA** entspricht, anlegen.

[0037] Der Spaltendecoder **470** kann ein Spaltenadresslatch aufweisen. Das Spaltenadresslatch kann die Spaltenadresse **COL_ADDR** von dem Adressregister **420** empfangen und die empfangene Spaltenadresse **COL_ADDR** vorübergehend speichern. In einer beispielhaften Ausführungsform erzeugt in einem Burst-Modus das Spaltenadresslatch Spaltenadressen, welche von der empfangenen Spaltenadresse **COL_ADDR** inkrementieren. Das Spaltenadresslatch kann die vorübergehend gespeicherte oder erzeugte Spaltenadresse auf die Bankspaltendecoder **470a** bis **470h** ausüben.

[0038] Der aktivierte einer der Bankspaltendecoder **470a** bis **470h** kann die Spaltenadresse **COL_ADDR**, welche von dem Spaltenadresslatch ausgegeben wird, decodieren und kann die Eingangs-/Ausgangs-Taktschaltung **490** steuern, um Daten auszugeben, welche der Spaltenadresse **COL_ADDR** entsprechen.

[0039] Die I/O-Taktschaltung **490** kann eine Schaltung zum Takt (Gating) von Eingangs-/Ausgangsdaten aufweisen. Die I/O-Taktschaltung **490** kann ferner Lesedatenlatches zum Speichern von Daten aufweisen, welche von den Bankanordnungen **480a** bis **480h** ausgegeben werden, und Schreibtreiber zum Schreiben von Daten zu den Bankanordnungen **480a** bis **480h**.

[0040] Daten, welche von einer Bankanordnung der Bankanordnungen **480a** bis **480h** gelesen werden sollen, können durch eine Leseverstärker **485** abgetastet werden, welcher mit der einen Bankanordnung gekoppelt ist, von welcher die Daten zu lesen sind, und können in den Lesedatenlatches gespeichert werden. Die Daten, welche in den Lesedatenlatches gespeichert sind, können für den Speichercontroller **20** über die Daten-I/O-Schaltung **500** vorgesehen werden. Daten DQ, welche in eine Bankanordnung der Bankanordnungen **480a** bis **480h** zu schreiben sind, können für die Daten-I/O-Schaltung **500** von dem Speichercontroller **20** vorgesehen werden. Der Schreibtreiber kann die Daten DQ in eine Bankanordnung der Bankanordnungen **480a** bis **480h** schreiben.

[0041] Die Steuerlogik **410** kann Operationen der Speichervorrichtung **400** steuern. Beispielsweise kann die Steuerlogik **410** Steuersignale für die Speichervorrichtung **400** erzeugen, um eine Schreiboperation oder eine

Leseoperation durchzuführen. Die Steuerlogik **410** kann einen Befehlsdecoder **411** aufweisen, welcher einen Befehl CMD, welcher von dem Speichercontroller **20** empfangen wird, decodiert, und einen Modusregistersatz **412**, welcher einen Betriebsmodus der Speichervorrichtung einstellt. Beispielsweise kann ein Wert eines Registers in dem Modusregistersatz **412** den Betriebsmodus der Speichervorrichtung anzeigen.

[0042] Fig. 5 ist ein Blockschaltbild, welches eine Ausführungsform einer Daten-Eingangs-/Ausgangs-Schaltung veranschaulicht, welche in der Speichervorrichtung der Fig. 4 gemäß einer beispielhaften Ausführungsform des erfinderischen Konzepts enthalten ist.

[0043] Bezug nehmend auf Fig. 5 weist eine Daten-Eingangs-/Ausgangs-Schaltung **500** eine ODT-Schaltung **300**, einen Daten-Eingangs-Ausgangs-Kontakt **600**, einen Übertragungstreiber **DR710** und einen Empfangspuffer **BF720** auf. Der Übertragungstreiber **710** treibt den Daten-Eingangs-Ausgangs-Kontakt **600** basierend auf gelesenen Daten und der Empfangspuffer **720** empfängt Schreibdaten, welche durch den Daten-Eingangs-Ausgangs-Kontakt **600** vorgesehen werden. Beispielsweise werden die gelesenen Daten von einem Speicher eines Speicher-Rank zu dem Übertragungstreiber **710** ausgegeben und der Speichercontroller gibt Schreibdaten zu dem Empfangspuffer **720** aus. In einer Ausführungsform sind der Übertragungstreiber **DR710** und der Empfangspuffer **BF720** durch einen Operationsverstärker implementiert.

[0044] Die ODT-Schaltung **300** weist eine Terminiersteuereinheit **310** (beispielsweise eine Terminiersteuerschaltung) und eine Terminierwiderstandseinheit **350** auf.

[0045] Die Terminierwiderstandseinheit **350** ist mit dem Daten-Eingangs-Ausgangs-Kontakt **600** gekoppelt und sieht eine Terminierimpedanz für eine Übertragungsleitung vor, welche mit dem Daten-Eingangs-Ausgangs-Kontakt **600** gekoppelt ist. Das Verfahren zum Steuern der ODT gemäß einer beispielhaften Ausführungsform kann angewandt werden, um Terminierungen von Eingangs-Ausgangs-Kontakten für eine bidirektionale Kommunikation zwischen dem Speichercontroller **20** und der Speichervorrichtung **30** zu steuern. Demnach kann das Verfahren gemäß einer beispielhaften Ausführungsform auf einen Daten-Strobe-Kontakt, einen Daten-Masken-Kontakt oder einen Terminier-Daten-Strobe-Kontakt zusätzlich zu dem Daten-Eingangs-Ausgangs-Kontakt **600** angewandt werden. Die ODT eines Adresskontakte, einem Befehlskontakt für eine unidirektionale Kommunikation von dem Speichercontroller **20** zu der Speichervorrichtung **30** ist von dem Verfahren gemäß einer beispielhaften Ausführungsform ausgenommen. Der Begriff „Kontakt“ bezieht sich breit auf eine elektrische Verbindung für eine integrierte Schaltung, beispielsweise eine Kontaktstelle oder einen anderen elektrischen Kontakt auf der integrierten Schaltung.

[0046] In einer Ausführungsform führt die Terminierwiderstandseinheit **350** eine Pull-up-Terminieroperation durch, um einen Terminierwiderstand zwischen einem Leistungsversorgungsspannungsknoten und dem Daten-Eingangs-Ausgangs-Kontakt **600** vorzusehen und/oder eine Pull-down-Terminieroperation, um einen Terminierwiderstand zwischen einem Masseknoten und dem Daten-Eingangs-Ausgangs-Kontakt **600** vorzusehen. Eine mit Mittelabgriff versehene Terminierung (CTT) für sowohl die Pull-up- als auch Pull-down-Terminieroperation wird untenstehend unter Bezugnahme auf die Fig. 14A und Fig. 14B beschrieben werden, eine erste Pseudo-Offen-Drain(POD)-Terminierung für nur die Pull-down-Terminieroperation wird untenstehend unter Bezugnahme auf die Fig. 15A und Fig. 15B beschrieben werden und eine zweite POD-Terminierung für nur die Pull-up-Terminieroperation wird untenstehend unter Bezugnahme auf die Fig. 16A und Fig. 16B beschrieben werden.

[0047] Auch wenn Fig. 5 eine beispielhafte Ausführungsform veranschaulicht, in der eine eigene Terminierwiderstandseinheit **350** ausgestattet ist, kann ein Signaltreiber (nicht gezeigt) selbst in dem Übertragungstreiber **710** als Terminierwiderstände wirken. Beispielsweise überträgt in der Schreiboperation der Übertragungstreiber **710** Lesedaten nicht und der Übertragungstreiber **710** wirkt als die Terminierwiderstandseinheit **350** während der Empfangspuffer **720** aktiviert ist, um Schreibdaten zu empfangen.

[0048] Wenn die Terminierwiderstandseinheit **350** die Pull-up-Terminieroperation durchführt, kann eine Spannung der Übertragungsleitung, welche mit dem Daten-Eingangs-Ausgangs-Kontakt **600** verbunden ist, im Wesentlichen auf einem Pegel der Leistungsversorgungsspannung aufrechterhalten werden. Als ein Ergebnis fließt ein Strom durch die Terminierwiderstandseinheit **350** und die Übertragungsleitung nur, wenn Daten eines Niedrig-Logikpegels übertragen werden. Im Gegensatz dazu kann, wenn die Terminierwiderstandseinheit **350** die Pull-down-Terminieroperation durchführt, die Spannung der Übertragungsleitung, welche mit dem Daten-Eingangs-Ausgangs-Kontakt **600** verbunden ist, im Wesentlichen auf der Massespannung aufrechterhalten werden. Als ein Ergebnis fließt ein Strom durch die Terminierwiderstandseinheit **350** und die Übertragungsleitung nur, wenn Daten eines logischen Hoch-Pegels übertragen werden.

[0049] Die Terminiersteuereinheit **310** (beispielsweise eine Terminiersteuerschaltung) empfängt einen Stärkecode **SCD** und ein Ausgangsaktiviersignal **OEN**. Die Terminiersteuereinheit **310** erzeugt ein Terminiersteuersignal **TCS** zum Steuern der Terminierwiderstandseinheit **350**, um die Terminierimpedanz basierend auf dem Stärkecode **SCD** und dem Ausgangsaktiviersignal **OEN** anzupassen.

[0050] In einer beispielhaften Ausführungsform ist der Stärkecode **SCD** eine Mehrzahl von Bits, welche mit einer Datenrate verbunden sind. Die Datenrate bezieht sich auf eine Betriebsfrequenz der Speichervorrichtung oder eine Umschaltrate von Daten, welche durch den Daten-Eingangs-Ausgangs-Kontakt **600** übertragen werden. Beispielsweise kann die Terminierimpedanz auf eine erste Impedanz geändert werden, wenn die Betriebsfrequenz eine erste Frequenz ist, und auf eine zweite Terminierung geändert werden, wenn die Betriebsfrequenz eine zweite andere Frequenz ist. Wie untenstehend unter Bezugnahme auf die **Fig. 19A** und **Fig. 19B** beschrieben wird, kann der Stärkecode **SCD** von mehreren Bits vorgesehen werden basierend auf den Werten, welche in dem Modusregister **412** in **Fig. 4** gespeichert sind.

[0051] In einer Ausführungsform wird das Ausgangsaktiviersignal **OEN** während einer Leseoperation aktiviert. Während das Ausgangsaktiviersignal **OEN** aktiv ist, sieht die Terminiersteuereinheit **310** ein Terminiersteuersignal **TCS** auf einem vorbestimmten Logikpegel vor, um die Terminierwiderstandseinheit **350** zu steuern, um die Terminierimpedanz nicht vorzusehen. In dem Fall kann die Terminierwiderstandseinheit **350** elektrisch von dem Daten-Eingangs-Ausgangs-Kontakt **600** in Antwort auf das Terminiersteuersignal **TCF**, welches den vorbestimmten Logikpegel hat, entkoppelt werden. Wenn die Terminierwiderstandseinheit **350** elektrisch von dem Daten-Eingangs-Ausgangs-Kontakt **600** entkoppelt wird, kann auf die ODT-Schaltung **300** oder die Terminierwiderstandseinheit **350** Bezug genommen werden als „deaktiviert“.

[0052] Während das Ausgangsaktiviersignal **OEN** während einer Schreiboperation deaktiviert ist, erzeugt die Terminiersteuereinheit **310** das Terminiersteuersignal **TCS**, um die Terminierwiderstandseinheit **350** zu steuern, um die Terminierimpedanz vorzusehen. Die Terminiersteuereinheit **310** kann einen Logikpegel des Terminiersteuersignals **TCS** in Antwort auf den Stärkecode **SCD** ändern, um die Terminierimpedanz zu variieren. Beispielsweise kann ein Wert des Stärkecodes **SCD** eine bestimmte Terminierimpedanz oder -widerstand anzeigen. Wenn die Terminierwiderstandseinheit **350** vorangehend elektrisch von dem Daten-Eingangs-Ausgangs-Kontakt **600** entkoppelt war, wird die Terminierwiderstandseinheit **350** an die Daten-Eingangs-Ausgangs-Einheit **600** in Antwort auf das Anlegen des Terminiersteuersignals **TCS** wieder gekoppelt.

[0053] **Fig. 6** ist ein Schaltbild, welches eine ODT-Schaltung veranschaulicht, welche in der Daten-Eingangs-Ausgangs-Schaltung der **Fig. 5** gemäß einer beispielhaften Ausführungsform des erfinderischen Konzepts enthalten ist.

[0054] Bezug nehmend auf **Fig. 6** weist eine ODT-Schaltung **300** eine Pull-up-Terminiersteuereinheit **330**, eine Pull-down-Terminiersteuereinheit **340**, einen Pull-up-Treiber **360** und einen Pull-down-Treiber **370** auf.

[0055] Die Pull-up-Terminiersteuereinheit **330** weist einen ersten bis dritten Selektor **334** bis **336** (beispielsweise Multiplexer) auf, und die Pull-down-Terminiersteuereinheit **340** weist einen vierten bis sechsten Selektor **344** bis **346** (beispielsweise Multiplexer) auf. Der Pull-up-Treiber **360** weist einen ersten bis dritten PMOS-Transistor **361** bis **363** und einen ersten bis dritten Widerstand R1 bis R3 auf. Der erste bis dritte PMOS-Transistor **361** bis **363** sind mit einer Leistungsversorgungsspannung VDDQ verbunden, und jeder des ersten bis dritten Widerstands R1 bis R3 ist zwischen einem jeweiligen einen des ersten bis dritten PMOS-Transistors **361** bis **363** und dem Daten-Eingangs-Ausgangs-Kontakt **600** verbunden. Der Pull-down-Treiber **370** weist einen ersten bis dritten NMOS-Transistor **371** bis **373** und einen vierten bis sechsten Widerstand R4 bis R6 auf. Der erste bis dritte NMOS-Transistor **371** bis **373** sind mit einer Massespannung VSSQ verbunden, und jeder des vierten bis sechsten Widerstands R4 bis R6 ist zwischen einem jeweiligen einen des ersten bis dritten NMOS-Transistors **371** bis **373** und dem Daten-Eingangs-Ausgangs-Kontakt **600** verbunden.

[0056] Jeder des ersten bis dritten Selektors **334** bis **336** kann die Leistungsversorgungsspannung VDDQ als jede von ersten Eingaben, das erste bis dritte Stärkecodebit **SCD1**, **SCD2** und **SCD3** als jede von zweiten Eingaben und das Ausgangsaktiviersignal **OEN** als jedes von Steuersignalen empfangen. Jeder des vierten bis sechsten Selektors **344** bis **346** kann die Massespannung VDDQ als jede von ersten Eingaben, das vierte bis sechste Stärkecodebit **SCD4**, **SCD5** und **SCD6** als jedes von zweiten Eingaben und das Ausgangsaktiviersignal **OEN** als jedes von Steuersignalen empfangen. Der Stärkecode **SCD** kann die Stärkecodebits **SCD1** bis **SCD6** aufweisen.

[0057] Während das Ausgangsaktiviersignal **OEN** bei einem logischen Hoch-Pegel während einer Leseoperation aktiviert ist, können der erste bis dritte Selektor **334** bis **336** das erste bis dritte Terminiersteuersignal **TCS1**, **TCS2** und **TCS3** des logischen Hoch-Pegels ausgeben, und der vierte bis sechste Selektor **344** bis **346** kann das vierte bis sechste Terminiersteuersignal **TCS4**, **TCS5** und **TCS6** des logischen Niedrig-Pegels ausgeben. Der erste bis dritte PMOS-Transistor **361** bis **363** werden in Antwort auf das erste bis dritte Terminiersteuersignal **TCS1**, **TCS2** und **TCS3** des logischen Hoch-Pegels abgeschaltet und der vierte bis sechste PMOS-Transistor **371**–**373** werden in Antwort auf das vierte bis sechste Terminiersteuersignal **TCS4**, **TCS5** und **TCS6** des logischen Niedrig-Pegels abgeschaltet. Demnach wird der Daten-Eingangs-Ausgangs-Kontakt **600** elektrisch von der Leistungsversorgungsspannung **VDDQ** und der Massespannung **VSSQ** getrennt und die ODT-Schaltung **300** wird während der Leseoperation deaktiviert.

[0058] Während das Ausgangsaktiviersignal **OEN** bei einem logischen Niedrig-Pegel während einer Schreiboperation aktiviert ist, geben der erste bis dritte Selektor **334** bis **336** das erste bis dritte Stärkecodebit **SCD1**, **SCD2** und **SCD3** als das erste bis dritte Terminiersteuersignal **TCS1**, **TCS2** und **TCS3** aus und der vierte bis sechste Selektor **344** bis **346** gibt das vierte bis sechste Stärkecodebit **SCD4**, **SCD5** und **SCD6** als das vierte bis sechste Terminiersteuersignal **TCS4**, **TCS5** und **TCS6** aus.

[0059] Wie obenstehend beschrieben ist, kann der Stärkecode **SCD**, das heißt die Stärkecodebits **SCD1**–**SCD6** mit der Datenrate oder der Betriebsfrequenz verbunden sein. Demzufolge werden, wenn die Datenrate relativ hoch ist, Kanäle schnell durch ein Verringern der Terminierimpedanz geladen/entladen. Wenn die Datenrate relativ gering ist, kann der Stromverbrauch durch ein Erhöhen der Terminierimpedanz zum Verringern von DC-Strömen, welche durch die Kanäle fließen, verringert werden.

[0060] Obwohl jeder des ersten bis sechsten Widerstands R1 bis R6 in **Fig. 6** als ein einzelner Widerstand veranschaulicht ist, kann in beispielhaften Ausführungsformen jeder des ersten bis sechsten Widerstands R1–R6 mit einer Mehrzahl von Widerständen implementiert sein, welche parallel und/oder in Serie verbunden sind, und einer Mehrzahl von Transistoren zum Steuern von Verbindungen der Mehrzahl von Widerständen.

[0061] **Fig. 6** veranschaulicht eine beispielhafte Ausführungsform des CTT-Schemas der **Fig. 14A** und **Fig. 14B** und das POD-Terminierschema kann davon verstanden werden. Eine Konfiguration, welche die Pull-up-Terminiersteuereinheit **330** und den Pull-up-Treiber **360** von **Fig. 6** auslässt, entspricht der ersten POD-Terminierung der **Fig. 15A** und **Fig. 15B**, und eine Konfiguration, welche die Pull-down-Terminiersteuereinheit **340** und den Pull-down-Treiber **370** aus **Fig. 6** auslässt, entspricht der zweiten POD-Terminierung der **Fig. 16A** und **Fig. 16B**.

[0062] Die **Fig. 7**, **Fig. 8A** und **Fig. 8B** sind Diagramme, welche ein Verfahren zum Steuern einer ODT in einer Schreiboperation gemäß einer beispielhaften Ausführungsform des erfinderischen Konzepts veranschaulichen.

[0063] Wie in **Fig. 7** veranschaulicht ist, ist der Speichercontroller MC parallel mit der Mehrzahl von Speicher-Ranks RNK1 bis RNKM über die Daten-Eingangs-Ausgangskontakte **PADC** und **PAD1** bis **PADM** und die Übertragungsleitung **TL** verbunden. Die Übertragungsleitung **TL** wird an einem gemeinsamen Knoten **NC** zu den Daten-Eingangs-Auskontakten **PAD1** bis **PADM** der Speicher-Ranks RNK1 bis RNKM abgezweigt.

[0064] **Fig. 7** veranschaulicht einen beispielhaften Fall, in dem der erste Speicher-Rank RNK1 dem Schreibzielspeicher-Rank entspricht, und die anderen Speicher-Ranks RNK2 bis RNKM den Nicht-Zielspeicher-Ranks entsprechen. In **Fig. 7** sind die aktivierte Elemente schraffiert. In der Schreiboperation ist der Übertragungstreiber DR0 aktiviert und der Empfangspuffer BF0 ist deaktiviert in dem Speichercontroller MC, welcher der Datenübertragungsvorrichtung entspricht. Zusätzlich ist der Empfangspuffer BF1 in dem Schreibzielspeicher-Rank RNK1, welcher der Datenempfängervorrichtung entspricht, aktiviert, wohingegen der Übertragungstreiber DR1 in dem Schreibzielspeicher-Rank RNK1, die Empfangspuffer BF2 bis BFM und die Übertragungstreiber DR2 bis DRM in den Nicht-Zielspeicher-Ranks RNK2 bis RNKM deaktiviert sind.

[0065] Gemäß einer beispielhaften Ausführungsform sind während der Schreiboperation die ODT-Schaltung TER1 in dem Schreibzielspeicher-Rank RNK1 und die ODT-Schaltungen TER2 bis TERM in den Nicht-Zielspeicher-Ranks RNK2–RNKM alle aktiviert. Die ODT-Schaltung TER0 in dem Speichercontroller MC ist deaktiviert. Der Strompfad kann von dem Übertragungstreiber DR0 in dem Speichercontroller MC zu allen der ODT-Schaltungen TER1 bis TERM in den Speicher-Ranks RNK1 bis RNKM gebildet sein, und demnach kann eine Signalreflexion verringert sein und die Signalintegrität kann erhöht sein.

[0066] In den **Fig. 8A** und **Fig. 8B** entsprechen Zeitpunkte Ta0 bis Tf1 Flanken eines Betriebstaktsignalpaars CK_T und CK_C. Ein erstes Rankauswahlsignal CS_RNK1 und ein erstes Befehlssignal CMD_RNK1 sind einem ersten Speicher-Rank RNK1 gewidmet und ein zweites Rankauswahlsignal CS_RNK2 und ein zweites Befehlssignal CMD_RNK2 sind einem zweiten Speicher-Rank RNK2 gewidmet. Ein Daten-Strobe-Signalpaar WCK_T und WCK_C und Datensignale DQ [15:0] sind von dem Speichercontroller MC für den Schreibzielspeicher-Rank RNK1 vorgesehen. ODT_RNK1 repräsentiert einen ODT-Zustand des ersten Speicher-Rank RNK1 und ODT_RNK2 repräsentiert einen ODT-Zustand des zweiten Speicher-Rank RNK2. DES repräsentiert „Deselektieren“ und TRANSITION repräsentiert Übergangsintervalle, wenn der ODT-Zustand geändert wird.

[0067] Die **Fig. 8A** und **Fig. 8B** zeigen einen beispielhaften Fall der Schreiboperation, wenn der erste Speicher-Rank RNK1 dem Schreibzielspeicher-Rank entspricht, und der zweite Speicher-Rank RNK2 dem Nicht-Zielspeicher-Rank entspricht. Während das erste Rankauswahlsignal CS_RNK1 aktiviert ist, werden der CAS-Befehl und der Schreibbefehl WR über das erste Befehlssignal CMD_RNK1 übertragen, und das zweite Rankauswahlsignal CS_RNK2 und das zweite Befehlssignal CMD_RNK2 halten die deaktivierten Zustände aufrecht.

[0068] Gemäß einer beispielhaften Ausführungsform werden während der Schreiboperation die ODT-Schaltungen in dem Schreibzielspeicher-Rank RNK1 und die ODT-Schaltung in dem Nicht-Zielspeicher-Rank RNK2 aktiviert. In einer beispielhaften Ausführungsform erhalten, wie in **Fig. 8A** veranschaulicht ist, die ODT-Schaltungen in dem Schreibzielspeicher-Rank RNK1 und dem Nicht-Zielspeicher-Rank RNK2 den anfänglichen Zustand NT-ODT aufrecht, während die Datensignale DQ [15:0] für die Schreiboperation umschalten. In einer beispielhaften Ausführungsform erhält die ODT-Schaltung in dem Nicht-Zielspeicher-Rank RNK2 den anfänglichen Zustand NT-ODT aufrecht und die ODT-Schaltung in dem Schreibzielspeicher-Rank RNK1 wird in einen Zustand TG-ODT geändert, welcher einen Widerstandswert unterschiedlich von demjenigen des anfänglichen Zustands NT-ODT hat, während die Datensignale DQ [15:0] für die Schreiboperation umschalten. Während Datensignale von 16-Bit-Daten obenstehend beschrieben sind, ist das erforderliche Konzept nicht darauf beschränkt, da die Größe der Daten weniger als 16 Bit oder größer als 16 Bit in abwechselnden Ausführungsformen sein können.

[0069] Die **Fig. 9** und **Fig. 10** sind Diagramme, welche ein Verfahren zum Steuern einer ODT in einer Leseoperation gemäß einer beispielhaften Ausführungsform des erforderlichen Konzepts veranschaulichen.

[0070] Wie in **Fig. 9** veranschaulicht ist, ist der Speichercontroller MC parallel mit der Mehrzahl von Speicher-Ranks RNK1 bis RNKM über die Dateneingabe-Ausgabe-Kontakte **PADC** und **PAD1** bis **PADM** und die Übertragungsleitung **TL** verbunden. Die Übertragungsleitung **TL** ist an einem gemeinsamen Knoten **NC** zu den Daten-Eingangs-Ausgangs-Kontakten **PAD1** bis **PADM** der Speicher-Ranks **RNK1** bis **RNKM** verzweigt.

[0071] **Fig. 9** veranschaulicht einen beispielhaften Fall, in dem der erste Speicher-Rank RNK1 dem Lesezielspeicher-Rank entspricht, und die anderen Speicher-Ranks RNK2 bis RNKM den Nicht-Zielspeicher-Ranks entsprechen. In **Fig. 9** sind die aktivierte Elemente schraffiert. In der Leseoperation ist der Empfangspuffer BF0 aktiviert und der Übertragungstreiber DR0 ist deaktiviert in dem Speichercontroller MC, welcher der Datenempfängervorrichtung entspricht. Zusätzlich ist der Übertragungstreiber DR1 in dem Lesezielspeicher-Rank RNK1, welcher der Datenübertragungsvorrichtung entspricht aktiviert, wohingegen der Empfangspuffer BF1 in dem Lesezielspeicher-Rank RNK1, die Empfangspuffer BF2 bis BFM und die Übertragungstreiber DR2 bis DRM in den Nicht-Zielspeicher-Ranks RNK2 bis RNKM deaktiviert sind.

[0072] Gemäß einer beispielhaften Ausführungsform ist die ODT-Schaltung TER1 in dem Schreibzielspeicher-Rank RNK1 deaktiviert und die ODT-Schaltungen TER2 bis TERM in den Nicht-Zielspeicher-Ranks RNK2 bis RNKM sind aktiviert. Die ODT-Schaltung TERO in dem Speichercontroller MC ist aktiviert. Der Strompfad kann von dem Übertragungstreiber DR1 in dem Lesezielspeicher-Rank RNK1 zu der ODT-Schaltung TERO in dem Übertragungstreiber DR0 und den ODT-Schaltungen TER2 bis TERM in den Nicht-Zielspeicher-Ranks RNK2 bis RNKM gebildet sein, und demnach kann eine Signalreflexion verringert sein und die Signalintegrität kann verbessert beziehungsweise erhöht sein.

[0073] In **Fig. 10** entsprechen Zeitpunkte Ta0Tf1 Flanken eines Betriebstaktsignalpaars CK_T und CK_C. Ein erstes Rankauswahlsignal CS_RNK1 und ein erstes Befehlssignal CMD_RNK1 sind einem ersten Speicher-Rank RNK1 gewidmet und ein zweites Rankauswahlsignal CS_RNK2 und ein zweites Befehlssignal CMD_RNK2 sind einem zweiten Speicher-Rank RNK2 gewidmet. Ein Daten-Strobe-Signalpaar WCK_T und WCK_C und Datensignale DQ [15:0] sind von dem Lesezielspeicher-Rank RNK1 für den Speichercontroller MC vorgesehen. ODT_RNK1 repräsentiert einen ODT-Zustand des ersten Speicher-Rank RNK1 und ODT_RNK2

repräsentiert einen ODT-Zustand des zweiten Speicher-Rank RNK2. DES repräsentiert „Deselektieren“ und TRANSITION repräsentiert Übergangsintervalle, wenn der ODT-Zustand geändert wird.

[0074] Fig. 10 zeigt einen Beispielsfall der Leseoperation, wenn der erste Speicher-Rank RNK1 dem Lesezielspeicher-Rank entspricht und der zweite Speicher-Rank RNK2 dem Nicht-Zielspeicher-Rank entspricht. Wenn das erste Rankauswahlsignal CS_RNK1 aktiviert ist, werden der CAS-Befehl und der Lesebefehl RD über das erste Befehlssignal CMD_RNK1 übertragen, und das zweite Rankauswahlsignal CS_RNK2 und das zweite Befehlssignal CMD_RNK2 halten die deaktivierten Zustände aufrecht.

[0075] Gemäß einer beispielhaften Ausführungsform ist während der Leseoperation die ODT-Schaltung in dem Lesezielspeicher-Rank RNK1 deaktiviert und die ODT-Schaltung in dem Nicht-Zielspeicher-Rank RNK2 ist aktiviert. In einer beispielhaften Ausführungsform erhält, wie in Fig. 10 veranschaulicht ist, die ODT-Schaltung in dem Nicht-Zielspeicher-Rank RNK2 den anfänglichen Zustand NT-ODT aufrecht, und die ODT-Schaltung in dem Lesezielspeicher-Rank RNK1 wird in den deaktivierten Zustand NT-ODT OFF geändert, während die Datensignale DQ [15:0] für die Leseoperation umschalten.

[0076] Fig. 11 ist ein Diagramm, welches eine Ausführungsform einer Widerstandseinstellung veranschaulicht, welches auf ein Verfahren zum Steuern einer ODT gemäß einer beispielhaften Ausführungsform des erforderlichen Konzepts ausgeübt wird.

[0077] Bezug nehmend auf Fig. 11 wird während der Leseoperation die ODT-Schaltung in dem Zielspeicher-Rank RNK_TG deaktiviert und die ODT-Schaltungen in dem Nicht-Zielspeicher-Rank RNK_NT und der Speichercontroller MC haben einen ersten Widerstandswert M^*R_{tt} . Während der Schreiboperation haben die ODT-Schaltungen in dem Zielspeicher-Rank RNK_TG und dem Nicht-Zielspeicher-Rank RNK_NT den ersten Widerstandswert M^*R_{tt} und die ODT-Schaltung in dem Speichercontroller MC ist deaktiviert. Der erste Widerstandswert M^*R_{tt} kann einem Widerstandswert des oben erwähnten anfänglichen Zustands entsprechen. Demzufolge können, wie unter Bezugnahme auf Fig. 8A beschrieben ist, die ODT-Schaltungen in dem Zielspeicher-Rank RNK_TG und dem Nicht-Zielspeicher-Rank RNK_NT den anfänglichen Zustand aufrechterhalten, um den ersten Widerstandswert M^*R_{tt} während der Schreiboperation zu haben.

[0078] Fig. 12 ist ein Diagramm zum Beschreiben eines äquivalenten Widerstands der ODT-Schaltung in einer Schreiboperation, welche der Widerstandseinstellung der Fig. 11 entspricht.

[0079] Bezug nehmend auf Fig. 12 haben während der Schreiboperation während Daten von dem Speichercontroller MC zu dem Zielspeicher-Rank RNK1 übertragen werden, alle ODT-Schaltungen in dem Zielspeicher-Rank RNK1 und den Nicht-Zielspeicher-Ranks RNK2 bis RNKM den ersten Widerstandswert M^*R_{tt} . Wenn die Anzahl der Mehrzahl von Speicher-Ranks RNK1 bis RNKM gleich M ist, sind M Widerstände, welche den ersten Widerstandswert M^*R_{tt} haben, parallel zwischen dem gemeinsamen Knoten **NC** und der Leistungsversorgungsspannung **VDDQ** verbunden, und der äquivalente Widerstandswert zwischen dem gemeinsamen Knoten **NC** und der Leistungsversorgungsspannung **VDDQ** entspricht R_{tt} . Auf demselben Wege entspricht der äquivalente Widerstandswert zwischen dem gemeinsamen Knoten **NC** und der Massespannung **VSSQ** R_{tt} . Die verschiedenen Terminierschemata, welche dem äquivalenten Widerstandswert R_{tt} entsprechen, werden untenstehend unter Bezugnahme auf die Fig. 14A bis Fig. 16B beschrieben.

[0080] Fig. 13 ist ein Diagramm zum Beschreiben eines äquivalenten Widerstands der ODT-Schaltung in einer Leseoperation, welche der Widerstandseinstellung der Fig. 11 entspricht.

[0081] Bezug nehmend auf Fig. 13 ist während der Leseoperation, während Daten von dem Zielspeicher-Rank RNK1 zu dem Speichercontroller MC übertragen werden, die ODT-Schaltung in dem Zielspeicher-Rank RNK1 deaktiviert, und die ODT-Schaltungen in den Nicht-Zielspeicher-Ranks RNK2 bis RNKM und der Speichercontroller MC haben den ersten Widerstandswert M^*R_{tt} . Wenn die Anzahl der Mehrzahl von Speicher-Ranks RNK1 bis RNKM gleich M ist, sind M Widerstände, welche den ersten Widerstandswert M^*R_{tt} haben, parallel zwischen dem gemeinsamen Knoten **NC** und der Leistungsversorgungsspannung **VDDQ** verbunden, und der äquivalente Widerstandswert zwischen dem gemeinsamen Knoten **NC** und der Leistungsversorgungsspannung **VDDQ** entspricht R_{tt} . Auf demselben Wege entspricht der äquivalente Widerstandswert zwischen dem gemeinsamen Knoten **NC** und der Massespannung **VSSQ** R_{tt} . Die verschiedenen Terminierschemata, welche dem äquivalenten Widerstandswert R_{tt} entsprechen, werden untenstehend unter Bezugnahme auf die Fig. 14A bis Fig. 16B beschrieben. Die Konfigurationen der Fig. 14A bis Fig. 16B sind beispielhafte Ausführungsformen zum Beschreiben einiger möglicher Terminierschemata, die Konfiguration des Übertragungstreibers und der ODT-Schaltung sind darauf aber nicht beschränkt. Beispielsweise können der N-Typ und der P-

Typ der Transistoren ausgewechselt werden und/oder die Transistoren zum Leistungs-Takten (power gating) können zu dem Übertragungstreiber hinzugefügt werden.

[0082] Die **Fig. 14A** und **Fig. 14B** sind Diagramme zum Beschreiben einer mit Mittelabgriff versehenen Terminierung (CTT).

[0083] Bezug nehmend auf **Fig. 14A** treibt ein Übertragungstreiber **70** in einer Übertragungsvorrichtung (Transmitter Device) eine Eingangs-Ausgangs-Kontaktstelle **PADH** basierend auf einem Übertragungssignal **ST** von einem internen Signal der Übertragungsvorrichtung. Die Eingangs-Ausgangs-Kontaktstelle **PADH** der Übertragungsvorrichtung ist mit Eingangs-Ausgangs-Kontaktstellen **PADS** einer Empfängervorrichtung über eine Übertragungsleitung **TL** verbunden. Eine Terminierschaltung **80** des CTT-Schemas ist mit den Eingangs-Ausgangs-Kontaktstellen **PADS** der Empfängervorrichtung für eine Impedanzabstimmung verbunden. Der Empfangspuffer **BF** in der Empfängervorrichtung kann das Eingangssignal **SI** über die Eingangs-Ausgangs-Kontaktstellen **PADS** mit der Referenzspannung **VREF** vergleichen, um das Puffersignal **SB** für eine interne Schaltung der Empfängervorrichtung vorzusehen.

[0084] Der Übertragungstreiber **70** kann eine Pull-up-Einheit aufweisen, welche zwischen einer ersten Leistungsversorgungsspannung **VDDQ** und der Eingangs-Ausgangs-Kontaktstelle **PADH** verbunden ist, und eine Pull-down-Einheit, welche zwischen der Eingangs-Ausgangs-Kontaktstelle **PADH** und einer zweiten Leistungsversorgungsspannung **VSSQ** niedriger als die erste Leistungsversorgungsspannung **VDDQ** verbunden ist. Die Pull-up-Einheit kann einen Anschaltwiderstand **RON** und einen p-Kanal-Metalloxidhalbleiter(PMOS)-Transistor **TP1** aufweisen, welcher in Antwort auf das Übertragungssignal **ST** geschaltet wird. Die Pull-down-Einheit kann einen Anschaltwiderstand **RON** und einen n-Kanal-Metalloxidhalbleiter(NMOS)-Transistor **TN1** aufweisen, welcher in Antwort auf das Übertragungssignal **ST** geschaltet wird. Die Anschaltwiderstände **RON** können ausgelassen sein und jeder Anschaltwiderstand **RON** kann einen Widerstand zwischen dem Spannungsknoten und der Eingangs-Ausgangs-Kontaktstelle **PADH** repräsentieren, wenn jeder der Transistoren **TP1** und **TN1** angeschaltet ist.

[0085] Die Terminierschaltung **80** des CTT-Schemas kann eine erste Unterterminierschaltung aufweisen, welche zwischen der ersten Leistungsversorgungsspannung **VDDQ** und der Eingangs-Ausgangs-Kontaktstelle **PADS** verbunden ist, und eine zweite Unterterminierschaltung, welche zwischen der Eingangs-Ausgangs-Kontaktstelle **PADS** und der zweiten Leistungsversorgungsspannung **VSSQ** verbunden ist. Die erste Unterterminierschaltung kann einen Terminierwiderstand **Rtt** und einen PMOS-Transistor **TP2** aufweisen, welcher in Antwort auf eine niedrige Spannung angeschaltet wird. Die zweite Unterterminierschaltung kann einen Terminierwiderstand **Rtt** und einen NMOS-Transistor **TN2** aufweisen, welcher in Antwort auf eine hohe Spannung angeschaltet wird. Die Terminierwiderstände **Rtt** können ausgelassen sein, und jeder Terminierwiderstand **Rtt** kann einen Widerstand zwischen dem Spannungsknoten und der Eingangs-Ausgangs-Kontaktstelle **PADS** repräsentieren, wenn jeder der Transistoren **TP2** und **TN2** angeschaltet ist.

[0086] Im Fall der Terminierschaltung **80** des CTT-Schemas in **Fig. 14A** können der hohe Spannungspegel **VIH** und der niedrige Spannungspegel **VIL** des Eingangssignals **SI** wie in **Fig. 14B** repräsentiert sein. Die zweite Leistungsversorgungsspannung **VSSQ** kann angenommen sein, eine Massespannung (d. h. **VSSQ = 0**) zu sein und der Spannungsabfall entlang der Übertragungsleitung **TL** kann vernachlässigt werden. Demnach können der hohe Spannungspegel **VIH**, der niedrige Spannungspegel **VIL** und die optimale Differenzspannung **VREF** gemäß Ausdruck **1** berechnet werden.

$$\begin{aligned} \text{VIH} &= \text{VDDQ} * (\text{RON} + \text{Rtt}) / (2\text{RON} + \text{Rtt}) \\ \text{VIL} &= \text{VDDQ} * \text{RON} / (2\text{RON} + \text{Rtt}), \\ \text{VREF} &= (\text{VIH} + \text{VIL}) / 2 = \text{VDDQ}/2 \end{aligned} \quad \text{Ausdruck 1}$$

[0087] Die **Fig. 15A** und **Fig. 15B** sind Diagramme zum Beschreiben einer ersten Pseudo-Offen-Drain (POD)-Terminierung.

[0088] Bezug nehmend auf **Fig. 15A** treibt ein Übertragungstreiber **70** in einer Übertragungsvorrichtung eine Eingangs-Ausgangs-Kontaktstelle **PADH** basierend auf einem Übertragungssignal **ST** von einem internen Signal der Übertragungsvorrichtung. Die Eingangs-Ausgangs-Kontaktstelle **PADH** der Übertragungsvorrichtung ist mit einer Eingangs-Ausgangs-Kontaktstelle **PADS** einer Empfängervorrichtung über eine Übertragungsleitung **TL** verbunden. Eine Terminierschaltung **81** des ersten POD-Terminierschemas kann mit der Eingangs-Ausgangs-Kontaktstelle **PADS** der Empfängervorrichtung für eine Impedanzabstimmung verbunden sein. Der

Empfangspuffer BF in der Empfängervorrichtung kann das Eingangssignal SI durch die Eingangs-Ausgangs-Kontaktstelle **PADS** mit der Referenzspannung VREF vergleichen, um das Puffersignal **SB** für eine interne Schaltung der Empfängervorrichtung vorzusehen.

[0089] Der Übertragungstreiber **70** kann eine Pull-up-Einheit aufweisen, welche zwischen einer ersten Leistungsversorgungsspannung **VDDQ** und der Eingangs-Ausgangs-Kontaktstelle **PADH** verbunden ist, und eine Pull-down-Einheit, welche zwischen der Eingangs-Ausgangs-Kontaktstelle **PADH** und einer zweiten Leistungsversorgungsspannung **VSSQ**, niedriger als die erste Leistungsversorgungsspannung **VDDQ** verbunden ist. Die Pull-up-Einheit kann einen Anschaltwiderstand RON und einen PMOS-Transistor TP1 aufweisen, welcher in Antwort auf das Übertragungssignal ST geschaltet wird. Die Pull-down-Einheit kann einen Anschaltwiderstand RON und einen NMOS-Transistor TN1 aufweisen, welcher in Antwort auf das Übertragungssignal ST geschaltet wird. Die Anschaltwiderstände RON können ausgelassen sein, und jeder Anschaltwiderstand RON kann einen Widerstand zwischen dem Spannungsknoten und der Eingangs-Ausgangs-Kontaktstelle **PADH** repräsentieren, wenn jeder der Transistoren TP1 und TN1 angeschaltet ist.

[0090] Die Terminierschaltung **81** des ersten POD-Terminierschemas kann einen Terminierwiderstand Rtt und einen NMOS-Transistor TN2 aufweisen, welcher in Antwort auf eine hohe Spannung angeschaltet wird. Der Terminierwiderstand Rtt kann ausgelassen sein, und der Terminierwiderstand Rtt kann einen Widerstand zwischen dem Spannungsknoten und der Eingangs-Ausgangs-Kontaktstelle **PADS** repräsentieren, wenn der NMOS-Transistor TN2 angeschaltet ist.

[0091] Im Fall der Terminierschaltung **81** des ersten POD-Terminierschemas in **Fig. 15A** können der hohe Spannungspegel VIH und der niedrige Spannungspegel VIL des Eingangssignals SI wie **Fig. 15B** repräsentiert sein. Die zweite Leistungsversorgungsspannung **VSSQ** kann angenommen sein, eine Massespannung zu sein (d. h. **VSSQ = 0**), und der Spannungsabfall entlang der Übertragungsleitung TL kann vernachlässigt werden. Demnach können der hohe Spannungspegel VIH und der niedrige Spannungspegel VIL und die optimale Referenzspannung VREF gemäß Ausdruck 2 berechnet werden.

$$VIH = VDDQ * RTT / (RON + RTT),$$

$$VIL = VSSQ = 0,$$

$$VREF = (VIH + VIL) / 2 = VDDQ * RTT / 2(RON + RTT) \quad \text{Ausdruck 2}$$

[0092] Die **Fig. 16A** und **Fig. 16B** sind Diagramme zum Beschreiben einer zweiten POD-Terminierung.

[0093] Bezug nehmend auf **Fig. 16A** treibt ein Übertragungstreiber **70** in einer Übertragungsvorrichtung eine Eingangs-Ausgangs-Kontaktstelle **PADH** basierend auf einem Übertragungssignal ST von einem internen Signal der Übertragungsvorrichtung. Die Eingangs-Ausgangs-Kontaktstelle **PADH** der Übertragungsvorrichtung ist mit einer Eingangs-Ausgangs-Kontaktstelle **PADS** einer Empfängervorrichtung über eine Übertragungsleitung **TL** verbunden. Eine Terminierschaltung **82** des zweiten POD-Terminierschemas ist mit der Eingangs-Ausgangs-Kontaktstelle **PADS** der Empfängervorrichtung für eine Impedanzabstimmung verbunden. Der Empfangspuffer BF in der Empfängervorrichtung kann das Eingangssignal SI über die Eingangs-Ausgangs-Kontaktstelle **PADS** mit der Referenzspannung VREF vergleichen, um das Puffersignal **SB** für eine interne Schaltung der Empfängervorrichtung vorzusehen.

[0094] Der Übertragungstreiber **70** kann eine Pull-up-Einheit aufweisen, welche zwischen einer ersten Leistungsversorgungsspannung **VDDQ** und der Eingangs-Ausgangs-Kontaktstelle **PADH** verbunden ist, und eine Pull-down-Einheit, welche zwischen der Eingangs-Ausgangs-Kontaktstelle **PADH** und einer zweiten Leistungsversorgungsspannung **VSSQ** niedriger als der ersten Leistungsversorgungsspannung **VDDQ** verbunden ist. Die Pull-up-Einheit kann einen Anschaltwiderstand RON und einen PMOS-Transistor TP1 aufweisen, welcher in Antwort auf das Übertragungssignal ST geschaltet wird. Die Pull-down-Einheit kann einen Anschaltwiderstand RON und einen NMOS-Transistor TN1 aufweisen, welcher in Antwort auf das Übertragungssignal ST geschaltet wird. Die Anschaltwiderstände RON können ausgelassen sein und jeder Anschaltwiderstand RON kann einen Widerstand zwischen dem Spannungsknoten und der Eingangs-Ausgangs-Kontaktstelle **PADH** repräsentieren, wenn jeder der Transistoren TP1 und TN1 angeschaltet wird.

[0095] Die Terminierschaltung **82** des zweiten POD-Terminierschemas kann einen Terminierwiderstand Rtt und einen PMOS-Transistor TP2 aufweisen, welcher in Antwort auf eine niedrige Spannung angeschaltet wird. Der Terminierwiderstand Rtt kann ausgelassen sein und der Terminierwiderstand Rtt kann einen Widerstand

zwischen dem Spannungsknoten und der Eingangs-Ausgangs-Kontaktstelle **PADS** repräsentieren, wenn der NMOS-Transistor TN2 angeschaltet ist.

[0096] Im Fall der Terminierschaltung **82** des ersten POD-Terminierschemas in **Fig. 16A** können der hohe Spannungspegel VIH und der niedrige Spannungspegel VIL des Eingangssignals SI wie in **Fig. 16B** repräsentiert sein. Die zweite Leistungsversorgungsspannung VSSQ kann angenommen sein, eine Massespannung (d. h. VSSQ = 0) zu sein, und der Spannungsabfall entlang der Übertragungsleitung **TL** kann vernachlässigt werden. Demnach können der hohe Spannungspegel VIH, der niedrige Spannungspegel VIL und die optimale Referenzspannung VREF gemäß Ausdruck **3** berechnet werden.

$$VIH = VDDQ,$$

$$VIL = VDDQ * RON / (RON + Rtt),$$

$$VREF = (VIH + VIL) / 2 = VDDQ * (2RON + Rtt) / 2(RON + Rtt) \quad \text{Ausdruck 3}$$

[0097] Als solches kann die ODT-Schaltung gemäß wenigstens einer beispielhaften Ausführungsform verschiedene Terminierschemata einsetzen. In einer beispielhaften Ausführungsform wird ein Trainingsprozess durchgeführt, um die optimalen Referenzspannungen VREF gemäß den Ausdrücken **1**, Ausdruck **2** und Ausdruck **3** zu erhalten. In einer beispielhaften Ausführungsform berücksichtigt der Speichercontroller die ODT-Widerstände der Nicht-Zielspeicher-Ranks, welche kontinuierlich aktiviert sind, um den Widerstandswert der ODT-Schaltung in dem Speichercontroller oder den Anschaltwiderstandswert des Übertragungstreibers in dem Speichercontroller anzupassen.

[0098] **Fig. 17** ist ein Diagramm, welches eine Ausführungsform der Widerstandseinstellung veranschaulicht, welche auf ein Verfahren zum Steuern einer ODT gemäß einer beispielhaften Ausführungsform des erfundenen Konzepts angewandt wird.

[0099] Bezug nehmend auf **Fig. 17** wird während der Leseoperation die ODT-Schaltung in dem Zielspeicher-Rank RNK_TG deaktiviert und die ODT-Schaltungen in dem Nicht-Zielspeicher-Rank RNK_NT und dem Speichercontroller MC haben einen ersten Widerstandswert M*Rtt. Während der Schreiboperation hat die ODT-Schaltung in dem Zielspeicher-Rank RNK_TG einen zweiten Widerstandswert M*Rtt + Rtg unterschiedlich von dem ersten Widerstandswert M*Rtt, die ODT-Schaltung in dem Nicht-Zielspeicher-Rank RNK_NT hat den ersten Widerstandswert M*Rtt, und die ODT-Schaltung in dem Speichercontroller ist deaktiviert. Der erste Widerstandswert M*Rtt kann einem Widerstandswert des oben erwähnten anfänglichen Zustands entsprechen. Beispielsweise kann der erste Widerstandswert M*Rtt ungefähr 70 Ω, und der zweite Widerstandswert M*Rtt + Rtg kann ungefähr 150 Ω sein. Demzufolge kann, wie unter Bezugnahme auf **Fig. 8B** beschrieben ist, der Widerstandswert der ODT-Schaltung in dem Zielspeicher-Rank RNK_TG von dem ersten Widerstandswert M*Rtt zu dem zweiten Widerstandswert M*Rtt + Rtg geändert werden, und die ODT-Schaltung in dem Nicht-Zielspeicher-Rank RNK_NT kann den anfänglichen Zustand aufrechterhalten, um den ersten Widerstandswert M*Rtt während der Schreiboperation zu haben. In einer Ausführungsform ist der zweite Widerstandswert größer als der erste Widerstandswert, die ODT-Schaltung des Zielspeicher-Rank RNK_TG ist deaktiviert und die ODT-Schaltungen der Nicht-Zielspeicher-Ranks RNK_NT sind aktiviert und auf den ersten Widerstandswert während einer Leseoperation eingestellt, und die ODT-Schaltung des Zielspeicher-Rank ist aktiviert und auf den zweiten Widerstand während einer Schreiboperation eingestellt.

[0100] **Fig. 18** ist ein Diagramm, welches einen CAS-Befehl gemäß einer beispielhaften Ausführungsform veranschaulicht.

[0101] **Fig. 18** veranschaulicht einen beispielhaften CAS-Befehl, der dem Niedrigleistungs-Doppeldatenratens-5(LPDDR5)-Standard entspricht. Bezug nehmend auf **Fig. 18** kann ein CAS-Befehl als eine Kombination von Befehls-Adresssignalen CA0~CA5 repräsentiert sein. „L“ repräsentiert einen logischen Niedrig-Pegel, „H“ repräsentiert einen logischen Hoch-Pegel, EDC_EN, WS_RD, WS_FAST, DC0-DC3, NT0, NT1 und BL repräsentieren Feldwerte, welche den CAS-Befehl bilden. Insbesondere repräsentieren NT0 und NT1 die Feldwerte für eine Terminiersteuerung.

[0102] Wie in **Fig. 18** veranschaulicht ist, können, wenn die statische ODT-Steuerung gemäß einer beispielhaften Ausführungsform eingesetzt ist, NT0 und NT1 ausgelassen werden und der entsprechende Abschnitt kann für eine zukünftige Nutzung reserviert sein (RFU = Reserved For Future Use = für zukünftige Nutzung reserviert).

[0103] Die **Fig. 19A** und **Fig. 19B** sind Diagramme zum Beschreiben eines Modusregisters für eine ODT gemäß einer beispielhaften Ausführungsform.

[0104] Die Information für die ODT-Steuerung kann in dem Modusregister **412** in **Fig. 4** gespeichert sein. Beispielsweise kann der entsprechende Abschnitt des Modusregisters **412** Modusregistereinstellungen MRSET haben, wie in den **Fig. 19A** und **Fig. 19B** veranschaulicht ist. Einige Werte von Operanden OP0 bis OP7 können Information über einen Widerstandswert der ODT-Schaltung repräsentieren.

[0105] **Fig. 19A** zeigt einen Wert ODT für ein gemeinsames Steuern des Widerstandswertes der ODT-Schaltungen in dem Zielspeicher-Rank und dem Nicht-Zielspeicher-Rank wie unter Bezugnahme auf **Fig. 8A** beschrieben ist. **Fig. 19B** zeigt einen ersten Wert TG-ODT zum Steuern des ersten Widerstandswerts der ODT-Schaltung in dem Zielspeicher-Rank und einen zweiten Wert NT-ODT zum Steuern des zweiten Widerstandswerts der ODT-Schaltung in dem Nicht-Zielspeicher-Rank, wie unter Bezugnahme auf **Fig. 8B** beschrieben ist. Die Werte ODT, TG-ODT und NT-ODT, welche in dem Modusregister **412** gespeichert sind, können von dem Speichercontroller für die Speicher-Ranks über eine Modusregisterschreiboperation vorgesehen werden. Der oben erwähnte Stärkecode SCD kann basierend auf den Werten ODT, TG-ODT und NT-ODT vorgesehen werden.

[0106] **Fig. 20** ist ein strukturelles Diagramm, welches eine Halbleiterspeichervorrichtung gemäß einer beispielhaften Ausführungsform des erfinderischen Konzepts veranschaulicht.

[0107] Bezug nehmend auf **Fig. 20** weist eine Halbleiterspeichervorrichtung **900** eine erste bis k-te integrierte Halbleiterschaltungsschicht **LA1** bis **LAk** auf, in welcher die unterste erste integrierte Halbleiterschaltungsschicht **LA1** angenommen ist, eine Schnittstelle oder ein Steuerchip zu sein, und die anderen integrierten Halbleiterschaltungsschichten **LA2** bis **LAk** angenommen sind, Slavechips zu sein, welche Kern-Speicherchips aufweisen. Die Slavechips können eine Mehrzahl von Speicher-Ranks bilden, wie obenstehend beschrieben ist.

[0108] Die erste bis k-te integrierte Halbleiterschaltungsschicht **LA1** bis **LAk** kann Signale zwischen den Schichten durch Substratdurchkontakteierungen TSVs (beispielsweise Siliziumdurchkontakteierungen) übertragen und empfangen. Die unterste erste integrierte Halbleiterschaltungsschicht **LA1** als die Schnittstelle oder der Steuerchip kann mit einem externen Speichercontroller über eine leitfähige Struktur, welche auf einer externen Oberfläche gebildet ist, kommunizieren.

[0109] Jede der ersten integrierten Halbleiterschaltungsschicht **910** bis der k-ten integrierten Halbleiterschaltungsschicht **920** kann Speicherbereiche **921** und Peripherieschaltungen **922** zum Treiben beziehungsweise betreiben der Speicherbereiche **921** aufweisen. Beispielsweise können die peripheren Schaltungen **922** einen Zeilentreiber zum Treiben von Wortleitungen eines Speichers, einen Spaltentreiber zum Treiben von Bitleitungen des Speichers, eine Daten-Eingangs-Ausgangs-Schaltung zum Steuern von Eingang-Ausgang von Daten, einen Befehlspuffer zum Empfangen eines Befehls von einer außerhalb befindlichen Quelle und zum Puffern des Befehls und einen Adresspuffer zum Empfangen einer Adresse von einer außenseitigen Quelle und zum Puffern der Adresse aufweisen.

[0110] Die erste integrierte Halbleiterschaltungsschicht **910** kann ferner eine Steuerschaltung aufweisen. Die Steuerschaltung kann den Zugriff auf den Speicherbereich **921** basierend auf einem Befehl und einem Adresssignal von einem Speichercontroller steuern und kann Steuersignale zum Zugreifen auf den Speicherbereich **921** erzeugen.

[0111] **Fig. 21** ist ein Blockschaltbild, welches ein mobiles System gemäß einer beispielhaften Ausführungsform des erfinderischen Konzepts veranschaulicht.

[0112] Bezug nehmend auf **Fig. 21** weist ein mobiles System **1200** einen Anwendungsprozessor **1210**, eine Konnektivitätsschaltung **1220**, eine flüchtige Speichervorrichtung (VM = Volatile Memory = flüchtige Speicher) **1230**, eine nichtflüchtige Speichervorrichtung (NVM = Non Volatile Memory = nichtflüchtiger Speicher) **1240**, eine Nutzerschnittstelle **1250** und eine Leistungsversorgung **1260** auf.

[0113] Der Anwendungsprozessor **1210** kann Computerbefehle, welche in computerlesbaren Medien (beispielsweise Speichervorrichtungen) gespeichert sind, ausführen, einschließlich Anwendungen wie beispielsweise einen Webbrowser, eine Spieleanwendung, einen Videoabspieler etc. Die Konnektivitätsschaltung **1220** kann eine verdrahtete oder drahtlose Kommunikation mit einer externen Vorrichtung durchführen. Die flüchtige Speichervorrichtung **1230** kann temporäre Daten speichern und ausliefern. Die nichtflüchtige Speichervorrichtung **1240** kann dauerhafte Daten speichern und ausliefern. Die Nutzerschnittstelle **1250** ermöglicht den Benutzerverkehr mit dem System. Die Leistungsversorgung **1260** stellt die erforderliche Energie für alle Komponenten bereit.

tige Speichervorrichtung **1230** kann Daten, welche durch den Anwendungsprozessor **1210** verarbeitet beziehungsweise bearbeitet sind, speichern oder kann als ein Arbeitsspeicher arbeiten. Beispielsweise kann die flüchtige Speichervorrichtung **1230** ein dynamischer Direktzugriffsspeicher wie beispielsweise ein Doppeldatenraten-synchroner dynamischer Direktzugriffspeicher (DDR SDRAM), ein Niedrigleistungsdoppeldatenraten-synchroner dynamischer Direktzugriffsspeicher (LPDDR SDRAM), ein Grafikdoppeldatenratensynchroner dynamischer Direktzugriffsspeicher (GDDR SDRAM), ein Rambus dynamischer Direktzugriffsspeicher (RDRAM) etc. sein. Die nichtflüchtige Speichervorrichtung **1240** kann ein Bootimage beziehungsweise Boot-Abbild zum Booten des mobilen Systems **1200** speichern. Die Nutzerschnittstelle **1250** kann wenigstens eine Eingangsvorrichtung wie beispielsweise eine Tastatur, einen Touchscreen etc. aufweisen und wenigstens eine Ausgangsvorrichtung beziehungsweise Ausgabevorrichtung, wie beispielsweise einen Lautsprecher, eine Anzeigevorrichtung etc. Die Leistungsversorgung **1260** kann dem mobilen System **1200** eine Leistungsversorgungsspannung zuführen. In einer beispielhaften Ausführungsform weist das mobile System **1200** ferner einen Kamerabildprozessor (CIS = Camera Image Processor = Kamerabildprozessor) und/oder eine Speichervorrichtung wie beispielsweise eine Speicherkarte, ein Festkörperlaufwert (SSD = Solid State Drive = Festkörperlaufwerk), ein Festplattenlaufwerk (HDD = Hard Disk Drive = Festplattenlaufwerk), ein CD-ROM etc. auf.

[0114] Die flüchtige Speichervorrichtung **1230** und/oder die nichtflüchtige Speichervorrichtung **1240** können eine Konfiguration zum Durchführen des Verfahrens zum Steuern einer ODT gemäß beispielhaften Ausführungsformen, wie unter Bezugnahme auf die **Fig. 1** bis **Fig. 19B** beschrieben, haben.

[0115] Wie obenstehend beschrieben ist, können das Verfahren zum Steuern einer ODT und das System, welches das Verfahren gemäß einer beispielhaften Ausführungsform durchführt, den Leistungsverbrauch verringern und die Signalintegrität durch eine statische ODT-Steuerung erhöhen derart, dass die ODT-Schaltungen des Zielspeicher-Rank und der Nicht-Zielspeicher-Ranks allgemein in dem aktvierten Zustand aufrechterhalten werden, wohingegen die ODT-Schaltung des Lesezielspeicher-Rank während der Leseoperation deaktiviert ist.

[0116] Ausführungsformen des erforderlichen Konzepts können auf verschiedene Vorrichtungen und Systeme, welche eine Speichervorrichtung aufweisen, angewandt werden. Beispielsweise kann das vorliegende erforderliche Konzept auf Systeme wie beispielsweise eine Speicherkarte, ein Mobiltelefon, ein Smartphone, einen persönlichen digitalen Assistenten (PDA = Personal Digital Assistant = persönlicher digitaler Assistent), einen tragbaren Multimediaspieler (PMP = Portable Multimedia Player = tragbarer Multimediaspieler), eine Digitalkamera, einen Camcorder, einen Personalcomputer (PC), einen Servercomputer, eine Workstation, einen Laptopcomputer, einen digitalen TV, eine Set-Top-Box, eine tragbare Spielekonsole, ein Navigationssystem etc. angewandt werden.

[0117] Das Voranstehende ist veranschaulichend für beispielhafte Ausführungsformen des erforderlichen Konzepts und darf nicht als hierfür beschränkend angesehen werden. Obwohl einige beispielhafte Ausführungsformen beschrieben wurden, werden Fachleute leicht anerkennen, dass viele Modifikationen in den beispielhaften Ausführungsformen möglich sind, ohne materiell von dem vorliegenden erforderlichen Konzept abzuweichen.

ZITATE ENTHALTEN IN DER BESCHREIBUNG

Diese Liste der vom Anmelder aufgeführten Dokumente wurde automatisiert erzeugt und ist ausschließlich zur besseren Information des Lesers aufgenommen. Die Liste ist nicht Bestandteil der deutschen Patent- bzw. Gebrauchsmusteranmeldung. Das DPMA übernimmt keinerlei Haftung für etwaige Fehler oder Auslassungen.

Zitierte Patentliteratur

- KR 1020170066377 [0001]
- KR 1020170089692 [0001]

Patentansprüche

1. Verfahren zum Steuern einer On-Die-Terminierung (ODT) in einem Multi-Rank-Speichersystem (10), welches eine Mehrzahl von Speicher-Ranks (RNK1 - RNKM) aufweist, wobei das Verfahren Folgendes aufweist:
 ein Aktivieren von ODT-Schaltungen (300) der Mehrzahl von Speicher-Ranks (RNK1 - RNKM) in einen anfänglichen Zustand, wenn das Multi-Rank-Speichersystem (10) angeschaltet wird;
 ein Aktivieren der ODT-Schaltungen (300) eines Schreibziel-Rank und von Nicht-Zielspeicher-Ranks unter der Mehrzahl von Speicher-Ranks (RNK1 - RNKM) während einer Schreiboperation; und
 ein Deaktivieren der ODT-Schaltung (300) eines Lesezielspeicher-Rank unter der Mehrzahl von Speicher-Ranks (RNK1 - RNKM), während die ODT-Schaltungen (300) von Nicht-Zielspeicher-Ranks unter der Mehrzahl von Speicher-Ranks (RNK1 - RNKM) während einer Leseoperation aktiviert werden.
2. Verfahren nach Anspruch 1, wobei jede der ODT-Schaltungen (300) der Mehrzahl von Speicher-Ranks (RNK1 - RNKM) einen ersten Widerstandswert (M^*Rtt) in dem anfänglichen Zustand hat.
3. Verfahren nach Anspruch 2, wobei ein Aktivieren der ODT-Schaltungen (300) während der Schreiboperation Folgendes aufweist:
 ein Aufrechterhalten der ODT-Schaltungen (300) der Mehrzahl von Speicher-Ranks (RNK1 - RNKM) in dem anfänglichen Zustand, um den ersten Widerstandswert (M^*Rtt) während der Schreiboperation zu haben.
4. Verfahren nach Anspruch 2, wobei ein Aktivieren der ODT-Schaltungen (300) während der Schreiboperation weiterhin aufweist:
 ein Ändern eines Widerstandswerts der ODT-Schaltung (300) des Schreibzielspeicher-Rank von dem ersten Widerstandswert (M^*Rtt) auf einen zweiten Widerstandswert ($M^*Rtt + Rtg$) unterschiedlich von dem ersten Widerstandswert (M^*Rtt) während der Schreiboperation.
5. Verfahren nach Anspruch 2, wobei ein Aktivieren der ODT-Schaltung (300) von Nicht-Zielspeicher-Ranks während der Leseoperation aufweist:
 ein Aufrechterhalten der ODT-Schaltungen (300) der Nicht-Zielspeicher-Ranks in dem anfänglichen Zustand, um den ersten Widerstandswert (M^*Rtt) während der Leseoperation zu haben.
6. Verfahren nach Anspruch 1, wobei die ODT-Schaltungen (300) der Mehrzahl von Speicher-Ranks (RNK1 - RNKM) konfiguriert sind, um Daten-Eingangs-Ausgangs-Kontakte (600) der Mehrzahl von Speicher-Ranks (RNK1 - RNKM) zu terminieren.
7. Verfahren nach Anspruch 6, wobei die ODT-Schaltungen (300) der Mehrzahl von Speicher-Ranks (RNK1 - RNKM) den anfänglichen Zustand aufrechterhalten auch während eine Daten-Eingangs-Ausgangs-Operation über die Daten-Eingangs-Ausgangs-Kontakte (600) nicht durchgeführt wird.
8. Verfahren nach Anspruch 1, wobei die ODT-Schaltungen (300) der Nicht-Zielspeicher-Ranks inmitten der Mehrzahl von Speicher-Ranks (RNK1 - RNKM) mit Ausnahme des Schreibzielspeicher-Rank oder des Lesezielspeicher-Rank einen konstanten Widerstandswert haben, unabhängig von einem Speicherzugriffsbefehl von einem Speichercontroller (20).
9. Verfahren nach Anspruch 8, wobei der konstante Widerstandswert der Nicht-Zielspeicher-Ranks basierend auf einem Wert bestimmt wird, welcher in einem Modusregister des Multi-Rank-Speichersystems (10) gespeichert ist.
10. Verfahren nach Anspruch 1, wobei ein Widerstandswert der ODT-Schaltung (300) des Schreibzielspeicher-Rank eingestellt ist, um gleich zu einem Widerstandswert der ODT-Schaltungen (300) der Nicht-Zielspeicher-Ranks unter der Mehrzahl von Speicher-Ranks (RNK1 - RNKM) mit Ausnahme des Schreibzielspeicher-Rank zu sein.
11. Verfahren nach Anspruch 1, wobei ein Widerstandswert der ODT-Schaltung (300) des Schreibzielspeicher-Rank eingestellt ist, um unterschiedlich von einem Widerstandswert der ODT-Schaltungen (300) der Nicht-Zielspeicher-Ranks unter der Mehrzahl von Speicher-Ranks (RNK1 - RNKM) mit Ausnahme des Schreibzielspeicher-Rank zu sein.

12. Verfahren nach Anspruch 11, wobei der Widerstandswert der ODT-Schaltung (300) des Schreibzielspeicher-Rank eingestellt ist, um größer zu sein als der Widerstandswert der ODT-Schaltungen (300) der Nicht-Zielspeicher-Ranks.

13. Verfahren nach Anspruch 1, wobei der Schreibzielspeicher-Rank oder der Lesezielspeicher-Rank von einem Abschaltmodus zu einem normalen Betriebsmodus umgewandelt wird, um die Schreiboperation oder die Leseoperation durchzuführen, und die Nicht-Zielspeicher-Ranks unter der Mehrzahl von Speicher-Ranks (RNK1 - RNKM) mit Ausnahme des Schreibzielspeicher-Rank oder des Lesezielspeicher-Rank den Abschaltmodus während der Schreiboperation oder der Leseoperation aufrechterhalten.

14. System, das Folgendes aufweist:
eine Mehrzahl von Speicher-Ranks (RNK1 - RNKM), welche eine Mehrzahl von Speichervorrichtungen aufweisen; und
einen Speichercontroller (20), welcher konfiguriert ist, um die Mehrzahl von Speicher-Ranks (RNK1 - RNKM) zu steuern,
wobei die On-Die-Terminier (ODT)-Schaltungen der Mehrzahl von Speicher-Ranks (RNK1 - RNKM) in einen anfänglichen Zustand aktiviert werden, wenn das System angeschaltet wird, die ODT-Schaltungen (300) der Mehrzahl von Speicher-Ranks (RNK1 - RNKM) während einer Schreiboperation hinsichtlich eines Schreibzielspeicher-Rank und nicht Nicht-Zielspeicher-Ranks unter der Mehrzahl von Speicher-Ranks (RNK1 - RNKM) aktiviert sind, und die ODT-Schaltung (300) eines Lesezielspeicher-Rank unter der Mehrzahl von Speicher-Ranks (RNK1 - RNKM) deaktiviert ist, während die ODT-Schaltungen (300) von Nicht-Zielspeicher-Ranks unter der Mehrzahl von Speicher-Ranks (RNK1 - RNKM) während einer Leseoperation aktiviert sind.

15. System nach Anspruch 14, wobei die ODT-Schaltungen (300) der Nicht-Zielspeicher-Ranks unter der Mehrzahl von Speicher-Ranks (RNK1 - RNKM) mit Ausnahme des Schreibzielspeicher-Rank oder des Lesezielspeicher-Rank einen konstanten Widerstandswert haben, unabhängig von einem Speicherzugriffsbefehl von dem Speichercontroller (20).

16. System, das Folgendes aufweist:
einen ersten Speicher-Rank, welcher eine Mehrzahl von ersten Speichervorrichtungen aufweist, welche mit einer ersten On-Die-Terminier (ODT)-Schaltung (300) verbunden sind; und
einen zweiten Speicher-Rank, welcher eine Mehrzahl von zweiten Speichervorrichtungen aufweist, welche mit einer zweiten ODT-Schaltung (300) verbunden sind,
wobei die erste und zweite ODT-Schaltung (300) während einer Schreiboperation des ersten Speicher-Rank aktiviert sind, und die erste ODT-Schaltung (300) deaktiviert ist und die zweite ODT-Schaltung (300) aktiviert ist während einer Leseoperation des ersten Speicher-Rank.

17. System nach Anspruch 16, wobei jede aktivierte ODT-Schaltung (300) eine Terminierimpedanz für eine Übertragungsleitung vorsieht, welche mit einem Daten-Eingangs-Ausgangs-Kontakt (600) des entsprechenden Speicher-Rank gekoppelt ist.

18. System nach Anspruch 17, wobei die erste ODT-Schaltung (300) während der Leseoperation nur deaktiviert ist, während Lesedaten, welche der Leseoperation entsprechen, von dem Daten-Eingangs-Ausgangs-Kontakt (600) ausgegeben werden.

19. System nach Anspruch 16, wobei ein Widerstandswert der ersten ODT-Schaltung (300) eingestellt ist, um gleich zu einem Widerstandswert der zweiten ODT-Schaltung (300) während der Schreiboperation zu sein.

20. System nach Anspruch 16, wobei ein Widerstandswert der ersten ODT-Schaltung (300) eingestellt ist, um unterschiedlich von einem Widerstandswert der zweiten ODT-Schaltung (300) während der Schreiboperation zu sein.

Es folgen 23 Seiten Zeichnungen

Anhängende Zeichnungen

FIG. 1

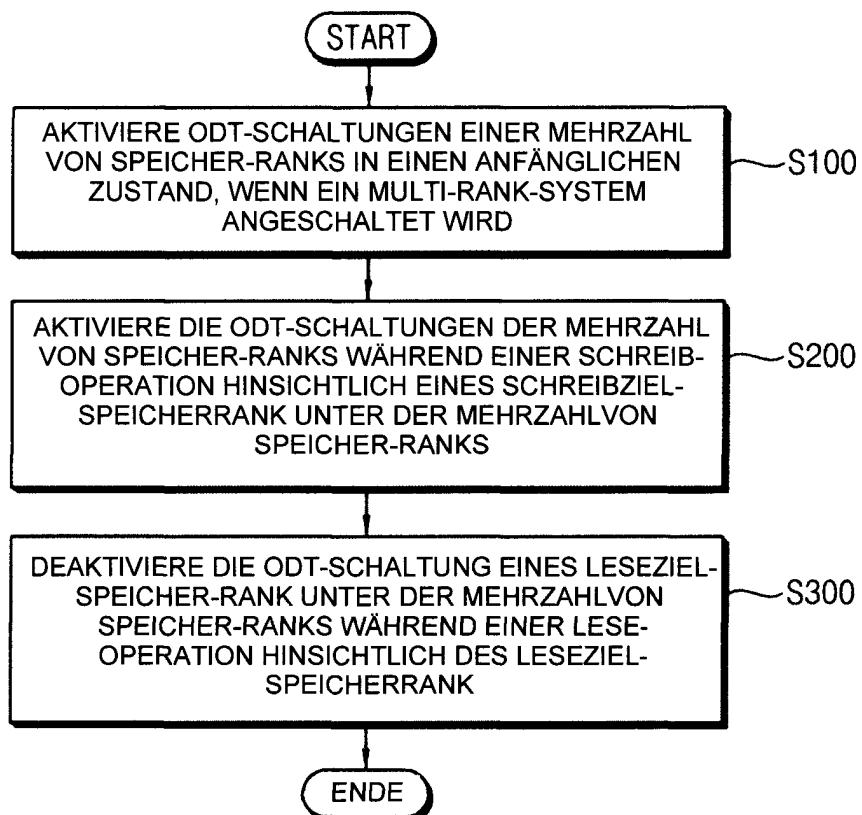


FIG. 2

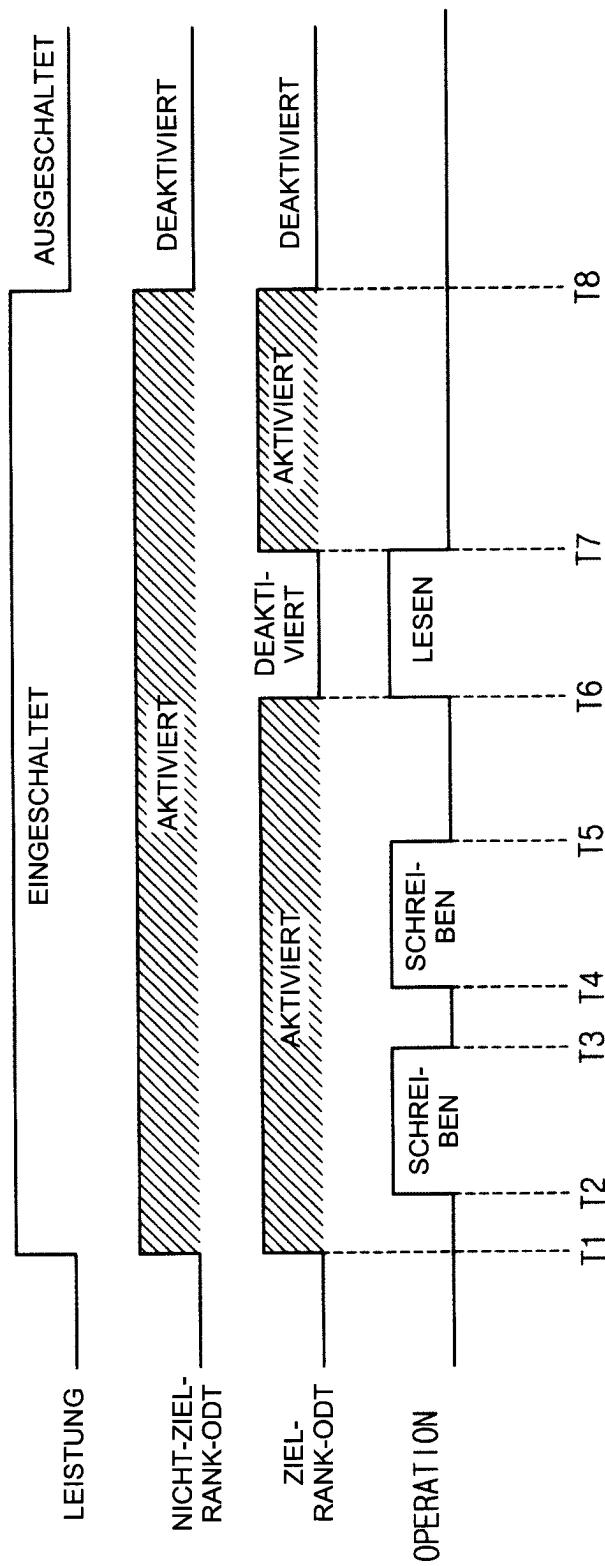


FIG. 3

10

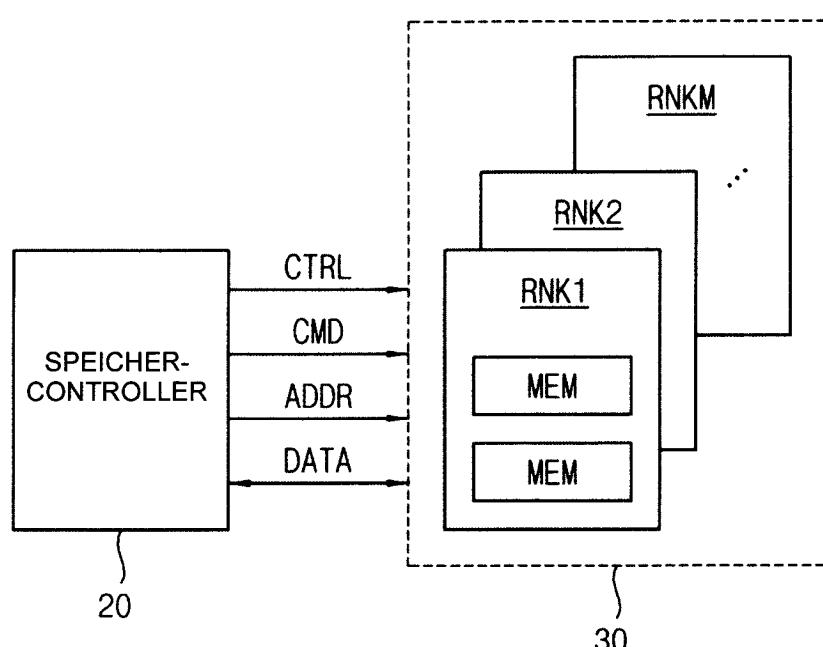


FIG. 4

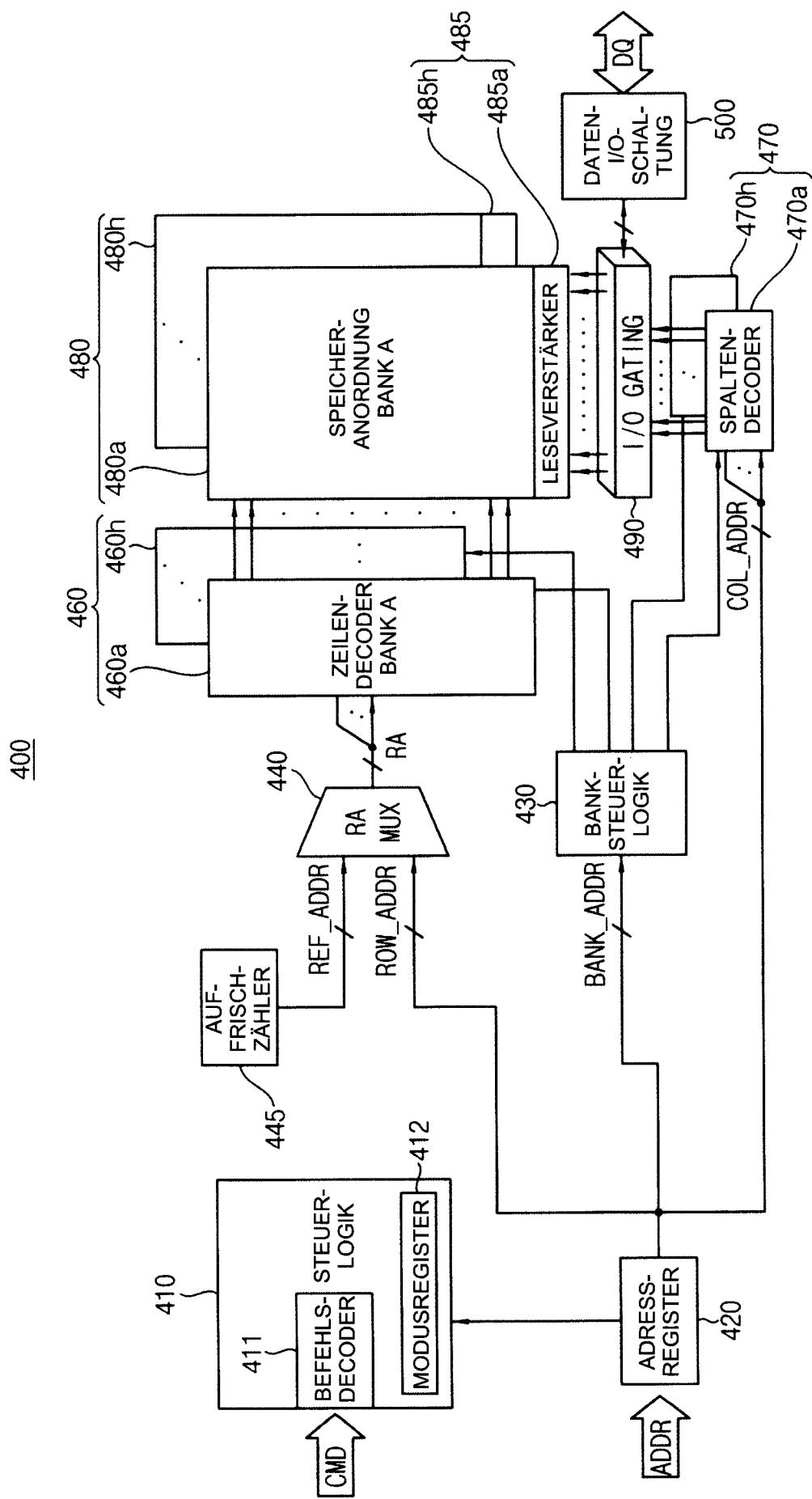


FIG. 5

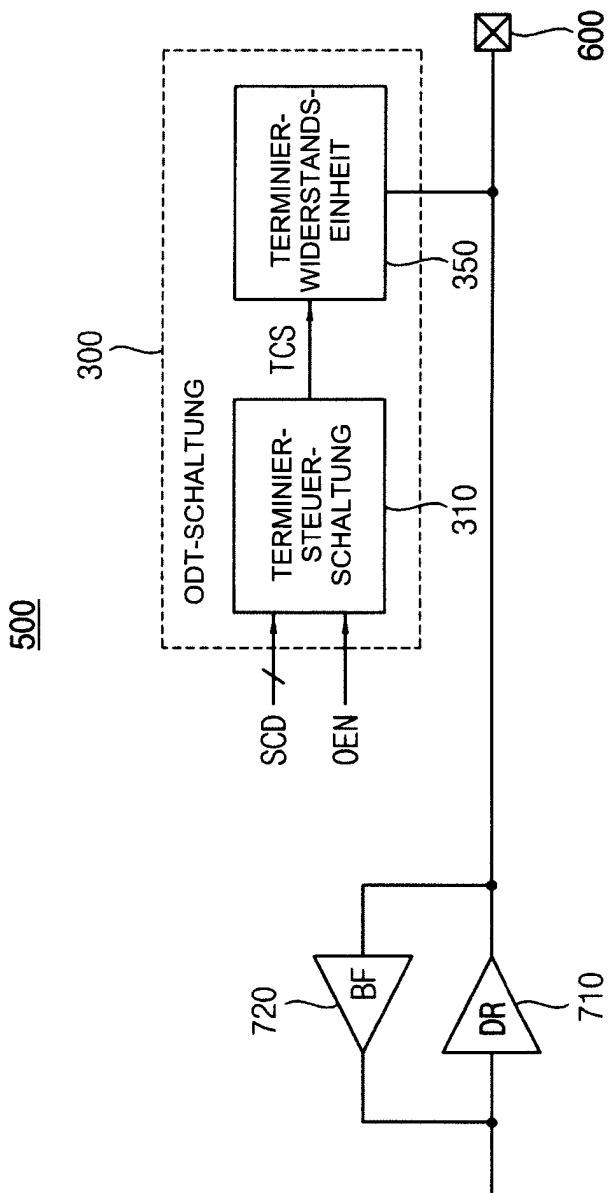


FIG. 6

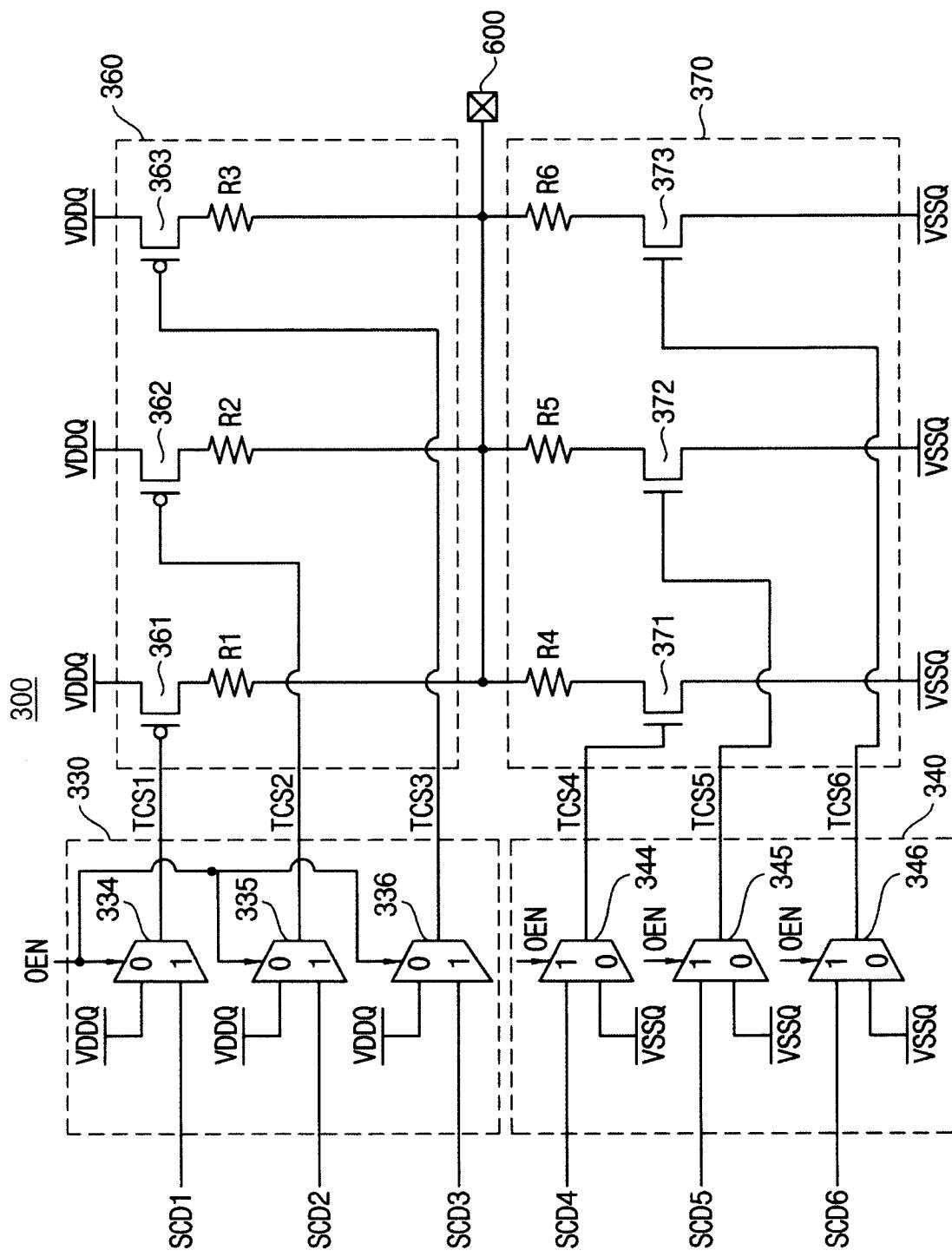


FIG. 7

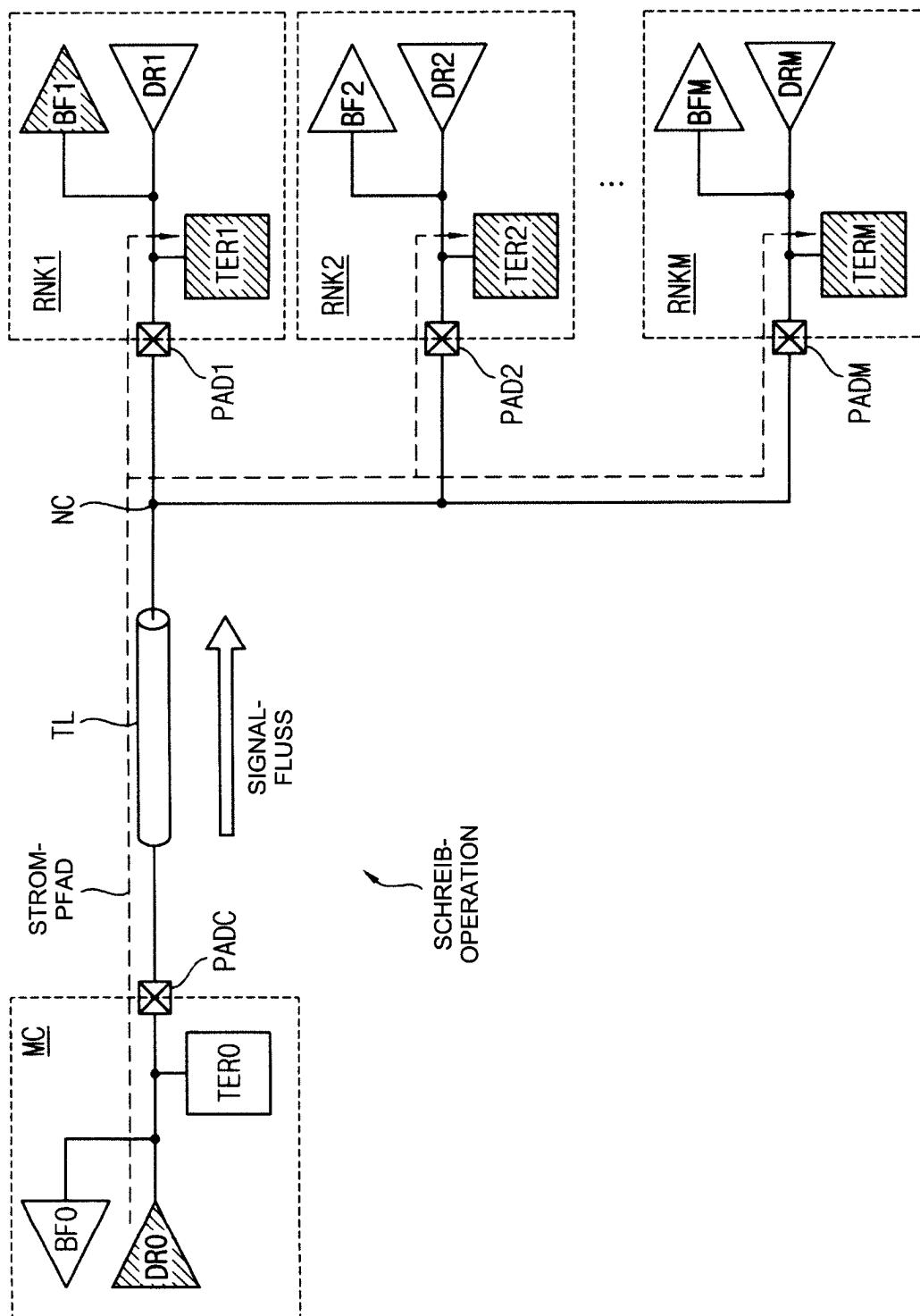


FIG. 8A

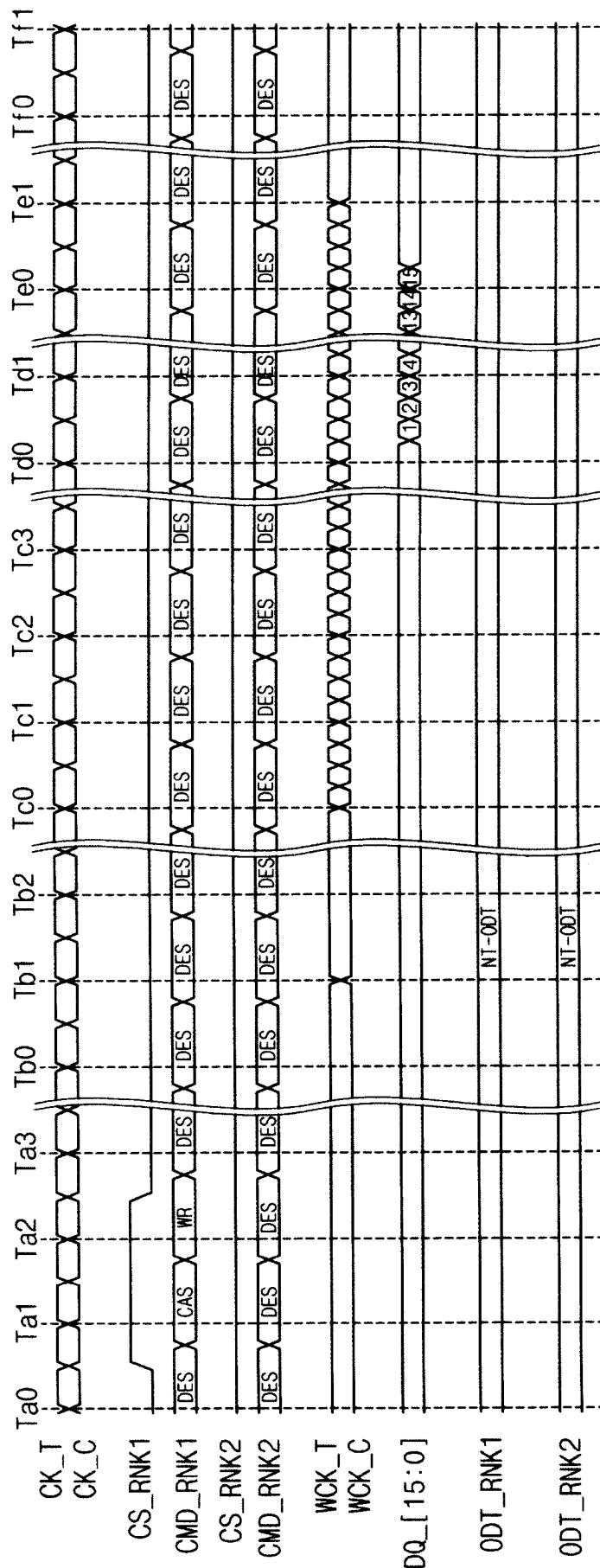


FIG. 8B

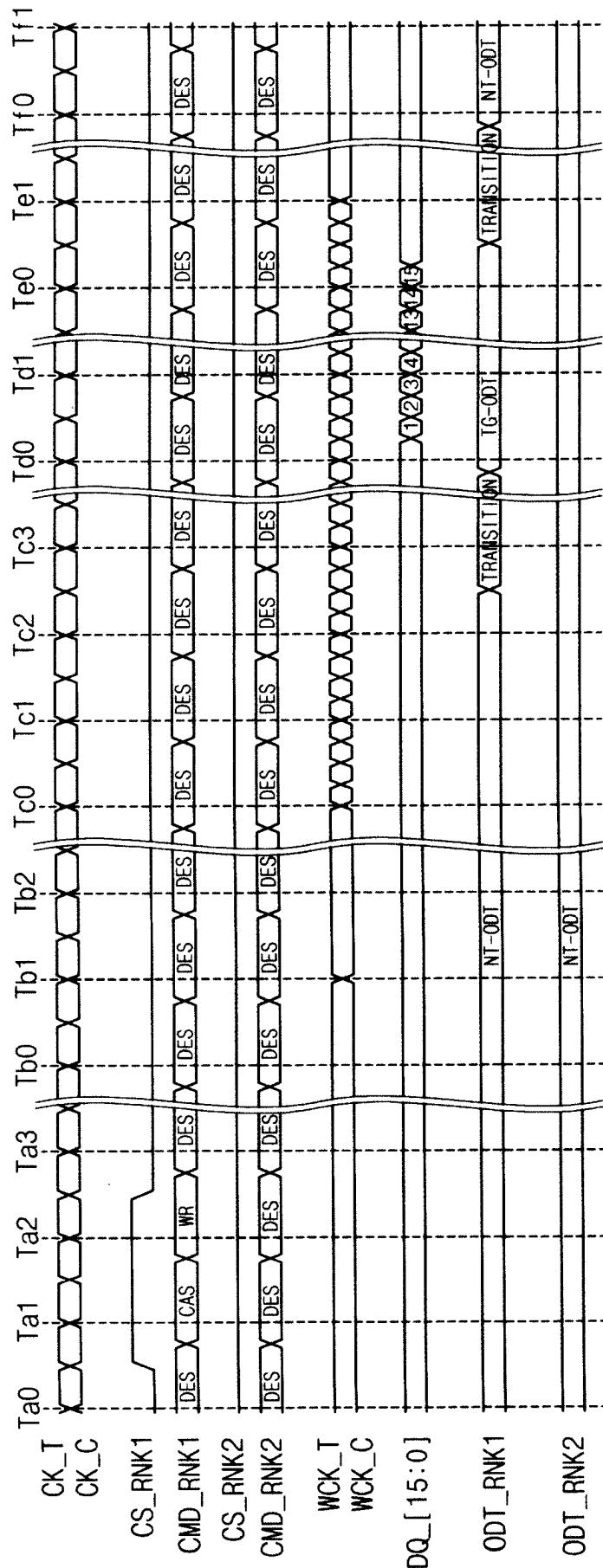


FIG. 9

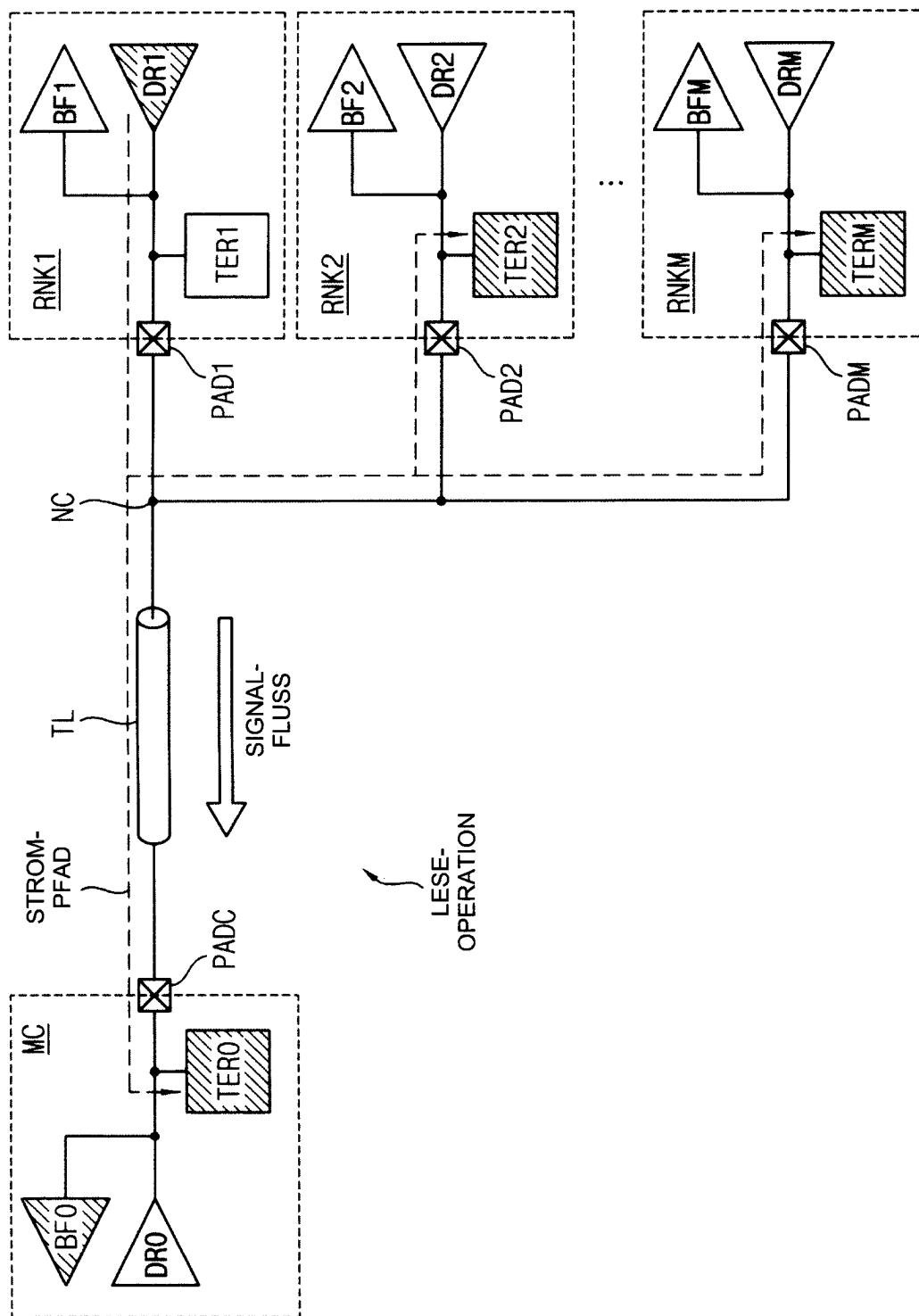


FIG. 10

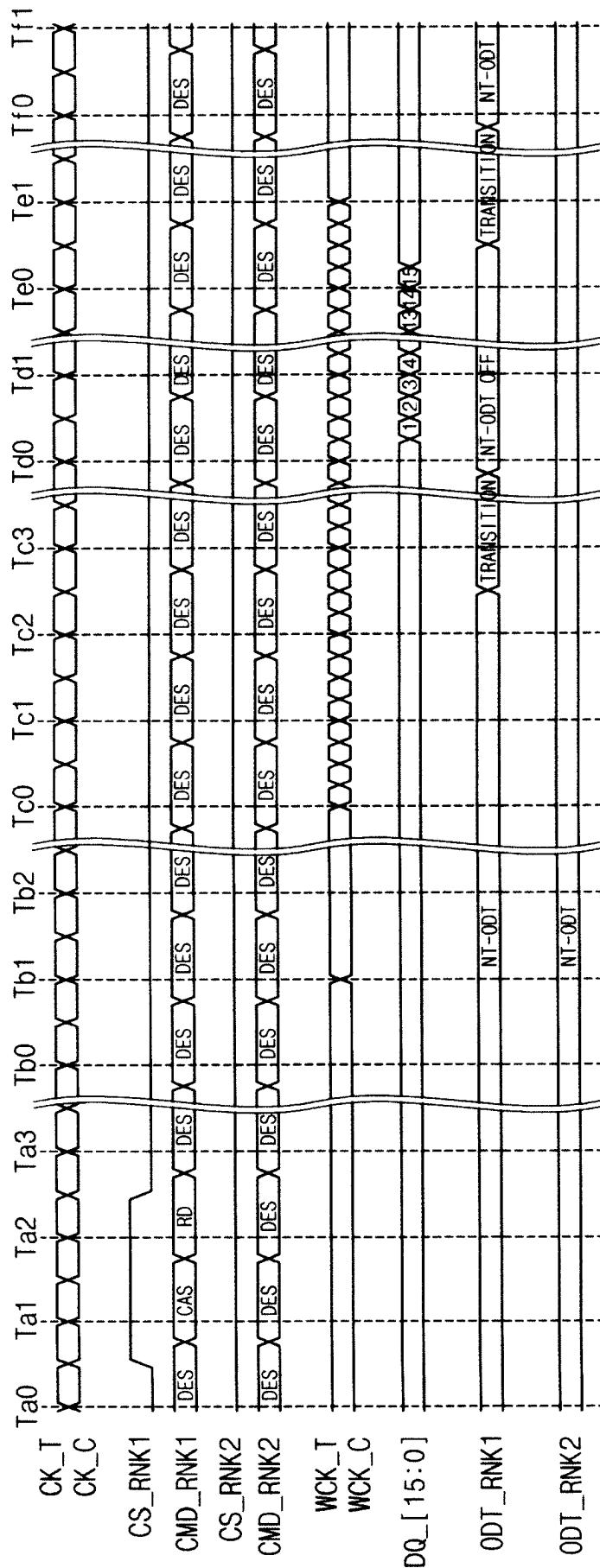


FIG. 11

	RNK_TG	RNK_NT	MC
LESEN	DEAKTIVIERT	M*Rtt	M*Rtt
SCHREIBEN	M*Rtt	M*Rtt	DEAKTIVIERT

FIG. 12

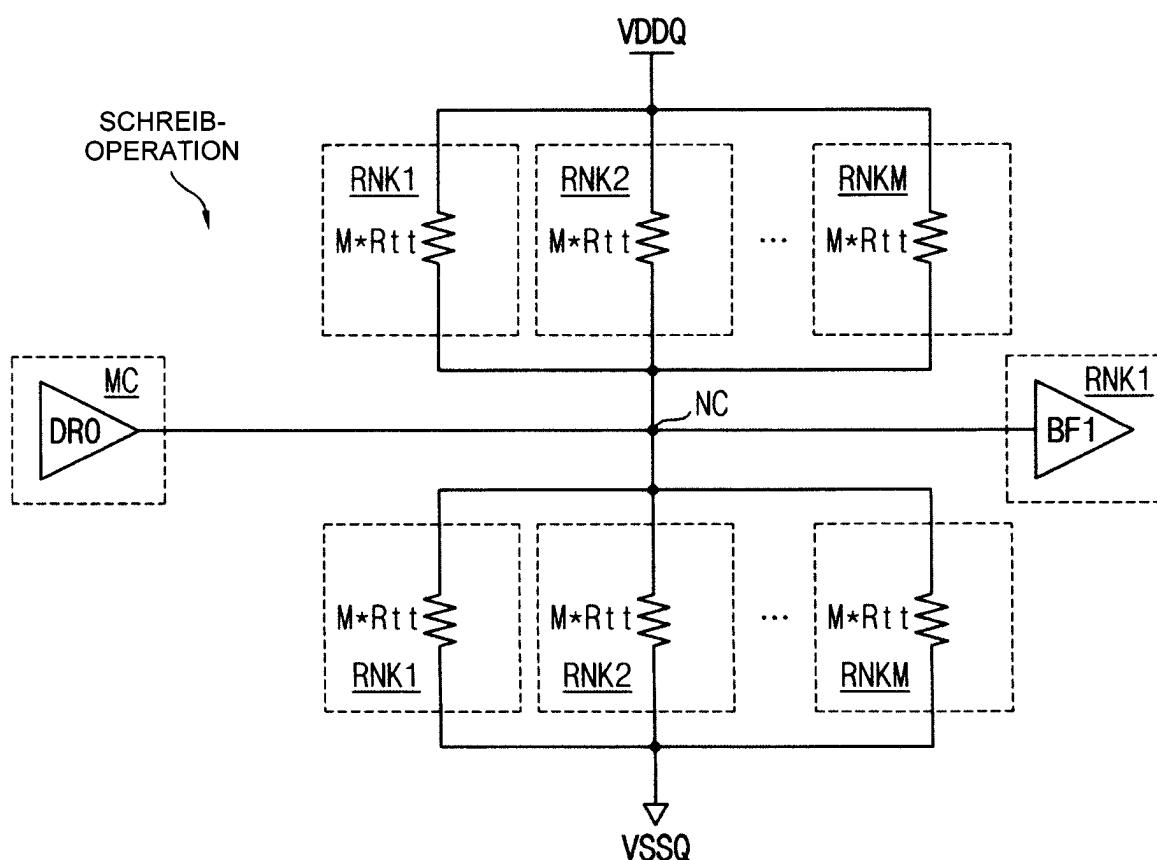


FIG. 13

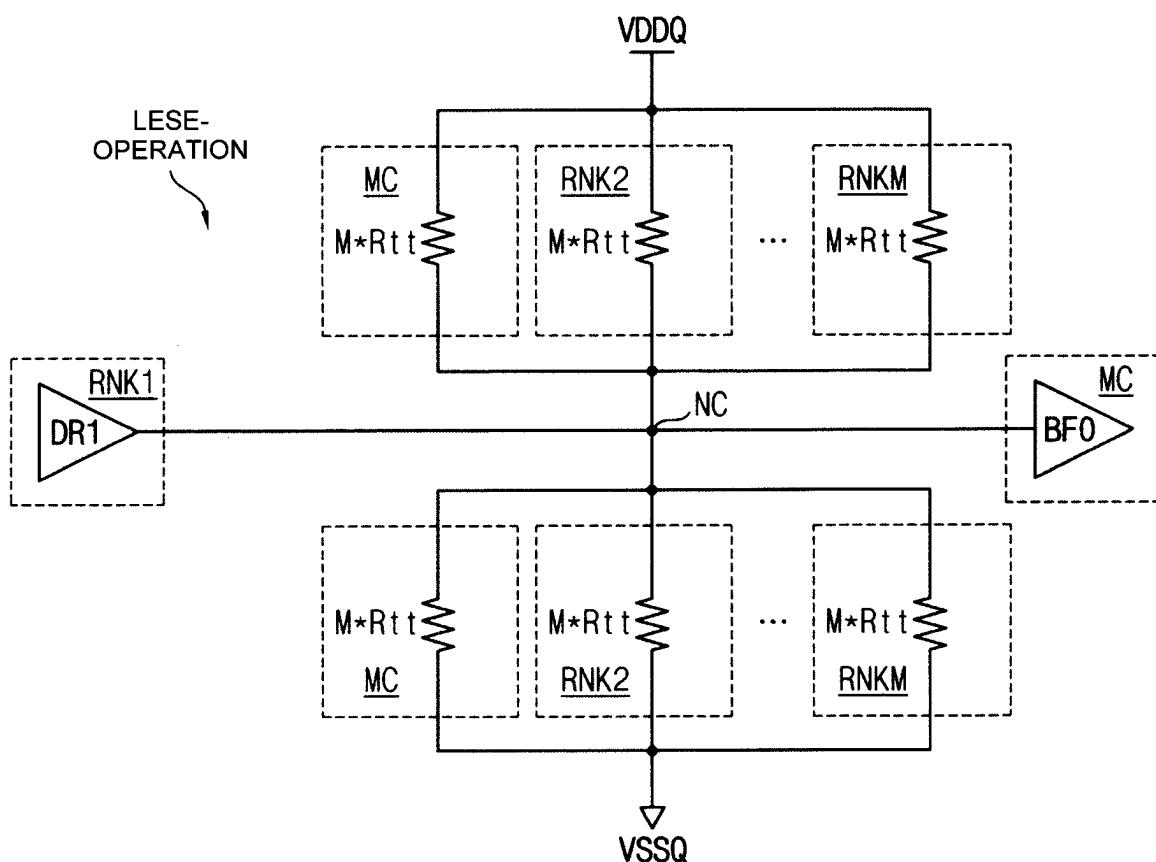


FIG. 14A

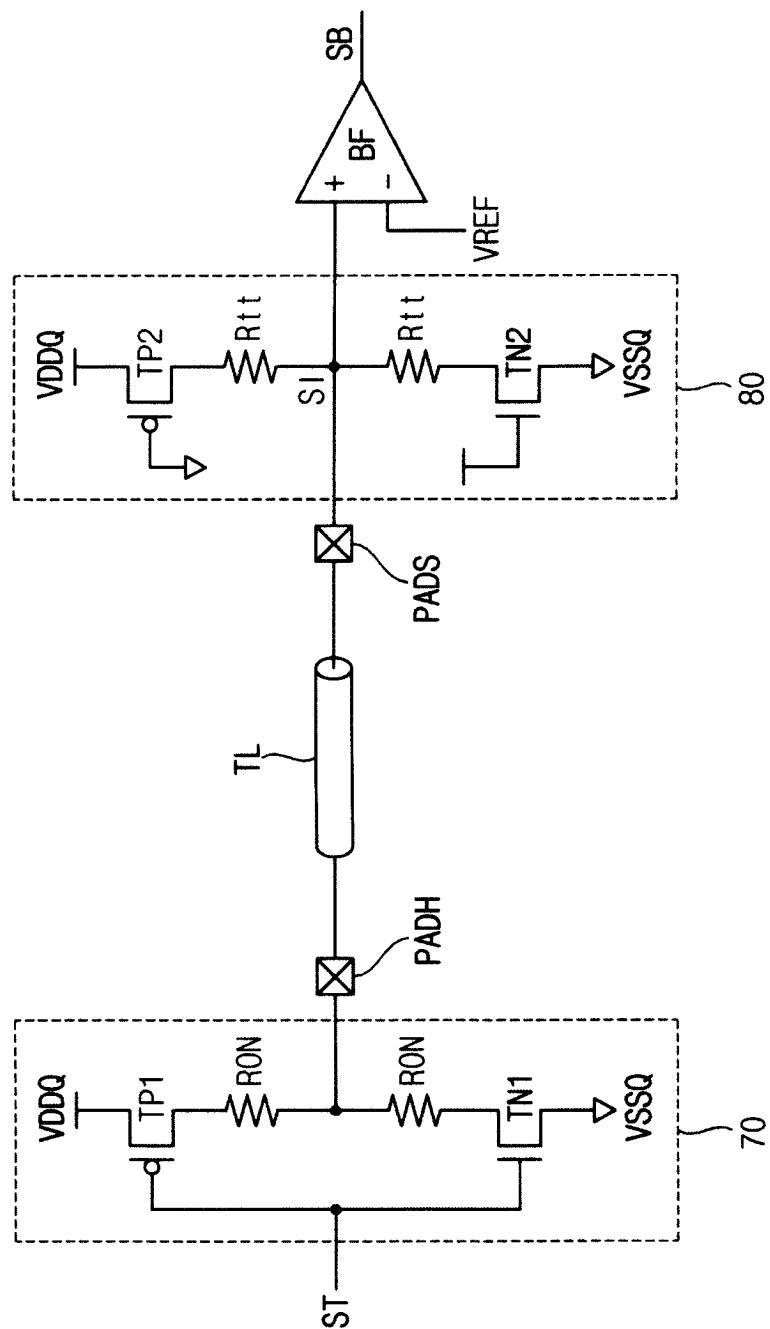


FIG. 14B

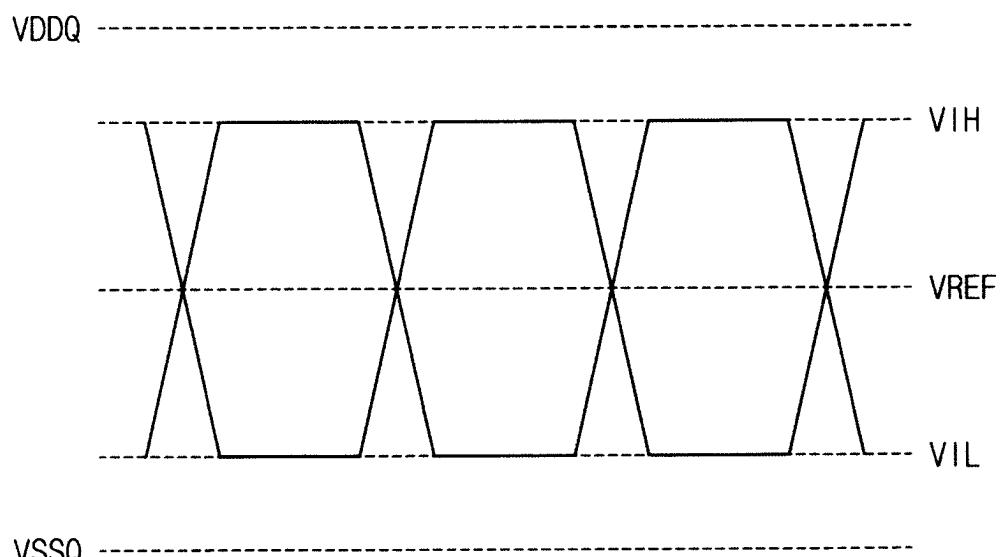


FIG. 15A

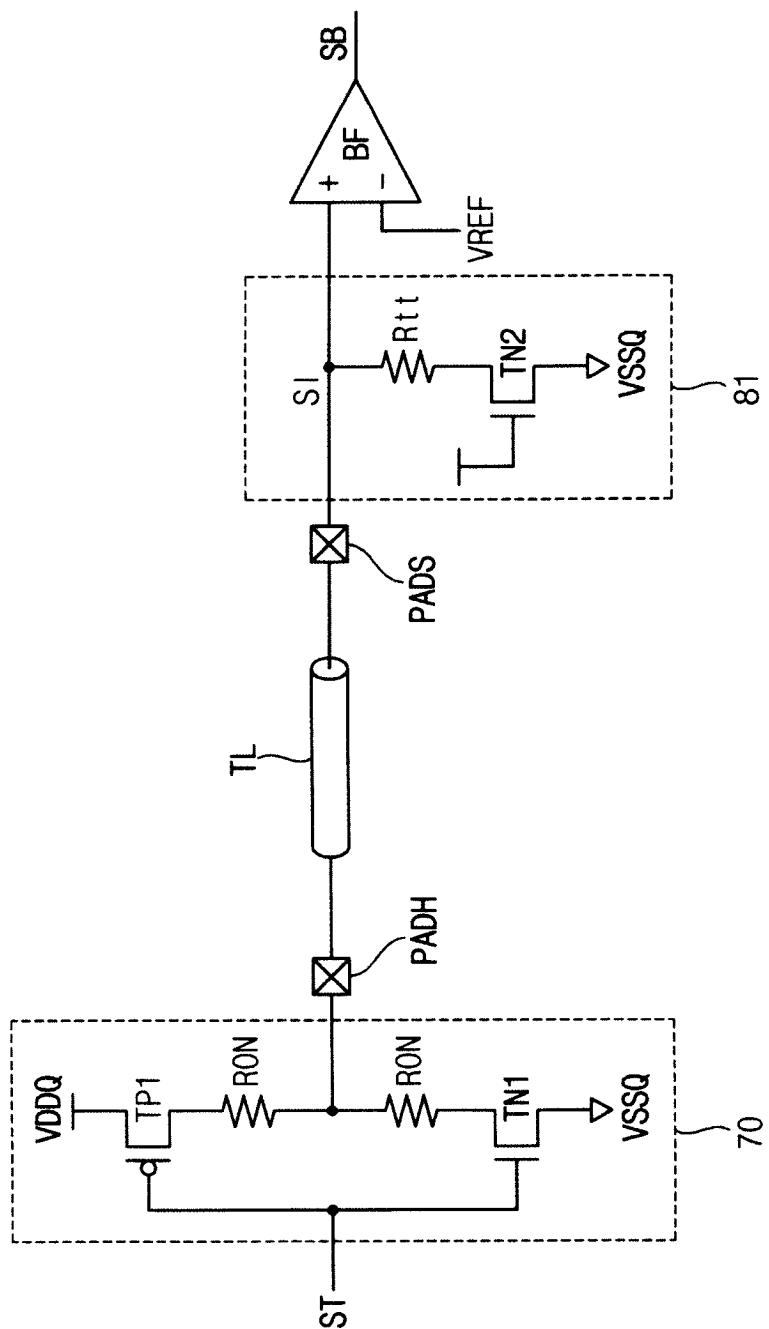


FIG. 15B

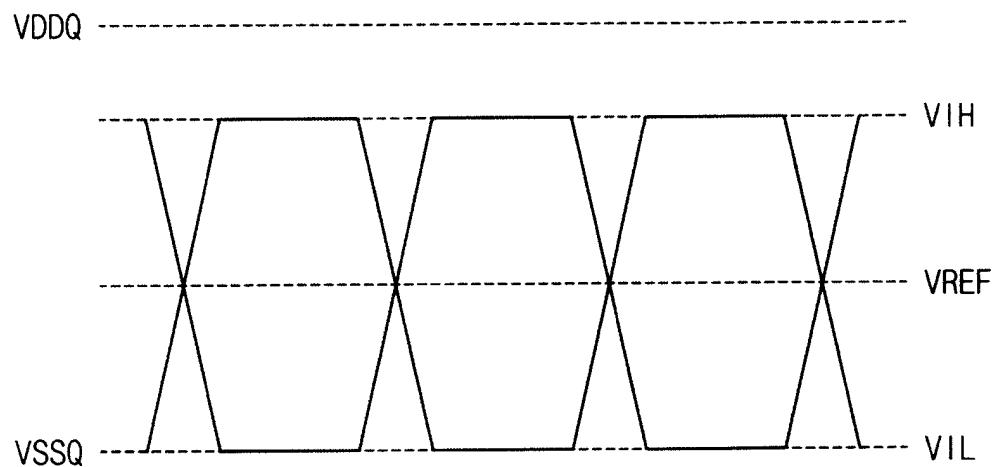


FIG. 16A

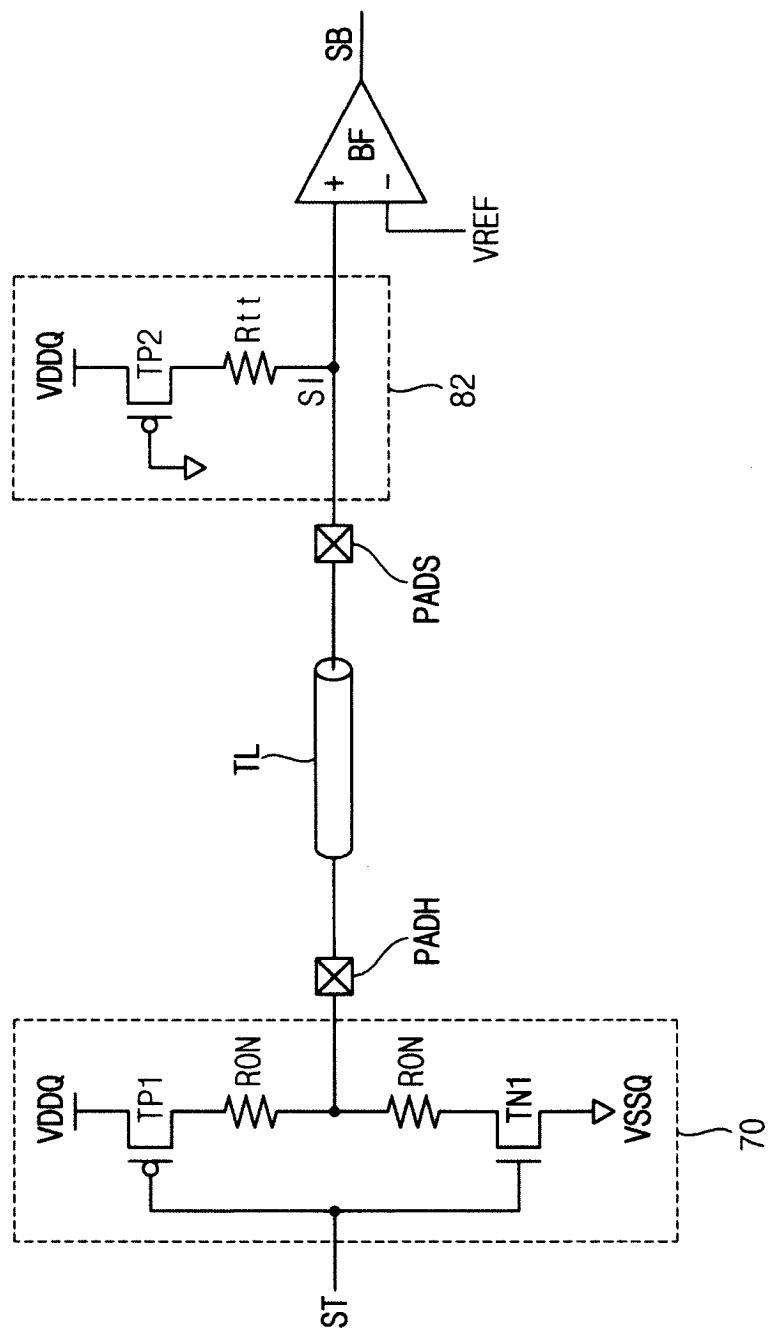


FIG. 16B

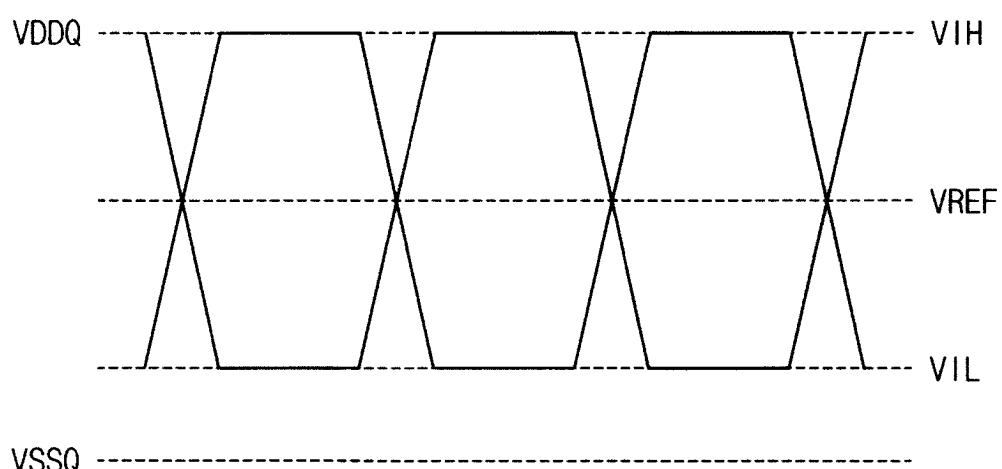


FIG. 17

	RNK_TG	RNK_NT	MC
LESEN	DEAKTIVIERT	$M \cdot R_{tt}$	$M \cdot R_{tt}$
SCHREIBEN	$M \cdot R_{tt} + R_{tg}$	$M \cdot R_{tt}$	DEAKTIVIERT

FIG. 18

CMD	CA0	CA1	CA2	CA3	CA4	CA5	CA6
CAS	L	L	H	EDC_EN	WS_WF	WS_RD	WS_FAST
	DC0	DC1	DC2	DC3	NT0->RFU	NT1->RFU	BL

FIG. 19A

MRSET	OP7	OP6	OP5	OP4	OP3	OP2	OP1	OP0
	RFU							ODT

FIG. 19B

MRSET	OP7	OP6	OP5	OP4	OP3	OP2	OP1	OP0
	RFU		TG-ODT			NT-ODT		

FIG. 20

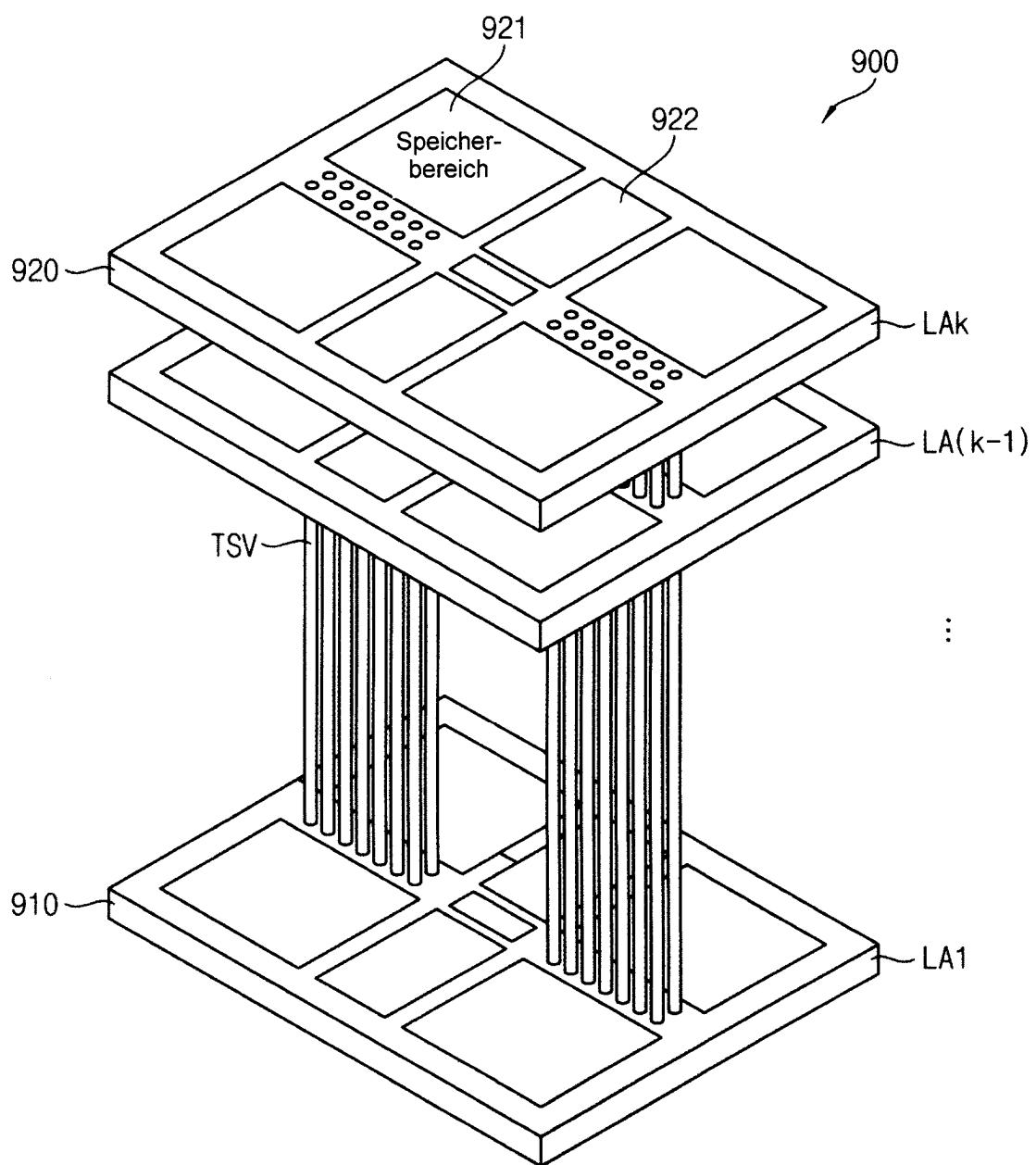


FIG. 21

