

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-26237

(P2010-26237A)

(43) 公開日 平成22年2月4日(2010.2.4)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1343 (2006.01)	G02F 1/1343	2H092
G02F 1/1368 (2006.01)	G02F 1/1368	

審査請求 未請求 請求項の数 7 O L (全 22 頁)

(21) 出願番号	特願2008-187245 (P2008-187245)	(71) 出願人	502356528
(22) 出願日	平成20年7月18日 (2008.7.18)		株式会社 日立ディスプレイズ
			千葉県茂原市早野3300番地
		(74) 代理人	100075959
			弁理士 小林 保
		(72) 発明者	豊田 善章
			東京都国分寺市東恋ヶ窪一丁目280番地
			株式会社日立製作所中央研究所内
		(72) 発明者	山口 伸也
			東京都国分寺市東恋ヶ窪一丁目280番地
			株式会社日立製作所中央研究所内
		(72) 発明者	佐藤 健史
			東京都国分寺市東恋ヶ窪一丁目280番地
			株式会社日立製作所中央研究所内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

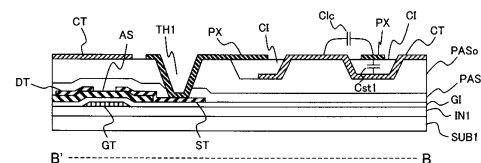
(57) 【要約】

【課題】フリッカを低減することが可能な液晶表示装置を提供することである。

【解決手段】

マトリックス状に複数の画素が配置され、液晶層を介して対向配置される第1及び第2の基板と、前記第1の基板側に、少なくとも各画素内に面状に形成された第1電極と、前記第1電極の上層に第1絶縁層を介して形成され、各画素毎に前記第1電極に重畳して形成される線状の複数の第2電極とを有し、前記第1電極と前記第2電極で生じる電界で前記液晶層を駆動する液晶表示装置であって、前記第1電極と同電位であり、前記第2電極と同層に形成され、前記各第2電極を間にして配置される線状の第3電極を備えた液晶表示装置である。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

マトリックス状に複数の画素が配置され、液晶層を介して対向配置される第 1 及び第 2 の基板と、

前記第 1 の基板側に、少なくとも各画素内に面状に形成された第 1 電極と、

前記第 1 電極の上層に第 1 絶縁層を介して形成され、各画素毎に前記第 1 電極に重畳して形成される線状の複数の第 2 電極と

を有し、前記第 1 電極と前記第 2 電極で生じる電界で前記液晶層を駆動する液晶表示装置であって、

前記第 1 電極と同電位であり、前記第 2 電極と同層に形成され、前記各第 2 電極を間にして配置される線状の第 3 電極

を備えたことを特徴とする液晶表示装置。

【請求項 2】

請求項 1 に記載の液晶表示装置において、

前記第 1 電極と前記第 3 電極とが一体に形成された導電層からなることを特徴とする液晶表示装置。

【請求項 3】

請求項 1 又は 2 に記載の液晶表示装置において、

平坦化層に溝が形成され、前記溝に前記第 1 電極の一部が形成されることを特徴とする液晶表示装置。

【請求項 4】

請求項 1 又は 2 に記載の液晶表示装置において、

平坦化層の上層に形成された第 2 絶縁層を有し、前記第 2 絶縁層に形成された溝に前記第 1 電極の一部が形成されていることを特徴とする液晶表示装置。

【請求項 5】

請求項 1 に記載の液晶表示装置において、

前記第 1 電極と前記第 3 電極とが前記第 1 絶縁層に形成されたコンタクト部を介して接続されることを特徴とする液晶表示装置。

【請求項 6】

請求項 1 又は 5 に記載の液晶表示装置において、

前記第 1 絶縁層が容量絶縁層で形成され、前記第 2 電極と前記第 3 電極とが前記第 1 絶縁層上に形成されることを特徴とする液晶表示装置。

【請求項 7】

請求項 1 乃至 7 のいずれか 1 項に記載の液晶表示装置において、

前記第 2 電極に表示用の電荷を入力する薄膜トランジスタを有し、前記薄膜トランジスタのソース電極と前記第 2 電極とを接続するコンタクト部を前記第 1 絶縁層で平坦化したことを特徴とする液晶表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は液晶表示装置に関し、特に保持容量を画素電極と対向電極とで構成した液晶表示装置に関する。

【背景技術】**【0002】**

従来の液晶表示装置は、画素電極等が形成される図 2 に示す第 1 基板と、この第 1 基板に対向して配置される第 2 基板と、第 1 基板と第 2 基板とで挟持される液晶層とで構成されている。

【0003】

図 2 に示すように構成された従来の液晶表示装置では、薄膜トランジスタ T F T のゲート電極 G T にはゲート線 G L から信号が入力される構成となっており、ドレイン電極 D T

10

20

30

40

50

にはドレイン線DLからの信号が入力される構成となっている。一方、薄膜トランジスタTFTのソースには液晶層に表示データに対応した電界を印加するための画素電極PXが設けられており、この画素電極PXに供給された電荷を1フレーム期間保持するための保持容量Cst1が画素電極PXと対向電極CT間に設けられている。また、画素電極PXと対向電極CTとの間には液晶層を介在させることによる液晶容量Clcと絶縁膜容量Cst2とが直列に形成される構成となっている。

【0004】

以下、図3に従来の液晶表示装置の1画素分の液晶表示素子の平面図を示し、図4に図3中のA-A'線での断面図を示し、図3及び図4に基づいて絶縁膜容量について説明する。

10

【0005】

図3及び図4に示すように、従来の液晶表示装置は対向電極CTの上層に形成した容量絶縁膜CIを介して画素電極PXが配置される構成となっている。このように形成される従来の液晶表示装置では、保持容量を構成するための一对の電極を画素電極PXと対向電極CTとで兼ねる構成とすることが一般的に行われている。すなわち、画素電極PXと対向電極CTとの間に形成する層間絶縁膜として容量絶縁膜CIを用いることにより、画素電極PXと対向電極CTとの絶縁を実現しつつ画素電極PXと対向電極CTとで画素電荷の保持に必要な保持容量を実現する構成となっている。

【0006】

このような従来の液晶表示装置では、容量絶縁膜CIの内部または液晶層と容量絶縁膜CIとの界面に存在する固定電荷すなわち絶縁膜容量Cst2に蓄えられる電荷により、交流反転駆動の際の振幅が正極性の時と負極性の時で異なり、フリッカが発生してしまうことが知られている。

20

【0007】

この問題を解決する技術として、特許文献1に記載の液晶表示装置がある。特許文献1に記載の液晶表示装置では、対向電極の上層に絶縁膜を形成した後に、絶縁膜の形状を画素電極形状にエッチング加工し、画素電極を形成する構成となっている。

【特許文献1】特開2007-183299号公報

【発明の開示】

【発明が解決しようとする課題】

30

【0008】

従来の液晶表示装置では液晶層に印加する電界強度の低下を最小限にするために、薄膜トランジスタの上層に無機材料の保護絶縁膜を形成し、その上層に有機材料の平坦化膜を形成した後、平坦化膜の上層に液晶層を駆動するための対向電極や画素電極を形成する構成となっている。

【0009】

しかしながら、特許文献1に記載の技術では、櫛歯状に形成した画素電極の形状に絶縁膜を加工する、すなわち櫛歯形状の画素電極の開口部の絶縁膜を除去する構成となっている。

【0010】

40

このために、特許文献1に記載の技術では、画素電極の開口部の段差が大きくなってしまいうので、画素電極の上層に形成されるラビング層を形成する際にラビング不良が発生し、液晶表示装置のコントラストが低下してしまうという問題があった。

【0011】

本発明の目的は、フリッカを低減することが可能な液晶表示装置を提供することにある。

【0012】

本発明の他の目的は、ラビング不良によるコントラストの低下を抑制することが可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

50

【 0 0 1 3 】

前記課題を解決すべく、本願発明は、例えば、下記のように構成される。

【 0 0 1 4 】

(1) 本願発明の液晶表示装置は、マトリックス状に複数の画素が配置され、液晶層を介して対向配置される第 1 及び第 2 の基板と、前記第 1 の基板側に、少なくとも各画素内に面状に形成された第 1 電極と、前記第 1 電極の上層に第 1 絶縁層を介して形成され、各画素毎に前記第 1 電極に重畳して形成される線状の複数の第 2 電極とを有し、前記第 1 電極と前記第 2 電極で生じる電界で前記液晶層を駆動する液晶表示装置であって、前記第 1 電極と同電位であり、前記第 2 電極と同層に形成され、前記各第 2 電極を間にして配置される線状の第 3 電極を備えたものである。

10

【 0 0 1 5 】

(2) (1) に記載の液晶表示装置において、前記第 1 電極と前記第 3 電極とが一体に形成された導電層からなるものである。

【 0 0 1 6 】

(3) (1) 又は (2) に記載の液晶表示装置において、平坦化層に溝が形成され、前記溝に前記第 1 電極の一部が形成されるものである。

【 0 0 1 7 】

(4) (1) 又は (2) に記載の液晶表示装置において、平坦化層の上層に形成された第 2 絶縁層を有し、前記第 2 絶縁層に形成された溝に前記第 1 電極の一部が形成されているものである。

20

【 0 0 1 8 】

(5) (1) に記載の液晶表示装置において、前記第 1 電極と前記第 3 電極とが前記第 1 絶縁層に形成されたコンタクト部を介して接続されるものである。

【 0 0 1 9 】

(6) (1) 又は (5) に記載の液晶表示装置において、前記第 1 絶縁層が容量絶縁層で形成され、前記第 2 電極と前記第 3 電極とが前記第 1 絶縁層上に形成されるものである。

【 0 0 2 0 】

(7) (1) 乃至 (7) のいずれかに記載の液晶表示装置において、前記第 2 電極に表示用の電荷を入力する薄膜トランジスタを有し、前記薄膜トランジスタのソース電極と前記第 2 電極とを接続するコンタクト部を前記第 1 絶縁層で平坦化したものである。

30

【発明の効果】

【 0 0 2 1 】

本発明の液晶表示装置では、対向電極と同電位であり、画素電極と同層に形成され、該画素電極を間にして配置される線状の第 3 電極を備える構成となっているので、液晶層と絶縁層との間に生じる容量を大幅に低減でき、フリッカを低減することができる。

【 0 0 2 2 】

また、各画素毎に画素電極と同一層上に形成される第 3 電極を備える構成となっているので、画素電極の上層に形成するラビング層の不良発生を防止し、液晶表示装置のコントラスト低下を防止することができる。

40

【 0 0 2 3 】

本発明のその他の効果については、明細書全体の記載から明らかにされる。

【発明を実施するための最良の形態】

【 0 0 2 4 】

以下、本発明が適用された実施形態の例について、図面を用いて説明する。なお、下記では、液晶表示装置の構成を、その製造工程により説明する場合もある。ただし、以下の説明において、同一構成要素には同一符号を付し繰り返しの説明は省略する。

【 0 0 2 5 】

(実施形態 1)

図 5 は本発明の実施形態 1 の液晶表示装置の概略構成図であり、図 6 は図 3 に示す実施

50

形態 1 の液晶表示装置の 1 画素分の液晶表示素子の平面図であり、図 1 は図 6 に示す B - B' 線での断面図である。なお、薄膜トランジスタとしてアモルファスシリコン TFT の場合について説明するが、これに限定されることはなくポリシリコン TFT を用いてもよい。また、スイッチング素子として薄膜トランジスタの代わりにダイオード等を用いてもよい。

【 0 0 2 6 】

実施形態 1 の液晶表示装置は、後述するように画素電極等が形成される第 1 基板と、この第 1 基板に対向して配置される第 2 基板と、第 1 基板と第 2 基板とで挟持される液晶層とで構成されている。

【 0 0 2 7 】

図 5 に示すように、実施形態 1 の液晶表示装置の第 1 基板にはゲート線 GL が横方向に多数配置され、ドレイン線 DL が縦方向に多数配置される構成となっている。各ゲート線 GL と各ドレイン線 DL とのそれぞれの交点には、薄膜トランジスタ TFT と画素容量とからなる画素が形成されている。また、各画素の対向電極には共通電圧（コモン電圧）を供給するためのコモン線 CL がドレイン線 DL と平行に構成されている。ゲート線 GL にはゲートドライバ SC D v から画素選択のためのゲート信号が供給され、ドレイン線にはドレインドライバ SC D h から各画素への書き込み電圧であるドレイン信号が供給される構成となっている。コモン線 CL には図示しないコモンドライバから液晶表示装置の駆動形式に応じたコモン信号（基準信号（電圧））が供給される構成となっている。ただし、隣接する一対のゲート線 GL と隣接する一対のドレイン線 DL で囲まれる矩形状の領域は画素が形成される領域を構成し、この各画素は液晶表示領域 AR 内においてマトリックス状に配置される。

【 0 0 2 8 】

このように構成された実施形態 1 の液晶表示装置における第 1 基板では、薄膜トランジスタ TFT のゲート電極 GT にはゲート線 GL からゲート信号（走査信号（電圧））が入力される構成となっており、ドレイン電極 DT にはドレイン線 DL からのドレイン信号（映像信号（電圧））が入力される構成となっている。一方、薄膜トランジスタ TFT のソースには液晶層に表示データに対応した電界を印加するための画素電極 PX が設けられており、この画素電極 PX に供給された電荷を 1 フレーム期間保持するための保持容量が画素電極 PX と対向電極 CT 間に設けられている。このとき、後述するように、平坦化膜 PAS o の上面に形成された対向電極 CT と画素電極 PX との間には容量絶縁膜 CI が介在しないので液晶容量 C l c のみが形成され、薄膜トランジスタ TFT のソースには保持容量 C s t 1 と画素容量 C l c とが並列に接続されるのみの構成となる。

【 0 0 2 9 】

次に、図 1 及び図 6 に基づいて、実施形態 1 の液晶表示装置の第 1 基板の詳細構成について説明する。なお、以下の説明では 1 画素分について説明するが、他の画素構造も同じ構成であることはいうまでもない。また、説明を簡単にするために複数の線状電極として 2 本の画素電極が櫛歯状に形成される場合について説明するが、これに限定されることはなく 3 本以上の画素電極を櫛歯状に配置した形状にも適用できるものである。

【 0 0 3 0 】

図 6 に示すように、実施形態 1 の液晶表示装置の第 1 基板では、面状に形成される対向電極 CT の上層に形成した容量絶縁膜 CI を介して画素電極 PX が配置される構成となっている。対向電極 CT は透明電極材料である ITO（Indium Tin Oxide）で形成され、コンタクトホール TH 2 を通してコモン線 CL に接続されている。また画素電極 PX も櫛歯状に形成された ITO で構成されており、平坦化膜 PAS o と保護絶縁膜 PAS i に形成されたコンタクトホール TH 1 を通して薄膜トランジスタ TFT のソース電極 ST に電氣的に接続されている。一方、ドレイン線 DL はゲート線 GL との交差部の一部において薄膜トランジスタ TFT の形成領域側に延在され、この延在部が半導体層 AS の上面にまで及んで薄膜トランジスタ TFT のドレイン電極 DT を構成している。

【 0 0 3 1 】

画素 P I X はゲート線 G L からのゲート信号によってオンされる薄膜トランジスタ T F T と、このオンされた薄膜トランジスタ T F T を介してドレイン線 D L からのドレイン信号が供給される画素電極 P X と、コモン信号が印加されて画素電極 P X との間の電位差によって電界を生じさせる対向電極 C T とを備える。画素電極 P X と対向電極 C T はともに同じ基板である第 1 基板 S U B 1 に形成されており、電界は第 1 基板 S U B 1 の表面と平行な電界成分を一部に含むものである。

【 0 0 3 2 】

このように、実施形態 1 の液晶表示装置の第 1 基板では、トレンチ (溝) T F の底部に形成された対向電極 C T の上部に容量絶縁膜 C I を介して画素電極 P X が重畳して形成されると共に、トレンチ領域外の対向電極 C T が画素電極 P X と同層に形成され、トレンチ底部とトレンチ領域外の対向電極 C T はトレンチ辺縁部も含めて一体に形成されているので、その形成場所によらず同じ電位のコモン信号が入力される構成となっている。

10

【 0 0 3 3 】

ここで、実施形態 1 の液晶表示装置の第 1 基板では、画素電極 P X の外周形状に沿ってトレンチ T F が形成されており、このトレンチ T F 領域内に画素電極 P X が形成される構成となっている。特に実施の形態 1 の液晶表示装置の第 1 基板では、このトレンチ T F 領域内にのみ容量絶縁膜 C I が形成される構成となっており、このトレンチ T F 領域内の容量絶縁膜 C I を介して画素電極 P X が対向電極 C T に重畳される構成となっている。従って、その表示にかかわる領域では、線状に形成された画素電極 P X に対して、トレンチ T F 領域内の対向電極 C T が面状電極として構成されると共に、トレンチ T F 領域外の対向電極 C T で画素電極 P X を挟む構成となっている。このとき実施形態 1 の第 1 基板では、画素電極 P X の大きさは従来の画素電極と同じ大きさに形成されるので、画素電極 P X に書き込まれた電荷の保持に必要な保持容量を実現するには十分な構成となっている。

20

【 0 0 3 4 】

次に、図 1 に基づいて、本実施形態 1 の画素電極と対向電極の構造を詳細に説明する。図 1 に示すように、実施形態 1 の液晶表示装置の第 1 基板では、ガラス基板 S U B 1 の上層に薄膜トランジスタ T F T を保護するための下地膜 I N 1 が形成され、その上層にゲート電極 G T 及びゲート絶縁膜 G I、半導体層 A S、ドレイン電極 D T、ソース電極 S T 等からなる薄膜トランジスタ T F T が形成されている。この薄膜トランジスタ T F T を図示しない液晶層に含まれるアルカリ成分から保護するために、薄膜トランジスタ T F T の上層の全面に保護絶縁膜 P A S i が形成されている。この保護絶縁膜 P A S i の上層には平坦化層 P A S o が積層されている。

30

【 0 0 3 5 】

ここで、本実施形態 1 の表示装置の第 1 基板では、平坦化層 P A S o の上部にトレンチ T F が形成されており、このトレンチ T F 表面を含む平坦化層 P A S o の上部表面に対向電極 C T が形成されている。従って、画素 P I X の表示にかかわる領域では、平坦化膜 P A S o の上部に形成された線状の対向電極 C T の間に、線状の画素電極 P X が配置される構成となる。また、トレンチ T F 領域に形成された対向電極 C T の上層には容量絶縁膜 C I が平坦化層 P A S o の高さまで形成されており、このトレンチ T F 領域の容量絶縁膜 C I の上層にのみ画素電極 P X が形成される構成となっている。なお、図 1 に示す断面図の B - B ' 線方向の中心部分に形成されるトレンチ T F は図 6 から明らかなように、2 本の画素電極 P X を接続する領域に対応したトレンチ T F 領域となるので、表示性能に影響するものではない。

40

【 0 0 3 6 】

次に、図 7 に実施形態 1 の液晶表示装置の対向電極と画素電極を形成ための製造方法の一実施形態を示す工程図を示し、以下、図 7 に基づいて製造方法を工程順に説明する。なお、各工程における電極の形成を含む薄膜の形成は公知のフォトリソグラフィ技術により可能であるので、詳細な説明は省略する。

【 0 0 3 7 】

工程 1 . (図 7 (a))

50

ガラス基板SUB1の上面側（液晶側）の面に、下地膜IN1及びゲート電極GT、ゲート絶縁膜GI、半導体層AS、ドレイン電極DT、ソース電極STを形成し、アモルファスシリコンTFの薄膜トランジスタTFを形成する。この時、ドレイン線DLおよびドレイン電極DTと同時に形成される薄膜トランジスタTFのソース電極STが、半導体層AS上にドレイン電極DTと対向して形成されている。また、ソース電極STは、半導体層AS上から半導体層ASが形成されていない領域に至って延在され、この延在部はパッド部を構成するようになっている。このパッド部は後述の工程で画素電極PXと電氣的及び物理的に接続される部分となる。

【0038】

工程2．（図7（b））

薄膜トランジスタTFを保護する無機質材料である窒化シリコン膜からなる保護絶縁膜PASiをガラス基板SUB1の上面側の全面に形成し、薄膜トランジスタTFの保護膜とする。この保護絶縁膜PASiの上層（基板の液晶側）に公知のスピンコート法等により、アクリル膜からなる平坦化膜PASoをガラス基板の上面側に形成し、薄膜トランジスタTFをはじめとしたゲート線GL、ドレイン線DL、COMMON線CL等の形成に伴うガラス基板上面の凹凸を平坦化する。なお、実施形態1の液晶表示装置の第1基板では保護絶縁膜PASiと平坦化膜PASoとで保護膜を構成している。

【0039】

次に、平坦化膜PASoの上面（液晶側面）に公知の技術により櫛歯状のトレンチTFを形成する。

【0040】

工程3．（図7（c））

従来の対向電極と同じ領域に、透明電極材料であるITOで対向電極CTを形成する。このとき、実施形態1ではエッチングで形成されたトレンチTFの底部からトレンチTFの縁に沿ってエッチングされていない領域までの上層部分が対向電極CTで覆われた構造となる。

【0041】

次に、塗布型絶縁膜を成膜し200度程度の熱処理により焼成処理を行うことにより、ガラス基板の上面に容量絶縁膜CIを形成する。このとき、対向電極CTとなるITO膜も同時に熱処理されるため、ITO膜がアモルファス状態から多結晶状態に変化する。この多結晶ITO膜は、アモルファスITO膜のエッチング条件ではほとんど加工されないため、後に画素電極PXを形成するためのITO加工時において、対向電極CTとなるITO膜が同時に加工されることはない。

【0042】

工程4．（図7（d））

容量絶縁膜CIを平坦化膜PASoの高さまでエッチングすることによって、平坦化膜PASoのトレンチTF部分以外の対向電極CTを容量絶縁膜CIから露出させると共に、トレンチTF部分のみに容量絶縁膜CIを形成する。この工程により、画素電極PXと同層に形成される線状の対向電極CTを形成する。ただし、容量絶縁膜CIの高さは対向電極CTとなるITO膜よりも低くなるように形成することが望ましい。

【0043】

工程5（図7（e））

平坦化層PASoと保護絶縁膜PASiにコンタクトホールTH1を形成する。

【0044】

工程6（図1）

コンタクトホール部分TH1とトレンチTFが形成される領域内にITO膜を形成することにより、薄膜トランジスタTFのソース電極STに接続される画素電極PXを形成する。この工程により、線状の対向電極CTの間に、該対向電極CTと同層である線状の画素電極PXが形成される。

【0045】

10

20

30

40

50

図 18 は、実施形態 1 に基づく本発明の液晶表示装置の断面図である。図 18 に示すように、実施形態 1 の液晶表示装置はブラックマトリクス B M 及びカラーフィルタ C F、配向膜 O R I 2 が形成されるガラス基板（第 2 の基板）S U B 2 と実施形態 1 のガラス基板（第 1 の基板）S U B 1 とで液晶 L C を挟持する構成となっており、2 枚のガラス基板 S U B 1、S U B 2 の両側に偏光板 P L が形成されている。

【0046】

従来の液晶表示装置は、図 4 に示すように、対向電極 C T が容量絶縁膜 C I に覆われているため、液晶容量 C l c に絶縁膜容量 C s t 2 が直列接続される構造となっていた。

【0047】

それに対して、本発明の実施形態 1 の液晶表示装置では、図 18 に示すように液晶容量 C l c を形成する領域において対向電極 C T が容量絶縁膜 C I に覆われておらず、対向電極 C T と配向膜 O R I 1 が接しているため液晶容量 C l c のみが形成される構成となっている。さらには、画素電極 P X の下部には容量絶縁膜 C I を介して対向電極 C T が形成されており、透明な保持容量を形成することにより、高開口率を実現できる。なお、図 18 は実施形態 1 を用いた断面構造であるが、実施形態 2 から 5 を用いても同様な効果が得られる。

【0048】

以上説明したように、本実施形態 1 の液晶表示装置では画素 P I X の表示にかかわる領域では、平坦化膜 P A S o の上部に形成された線状の対向電極 C T の間に、線状の画素電極 P X が配置される構成となるので、平坦化膜 P A S o の上面（溝と溝の間）に形成された対向電極 C T と画素電極 P X との間に容量絶縁膜 C I が介在しない構成とすることができる。その結果、液晶駆動信号は容量絶縁膜内部又は液晶 / 容量絶縁膜界面の固定電荷の影響をほとんど受けない構成とすることができるので、フリッカを大幅に低減させた液晶表示装置を提供することができる。

【0049】

また、容量絶縁膜 C I がトレンチ T F を埋め込んだ構造となっているので、ガラス基板 S U B 1 の上面の段差も I T O 電極の膜厚程度に抑えることが可能となるので、配向膜 O R I 1 のラビング不良を効果的に抑制できる。

【0050】

また、容量絶縁膜 C I の高さを対向電極 C T よりも低くすることにより、画素電極 P X と対向電極 C T との間の電界を強くすることができるので、液晶 L C の応答を速くすることができる。

【0051】

（実施形態 2）

図 8 は本発明の実施形態 2 の液晶表示装置の概略構成を説明するための断面図である。ただし、図 8 は実施形態 1 の図 1 に相当する第 1 基板の断面図であり、図 6 の B - B' 線での断面図に相当する。なお、実施形態 2 の L C D 構成図、画素平面図は、それぞれ図 5、図 6 と同様である。

【0052】

図 8 から明らかなように、実施形態 2 の液晶表示装置では平坦化膜 P A S o の上面側（図示しない液晶層 L C 側）に対向電極 C T や画素電極 P X 等が形成される構成となっているので、以下の説明では実施形態 1 の液晶表示装置と構成が異なるトレンチ絶縁膜 T I、対向電極 C T、容量絶縁膜 C I、画素電極 P X の構成について詳細に説明する。

【0053】

図 8 において、実施形態 2 の液晶表示装置では平坦化膜 P A S o の上層に、例えば窒化シリコン膜等からなるトレンチ絶縁膜 T I が形成される構成となっている。このトレンチ絶縁膜 T I が形成される領域の中で、画素電極 P X が形成される領域には平坦化膜 P A S o に達するトレンチ（溝）T F が形成されている。一方、コンタクトホール T H 1 の形成領域を除く画素領域に対向電極 C T が形成される構成となっているので、トレンチ絶縁膜 T I の上層のみならずトレンチ（溝）T F の底部（露出された平坦化層 P A S o）からそ

10

20

30

40

50

の辺縁部にかけて、所定膜厚の対向電極 C T が形成されている。従って、画素 P I X の表示にかかわる領域では、トレンチ絶縁膜 T I に形成された線状の対向電極 C T の間に、線状の画素電極 P X が配置される構成となる。

【 0 0 5 4 】

ここで、実施形態 2 の液晶表示装置においても、実施形態 1 の液晶表示装置同様に、トレンチ T F が形成された領域（以下、トレンチ領域と記す）内の対向電極 C T の上層には容量絶縁膜 C I がトレンチ絶縁膜 T I と同等の高さまで形成されている。さらには、このトレンチ領域のみに形成された容量絶縁膜 C I の上層のみに画素電極 P X が形成される構成となっている。ただし、コンタクトホール T H 1 部分や櫛歯状の画素電極 P X を接続する部分はこの限りではない。

10

【 0 0 5 5 】

次に、図 9 に実施形態 2 の液晶表示装置の対向電極と画素電極を形成ための製造方法の一実施形態を示す工程図を示し、以下、図 9 に基づいて製造方法を工程順に説明する。なお、実施形態 1 と同様に、各工程における電極の形成を含む薄膜の形成は公知のフォトリソグラフィ技術により可能であるので、詳細な説明は省略する。

【 0 0 5 6 】

工程 1 . (図 9 (a))

ガラス基板 S U B 1 の液晶側の面に、下地膜 I N 1 及びゲート電極 G T 、ゲート絶縁膜 G I 、半導体層 A S 、ドレイン電極 D T 、ソース電極 S T を形成し、アモルファスシリコン T F T の薄膜トランジスタ T F T を形成する。なお、この工程 1 は実施形態 1 の工程 1 と同じである。

20

【 0 0 5 7 】

工程 2 . (図 9 (b))

薄膜トランジスタ T F T を保護するために無機質材料である窒化シリコン膜からなる保護絶縁膜 P A S i をガラス基板 S U B 1 の上面側（基板の液晶側）の全面に形成し、薄膜トランジスタ T F T の保護膜とする。この保護絶縁膜 P A S i の上層（基板の液晶側）に公知のスピンコート法等により、アクリル膜からなる平坦化膜 P A S o をガラス基板 S U B 1 の上面側に形成し、薄膜トランジスタ T F T をはじめとしたゲート線 G L 、ドレイン線 D L 、コモン線 C L 等の形成に伴うガラス基板 S U B 1 の上面の凹凸を平坦化する。なお、工程 2 における平坦化膜 P A S o の形成までの工程は、実施形態 1 と同じである。また、本実施形態 2 の液晶表示装置の第 1 基板 S U B 1 においても保護絶縁膜 P A S i と平坦化膜 P A S o とで保護膜を構成する。

30

【 0 0 5 8 】

次に、平坦化膜 P A S o の上層に例えば窒化シリコン膜からなるトレンチ絶縁膜 T I を成膜する。その後、このトレンチ絶縁膜 T I を平坦化膜 P A S o が露出するまでエッチングし、トレンチ T F を形成する。なお、トレンチ絶縁膜 T I のエッチング領域は実施形態 1 と同様に、後の工程で画素電極 P X が形成される領域である。また、トレンチ絶縁膜 T I のエッチング量を制御することによりトレンチ T I の深さを制御することは可能であるが、トレンチ絶縁膜 T I の膜厚を制御し平坦化膜 P A S o までエッチングしてトレンチ T I を形成する方が、より正確にトレンチ T I の深さを制御可能である。

40

【 0 0 5 9 】

工程 3 . (図 9 (c))

実施形態 1 と同様に、透明電極材料である I T O で対向電極 C T を形成する。このとき、エッチングで形成されたトレンチ T I の底部からトレンチ T I の縁に沿ってエッチングされていない領域までの上層部分が I T O 膜で形成された対向電極 C T で覆われた構造となる。

【 0 0 6 0 】

次に、塗布型絶縁膜を成膜し 2 0 0 度程度の熱処理により焼成処理を行うことにより、ガラス基板 S U B 1 の上面側の全面に容量絶縁膜 C I を形成する。なお、このときも実施形態 1 における容量絶縁膜 C I の形成時と同様に、対向電極 C T となる I T O 膜も同時に

50

熱処理されるため、ITO膜がアモルファス状態から多結晶状態に変化する。

【0061】

工程4.(図9(d))

容量絶縁膜CIをトレンチ絶縁膜TIの高さまでエッチングすることによって、トレンチTF部分以外の対向電極CTを容量絶縁膜CIから露出させると共に、トレンチTF部分のみに容量絶縁膜CIを形成する。この工程により、画素電極PXと同層に形成される線状の対向電極CTを形成する。ただし、要領絶縁膜CIの高さは対向電極CTとなるITO膜よりも低くなるように形成することが望ましい。

【0062】

工程5.(図9(e))

トレンチ絶縁膜TIから平坦化層PASoと保護絶縁膜PASiを貫通し、ソース電極STのパッド部に達するコンタクトホールTH1を形成する。

【0063】

工程6.(図8)

コンタクトホールTH1部分とトレンチTFが形成される領域内にITOを電極材料とする画素電極PXを形成することにより、薄膜トランジスタTFのソース電極STに接続される画素電極PXを形成する。この工程により、線状の対向電極CTの間に、この対向電極CTと同層となる線状の画素電極PXが形成される。

【0064】

以上説明したように、実施形態2の液晶表示装置においても、画素PIXの表示にかかわる領域では、トレンチ絶縁膜TIの上面に形成された線状の対向電極CTの間に線状の画素電極PXが配置される構成となるので、トレンチ絶縁膜TIの上面(溝と溝の間)に形成された対向電極CTと画素電極PXとの間に容量絶縁膜CIが介在しない構成となる。従って、液晶駆動信号は容量絶縁膜内部又は液晶/容量絶縁膜界面の固定電荷の影響をほとんど受けない構成とすることができるので、フリッカを大幅に低減させた液晶表示装置を提供することができる。

【0065】

また、容量絶縁膜CIがトレンチTFを埋め込んだ構造となっているので、ガラス基板SUB1の上面の段差もITO電極の膜厚程度に抑えることが可能となるので、配向膜のラビング不良を効果的に抑制できる。

【0066】

また、容量絶縁膜CIの高さを対向電極CTよりも低くすることにより、画素電極PXと対向電極CTとの間の電界が強くすることができるので、液晶の応答を速くすることができる。

【0067】

前述する効果に加えて、実施形態2の液晶表示装置では、トレンチTFを形成するための膜(トレンチ絶縁膜TI)を平坦化膜PASoとは別に設け、その膜をエッチング加工することによりトレンチTFを形成するので、トレンチ深さ等の制御が容易である。従って、トレンチTIを浅く形成する(すなわち、容量絶縁膜CIを薄く形成する)ことが容易に可能となり、(第1基板SUB1の上面側(図示しない液晶層LC側)の平坦性を損なうことなく)保持容量を大きくできるという格別の効果を得ることが可能となる。

【0068】

(実施形態3)

図10は本発明の実施形態1の液晶表示装置の概略構成を説明するための1画素分の液晶表示素子の平面図であり、図11は図10に示すC-C'線での断面図である。

【0069】

図10から明らかなように、実施形態3の液晶表示装置では平坦化膜PASoにトレンチTFを形成し、このトレンチTF領域に容量絶縁膜CIを介して画素電極PXを形成する構成となっているので、以下の説明では実施の形態1の液晶表示装置と構成が異なるコンタクトホールTH1の構成について詳細に説明する。

【 0 0 7 0 】

図 1 0 に示す実施形態 3 の液晶表示装置は、薄膜トランジスタ T F T のソース電極 S T と画素電極 P X とを電氣的に接続するためのコンタクトホール T H 1 が形成される領域に、対向電極 C T を形成するのと同じ I T O を用いてコンタクトホール電極 T H T が形成される構成となっている。コンタクトホール電極 T H T の一方はソース電極 S T に電氣的に接続される構成となっており、他方は画素電極 P X に電氣的に接続される構成となっている。このとき、図 1 0 から明らかなように、対向電極 C T とコンタクトホール電極 T H T とが電氣的に接続されないように、対向電極 C T とコンタクトホール電極 T H T とは所定の距離を保って形成されている。

【 0 0 7 1 】

10

また、図 1 1 に示すように、実施の形態 3 の液晶表示装置ではコンタクトホール電極 T H T の上層に容量絶縁膜 C I が平坦化膜 P A S o の高さまで形成されており、この容量絶縁膜 C I とコンタクトホール電極 T H T の上層に画素電極 P X が形成される構成となっている。一方、薄膜トランジスタ T F T や画素電極 P X が形成される領域の上面（液晶層）側は、実施の形態 1 の液晶表示装置と同じ構成となっているので、ガラス基板 S U B 1 の上面全体の段差も I T O 電極の膜厚程度に抑えることが可能となっている。その結果、図示しない配向膜のラビング不良を効果的に抑制できる。

【 0 0 7 2 】

次に、図 1 2 に実施形態 3 の液晶表示装置の製造方法の一実施形態を示す工程図を示し、以下、図 1 2 に基づいて製造方法を工程順に説明する。なお、実施形態 1、2 と同様に、各工程における電極の形成を含む薄膜の形成は公知のフォトリソグラフィ技術により可能であるので、詳細な説明は省略する。

20

【 0 0 7 3 】

工程 1 . (図 1 2 (a))

ガラス基板 S U B 1 の液晶 L C 側の面に、下地膜 I N 1 及びゲート電極 G T 、ゲート絶縁膜 G I 、半導体層 A S 、ドレイン電極 D T 、ソース電極 S T を形成し、アモルファスシリコン T F T の薄膜トランジスタ T F T を形成する。なお、この工程 1 は実施形態 1、2 の工程 1 と同じである。

【 0 0 7 4 】

工程 2 . (図 1 2 (b))

30

薄膜トランジスタ T F T を保護するために無機質材料である窒化シリコン膜からなる保護絶縁膜 P A S i をガラス基板 S U B 1 の上面側（基板の液晶 L C 側）の全面に形成し、薄膜トランジスタ T F T の保護膜とする。この保護絶縁膜 P A S i の上層（基板の液晶 L C 側）に公知のスピンコート法等により、アクリル膜からなる平坦化膜 P A S o をガラス基板 S U B 1 の上面側に形成し、薄膜トランジスタ T F T をはじめとしたゲート線 G L 、ドレイン線 D L 、コモン線 C L 等の形成に伴うガラス基板 S U B 1 の上面の凹凸を平坦化する。なお、工程 2 における平坦化膜 P A S o の形成までの工程は、実施形態 1、2 と同じである。また、本実施形態 3 の液晶表示装置の第 1 基板 S U B 1 においても保護絶縁膜 P A S i と平坦化膜 P A S o とで保護膜を構成する。

【 0 0 7 5 】

40

その後、平坦化層 P A S o と保護絶縁膜 P A S i を貫通し、ソース電極 S T のパッド部に達するコンタクトホール T H 1 を形成する。

【 0 0 7 6 】

工程 3 . (図 1 2 (c))

次に、平坦化膜 P A S o の上面に、画素電極 P X の形状に沿ったトレンチ T F を形成する。

【 0 0 7 7 】

工程 4 . (図 1 2 (d))

次に、透明電極材料である I T O で対向電極 C T を形成すると共に、コンタクトホール T H 1 部分にコンタクトホール電極 T H T を形成する。なお、コンタクトホール電極 T H

50

Tを除く対向電極CTの構成は、実施形態1と同様に構成である。

【0078】

工程5.(図12(e))

次に、実施形態1と同様に、塗布型絶縁膜を成膜し200度程度の熱処理により焼成処理を行い全面に容量絶縁膜CIを形成し、この容量絶縁膜CIを平坦化膜PASoの高さまでエッチングすることによって、コンタクトホール電極TH1の上部とトレンチTF部分以外の対向電極CTを容量絶縁膜CIから露出させる。ただし、容量絶縁膜CIの高さは対向電極CTとなるITO膜よりも低くなるように形成することが望ましい

工程6(図11)

コンタクトホールTH1部分とトレンチTFが形成される領域内にITOを電極材料とする画素電極PXを形成することにより、コンタクトホール電極TH1を介して薄膜トランジスタTFTのソース電極STに接続される画素電極PXを形成する。このとき、実施形態3ではコンタクトホールTH1を平坦化しているの、コンタクトホールTH1の上部においても液晶ギャップを均一にできる。

【0079】

以上説明したように、実施形態3の液晶表示装置においても、画素電極PXと対向電極CTの構成は実施形態1と同様の構成、すなわち画素PIXの表示にかかわる領域では平坦化膜PASoの上部に形成された線状の対向電極CTの間に線状の画素電極PXが配置される構成となるので、液晶駆動信号は容量絶縁膜内部又は液晶/容量絶縁膜界面の固定電荷の影響をほとんど受けない構成とすることができ、フリッカを大幅に低減させた液晶表示装置を提供することができる。

【0080】

また、容量絶縁膜CIがトレンチTFを埋め込んだ構造となっているので、ガラス基板SUB1の上面の段差もITO電極の膜厚程度に抑えることが可能となるので、配向膜のラビング不良を効果的に抑制できる。

【0081】

また、容量絶縁膜CIの高さを対向電極CTよりも低くすることにより、画素電極PXと対向電極CTとの間の電界が強くすることができるので、液晶の応答を速くすることができる。

【0082】

前述する効果に加えて、実施形態3の液晶表示装置では、コンタクトホールTH1を平坦化しているの、コンタクトホールTH1の上部においても液晶ギャップを均一にできるという格別の効果を得ることができる。その結果、コンタクトホールTH1領域における光の屈折等を大幅に低減でき、ブラックマトリクス幅の大幅な低減やブラックマトリクスの廃止等が可能となるので、開口率を向上させることができるという格別の効果を得ることが可能となる。

【0083】

(実施形態4)

図13は本発明の実施形態4の液晶表示装置の概略構成を説明するための断面図である。ただし、図13は実施形態1の図1に相当する第1基板の断面図であり、実施形態3の図10のC-C'線での断面図に相当する。なお、実施形態4のLCD構成図、画素平面図は、それぞれ実施形態1の図5、実施形態3の図10と同様である。

【0084】

図13から明らかなように、実施形態4の液晶表示装置は実施形態2の液晶表示装置の構成に実施形態3の液晶表示装置のコンタクトホールの構成を適応した構成となっている。

【0085】

すなわち、実施形態4の液晶表示装置は平坦化膜PASoの上層にトレンチ絶縁膜TIが形成され、このトレンチ絶縁膜TIにトレンチTFを形成し、容量絶縁膜CIを介して画素電極PXを形成する構成となっている。また、コンタクトホール部分の構成は、コン

タクトホール電極 T H T の上層に容量絶縁膜 C I がトレンチ絶縁膜 T I の高さまで形成され、この容量絶縁膜 C I とコンタクトホール電極 T H T の上層に画素電極 P X が形成される構成となっている。このとき、対向電極 C T とコンタクトホール電極 T H T とが電氣的に接続されないように、対向電極 C T とコンタクトホール電極 T H T とは所定の距離を保って形成されている。

【 0 0 8 6 】

次に、図 1 4 に実施形態 4 の液晶表示装置の製造方法の一実施形態を示す工程図を示し、以下、図 1 4 に基づいて製造方法を工程順に説明する。なお、実施形態 1 と同様に、各工程における電極の形成を含む薄膜の形成は公知のフォトリソグラフィ技術により可能であるので、詳細な説明は省略する。

10

【 0 0 8 7 】

工程 1 . (図 1 4 (a))

ガラス基板 S U B 1 の液晶 L C 側の面に、下地膜 I N 1 及びゲート電極 G T 、ゲート絶縁膜 G I 、半導体層 A S 、ドレイン電極 D T 、ソース電極 S T を形成し、アモルファスシリコン T F T の薄膜トランジスタ T F T を形成する。なお、この工程 1 は実施形態 1 の工程 1 と同じである。

【 0 0 8 8 】

工程 2 . (図 1 4 (b))

薄膜トランジスタ T F T を保護するために無機質材料である窒化シリコン膜からなる保護絶縁膜 P A S i をガラス基板 S U B 1 の上面側 (基板の液晶 L C 側) の全面に形成し、薄膜トランジスタ T F T の保護膜とする。この保護絶縁膜 P A S i の上層 (基板の液晶 L C 側) に公知のスピンコート法等により、アクリル膜からなる平坦化膜 P A S o をガラス基板 S U B 1 の上面側に形成し、薄膜トランジスタ T F T をはじめとしたゲート線 G L 、ドレイン線 D L 、コモン線 C L 等の形成に伴うガラス基板 S U B 1 の上面の凹凸を平坦化する。次に、平坦化膜 P A S o の上層に例えば窒化シリコン膜からなるトレンチ絶縁膜 T I を成膜する。なお、工程 2 におけるトレンチ絶縁膜 T I の形成までの工程は、実施形態 2 と同じである。また、本実施形態 4 の液晶表示装置の第 1 基板 S U B 1 においても保護絶縁膜 P A S i と平坦化膜 P A S o とで保護膜を構成する。

20

【 0 0 8 9 】

この後、このトレンチ絶縁膜 T I を平坦化膜 P A S o が露出するまでエッチングし、対向電極 C T 及び画素電極 P X を形成するトレンチ T F とコンタクトホールを形成する部分のトレンチ T F 1 を形成する。

30

【 0 0 9 0 】

工程 3 (図 1 4 (c))

工程 2 で形成したトレンチ T F 1 領域内に、平坦化層 P A S o と保護絶縁膜 P A S i を貫通し、ソース電極 S T のパッド部に達するコンタクトホール T H 1 を形成する。

【 0 0 9 1 】

工程 4 . (図 1 4 (d))

透明電極材料である I T O で対向電極 C T を形成すると共に、コンタクトホール T H 1 部分にコンタクトホール電極 T H T を形成する。次に、実施形態 2 と同様に、塗布型絶縁膜を成膜し 2 0 0 度程度の熱処理により焼成処理を行い全面に容量絶縁膜 C I を形成し、この容量絶縁膜 C I をトレンチ絶縁膜 T I の高さまでエッチングすることによって、コンタクトホール電極 T H T の上部とトレンチ T F 部分以外の対向電極 C T を容量絶縁膜 C I から露出させる。

40

【 0 0 9 2 】

工程 5 (図 1 3)

コンタクトホール T H 1 部分とトレンチ T F が形成される領域内に I T O を電極材料とする画素電極 P X を形成することにより、コンタクトホール電極 T H T を介して薄膜トランジスタ T F T のソース電極 S T に接続される画素電極 P X を形成する。このとき、実施形態 4 でもコンタクトホール T H 1 を平坦化しているので、コンタクトホール T H 1 の上

50

部においても液晶ギャップを均一にできる。

【0093】

以上説明したように、実施形態4の液晶表示装置は実施形態2と実施形態3の液晶表示装置の効果をそれぞれ併せ持つことが出来る。例えば、画素PIXの表示にかかわる領域ではトレンチ絶縁膜TIの上面に形成された線状の対向電極CTの間に線状の画素電極PXが配置される構成となるので、トレンチ絶縁膜TIの上面（溝と溝の間）に形成された対向電極CTと画素電極PXとの間に容量絶縁膜CIが介在しない構成となる。従って、液晶駆動信号は容量絶縁膜内部又は液晶／容量絶縁膜界面の固定電荷の影響をほとんど受けない構成とすることができるので、フリッカを大幅に低減させた液晶表示装置を提供することができる。

10

【0094】

さらには、実施形態2と実施形態3の液晶表示装置の効果の他に、コンタクトホールの平坦化による開口率の向上および、容量絶縁膜の薄膜化による保持容量の向上を同時に図ることができるという格別の効果を得ることができる。

【0095】

（実施形態5）

図15は本発明の実施形態1の液晶表示装置の概略構成を説明するための1画素分の液晶表示素子の平面図であり、図16は図15に示すD-D'線での断面図である。なお、後述するように、画素電極PXと同層に形成された上層対向電極CT2との間には容量絶縁膜CIが介在しないので液晶容量C_{lc}のみが形成され、薄膜トランジスタTFTのソースには保持容量C_{st1}と液晶容量C_{lc}とが並列に接続されるのみの構成となる。

20

【0096】

図15に基づいて、実施形態5の液晶表示装置の第1基板の詳細構成について説明する。なお、以下の説明では1画素分について説明するが、他の画素の構造も同じ構成であることはいうまでもない。また、説明を簡単にするために2本の画素電極PXが櫛歯状に形成される場合について説明するが、これに限定されることはなく3本以上の画素電極PXを櫛歯状に配置した形状にも適用できるものである。

【0097】

図15に示すように、実施形態5の液晶表示装置の第1基板SUB1では、下層対向電極CT1と画素電極PXとの位置関係は従来の液晶表示装置と同様の構成であり、下層対向電極CT1の上層に形成した容量絶縁膜CIを介して画素電極PXが配置される構成となっている。

30

【0098】

また、実施形態5の液晶表示装置では、画素電極PXと同層すなわち容量絶縁膜CIの上層に上層対向電極CT2が当該容量絶縁膜CIの上面を覆うように形成されている。このとき、画素電極PXと上層対向電極CT2とが電氣的に接続しないようにするために、上層対向電極CT2は画素電極PXを避けるように当該画素電極PXの外周に沿って形成されている。従って、画素電極PXが形成される領域では、上層対向電極CT2の形状も櫛歯状に形成されることとなる。

【0099】

また、上層対向電極CT2はITOで形成され、コンタクトホールTH4を介してコモン線CLに直接接続される。一方、ITOで形成される下層対向電極CT1は、コンタクトホールTH3を介して上層対向電極CT2に接続される構成となっている。従って、下層対向電極CT1と上層対向電極CT2とにコモン信号が供給され、同電位である。

40

【0100】

また、画素電極PXも櫛歯状に形成されたITOで構成されており、平坦化膜PASoと保護絶縁膜PAsiに形成されたコンタクトホールTH1を通して薄膜トランジスタTFTのソース電極STに電氣的に接続されている。従って、画素PIXの表示にかかわる領域では、画素電極PXと同層に形成される線状の上層対向電極CT2の間に画素電極PXが配置される構成となる。

50

【0101】

一方、ドレイン線DLはゲート線GLとの交差部の一部において薄膜トランジスタTF Tの形成領域側に延在され、この延在部が半導体層ASの上面にまで及んで薄膜トランジスタTF Tのドレイン電極DTを構成している。

【0102】

次に、図16に基づいて、本実施形態1の液晶表示装置の構造を詳細に説明する。図16に示すように、実施形態5の液晶表示装置における第1基板SUB 1では、ガラス基板SUB 1の上層に薄膜トランジスタTF Tを保護するための下地膜IN 1が形成され、その上層にゲート電極GT及びゲート絶縁膜GI、半導体層AS、ドレイン電極DT、ソース電極ST等からなる薄膜トランジスタTF Tが形成されている。この薄膜トランジスタTF Tを図示しない液晶層に含まれるアルカリ成分等から保護するために、薄膜トランジスタTF Tの上層を含むガラス基板SUB 1の全面に保護絶縁膜PAS iが形成されている。この保護絶縁膜PAS iの上層には平坦化膜PAS oが積層されている。

10

【0103】

平坦化膜PAS oの上層に形成される下層対向電極CT 1は、従来の対向電極と同様に、隣接する一对のゲート線GLとコモン線CLに囲まれる領域内でコンタクトホールTH 1を避けるように形成され、ゲート線GLの延在方向（ドレイン線DLの配列方向）に配列される各画素に共通に共通信号を供給する構成となっている。同様に、上層対向電極CT 2は、コンタクトホールTH 1を含む画素電極PXを避けるように形成され、ゲート線GLの延在方向（ドレイン線DLの配列方向）に配列される各画素に共通にコモン信号を供給する構成となっている。

20

【0104】

また、画素PIXの表示にかかわる領域では、画素電極PXと同層に形成される線状の上層対向電極CT 2の間に、線状の画素電極PXが配置される構成となっている。

【0105】

次に、図17に実施形態5の液晶表示装置の製造方法の一実施形態を示す工程図を示し、以下、図17に基づいて製造方法を工程順に説明する。なお、実施形態1～4と同様に、各工程における電極の形成を含む薄膜の形成は公知のフォトリソグラフィ技術により可能であるので、詳細な説明は省略する。

【0106】

30

工程1．（図17（a））

ガラス基板SUB 1の液晶LC側の面に、下地膜IN 1及びゲート電極GT、ゲート絶縁膜GI、半導体層AS、ドレイン電極DT、ソース電極STを形成し、アモルファスシリコンTF Tの薄膜トランジスタTF Tを形成する。なお、この工程1は実施形態1の工程1と同じである。

【0107】

工程2．（図17（b））

薄膜トランジスタTF Tを保護するために無機質材料である窒化シリコン膜からなる保護絶縁膜PAS iをガラス基板SUB 1の上面側（基板の液晶LC側）の全面に形成し、薄膜トランジスタTF Tの保護膜とする。この保護絶縁膜PAS iの上層（基板の液晶LC側）に公知のスピンコート法等により、アクリル膜からなる平坦化膜PAS oをガラス基板SUB 1の上面側に形成し、薄膜トランジスタTF Tをはじめとしたゲート線GL、ドレイン線DL、コモン線CL等の形成に伴うガラス基板SUB 1の上面の凹凸を平坦化する。次に、平坦化膜PAS oの上層に透明電極材料であるITOで下層対向電極CT 1を形成する。

40

【0108】

工程3（図17（c））

次に、塗布型絶縁膜を成膜し200度程度の熱処理により焼成処理を行い全面に容量絶縁膜CIを形成する。次に、容量絶縁膜CIに下層対向電極CT 1に達するコンタクトホールTH 3、並びに平坦化層PAS oと保護絶縁膜PAS iを貫通しソース電極STのバ

50

ッド部に達するコンタクトホールＴＨ１、及び平坦化層ＰＡＳｏと保護絶縁膜ＰＡＳｉを貫通しコモン線ＣＬに達するコンタクトホールＴＨ４を形成する。

【０１０９】

工程４．（図１６）

次に、容量絶縁膜ＣＩの上層に、ＩＴＯを電極材料とする画素電極ＰＸ及び上層対向電極ＣＴ２を形成することにより、薄膜トランジスタＴＦＴのソース電極ＳＴに電氣的に接続される画素電極ＰＸと、コモン線ＣＬに電氣的に接続される上層対向電極ＣＴ２とを形成する。

【０１１０】

このように、実施形態５では平坦化膜ＰＡＳｏの上面側に形成される対向電極（下層対向電極ＣＴ１）及び容量絶縁膜ＣＩ、画素電極ＰＸそれぞれの形状や位置関係はそのままに、画素電極ＰＸと同層に、下層対向電極ＣＴ１と同電位の上層対向電極ＣＴ２を形成する構成となっているので、安価な液晶表示装置を提供することができる。

10

【０１１１】

また、本実施形態５の液晶表示装置では、画素ＰＩＸの表示にかかわる領域では、平坦化膜ＰＡＳｏの上層に形成された線状の上層対向電極ＣＴ２の間に、線状の画素電極ＰＸが配置される構成となるので、上層対向電極ＣＴ２と画素電極ＰＸとの間に容量絶縁膜ＣＩが介在しない構成となる。従って、液晶駆動信号は容量絶縁膜内部又は液晶／容量絶縁膜界面の固定電荷の影響をほとんど受けない構成とすることができるので、フリッカを大幅に低減させた液晶表示装置を提供することができる。

20

【０１１２】

また、ガラス基板ＳＵＢ１の上面の段差もＩＴＯ電極の膜厚程度に抑えることが可能となるので、配向膜のラビング不良を効果的に抑制できる。

【０１１３】

実施形態１から実施形態５に記載の液晶表示装置において、絶縁性基板ＳＵＢ１はガラスに限らず、石英ガラスやプラスチックのような他の絶縁性基板であってもよい。たとえば、石英ガラスを用いれば、プロセス温度を高くできるため、ゲート絶縁膜を緻密化できＴＦＴの信頼性が向上する。また、プラスチック基板を用いれば、軽量で、耐衝撃性に優れた画像表示装置を提供できる。

【０１１４】

30

また、透明電極としてＩＴＯ電極を用いた場合について説明したが、ＩＴＯ電極に限定されることはなく公知のＺｎＯ系透明電極を用いてもよい。

【０１１５】

さらには、実施形態１～５の液晶表示装置においては、面状に形成される電極を対向電極ＣＴとし、櫛歯状に形成される電極を画素電極ＰＸとしたが、これに限定されることはなく、面状に形成される電極に薄膜トランジスタＴＦＴを接続して画素電極ＰＸとし、櫛歯状に形成される電極にコモン線ＣＬを接続して対向電極ＣＴとしてもよい。

【図面の簡単な説明】

【０１１６】

【図１】本発明の実施形態１の液晶表示装置を説明するための画素領域断面図である。

40

【図２】従来の液晶表示装置の回路図である。

【図３】従来の液晶表示装置の１画素分の液晶表示素子の平面図である。

【図４】従来の液晶表示装置を説明するための画素領域断面図である。

【図５】本発明の実施形態１の液晶表示装置の回路図である。

【図６】本発明の実施形態１の液晶表示装置の１画素分の液晶表示素子の平面図である。

【図７ａ－ｃ】本発明の実施形態１の液晶表示装置の製造方法の一実施形態の一連の工程を図７ｄ－ｅと共に示す工程図である。

【図７ｄ－ｅ】本発明の実施形態１の液晶表示装置の製造方法の一実施形態の一連の工程を図７ａ－ｃと共に示す工程図である。

【図８】本発明の実施形態２の液晶表示装置を説明するための画素領域断面図である。

50

【図 9 a - b】本発明の実施形態 2 の液晶表示装置の製造方法の一実施形態の一連の工程を図 9 c - e と共に示す工程図である。

【図 9 c - e】本発明の実施形態 2 の液晶表示装置の製造方法の一実施形態の一連の工程を図 9 a - b と共に示す工程図である。

【図 10】本発明の実施形態 3 の液晶表示装置の 1 画素分の液晶表示素子の平面図である。

【図 11】本発明の実施形態 3 の液晶表示装置を説明するための画素領域断面図である。

【図 12 a - c】本発明の実施形態 3 の液晶表示装置の製造方法の一実施形態の一連の工程を図 12 d - e と共に示す工程図である。

【図 12 d - e】本発明の実施形態 3 の液晶表示装置の製造方法の一実施形態の一連の工程を図 12 a - c と共に示す工程図である。

【図 13】本発明の実施形態 4 の液晶表示装置を説明するための画素領域断面図である。

【図 14 a - b】本発明の実施形態 4 の液晶表示装置の製造方法の一実施形態の一連の工程を図 14 c - d と共に示す工程図である。

【図 14 c - d】本発明の実施形態 4 の液晶表示装置の製造方法の一実施形態の一連の工程を図 14 a - b と共に示す工程図である。

【図 15】本発明の実施形態 5 の液晶表示装置の 1 画素分の液晶表示素子の平面図である。

【図 16】本発明の実施形態 5 の液晶表示装置を説明するための画素領域断面図である。

【図 17】本発明の実施形態 5 の液晶表示装置の製造方法の一実施形態を示す工程図である。

【図 18】本発明の実施形態 1 の液晶表示装置の概略構成図である。

【符号の説明】

【0117】

G L . . . ゲート線、D L . . . ドレイン線、C L . . . コモン線、P I X . . . 画素

A R . . . 液晶表示領域、C l c . . . 液晶容量、C s t 1 . . . 保持容量

C s t 2 . . . 絶縁膜容量、S C D v . . . ゲートドライバ、

S C D h . . . ドレインドライバ、P X . . . 画素電極、C T . . . 対向電極

C T 1 . . . 下層対向電極、C T 2 . . . 上層対向電極、T F T . . . 薄膜トランジスタ

T H 1 , T H 2 , T H 3 , T H 4 . . . コンタクトホール

T F , T F 1 . . . トレンチ (溝)、S U B 1 , S U B 2 . . . 第 1 基板、ガラス基板

I N 1 . . . 下地膜、G I . . . ゲート絶縁膜、P A S i . . . 保護絶縁膜

P A S o . . . 平坦化膜、C I . . . 容量絶縁膜、G T . . . ゲート電極

S T . . . ソース電極、D T . . . ドレイン電極、A S . . . 半導体層

T H T . . . コンタクトホール電極、B M . . . ブラックマトリクス、L C . . . 液晶層

C F . . . カラーフィルタ、O R I 1 , O R I 2 . . . 配向膜、P L . . . 偏光板

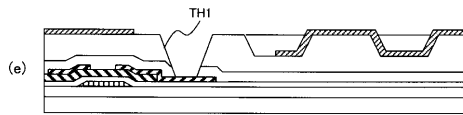
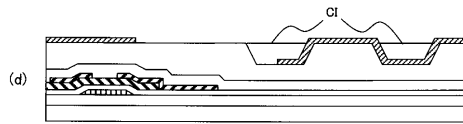
T I . . . トレンチ絶縁膜

10

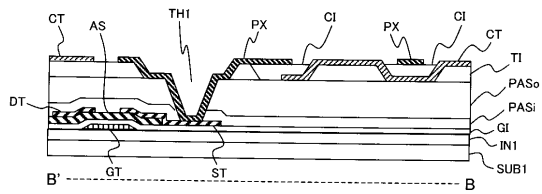
20

30

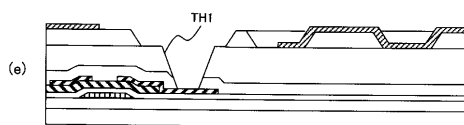
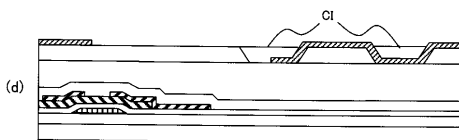
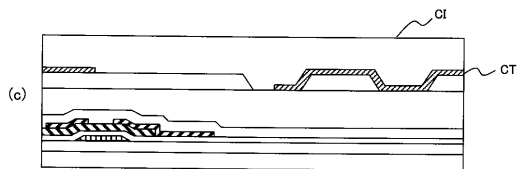
【図 7 d - e】



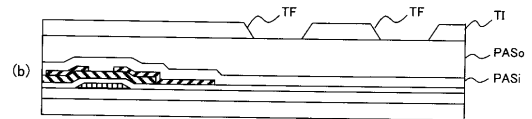
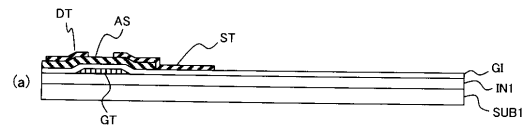
【図 8】



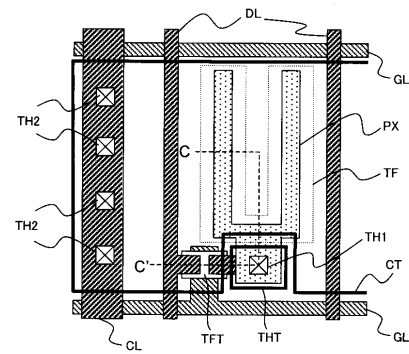
【図 9 c - e】



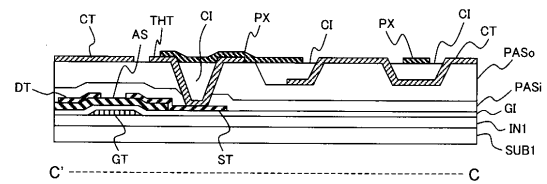
【図 9 a - b】



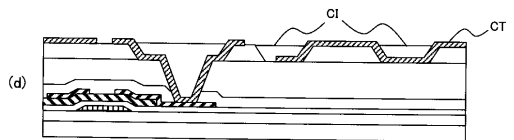
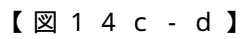
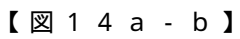
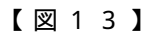
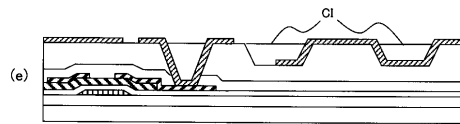
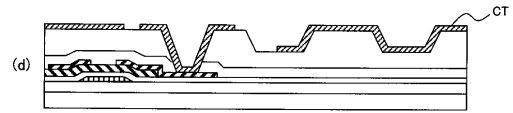
【図 10】



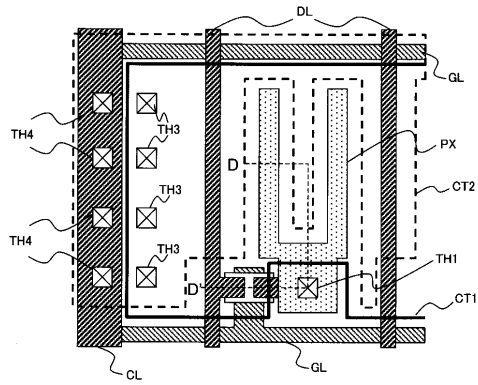
【図 11】



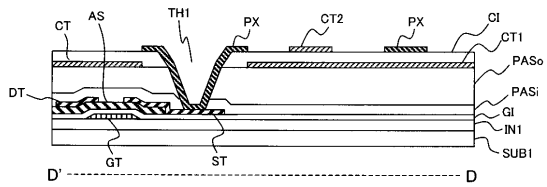
【 図 1 2 d - e 】



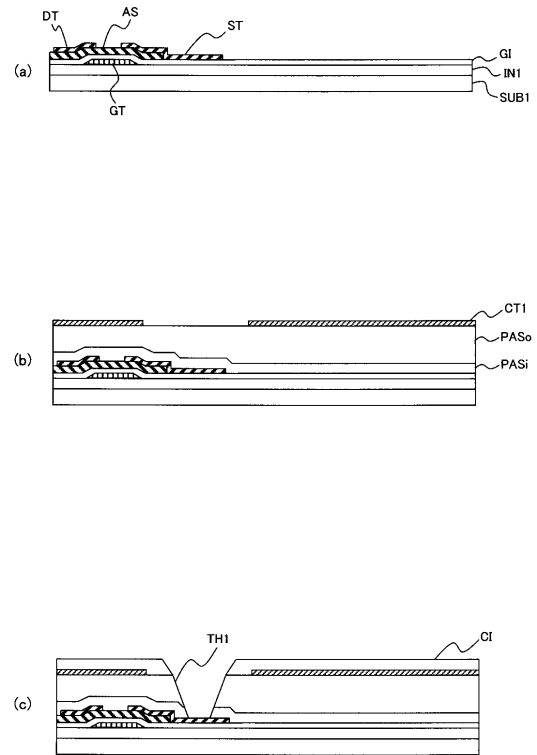
【図 15】



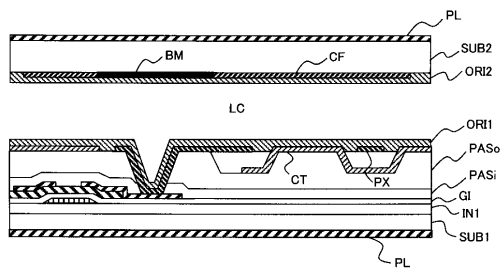
【図 16】



【図 17】



【図 18】



フロントページの続き

F ターム(参考) 2H092 GA14 GA15 GA16 GA17 HA07 JA24 JB05 JB06 JB16 JB56
JB65 KB25 MA13 NA01 NA11 NA23 PA02 PA06 QA06