

發明專利說明書 200423446

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 92135757

※ 申請日期： 92.12.17 ※IPC 分類： H01L 49/00

壹、發明名稱：(中文/英文)

防止破壞之封裝及手法

TAMPER-RESISTANT PACKAGING AND APPROACH

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

荷蘭商皇家飛利浦電子股份有限公司

KONINKLIJKE PHILIPS ELECTRONICS N.V.

代表人：(中文/英文)

J L 凡 德 渥

VAN DER VEER, J. L.

住居所或營業所地址：(中文/英文)

荷蘭愛因和文市格羅尼渥街1號

GROENEWOUDSEWEG 1, 5621 BA EINDHOVEN, THE
NETHERLANDS

國 籍：(中文/英文)

荷蘭 THE NETHERLANDS

參、發明人：(共 1人)

姓 名：(中文/英文)

卡爾 可納森

KNUDSEN, CARL

住居所地址：(中文/英文)

美國加州聖荷西麥可凱路1109號

1109 MCKAY DRIVE, M/S-41SJ, SAN JOSE, CALIFORNIA 95131,
U.S.A.

國 籍：(中文/英文)

美國 U.S.A.

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為： 年 月 日。

☒ **本案申請前已向下列國家（地區）申請專利：**

1. 美國；2002年12月18日；60/434,829

2.

3.

4.

5.

☒ **主張國際優先權(專利法第二十四條)：**

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國；2002年12月18日；60/434,829

2.

3.

4.

5.

☐ **主張國內優先權(專利法第二十五條之一)：**

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ **主張專利法第二十六條微生物：**

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係關於裝置封裝，更特定言之，係關於用於(例如)積體電路之項目的防止破壞之封裝。

【先前技術】

封裝在產品保護與安全方面，發揮重要作用。例如，在電子與軟體應用中，封裝對於確保產品免受損害與破壞而言很重要。在儲存在一特定封裝內的資訊為私有財產的應用中，防止破壞尤其重要。例如，在記憶體應用中，有時希望防止存取儲存在一電路中的資料。

已使用過各種保護儲存的資料之手法。例如，在SRAM應用中，當移除用於儲存資料之電路中的電源時，會丟失記憶。當偵測到破壞時，移除電源，可因此抹除儲存的資料。當此方手法涉及電池備份時，亦可將電池電源移除以回應破壞。

在其他記憶體應用中，電源對於儲存資料而言，並非必需。例如，在磁性記憶體應用中，儲存記憶之方式不需要電源維持該記憶體，因此，為非揮發性。用一區域的磁性狀態來改變靠近該區域之材料的電阻之某些類型的磁性記憶體單元統稱為磁阻(magnetoresistive；MR)記憶體單元。經常稱磁性記憶體單元陣列為磁性隨機存取記憶體(magnetic random access memory；MRAM)。在MRAM應用中，記憶體單元通常在字元線與感應線的交點上形成，且每一記憶體單元通常具有由導電層或絕緣層分離的磁性

層。當置於一磁場中時，此種記憶體應用中使用的磁阻金屬的電阻會出現變化。有關於此，該MRAM單元具有兩個穩定的磁性組態，其一具有較高的電阻，而另一則具有較低的電阻(例如，具有較高電阻代表一邏輯狀態0，而較低電阻代表一邏輯狀態1)。將該裝置的該磁性狀態(即，磁性電荷)做為資料來管理並讀取，從而使用一儀器來探測該MRAM單元位於其上的一積體電路以完成讀取。

對依靠電源來維持記憶體的應用中的記憶體之保護，以及對並非必需電源來維持記憶體的應用中的記憶體(即，非揮發性)的保護，面臨挑戰。特定言之，對非揮發性記憶體的保護面臨挑戰係由於，涉及電源相關的破壞保護的典型手法對非揮發記憶體沒有作用。明確而言，移除電源並不會使記憶丟失。此外，先前使用的用以藉由探測保護非揮發性與揮發性記憶體之技術，趨於依靠透過一時脈流中的干擾或電容負載的突然增大之一探測器偵測。當使用非導電與/或非接觸探測技術時，先前可用的探測器偵測技術的作用則較為有限。此等及其他困難都向各種應用之破壞保護與封裝的實施提出了挑戰。

【發明內容】

本發明的各個方面涉及對各種積體電路(例如，記憶體電路以及其他)的破壞保護。本發明以數個實施方案與應用的範例說明，以下將概述部分範例。

根據一項示範性具體實施例，一積體電路配置包括具有複數個磁性回應電路節點之一積體電路裝置。該積體電路

配置亦包括一封裝，該封裝包括複數個磁化粒子，其中該封裝適用於抑制對該積體電路裝置的存取。該磁性回應電路節點磁性回應該等複數個磁化粒子，從而該等磁化粒子共同提供的該磁場的變化表現為該等磁性回應電路節點中的至少一個的磁性狀態的變化。

根據另一項示範性具體實施例，一積體電路配置包括一積體電路晶片與複數個磁性回應記憶體元件，其適用於儲存邏輯狀態，該邏輯狀態為將一磁場施加在該磁性回應記憶體元件之上的一磁性元件之磁性狀態的一函數。該積體電路配置進一步包括覆蓋該積體電路晶片的至少一部分之封裝，其防止存取該積體電路晶片的該部分。該封裝亦包括複數個磁性粒子，至少該等複數個磁性回應記憶體元件中的某些在此具有一邏輯狀態，該邏輯狀態回應由該等複數個磁性粒子中的至少一個產生的一磁場。在該積體電路配置中，還包括一破壞保護電路，其適用於偵測該等複數個磁性回應記憶體元件中至少一些的邏輯狀態，且回應對一邏輯狀態變化的偵測，偵測到封裝已被破壞。

以上的本發明之概要說明並非意在描述本發明的每個具體實施例或每個實施方案。以上本發明的概要說明並非意在描述本發明的每個說明性具體實施例或每個實施方案。以下的圖式及詳細說明更具體的示範說明此等具體實施例。

【實施方式】

而本發明可採用各種修改及替代形式，以圖式中的範例

顯示其細節並詳細說明。然而，應當明白，本發明並不限於所說明的特定具體實施例。與之相反，本發明將涵蓋本發明的精神及範圍內的所有修改、等效及替代形式，如隨附的申請專利範圍中所定義的內容。

相信本發明可應用於包括破壞保護與/或從破壞保護中受益的各種電路及手法，尤其適用於無需依靠電源或中斷與/或對電子特性的偵測之封裝的積體電路的破壞偵測。本發明並不限於此類應用，藉由對此環境內範例的討論，可更好地認知本發明各個方面。

根據本發明一項示範性具體實施例，一破壞保護配置包括配置為至少覆蓋一積體電路晶片一部分之封裝，該晶片在此包含至少一個磁性回應元件。該封裝還可配置為防止存取該積體電路晶片中的至少一部分。該封裝包括複數個磁性粒子，其配置可引起至少一個磁性回應元件中的一可偵測磁性回應。該破壞保護配置進一步包括一破壞保護電路，其適用於偵測至少一個磁性回應元件的該磁性回應，並偵測由該磁性粒子所提供的磁場中的變化。造成此種變化的事件有多種，若干範例為：將一探測器放置在該封裝附近、靠近該封裝存在另一磁場、或將該封裝從配置中移除或部分移除。磁場中的此種變化可指示電路配置被破壞。

圖1顯示根據本發明另一項範例具體實施例的一積體電路裝置100，其具有其上存在電路108之一基板104，並進一步由適用於抑制破壞的一封裝106覆蓋。該基板104包括電路108與複數個磁性回應電路元件130至134（例如，MRAM

元件、磁性接面電晶體或磁性穿隧接合元件)。該封裝106的各個部分之上具有磁性粒子120至125，至少一些該等磁性粒子配置為使一或多個磁性回應電路元件130至134呈現一磁性狀態(例如，一極化方向)。例如，該磁性粒子124使磁性回應電路元件133呈現一所選的磁性狀態。

藉由適當放置封裝106，可偵測複數個磁性回應電路元件130至134中的至少一些元件的狀態，並將其做為參考儲存，其代表未被破壞的條件。在該積體電路裝置100操作期間(例如，在通電啟動期間)，將所儲存的參考與該等磁性回應電路元件130至134的即時狀態進行比較。若該封裝106的一部分包括已被破壞(例如，移除)的一磁性粒子，則一或多個磁性回應電路元件130至134的即時狀態則相應改變。例如，再次參考磁性回應電路元件133，當移除包括該磁性粒子124之封裝106的一部分時，該磁性回應元件133的狀態不再受該磁性粒子124的影響。沒有該磁性粒子124的影響，該磁性回應元件133可自由的呈現與存在的其他磁場有關的狀態。藉此手法，可偵測用於探測、可視檢查與/或其他目的對該電路108之存取。

在另外的示範性具體實施例中，該積體電路裝置100包括一破壞偵測電路160，其適用於偵測並回應做為一或多個該等磁性回應電路元件130至134之狀態的函數之所偵測之破壞。在一項實施方案中，該破壞偵測電路包括適用於儲存代表該等磁性回應電路元件130至134的未破壞狀態之資料之記憶體。在該積體電路裝置100隨後的操作期間，偵測該

等磁性回應電路元件130至134之即時狀態並在該破壞偵測電路160中與該儲存的未破壞狀態進行比較。若該即時偵測的狀態與該儲存的未破壞狀態匹配，則偵測到代表未破壞之一條件。然而，若該即時偵測的狀態與該儲存的未破壞狀態不匹配，則偵測到由於位置的變化與/或移除一或多個該等磁性粒子120至125造成的一破壞條件。

在另一實施方案中，該破壞偵測電路160適用於藉由改變該積體電路裝置100的一特徵以回應一破壞條件。例如，當該電路108包括記憶體時，該破壞偵測電路160適用於抹除某些或全部記憶。在另一實例中，該破壞偵測電路適用於設定代表所偵測之破壞之旗標。可由另一使用者藉由(例如)在本地使用該積體電路裝置100或在遠端如透過網際網路(例如，其中該積體電路裝置100係連接至網際網路)藉由視覺或電子偵測來偵測該旗標。

現參考圖2，根據本發明另一示範性具體實施例，破壞偵測的一特定手法包括儲存代表所選的磁性回應記憶體單元的一邏輯狀態之參考信號並使用該參考信號做為一比較信號。在方塊210，在其中具有磁性回應記憶體單元的積體電路裝置上形成一封裝。該封裝包括複數個磁體，該等磁體配置為以影響一些該等磁性回應記憶體單元的邏輯狀態。當將該封裝放置在適當位置後，在方塊220，偵測到至少一些該等磁性回應記憶體單元的狀態。在方塊230，將狀態做為參考儲存在記憶體中，例如一次性可程式化ROM。

在該積體電路晶片操作期間，在方塊240，偵測該等磁性

回應記憶體單元的狀態。在方塊250，將在方塊240偵測到的狀態與在方塊220偵測到以及在方塊230儲存的參考狀態進行比較。在方塊260，當該等狀態匹配時，則在方塊270偵測到一無破壞的條件。在方塊260，當該等狀態不匹配時，則在方塊280偵測到一破壞條件。在另外的實施方案中，使用在方塊280中偵測到的破壞條件以實現對破壞的回應，例如，藉由抹除記憶體或設定一破壞偵測旗標。

以上描述並在該等圖式中顯示的各個具體實施例僅用以說明本發明，不應解釋為對本發明的限制。根據以上討論與說明，熟悉技術人士應明白，可對本發明做出各種修改與變化，而無需嚴格遵循本文說明與描述的示範性具體實施例與應用。此種修改與變化不會偏離在以下的申請專利範圍中設定的本發明真正的精神與範疇。

【圖式簡單說明】

根據上面詳細說明的本發明各具體實施例結合附圖，可更完全的理解本發明，其中：

圖1為根據本發明一項示範性具體實施例之積體電路配置，其包括配置的一封裝與一積體電路裝置，用以抑制對該裝置中電路的破壞；以及

圖2為根據本發明另一項示範性具體實施例之破壞保護之手法的流程圖。

【圖式代表符號說明】

- | | |
|-----|--------|
| 100 | 積體電路裝置 |
| 104 | 基板 |

106	封 裝
120 至 125	磁 性 粒 子
130 至 134	磁 性 回 應 電 路 節 點
160	破 壞 偵 測 電 路

伍、中文發明摘要：

本發明揭示一種保護非揮發性記憶體(108)之防止破壞之封裝手法。根據本發明一項示範性具體實施例，其中具有複數個磁性粒子(120至125)的一封裝(106)與一積體電路裝置(100)配置在一起，從而使複數個磁性回應電路節點(130至134)呈現磁性狀態。偵測每一磁性狀態，做為一邏輯狀態，然後與該等磁性回應電路節點之一即時邏輯狀態進行比較，且回應一儲存的邏輯狀態不同於一即時邏輯狀態，偵測到封裝破壞。在一項實例中，在由於移除該封裝的一部分(例如，因而移除一磁性粒子)，而使該等磁性回應電路節點之一的該磁性狀態改變時，偵測到破壞。該偵測到的破壞可改變該積體電路的一特徵，例如，藉由改變儲存的資料或設定指示該封裝已被破壞之破壞旗標。

陸、英文發明摘要：

A tamper-resistant packaging approach protects non-volatile memory (108). According to an example embodiment of the present invention, a package (106) having a plurality of magnetic particles (120-125) therein is arranged with an integrated circuit device (100) to cause a plurality of magnetically-responsive circuit nodes (130-134) to take on magnetic states. Each magnetic state is detected as a logic state, and then compared with a real-time logic state of the magnetically-responsive circuit nodes and, in response to a stored logic state being different from a real-time logic state, package tampering is detected. In one instance, tampering is detected when the magnetic state of one of the magnetically-responsive circuit nodes is altered as a portion of the package is removed (*e.g.*, thus removing a magnetic particle). The detected tampering may alter a characteristic of the integrated circuit, such as by altering stored data or setting a tamper flag that indicates that the package has been tampered with.

拾、申請專利範圍：

1. 一種積體電路配置，其包括：具有複數個磁性回應電路節點130至134之一積體電路裝置100；以及適用於抑制對該積體電路裝置100的存取且其中包括複數個磁化粒子120至125之一封裝106，該等磁性回應電路節點130至134磁性回應該等複數個磁化粒子120至125，從而由該等磁化粒子120至125共同提供的磁場中的一變化表現為該等磁性回應電路節點130至134中的至少一個的一磁性狀態的一變化。
2. 如申請專利範圍第1項之積體電路配置，進一步包括：適用於偵測該等磁性回應電路節點130至134之該磁性狀態，並回應該磁性狀態之一變化，以偵測該封裝106已被破壞之一偵測電路160。
3. 如申請專利範圍第2項之積體電路配置，其中該偵測電路160包括適用於將該偵測的磁性狀態與一參考狀態進行比較，並偵測對該封裝的破壞以回應該偵測的磁性狀態不同於該參考狀態之一比較電路。
4. 如申請專利範圍第3項之積體電路配置，進一步包括適用於儲存代表該等磁性回應電路節點之一未破壞磁性狀態之資料的一記憶體，其中該比較電路係適用於將儲存在該記憶體中的該資料與該偵測的磁性狀態進行比較，並偵測對該封裝的破壞，以回應儲存在該記憶體中指示與該偵測的磁性狀態之不同的一磁性狀態之該資料。
5. 如申請專利範圍第4項之積體電路配置，其中該記憶體包

括一個一次性程式化ROM。

6. 如申請專利範圍第3項之積體電路配置，其中該積體電路裝置係適用於改變儲存在該積體電路中的資料，以回應偵測對該封裝的破壞之該比較電路。
7. 如申請專利範圍第3項之積體電路配置，其中該積體電路裝置係適用於設定一破壞偵測旗標，以回應偵測破壞之該比較電路。
8. 如申請專利範圍第1項之積體電路配置，其中該等磁性回應電路節點的磁性狀態發生變化以回應移除足夠量的該封裝，以允許對該積體電路裝置的探測存取。
9. 如申請專利範圍第1項之積體電路配置，其中該等磁性回應電路節點的磁性狀態發生變化以回應移除足夠量的該封裝，以曝露該積體電路內的一電路元件。
10. 如申請專利範圍第1項之積體電路配置，其中移除該封裝的一部分足以允許對該積體電路裝置之成像存取表現為該等磁性回應電路節點的一磁性狀態的該變化。
11. 如申請專利範圍第1項之積體電路配置，其中移除該封裝的一部分足以允許對該積體電路裝置之電性存取表現為該等磁性回應電路節點的一磁性狀態的該變化。
12. 如申請專利範圍第1項之積體電路配置，其中該封裝覆蓋該積體電路裝置的一實質部分，其中該等複數個磁化粒子係分佈在該整個封裝上，且其中移除該封裝的一部分足以允許對該積體電路裝置的存取表現為該等磁性回應電路節點的一磁性狀態的該變化。

13. 如申請專利範圍第1項之積體電路配置，其中每個磁性回應電路節點包括抵抗性回應由該等磁化粒子產生的一磁場之一電路元件。
14. 如申請專利範圍第1項之積體電路配置，其中每個磁性回應電路節點包括：易受做為由該等磁化粒子形成之一磁場的函數之磁性狀態變化的影響之一小型磁體；以及抵抗性回應該小型磁體之一磁性狀態之一電路元件，其中該等至少一個該等磁性回應電路節點的該小型磁體改變狀態，以回應由該等磁化粒子共同提供之磁場的該變化。
15. 一種積體電路配置，其包括：一積體電路晶片；適用於儲存一邏輯狀態之複數個磁性回應記憶體元件，該邏輯狀態為將一磁場施加於該磁性回應記憶體元件之一磁性元件之一磁性狀態之一函數；覆蓋該積體電路晶片的至少一部分並防止存取該積體電路晶片的該部分之一封裝；在該封裝內的複數個磁性粒子，至少一些該等複數個磁性回應記憶體元件具有一邏輯狀態，其回應由該等複數個磁性粒子中的至少一個產生的一磁場；以及適用於偵測該等至少一些該等複數個磁性回應記憶體元件的該邏輯狀態，及回應該偵測的邏輯狀態變化，偵測到該封裝已被破壞之一破壞保護電路。
16. 一種破壞保護配置，其包括：配置為覆蓋其中具有至少一個磁性回應元件之一積體電路晶片的至少一部分之一封裝，該封裝配置為防止存取該積體電路晶片的至少一部分；在該封裝之內有複數個磁性粒子且配置為使該至

少一個磁性回應元件中出現一可偵測磁性回應；以及適用於偵測該至少一個磁性回應元件的該磁性回應之一破壞保護電路。

17. 如申請專利範圍第16項之破壞保護配置，進一步包括適用於改變該積體電路晶片之一特徵，以回應偵測該至少一個磁性回應元件的該磁性回應之一破壞保護電路之該破壞回應電路。
18. 如申請專利範圍第17項之破壞保護配置，其中該破壞回應電路係適用於從該積體電路晶片上抹除記憶，以回應偵測該至少一個磁性回應元件之該磁性回應之該破壞保護電路。
19. 一種用以保護一積體電路裝置免受破壞之方法，該方法包括：偵測在該積體電路裝置中的複數個磁性回應電路元件之一磁性狀態；且回應偵測該等複數個磁性回應電路節點之該磁性狀態的一變化，偵測到該積體電路裝置已被破壞。
20. 如申請專利範圍第19項之方法，其中偵測複數個磁性回應電路節點之一磁性狀態包括監控該等複數個磁性回應電路節點之該磁性狀態。

拾壹、圖式：

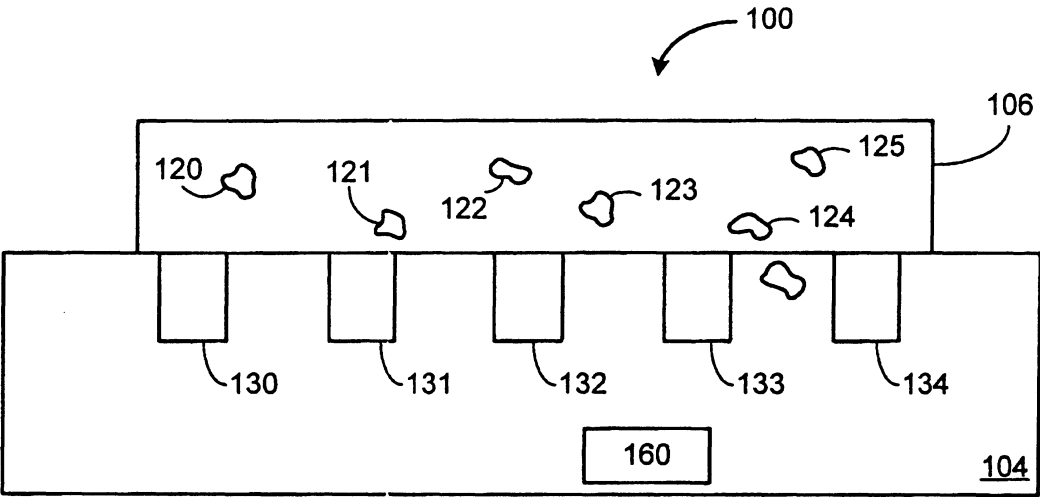


圖 1

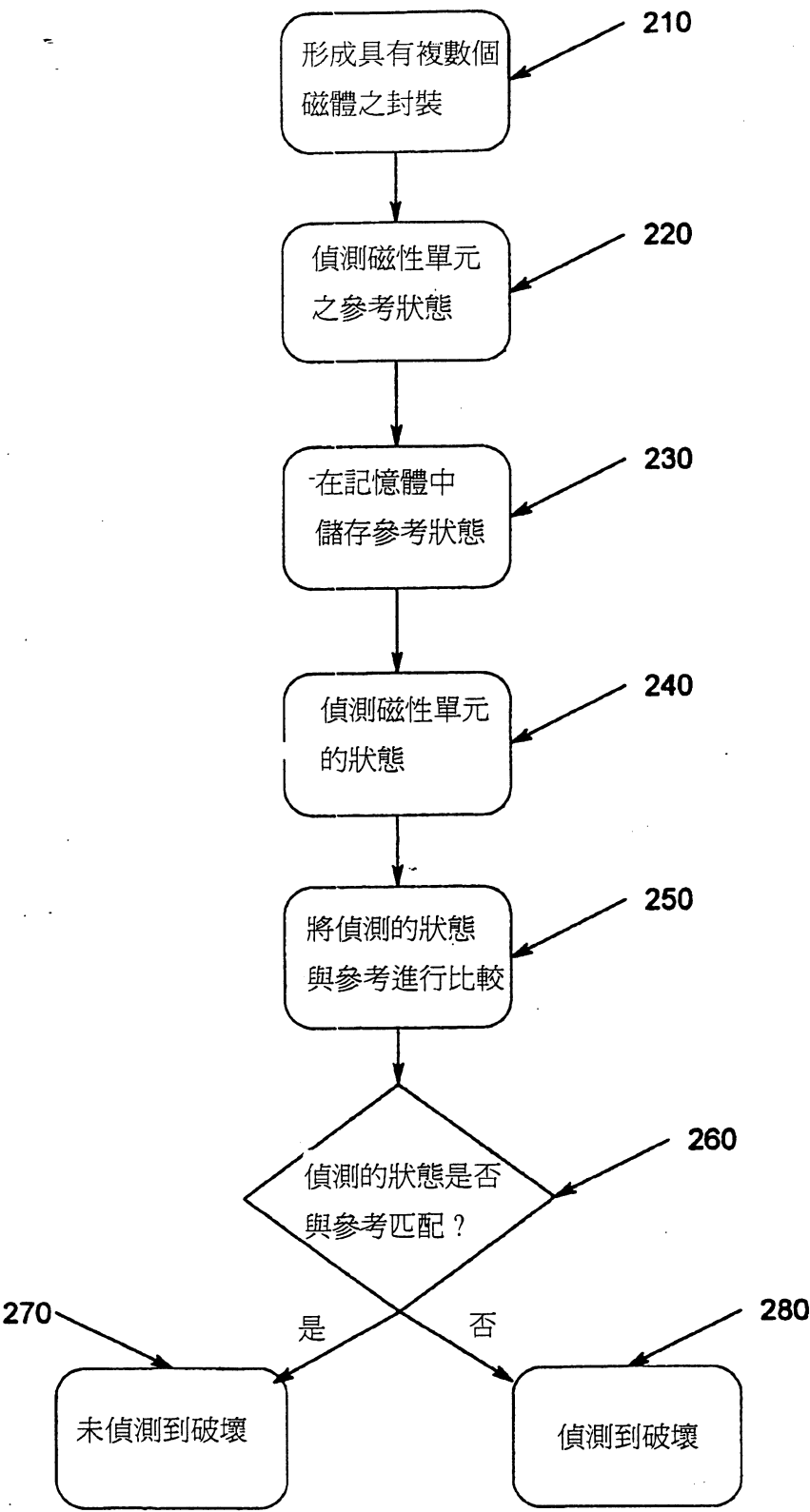


圖 2

柒、指定代表圖：

(一)本案指定代表圖為：第（ 1 ）圖。

(二)本代表圖之元件代表符號簡單說明：

100	積體電路裝置
104	基板
106	封裝
120至125	磁性粒子
130至134	磁性回應電路節點
160	破壞偵測電路

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)