



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2010년06월29일  
(11) 등록번호 10-0966927  
(24) 등록일자 2010년06월22일

(51) Int. Cl.

*H01L 21/316* (2006.01)    *H01L 29/78* (2006.01)

(21) 출원번호 10-2007-7022436

(22) 출원일자(국제출원일자) 2006년03월28일

심사청구일자 2007년10월01일

(85) 번역문제출일자 2007년10월01일

(65) 공개번호 10-2007-0112830

(43) 공개일자 2007년11월27일

(86) 국제출원번호 PCT/JP2006/306288

(87) 국제공개번호 WO 2006/106667

국제공개일자 2006년10월12일

(30) 우선권주장

JP-P-2005-00099408    2005년03월30일    일본(JP)

JP-P-2005-00292346 2005년10월05일 일본(JP)

(56) 선행기술조사문헌

JP14058130 A

KR1020030070126 A\*

W02004047157 A1\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

도쿄엘렉트론가부시키가이샤

일본 도쿄도 미나토쿠 아카사카 5쵸메 3반 1고

(72) 발명자

니시타 다츠오

일본 효고켄 아마가사키시 후소초 1-8 동경 엘렉  
트론 에이티주식회사 내

나카니시 도시오

일본 효고켄 아마가사키시 후소초 1-8 동경 엘렉  
트론 에이티주식회사 내

(뒷면에 계속)

(74) 대리인

김창세

전체 청구항 수 : 총 11 항

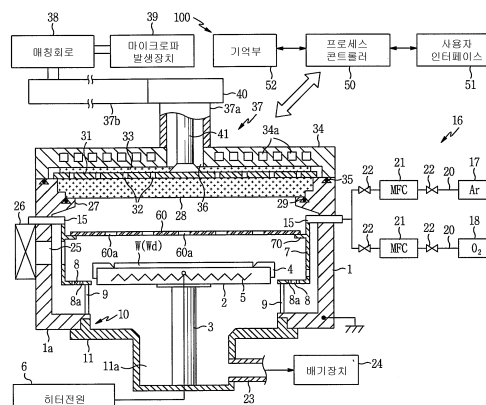
심사관 : 김정민

(54) 절연막의 제조 방법 및 반도체 장치의 제조 방법

(57) 요약

게이트 절연막의 제조 방법은 플라스마 처리 장치의 처리실 내에서, 피처리체 표면의 실리콘에 산소함유 플라스마를 작용시켜 실리콘 산화막을 형성하는 산화처리 공정을 포함하고, 산화처리 공정에 있어서의 처리온도는 600℃ 초과 1000℃ 이하이며, 산소함유 플라스마는 적어도 희가스 및 산소 가스를 포함하는 산소함유 처리가스를 상기 처리실 내에 도입함과 동시에, 안테나를 거쳐서 해당 처리실 내에 고주파 또는 마이크로파를 도입하는 것에 의해서 형성되는 산소함유 처리가스의 플라스마이다.

대표도 - 도2



(72) 발명자

**이시즈카 슈유키치**

일본 야마나시켄 니라사키시 호사카초 미즈자와  
650 동경엘렉트론 에이티 주식회사 내

**나카야마 도모에**

일본 오사카후 도요나카시 핫토리혼마치 5초메  
2-2-301

**후지노 유타카**

일본 야마나시켄 니라사키시 호사카초 미즈자와  
650 동경엘렉트론 에이티 주식회사 내

## 특허청구의 범위

### 청구항 1

처리실내에 기판을 반입하는 공정과,

상기 기판을 서셉터로부터 돌출시킨 상태에서 프리히트하는 공정과,

상기 프리히트한 후, 상기 기판을 상기 서셉터에 탑재하여 더욱 프리히트하는 공정과,

상기 처리실에 Ar 가스와 O<sub>2</sub> 가스를 공급하고, 안테나를 통해 그 처리실내에 고주파 또는 마이크로파를 도입하는 것에 의해 형성되는 산소 함유 가스의 플라즈마를 생성하는 공정과,

상기 기판면의 실리콘에 상기 산소 함유 가스의 플라즈마를 작용시켜 실리콘 산화막을 형성하는 산화 처리 공정을 포함하되,

상기 산화처리 공정에 있어서의 처리온도는 700℃ 초과 1000℃ 이하인 절연막의 제조 방법.

### 청구항 2

제 1 항에 있어서,

상기 산화처리 공정에서는 상기 처리실 내의 플라즈마 발생 영역과 상기 기판의 사이에, 복수의 관통개구를 갖는 유전체 플레이트를 개재시켜 처리를 실행하는 절연막의 제조 방법.

### 청구항 3

제 2 항에 있어서,

상기 관통개구의 구멍직경이 2.5~12 mm이고, 상기 유전체 플레이트상의 상기 기판에 대응하는 영역내에서, 상기 기판의 면적에 대한 상기 관통개구의 합계의 개구면적 비율이 10~50%인

절연막의 제조 방법.

### 청구항 4

삭제

### 청구항 5

삭제

### 청구항 6

처리실내에 기판을 반입하는 공정과,

상기 기판을 서셉터로부터 돌출시킨 상태에서 프리히트하는 공정과,

상기 프리히트한 후, 상기 기판을 상기 서셉터에 탑재하여 더욱 프리히트하는 공정과,

상기 처리실에 Ar 가스와 O<sub>2</sub> 가스를 공급하고, 안테나를 통해 그 처리실내에 고주파 또는 마이크로파를 도입하는 것에 의해 형성되는 산소 함유 가스의 플라즈마를 생성하는 공정과,

상기 기판면의 실리콘에 상기 산소 함유 가스의 플라즈마를 작용시켜 실리콘 산화막을 형성하는 산화 처리 공정과,

상기 산화 처리 공정에서 형성된 상기 실리콘 산화막에 질소함유 플라즈마를 작용시켜 실리콘 산질화막을 형성하는 질화처리 공정

을 포함하고,

상기 산화처리 공정에 있어서의 처리온도는 700℃ 초과 1000℃ 이하인 절연막의 제조 방법.

#### 청구항 7

제 6 항에 있어서,

상기 질소함유 플라즈마는 적어도 Ar 가스와 질소 가스를 포함하는 질소함유 처리가스를 처리실 내에 도입함과 동시에, 안테나를 거쳐서 해당 처리실 내에 고주파 또는 마이크로파를 도입하는 것에 의해서 형성되는 상기 질소함유 처리가스의 플라즈마인 절연막의 제조 방법.

#### 청구항 8

제 6 항 또는 제 7 항에 있어서,

상기 산화처리 공정과 상기 질화처리 공정을 동일한 처리실 내에서 실행하는 절연막의 제조 방법.

#### 청구항 9

제 6 항 또는 제 7 항에 있어서,

상기 산화처리 공정과 상기 질화처리 공정을 진공배기 가능한 상태로 연결된 개별의 처리실 내에서 실행하는 절연막의 제조 방법.

#### 청구항 10

삭제

#### 청구항 11

삭제

#### 청구항 12

제 1, 2, 3, 6, 7 항 중 어느 한 항에 있어서,

상기 산화처리 공정에 있어서의 처리압력이 1.33 Pa~1333 Pa인 절연막의 제조 방법.

#### 청구항 13

제 1, 2, 3, 6, 7 항 중 어느 한 항에 있어서,

상기 실리콘 산화막의 막두께가 0.2~10 nm인 절연막의 제조 방법.

#### 청구항 14

삭제

#### 청구항 15

삭제

#### 청구항 16

플라즈마를 발생시키는 플라즈마 생성 수단과,

상기 플라즈마에 의해 기판을 처리하는 처리실과,

상기 처리실내에서 상기 기판을 탑재하는 서셉터와,

상기 처리실내에 Ar 가스와 O<sub>2</sub> 가스를 공급하는 가스 도입 부재와,

상기 처리실내를 배기하는 진공 펌프와,

상기 처리실내로 기판을 반입하는 공정과, 상기 기판을 서셉터로부터 돌출시킨 상태에서 프리히트하는 공정과, 상기 프리히트한 후, 상기 기판을 상기 서셉터에 탑재하여 더욱 프리히트하는 공정과, 상기 처리실에 Ar 가스와 O<sub>2</sub> 가스를 공급하고, 안테나를 통해 그 처리실내에 고주파 또는 마이크로파를 도입하는 것에 의해 형성되는 산

소 함유 가스의 플라즈마를 생성하는 공정과, 700℃ 초과 1000℃ 이하의 처리 온도에서 상기 기판면의 실리콘에 상기 산소 함유 가스의 플라즈마를 작용시켜 실리콘 산화막을 형성하는 산화 처리 공정이 실행되도록 제어하는 제어부

를 구비한 플라즈마 처리 장치.

#### 청구항 17

제 16 항에 있어서,

상기 안테나는 평면 안테나인 플라즈마 처리 장치.

#### 청구항 18

삭제

### 명세서

#### 기술분야

[0001] 본 발명은 플라즈마를 이용하여 반도체 기판 등의 피처리체를 처리하고, 절연막을 형성하는 절연막의 제조 방법 및 이 절연막을 사용한, 예를 들면 트랜지스터로 대표되는 반도체 장치의 제조 방법에 관한 것이다.

#### 배경기술

[0002] 각종 반도체 장치의 제조과정에서는 예를 들면 트랜지스터의 게이트 절연막으로서 SiO<sub>2</sub> 등의 실리콘 산화막의 형성이 실행되고 있다. 또한, P형 불순물인 붕소(B)의 편치스루나, 터널 전류의 증가를 억제한다고 하는 관점에서, 실리콘 산화막을 질화처리하여 실리콘 질화막(SiON)으로 하고, 이것을 게이트 절연막으로 하는 경우도 많다.

[0003] 실리콘 산화막을 형성하는 방법으로서 산화로(酸化爐)나 RTP(Rapid Thermal Process) 장치를 이용하는 열산화 처리와, 플라즈마 처리 장치를 이용하는 플라즈마 산화처리로 크게 나뉘어진다. 예를 들면, 열산화처리의 하나인 산화로에 의한 웨트 산화처리에서는 800℃ 이상의 온도로 실리콘 기판을 가열하고, WVG(Water Vapor Generator) 장치를 이용하여 산화분위기에 노출시키는 것에 의해 실리콘 표면을 산화시켜 산화막을 형성한다.

[0004] 한편, 플라즈마 산화처리로서는 래디얼 라인 슬롯 안테나에 의해 처리실 내에 마이크로파를 도입하여 플라즈마를 생성시키는 플라즈마 처리 장치를 이용하고, 550℃ 이하의 저온에서 플라즈마 산화처리를 실행하는 것에 의해 실리콘 산화막을 형성하는 방법이 제안되어 있다(예를 들면, 특허문헌 1).

[0005] 특허문헌 1: 일본국 특허공개공보 제2001-160555호(예를 들면, 단락 0015 등)

#### 발명의 상세한 설명

[0006] 종래에는 열산화처리를 실행하는 것에 의해, 양질의 실리콘 산화막을 형성할 수 있다고 고려되어 왔다. 그러나, 열산화의 경우, 막두께가 극히 얇아지면 양자 역학적 효과에 의해서 산화막(절연막)을 전자가 빠져 나가는 터널현상이나 막질의 저하가 일어나 리크 전류가 증대하는 등, 실리콘 산화막이나 그것을 질화처리하여 얻어지는 실리콘 산질화막을 게이트 절연막으로서 이용하는 반도체 장치의 전기적 특성에 악영향을 준다고 하는 과제가 있었다.

[0007] 또한, 근래에는 반도체 장치의 미세화에 수반하여, 게이트 절연막의 박막화가 진행되고 있으며, 특히 65 nm 노드 이후에서는 막두께가 수 nm 이하의 얇은 게이트 절연막이 요구되기 때문에, 종래의 열산화처리나 플라즈마 산화처리에서는 만족시킬 수 있는 막질의 실리콘 산화막을 얻는 것은 곤란하게 되어 있다.

[0008] 따라서 본 발명의 목적은 박막화되어도 반도체 장치에 우수한 전기적 특성을 부여할 수 있는 양질의 절연막을

형성할 수 있는 절연막의 제조 방법을 제공하는 것에 있다.

- [0009] 상기 과제를 해결하기 위해, 본 발명의 제 1 관점은 플라즈마 처리 장치의 처리실 내에서, 피처리체 표면의 실리콘에 산소함유 플라즈마를 작용시켜 실리콘 산화막을 형성하는 산화처리 공정을 포함하고, 상기 산화처리 공정에 있어서의 처리온도는 600℃ 초과 1000℃ 이하이며, 상기 산소함유 플라즈마는 적어도 희(希)가스와 산소 가스를 포함하는 산소함유 처리가스를 상기 처리실 내에 도입함과 동시에, 안테나를 거쳐서 해당 처리실 내에 고주파 또는 마이크로파를 도입하는 것에 의해서 형성되는 상기 산소함유 처리가스의 플라즈마인 절연막의 제조 방법을 제공한다.
- [0010] 상기 제 1 관점의 절연막의 제조 방법에 있어서, 상기 산화처리 공정에서는 상기 처리실 내의 플라즈마 발생 영역과 상기 피처리체의 사이에, 복수의 관통개구를 갖는 유전체 플레이트를 개재하여 처리를 실행하는 것이 바람직하다.
- [0011] 또한, 상기 관통개구의 구멍직경이 2.5~12 mm이고, 상기 유전체 플레이트상의 상기 기판에 대응하는 영역내에서, 상기 기판의 면적에 대한 상기 관통개구의 합계의 개구면적 비율이 10~50%인 것이 바람직하다.
- [0012] 또한, 상기 산화처리 공정에 있어서의 처리압력이 1.33 Pa~1333 Pa인 것이 바람직하다.
- [0013] 또한, 상기 실리콘 산화막의 막두께가 0.2~10 nm인 것이 바람직하다.
- [0014] 본 발명의 제 2 관점은 플라즈마 처리 장치의 처리실 내에서, 피처리체 표면의 실리콘에 산소함유 플라즈마를 작용시켜 실리콘 산화막을 형성하는 산화처리 공정과, 상기 산화처리 공정에서 형성된 상기 실리콘 산화막에 질소함유 플라즈마를 작용시켜 실리콘 산질화막을 형성하는 질화처리 공정을 포함하고, 상기 산화처리 공정에 있어서의 처리온도는 600℃ 초과 1000℃ 이하이며, 상기 산소함유 플라즈마는 적어도 희가스와 산소 가스를 포함하는 산소함유 처리가스를 상기 처리실 내에 도입함과 동시에, 안테나를 거쳐서 해당 처리실 내에 고주파 또는 마이크로파를 도입하는 것에 의해서 형성되는 상기 산소함유 처리가스의 플라즈마인 절연막의 제조 방법을 제공한다.
- [0015] 상기 제 2 관점의 절연막의 제조 방법에 있어서, 상기 질소함유 플라즈마는 적어도 희가스와 질소 가스를 포함하는 질소함유 처리가스를 처리실 내에 도입함과 동시에, 안테나를 거쳐서 해당 처리실 내에 고주파 또는 마이크로파를 도입하는 것에 의해서 형성되는 상기 질소함유 처리가스의 플라즈마인 것이 바람직하다.
- [0016] 또한, 상기 산화처리 공정과 상기 질화처리 공정을 동일한 처리실 내에서 실행해도 좋고, 혹은 상기 산화처리 공정과 상기 질화처리 공정을 진공배기 가능한 상태로 연결된 개별의 처리실 내에서 실행해도 좋다.
- [0017] 또한, 상기 산화처리 공정에서는 상기 처리실 내의 플라즈마 발생 영역과 상기 피처리체의 사이에, 복수의 관통개구를 갖는 유전체 플레이트를 개재시켜 처리를 실행하는 것이 바람직하다.
- [0018] 또한, 상기 관통개구의 구멍직경이 2.5~12 mm이고, 상기 유전체 플레이트상의 상기 기판에 대응하는 영역내에서, 상기 기판의 면적에 대한 상기 관통개구의 합계의 개구면적 비율이 10~50%인 것이 바람직하다.
- [0019] 또한, 상기 산화처리 공정에 있어서의 처리압력이 1.33 Pa~1333 Pa인 것이 바람직하다. 또한, 상기 실리콘 산화막의 막두께가 0.2~10 nm인 것이 바람직하다.
- [0020] 본 발명의 제 3 관점은 컴퓨터상에서 동작하고, 실행시에, 플라즈마 처리 장치의 처리실 내에서, 피처리체 표면의 실리콘에 산소함유 플라즈마를 작용시켜 실리콘 산화막을 형성하는 산화처리가 실행되도록 상기 플라즈마 처리 장치를 제어하는 제어 프로그램으로서, 상기 산화처리에 있어서의 처리온도는 600℃ 초과 1000℃ 이하이며, 상기 산소함유 플라즈마는 적어도 희가스와 산소 가스를 포함하는 산소함유 처리가스를 상기 처리실 내에 도입함과 동시에, 안테나를 거쳐서 해당 처리실 내에 고주파 또는 마이크로파를 도입하는 것에 의해서 형성되는 상기 산소함유 처리가스의 플라즈마인 제어 프로그램을 제공한다.
- [0021] 본 발명의 제 4 관점은 컴퓨터상에서 동작하는 제어 프로그램이 기억된 컴퓨터 판독 가능한 기억 매체로서, 상기 제어 프로그램은 실행시에, 플라즈마 처리 장치의 처리실 내에서, 피처리체 표면의 실리콘에 산소함유 플라즈마를 작용시켜 실리콘 산화막을 형성하는 산화처리가 실행되도록 상기 플라즈마 처리 장치를 제어하는 제어 프로그램이고, 상기 산화처리에 있어서의 처리온도는 600℃ 초과 1000℃ 이하이며, 상기 산소함유 플라즈마는 적어도 희가스와 산소 가스를 포함하는 산소함유 처리가스를 상기 처리실 내에 도입함과 동시에, 안테나를 거쳐서 해당 처리실 내에 고주파 또는 마이크로파를 도입하는 것에 의해서 형성되는 상기 산소함유 처리가스의 플라즈마인 컴퓨터 판독 가능한 기억 매체를 제공한다.

- [0022] 본 발명의 제 5 관점은 플라스마를 발생시키는 플라스마 생성 수단과, 상기 플라스마에 의해, 피처리체를 처리하기 위한 진공배기 가능한 처리용기와, 상기 처리용기내에서 상기 피처리체를 탑재하는 기판 지지대와, 처리온도가 600℃ 초과 1000℃ 이하이고 적어도 희가스와 산소 가스를 포함하는 산소함유 처리가스를 상기 처리실 내에 도입함과 동시에, 안테나를 거쳐서 해당 처리실 내에 고주파 또는 마이크로파를 도입하는 것에 의해서 형성되는 상기 산소함유 플라스마를 이용하여 피처리체를 산화처리하는 산화처리 공정이 실행되도록 제어하는 제어부를 구비한 플라스마 처리 장치를 제공한다.
- [0023] 본 발명의 제 6 관점은 상기 제 1 관점의 절연막의 제조 방법에 의해 제조된 절연막상에, 게이트 전극을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법을 제공한다.
- [0024] 본 발명의 제 7 관점은 상기 제 2 관점의 절연막의 제조 방법에 의해 제조된 절연막상에, 게이트 전극을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법을 제공한다.
- [0025] 본 발명에 따르면, 안테나에 의해 처리실 내에 도입되는 마이크로파와, 적어도 희가스와 산소 가스를 포함하는 처리가스에 의해서 형성되는 산소함유 플라스마를 이용하고, 600℃ 초과 1000℃ 이하의 고온에서 산화처리를 실행하는 것에 의해서, 플라스마 데미지를 최대한 방지하면서, 양질의 실리콘 산화막을 형성하는 것이 가능하게 된다. 또한, 이 실리콘 산화막을, 필요에 따라서 질화처리하여 얻어지는 실리콘 산질화막을 예를 들면 게이트 절연막 등의 절연막으로서 이용하는 것에 의해, 트랜지스터 등의 반도체 장치의 전기적 특성을 향상시킬 수 있다.
- [0026] 즉, 본 발명 방법에 의해 제조되는 절연막을 이용하는 것에 의해, 전류 구동 특성이 우수한 반도체 장치를 얻을 수 있다. 특히 게이트 절연막으로서, 1 nm 이하의 박막으로 형성하는 경우에도, 치밀하고 트랩이 적은 이상적인 산화막을 형성할 수 있기 때문에, 터널 전류의 증가를 억제하면서, 열산화막을 사용한 경우에 비해 구동 전류를 대폭 증가시킬 수 있으므로, 반도체 장치의 성능 향상을 도모하는 것이 가능하다.

## 실시예

- [0050] 이하, 적절히 첨부 도면을 참조하여 본 발명의 실시형태에 대해 구체적으로 설명한다. 도 1은 본 발명의 게이트 절연막의 제조 방법을 실시하기 위한 반도체 제조 장치(200)의 개략 구성을 나타내는 모식도이다. 이 반도체 제조 장치(200)의 대략 중앙에는 반도체 웨이퍼(이하, 단지 「웨이퍼」라 함) W를 반송하기 위한 반송실(131)이 배치되어 있고, 이 반송실(131)의 주위를 둘러싸도록, 웨이퍼 W에 각종 처리를 실행하는 플라스마 처리 유닛으로서의 플라스마 처리 장치(100 및 101), 각 처리실간의 연통/차단의 조작을 실행하는 게이트밸브(도시 생략), 반송실(131)과 대기 반송실(140)의 사이에서 웨이퍼 W의 수수를 실행하는 2개의 로드록 유닛(134 및 135), 웨이퍼 W에 가열 조작(어닐)을 실행하기 위한 가열유닛(136)이 배치되어 있다.
- [0051] 로드록 유닛(134, 135)의 옆에는 각종 예비 냉각~냉각 조작을 실행하기 위한 예비 냉각 유닛(145), 냉각 유닛(146)이 각각 배치되어 있다. 또, 로드록 유닛(134, 135)을 냉각 유닛으로서 사용하는 경우에는 예비 냉각 유닛(145), 냉각 유닛(146)은 마련하지 않아도 좋다.
- [0052] 반송실(131)의 내부에는 반송아암(137 및 138)이 배치되어 있어, 상기 각 유닛과의 사이에서 웨이퍼 W를 반송할 수 있다.
- [0053] 로드록 유닛(134 및 135)에 접속하여, 반송 수단(141 및 142)이 배비된 대기 반송실(140)이 마련되어 있다. 이 대기 반송실(140)은 다운플로우(down-flow)의 깨끗한 공기에 의해 깨끗한 환경이 유지된 상태에 있다. 대기 반송실(140)에는 카세트 유닛(143)이 접속되어 있고, 반송 수단(141 및 142)에 의해, 카세트 유닛(143) 상에 세트된 4대의 카세트(144)와의 사이에서 웨이퍼 W를 넣고 빼낼 수 있다. 또한, 대기 반송실(140)에 인접하여 열라이먼트 챔버(147)가 마련되어 있고, 여기서 웨이퍼 W의 열라이먼트가 실행된다. 또한, 반도체 제조 장치(200)의 각 구성부는 CPU를 구비한 프로세스 컨트롤러(50)에 의해 제어되는 구성으로 되어 있다.
- [0054] 또, 도 1의 반도체 제조 장치(200)에서는 예를 들면, 플라스마 처리 장치(100)에서 SiO<sub>2</sub>막을 형성한 후, 진공 상태로 연결된 플라스마 처리 장치(101)로 반송하고, 그곳에서 SiO<sub>2</sub>막을 표면 질화하는 것이 가능하며, 또한 플라스마 처리 장치(100) 및 플라스마 처리 장치(101)에서 각각 별개로 SiO<sub>2</sub>막 형성과 해당 SiO<sub>2</sub>막으로의 질화처리까지를 동일 장치내에서 연속해서 실행해도 좋다.



- [0055] 도 2는 플라즈마 처리 장치(100)의 일예를 모식적으로 나타내는 단면도이다. 이 플라즈마 처리 장치(100)는 복수의 슬롯을 갖는 평면 안테나, 특히 RLSA(Radial Line Slot Antenna; 래디얼 라인 슬롯 안테나)에 있어서 처리실 내에 마이크로파를 도입하여 플라즈마를 발생시키는 것에 의해, 고밀도이고 또한 저전자 온도의 마이크로파 플라즈마를 발생시킬 수 있는 RLSA 마이크로파 플라즈마 처리 장치로서 구성되어 있고, 예를 들면, MOS 트랜지스터, MOSFET(전계 효과형 트랜지스터) 등의 각종 반도체 장치의 제조과정에 있어서의 게이트 절연막의 형성 등의 목적으로 바람직하게 이용 가능한 것이다.
- [0056] 상기 플라즈마 처리 장치(100)는 기밀(氣密)하게 구성되고, 접지된 대략 원통형상의 챔버(1)를 갖고 있다. 챔버(1)의 바닥벽(1a)의 대략 중앙부에는 원형의 개구부(10)가 형성되어 있고, 바닥벽(1a)에는 이 개구부(10)와 연통되고 아래쪽을 향해 돌출된 배기실(11)이 마련되어 있다.
- [0057] 챔버(1)내에는 피처리체인 웨이퍼 W를 수평으로 지지하기 위한 AlN 등의 세라믹스로 이루어지는 서셉터(2)가 마련되어 있다. 이 서셉터(2)는 배기실(11)의 바닥부 중앙으로부터 위쪽으로 연장하는 원통형상의 AlN 등의 세라믹스로 이루어지는 지지부재(3)에 의해 지지되어 있다. 서셉터(2)의 외연부(外緣部)에는 웨이퍼 W를 가이드(guide)하기 위한 가이드링(4)이 마련되어 있다. 또한, 서셉터(2)에는 저항 가열형의 히터(5)가 매립되어 있고, 이 히터(5)는 히터 전원(6)으로부터 급전(給電)되는 것에 의해 서셉터(2)를 가열하고, 그 열로 피처리체인 웨이퍼 W를 가열한다. 이 때, 예를 들면 실온(室溫)에서 1000℃까지의 범위에서 온도 제어 가능하게 되어 있다. 또, 챔버(1)의 내주에는 석영으로 이루어지는 원통형상의 라이너(7)가 마련되어 있다. 또한, 서셉터(2)의 외주측에는 챔버(1)내를 균일하게 배기하기 위해, 다수의 배기 구멍(8a)을 갖는 배플 플레이트(8)가 환상(環狀)으로 마련되고, 이 배플 플레이트(8)는 복수의 지주(9)에 의해 지지되어 있다.
- [0058] 서셉터(2)에는 웨이퍼 W를 지지하여 승강시키기 위한 웨이퍼 지지핀(도시하지 않음)이 서셉터(2)의 표면에 대해 돌출 함몰 가능하게 마련되어 있다.
- [0059] 서셉터(2)의 위쪽에는 플라즈마 중의 활성종(이온, 래디컬 등)의 에너지를 감쇠시켜 통과시키기 위한 복수의 관통구멍을 갖는 플레이트(60)가 배치되어 있다. 이 플레이트(60)는 예를 들면 석영이나, 사파이어, SiN, SiC, Al<sub>2</sub>O<sub>3</sub>, AlN 등의 세라믹스의 유전체나, 실리콘 단결정, 폴리 실리콘, 아몰퍼스 실리콘 등에 의해 구성할 수 있다. 또, 본 실시형태에서는 석영을 사용하고 있다. 그리고, 플레이트(60)는 그 외주부가 챔버(1)내의 라이너(7)로부터 내측을 향해 전체 둘레에 걸쳐 돌기한 지지부(70)와 걸어맞춰지는 것에 의해 지지되어 있다. 또, 이 플레이트(60)는 플라즈마 중의 활성종의 에너지를 감쇠시키도록 작용하는 것이지만, 형성될 산화막의 막두께가 5 nm를 넘는 경우 등에는 배치하지 않아도 좋다.
- [0060] 플레이트(60)의 부착 위치는 웨이퍼 W에 근접한 위치가 바람직하고, 플레이트(60)의 하단과 웨이퍼 W의 거리는 예를 들면 3~20 mm가 바람직하며, 10 mm 정도로 하는 것이 더욱 바람직하다. 이 경우, 플레이트(60)의 상단과 투과판(28)(후술)의 하단의 거리는 예를 들면 20~50 mm가 바람직하다.
- [0061] 플레이트(60)에는 복수의 관통구멍(60a)이 형성되어 있다. 도 3a, 도 3b는 플레이트(60)의 세부를 나타내는 도면이다. 도 3a는 플레이트(60)를 위에서 본 상태를 나타내고 있고, 도 3b는 플레이트(60)의 주요부 단면을 나타내고 있다.
- [0062] 플레이트(60)의 관통구멍(60a)은 도 3a 중, 파선으로 나타내는 웨이퍼 W의 탑재 영역에 대해 관통구멍(60a)의 배치 영역이 약간 커지도록 대략 균등하게 배치되어 있다. 구체적으로는 예를 들면 도 3a에서는 300 mm 직경의 웨이퍼 W에 대해 관통구멍(60a)의 배치 영역의 외연을 연결하는 원의 직경에 상당하는 길이 L이 웨이퍼 W의 주연으로부터 대략 5~30 mm 외측으로 확대되어 관통구멍(60a)이 배치되어 있다. 또, 관통구멍(60a)을 플레이트(60)의 전체면에 배치할 수도 있다.
- [0063] 관통구멍(60a)의 직경 D<sub>1</sub>은 임의로 설정하는 것이 가능하며, 예를 들면, 2.5 mm, 5 mm 또는 10 mm 정도로 설정되어 있다. 플레이트(60)내에서 관통구멍(60a)의 위치에 따라 구멍의 크기를 변화시켜도 좋고, 또한 관통구멍(60a)의 배치도 예를 들면 동심원형상, 방사상, 나선형상 등의 임의의 배열을 선택할 수 있다. 또, 플레이트(60)의 두께(T<sub>1</sub>)는 예를 들면 2~20 mm 정도가 바람직하고, 3~8 mm 정도로 설정하는 것이 더욱 바람직하다.
- [0064] 이 플레이트(60)는 플라즈마 중의 이온 등의 활성종의 에너지를 감쇠시키는 에너지 감쇠 수단으로서 작용하는 것이다.
- [0065] 즉, 유전체의 플레이트(60)를 배치하는 것에 의해, 주로 플라즈마 중의 래디컬을 통과시키고, 에너지가 큰 이온 예를 들면 Ar 이온이나 N 이온 등의 에너지를 감쇠시키는 것이 가능하게 된다. 이 목적을 위해서는 후술하는



바와 같이, 플레이트(60)의 관통구멍(60a)의 개구면적, 관통구멍(60a)의 직경  $D_1$ , 더 나아가서는 관통구멍(60a)의 형상이나 배치, 플레이트(60)의 두께  $T_1$ (즉, 벽(60b)의 높이), 플레이트(60)의 설치 위치(웨이퍼 W로부터의 거리) 등을 종합적으로 고려하는 것이 바람직하다. 그 일례로서, 관통구멍(60a)의 구멍직경을 2.5~12 mm로 한 경우, 플레이트(60)상의 웨이퍼 W에 대응하는 영역 내에서, 웨이퍼 W의 면적에 대한 관통구멍(60a)의 합계의 개구면적 비율이 10~50%로 되도록 하는 것이 바람직하다.

[0066] 챔버(1)의 측벽에는 환상을 이루는 가스 도입 부재(15)가 마련되어 있고, 이 가스 도입 부재(15)에는 가스 공급계(16)가 접속되어 있다. 또, 가스 도입 부재는 샤워형상으로 배치해도 좋다. 이 가스 공급계(16)는 예를 들면 Ar 가스 공급원(17),  $O_2$  가스 공급원(18)을 갖고 있고, 이들 가스가 각각 가스라인(20)을 거쳐서 가스 도입 부재(15)에 이르며, 가스 도입 부재(15)로부터 챔버(1)내에 도입된다. 가스라인(20)의 각각에는 매스플로우 컨트롤러(21) 및 그 전후의 개폐밸브(22)가 마련되어 있다. 또, 상기 Ar 가스 대신에, Kr, Xe, He 등의 희가스를 이용할 수도 있다.

[0067] 상기 배기실(11)의 측면에는 배기관(23)이 접속되어 있고, 이 배기관(23)에는 고속 진공 펌프를 포함하는 배기 장치(24)가 접속되어 있다. 그리고, 이 배기 장치(24)를 작동시키는 것에 의해 챔버(1)내의 가스가 배기실(11)의 공간(11a)내로 균일하게 배출되고, 배기관(23)을 거쳐서 배기된다. 이것에 의해 챔버(1)내는 소정의 진공도, 예를 들면 0.133 Pa까지 고속으로 감압하는 것이 가능하게 되어 있다.

[0068] 챔버(1)의 측벽에는 플라즈마 처리 장치(100)에 인접하는 반송실(도시하지 않음)과의 사이에서 웨이퍼 W의 반입/반출을 실행하기 위한 반입출구(25)와, 이 반입출구(25)를 개폐하는 게이트밸브(26)가 마련되어 있다.

[0069] 챔버(1)의 상부는 개구부(開口部)로 되어 있고, 이 개구부의 주연부(周緣部)를 따라 링형상의 지지부(27)가 마련되어 있으며, 이 지지부(27)에 유전체, 예를 들면 석영이나  $Al_2O_3$ , AlN 등의 세라믹스로 이루어지고 마이크로파를 투과하는 투과판(28)이 밀봉 부재(29)를 거쳐서 기밀하게 마련되어 있다. 따라서, 챔버(1) 내는 기밀하게 유지된다.

[0070] 투과판(28)의 위쪽에는 서셉터(2)와 대향하도록, 원판형상의 평면 안테나부재(31)가 마련되어 있다. 이 평면 안테나부재(31)는 챔버(1)의 측벽상단에 걸쳐 고정되어 있다. 평면 안테나부재(31)는 예를 들면 표면이 금 또는 은 도금된 동판 또는 알루미늄판 등의 도전성재료로 이루어지고, 마이크로파를 방사하기 위한 다수의 슬롯 구멍(32)이 소정의 패턴으로 관통되어 형성된 구성으로 되어 있다. 슬롯 구멍(32)은 예를 들면 도 4에 나타내는 바와 같이 긴홈형상을 이루며, 전형적으로는 인접하는 슬롯 구멍(32)끼리가 「T」자 형상으로 배치되고, 이들 복수의 슬롯 구멍(32)이 동심원형상으로 배치되어 있다. 슬롯 구멍(32)의 길이나 배열 간격은 마이크로파의 파장( $\lambda_g$ )에 따라 결정되며, 예를 들면 슬롯 구멍(32)의 간격은  $\lambda_g/4$ ,  $\lambda_g/2$  또는  $\lambda_g$ 로 되도록 배치된다. 또, 도 4에 있어서, 동심원형상으로 형성된 인접하는 슬롯 구멍(32)끼리의 간격을  $\Delta r$ 로 나타내고 있다. 또한, 슬롯 구멍(32)은 원형형상, 원호형상 등의 다른 형상이어도 좋다. 또한, 슬롯 구멍(32)의 배치형태는 특히 한정되지 않으며, 동심원형상 이외에, 예를 들면, 나선형상, 방사상으로 배치할 수도 있다.

[0071] 이 평면 안테나부재(31)의 상면에는 진공보다 큰 유전율을 갖는 지파재(遅波材)(33)가 마련되어 있다. 이 지파재(33)는 예를 들면 석영이나  $Al_2O_3$ , AlN 등의 세라믹스, 폴리테트라플루오로에틸렌 등의 불소계 수지나 폴리이미드계 수지에 의해 구성되어 있고, 진공 중에서는 마이크로파의 파장이 길어지기 때문에, 마이크로파의 파장을 짧게 하여 플라즈마를 조정하는 기능을 갖고 있다. 또, 평면 안테나부재(31)와 투과판(28)의 사이, 또한 지파재(33)와 평면 안테나부재(31)의 사이는 각각 밀착시켜도 이간시켜도 좋다.

[0072] 챔버(1)의 상면에는 이들 평면 안테나부재(31) 및 지파재(33)를 덮도록, 예를 들면 알루미늄이나 스테인리스강 등의 금속재로 이루어지는 쉴드덮개(34)가 마련되어 있다. 또한, 쉴드덮개(34)는 도파로의 일부로서 기능하며, 마이크로파를 균일하게 전파시킨다. 챔버(1)의 상면과 쉴드덮개(34)는 밀봉 부재(35)에 의해 밀봉되어 있다. 쉴드덮개(34)에는 냉각수 유로(34a)가 형성되어 있고, 그곳에 냉각수를 유통시키는 것에 의해, 쉴드덮개(34), 지파재(33), 평면 안테나부재(31), 투과판(28)을 냉각하도록 되어 있다. 또, 쉴드덮개(34)는 접지되어 있다.

[0073] 쉴드덮개(34)의 상부벽의 중앙에는 개구부(36)가 형성되어 있고, 이 개구부에는 도파관(37)이 접속되어 있다. 이 도파관(37)의 단부에는 매칭 회로(38)를 거쳐서 마이크로파 발생 장치(39)가 접속되어 있다. 이것에 의해, 마이크로파 발생 장치(39)에서 발생한 예를 들면 주파수 2.45 GHz의 마이크로파가 도파관(37)을 거쳐서 상기 평면 안테나부재(31)에 전파되도록 되어 있다. 마이크로파의 주파수로서는 8.35 GHz, 1.98 GHz 등을 이용할 수도

있다.

- [0074] 도파관(37)은 상기 쉴드덮개(34)의 개구부(36)로부터 위쪽으로 연장하는 단면이 원형형상인 동축 도파관(37a)과, 이 동축 도파관(37a)의 상단부에 모드 변환기(40)를 거쳐서 접속된 수평 방향으로 연장하는 직사각형 도파관(37b)을 갖고 있다. 직사각형 도파관(37b)과 동축 도파관(37a)의 사이의 모드 변환기(40)는 직사각형 도파관(37b) 내를 TE 모드로 전파하는 마이크로파를 TEM 모드로 변환하는 기능을 갖고 있다. 동축 도파관(37a)의 중심에는 내부도체(41)가 연장되어 있고, 내부도체(41)는 그 하단부에 있어서 평면 안테나부재(31)의 중심에 접속 고정되어 있다. 이것에 의해, 마이크로파는 동축 도파관(37a)의 내부도체(41)를 거쳐서 평면 안테나부재(31)에 방사상으로 효율 좋게 균일하게 전파된다.
- [0075] 플라즈마 처리 장치(100)의 각 구성부는 CPU를 구비한 프로세스 콘트롤러(50)에 접속되어 제어되는 구성으로 되어 있다. 프로세스 콘트롤러(50)에는 공정 관리자가 플라즈마 처리 장치(100)를 관리하기 위해 커맨드의 입력 조작 등을 실행하는 키보드나, 플라즈마 처리 장치(100)의 가동상황을 가시화하고 표시하는 디스플레이 등으로 이루어지는 사용자 인터페이스(51)가 접속되어 있다.
- [0076] 또한, 프로세스 콘트롤러(50)에는 플라즈마 처리 장치(100)에서 실행되는 각종 처리를 프로세스 콘트롤러(50)의 제어에 의해 실현하기 위한 제어 프로그램(소프트웨어)이나 처리 조건 데이터 등이 기록된 레시피가 저장된 기억부(52)가 접속되어 있다.
- [0077] 그리고, 필요에 따라서, 사용자 인터페이스(51)로부터의 지시 등에 의해 임의의 레시피를 기억부(52)로부터 호출하고 프로세스 콘트롤러(50)에 실행시킴으로써, 프로세스 콘트롤러(50)의 제어하에 플라즈마 처리 장치(100)에서의 원하는 처리가 실행된다. 또한, 상기 제어 프로그램이나 처리 조건 데이터 등의 레시피는 컴퓨터 판독 가능한 기억매체, 예를 들면 CD-ROM, 하드 디스크, 플렉시블 디스크, 플래시 메모리 등에 저장된 상태의 것을 이용하거나, 혹은 다른 장치로부터, 예를 들면 전용회선을 거쳐서 수시로 전송시켜 온라인에서 이용하는 것도 가능하다.
- [0078] 이와 같이 구성된 RLSA 방식의 플라즈마 처리 장치(100)에 있어서는 예를 들면 도 5a, 도 5b에 나타내는 수순으로 웨이퍼 W의 실리콘층(111)을 산화하여 실리콘 산화막(113)을 형성하는 처리를 실행할 수 있다. 또한, 도 5c, 도 5d에 나타내는 바와 같이, 형성된 실리콘 산화막(113)의 표면을 또한 질화처리하여, 실리콘 산질화막을 갖는 게이트 절연막(114)을 형성할 수도 있다.
- [0079] 우선, 실리콘 산화막의 형성에서는 게이트밸브(26)를 열림으로 하여 반입출구(25)로부터 실리콘층을 갖는 웨이퍼 W를 챔버(1)내에 반입하고, 서셉터(2)상에 탑재한다. 그리고, 가스 공급계(16)의 Ar 가스 공급원(17) 및 O<sub>2</sub> 가스 공급원(18)으로부터, Ar 가스, O<sub>2</sub> 가스를 소정의 유량으로 가스 도입 부재(15)를 거쳐서 챔버(1)내에 도입한다.
- [0080] 구체적으로는 예를 들면 Ar 등의 회가스 유량을 200~3000 mL/min(sccm), O<sub>2</sub> 가스 유량을 1~600 mL/min(sccm)로 설정하고, 챔버내를 1.33~1333 Pa(10 mTorr~10 Torr), 바람직하게는 26.6~400 Pa(200 mTorr~3 Torr)의 처리압력으로 조정하고, 웨이퍼 W의 온도를 600℃ 초과 1000℃ 이하, 바람직하게는 700℃ 초과 1000℃ 이하, 더욱 바람직하게는 700℃ 초과 900℃ 이하로 가열한다. 이 때, Ar과 O<sub>2</sub>의 유량비는 2000 : 1~5 : 1정도로 하는 것이 바람직하다.
- [0081] 다음에, 마이크로파 발생 장치(39)로부터의 마이크로파를 매칭 회로(38)를 경유해서 도파관(37)으로 보내고, 직사각형 도파관(37b), 모드 변환기(40) 및 동축 도파관(37a)을 순차 전파시켜 평면 안테나부재(31)에 공급하며, 평면 안테나부재(31)의 슬롯으로부터 투과관(28)을 거쳐서 챔버(1)내에 방사시킨다. 마이크로파는 직사각형 도파관(37b) 내에서는 TE 모드로 전파하고, 이 TE 모드의 마이크로파는 모드 변환기(40)에서 TEM 모드로 변환되어, 동축 도파관(37a) 내를 평면 안테나부재(31)를 향해 전파되어 간다. 평면 안테나부재(31)로부터 투과관(28)을 경유해서 챔버(1)에 방사된 마이크로파에 의해 챔버(1)내에서 전자계가 형성되고, Ar 가스와 O<sub>2</sub> 가스가 플라즈마화된다. 이 산소 함유 플라즈마에 의해, 도 5a에 나타내는 바와 같이 웨이퍼 W의 실리콘층(111)을 처리한다. 이 때, 마이크로파 발생 장치(39)의 파워는 0.5~5 kW로 하는 것이 바람직하고, 1~3 kW로 하는 것이 더욱 바람직하다.
- [0082] 이 마이크로파 플라즈마는 마이크로파가 평면 안테나부재(31)의 다수의 슬롯 구멍(32)으로부터 방사되는 것에 의해, 대략  $1 \times 10^{10} \sim 5 \times 10^{12}$  /cm<sup>2</sup>의 고밀도이고 또한 웨이퍼 W 근방에서는 대략 1.5 eV 이하의 저전자 온도 플라즈

마로 된다. 이와 같이 하여 형성되는 마이크로파 플라즈마는 이온 등에 의한 플라즈마 데미지가 적은 것이지만, 플레이트(60)를 마련한 것에 의해, 플레이트(60)의 위에 형성되는 플라즈마가 웨이퍼 W측에 통과할 때에, 플라즈마 중의 활성종(이온 등)의 에너지를 감쇠시키고, 플레이트(60)의 아래쪽에서는 전자온도가 1 eV 이하, 웨이퍼 W의 근방에서는 0.7 eV 이하의 마일드한 플라즈마가 생성되게 되어, 플라즈마 데미지를 가일층 저감할 수 있다. 그리고, 플라즈마 중의 활성종, 주로 산소 래디컬( $O^*$ ) 등의 작용에 의해서 실리콘 중에 산소가 도입되어 Si-O 결합이 형성되고, 도 5b에 나타내는 바와 같이, 치밀하고 트랩이 적은 양질의 실리콘 산화막(113)이 성막된다. 이와 같이, 플라즈마 처리 장치(100)를 이용하고, 600℃ 초과 온도에서 플라즈마 처리를 실행하는 것에 의해, 0.2~10 nm의 막두께 범위에서 치밀하고 양질의 실리콘 산화막(게이트 절연막)을 형성하는 것이 가능하고, 바람직하게는 0.5~2.0 nm, 더욱 바람직하게는 0.8~1.2 nm의 얇은 막두께에서의 형성이 가능하다.

[0083] 여기서, 플라즈마 처리 장치(100)에서 실행되는 플라즈마 산화처리의 더욱 구체적인 수순에 대해 설명한다. 우선, 웨이퍼 W를 챔버(1)내에 반입한 후, 제1 스텝으로서, 웨이퍼 지지핀(도시하지 않음)을 상승시키고, 서셉터(2)로부터 돌출시킨 상태에서 웨이퍼 W를 지지하면서, 프리히트(pre-heat)를 실시한다. 이 프리히트는 챔버(1)내의 압력을 예를 들면 266.6 Pa(2 Torr)로 하고, Ar 가스 공급원(17)으로부터 Ar 가스를 2000 mL/min(sccm)의 유량으로 도입하면서 약 20초 정도 실시한다.

[0084] 다음에, 제2 스텝에서는 웨이퍼 지지핀(도시하지 않음)을 하강시켜 웨이퍼 W를 서셉터(2)에 탑재하고, Ar 가스를 2000 mL/min(sccm)의 유량으로 도입하면서 챔버(1)내를 진공배기 상태로 하고, 약 70초간 소요하여, 또한 프리히트를 계속한다. 이상의 제1 스텝 및 제2 스텝의 프리히트 처리를 실행하는 것에 의해, 예를 들면 800℃의 고온에서 웨이퍼 W를 처리할 때에, 급격한 승온에 의해서 웨이퍼 W에 왜곡이 생기는 것을 방지할 수 있다. 프리히트 처리는 처리온도와 동일한 온도에 도달할 때까지 실행하는 것이 바람직하다.

[0085] 제3 스텝에서는 Ar 가스의 유량을 유지한 채  $O_2$  가스 공급원(18)으로부터  $O_2$  가스를 10 mL/min(sccm)의 유량으로 도입하고, 챔버(1)내의 압력을 67.7 Pa(500 mTorr)로 조절한다. 이 상태에서 약 20초간 유지하는 것에 의해, 가스 유량을 안정화시킨다.

[0086] 다음에, 제4 스텝에서는 압력 및 가스유량을 유지한 채, 마이크로파 발생 장치(39)에 의해, 예를 들면 출력 2 kW로 마이크로파를 발생시키고, 상기와 같이 매칭 회로(38), 도파관(37) 및 평면 안테나부재(31) 등을 거쳐서 챔버(1)내에 도입하는 것에 의해 플라즈마를 여기시키고, 예를 들면 10~50초간 정도의 시간에서 웨이퍼 W에 대해 플라즈마 산화처리를 실시한다.

[0087] 제5 스텝에서는 마이크로파를 정지시키고, 압력 및 가스유량을 약 3초간 정도 유지한 상태에서 플라즈마의 종료 처리를 실행한다. 이상의 제1~제 5 스텝의 처리를 실시하는 것에 의해, 1개의 웨이퍼 W에 대해 플라즈마 처리 장치(100)에 있어서의 플라즈마 산화처리가 완료된다.

[0088] 본 발명에 있어서는 이상과 같이 하여 형성된 양질의 실리콘 산화막(113)을 반도체 소자의 게이트 절연막으로서 사용하는 것이 가능하다. 또한, 게이트 절연막(114)으로서 사용하는 경우에, 실리콘 산화막(113)을 질화처리하여 실리콘 산화막(113)의 표면층에 실리콘 질화막을 형성하는 것도 가능하다. 질화처리는 동일 챔버내, 즉 도 2의 플라즈마 처리 장치(100)내에, 계속해서 질소 함유 가스를 도입하여 실시하는 것도 가능하지만, 챔버(1)내가 산화분위기에 있으면, 질화처리에 영향을 주는 일이 있으므로, 다른 챔버로 웨이퍼 W를 옮겨 실행하는 것이 바람직하다. 다른 챔버에서의 질화처리시에는 예를 들면 도 6에 나타내는 플라즈마 처리 장치(101)를 이용할 수 있다. 이 플라즈마 처리 장치(101)는 RLSA 방식의 플라즈마 처리 장치이며, 가스 공급계를 제외하면 기본적인 구성은 도 2의 플라즈마 처리 장치(100)와 마찬가지로 하기 때문에, 동일 구성에는 동일 부호를 붙이고 설명을 생략한다.

[0089] 도 6의 플라즈마 처리 장치(101)에서는  $N_2$  가스 공급원(19)을 구비하고 있고, 여기로부터  $N_2$  가스를 공급할 수 있도록 구성되어 있다. 질화처리에 있어서의 처리가스로서는  $N_2$  가스 대신에, 예를 들면  $NH_3$  가스,  $N_2$ 와  $H_2$ 의 혼합 가스 등을 이용하는 것도 가능하다. 또한 Ar 가스 대신에, Kr, Xe, He 등의 희가스를 이용하는 것도 가능하다.

[0090] 플라즈마 처리 장치(101)를 이용하는 질화처리의 조건은 특히 한정되는 것은 아니며, 예를 들면 Ar 등의 희가스 유량을 100~3000 mL/min(sccm),  $N_2$  가스 유량을 10~1000 mL/min(sccm)으로 설정하고, 챔버 내를 1.3~1333 Pa(10 mTorr~10 Torr)의 처리압력으로 조정하며, 웨이퍼 W의 온도를 300~500℃로 가열한다. 또한, 마이크로파

발생 장치(39)의 파워는 0.5~5 kW로 하는 것이 바람직하다.

- [0091] 이상과 같은 조건에서, 도 5c에 나타내는 바와 같이 플라즈마 질화처리를 실행하는 것에 의해서, 실리콘 산화막(113)의 표면 부근에 실리콘 질화막(SiON막)을 형성할 수 있다.
- [0092] 또, 도 6의 플라즈마 처리 장치(101)에 있어서도, 플레이트(60)를 배치하지 않고 질화처리를 실행할 수 있지만, 플라즈마 중의 질소이온의 에너지를 감쇠시키기 위해, 관통구멍(60a)을 갖는 플레이트(60)를 이용하는 것이 바람직하다. 이것에 의해, 플라즈마 데미지를 억제할 수 있다.
- [0093] 이상의 질화처리에서는 게이트 절연막(114)을 포함하는 트랜지스터에 있어서 리크 전류를 억제하는 관점에서, 형성되는 SiON막 중의 N농도를 1~25%로 하는 것이 바람직하고, 5~15%가 더욱 바람직하며, 8~12%가 바람직하다. 또한, 본 실시형태에서는 플라즈마 질화처리시에, 질소 농도 분포를 게이트 산화막의 표면측에 고농도로 균일하게 분포시키고, 실리콘 기판과의 계면 부근에는 질소가 분포하지 않는 SiON막을 형성하는 제어가 가능하다.
- [0094] 질화처리 후에는 필요에 따라 어닐 처리를 실행할 수 있다. 이 질화 후의 어닐 처리는 예를 들면 RTP(Rapid Thermal Process) 장치 등을 이용하고, 저산소 분압 또는 N<sub>2</sub>, Ar 등의 불활성 가스 분위기에서, 압력 133.3 Pa(1 Torr), 웨이퍼 W 온도 1000℃ 이상이고, 10~30초간 정도의 단시간 가열을 하는 것에 의해서 실시할 수 있다. 이것에 의해, 실리콘 기판과 절연막의 계면을 원활하게 할 수 있음과 동시에, 절연막의 막질을 향상시키고, 또한 질소 분리를 억제하여 안정된 절연막이 형성된다.
- [0095] 이상과 같은 각 공정을 실시하는 것에 의해, 게이트 절연막(114)을 제조할 수 있다(도 5d).
- [0096] 본 발명 방법은 MOS 트랜지스터 등의 반도체 장치의 제조과정에서 사용할 수 있으며, 예를 들면 도 7a~도 7c에 나타내는 바와 같은 게이트 전극 구조를 갖는 반도체 장치의 제조에 적용할 수 있다. 또, 도 7a~도 7c에 있어서는 소자 분리 영역, 게이트 전극 측벽의 산화막, 사이드월 등은 도시를 생략하고 있다.
- [0097] 도 7a 및 도 7b는 폴리 메탈 게이트를 갖는 반도체 장치의 예이다. 도 7a는 Si 기판(111) 상에 본 발명 방법에 의해, 실리콘 산화막(SiO<sub>2</sub>막) 또는 실리콘 산질화막(SiON막)의 게이트 절연막(114)이 형성되고, 또한 게이트 전극으로서 폴리 실리콘층(115) 및 텅스텐실리사이드(WSi)층(116)을 적층한 텅스텐 폴리사이드 구조이다. 도 7b는 본 발명 방법에 의해 Si 기판(111)상에 SiO<sub>2</sub>막 또는 SiON막의 게이트 절연막(114)이 형성되고, 또한 게이트 전극으로서 폴리 실리콘층(115), 텅스텐나이트라이드(WN) 등의 배리어층(118) 및 텅스텐층(119)을 적층한 텅스텐 폴리 메탈 구조이다. 도 7c는 Si 기판(111)상에 SiO<sub>2</sub>막 또는 SiON막의 게이트 절연막(114)이 형성되고, 그 위에 텅스텐나이트라이드(WN) 등의 배리어층(118), 텅스텐층(119)을 적층한 텅스텐 메탈 게이트 구조이다.
- [0098] 또, 도 7a에서는 금속 실리사이드층으로서 텅스텐 실리사이드층(116)을, 또한 도 7b, 도 7c에서는 금속층으로서 텅스텐층(119)을 예로 들었지만, 금속 실리사이드층이나 금속층의 구성 금속으로서의 예를 들면 동, 백금, 티탄, Mo, Ni, Co 등의 다른 금속이어도 좋다.
- [0099] 다음에, 도 7b에 나타내는 게이트 전극 구조를 예로 들어, 그 제작 수순을 나타내면, 우선, DHF(희석불산) 세정하여 청정면을 갖는 Si 기판(111)에 P+ 또는 N+를 도포하여 웰 영역(확산 영역)을 형성하고, 계속해서 도 2에 나타내는 플라즈마 처리 장치(100)를 이용하여, 전술한 조건에 따라 700℃ 초과 온도에서 플라즈마 산화처리하여 Si 기판 표면에 SiO<sub>2</sub>막을 형성하며, 바람직하게는 그 후, 도 6에 나타내는 플라즈마 처리 장치(101)를 이용하여 상기 조건에서 SiO<sub>2</sub>막 표면을 플라즈마 질화처리하여 SiON막을 형성하고, 필요에 따라서 질소 등의 불활성 분위기 하이고 1000℃ 정도의 온도에서 어닐을 하여 게이트 절연막(114)을 제작한다.
- [0100] 다음에, 게이트 절연막(114) 상에, 예를 들면 CVD에 의해 폴리 실리콘층(115)을 성막하고, 그 위에 배리어층(118)을 성막하며, 또한 고용점 전극 재료인 텅스텐에 의해 텅스텐층(119)을 형성한다. 텅스텐층(119)의 형성에는 예를 들면 CVD법이나 스퍼터링법을 이용할 수 있다. 또, 이 예에서는 배리어층(118)으로서 텅스텐나이트라이드를 이용하고 있다.
- [0101] 텅스텐층(119)의 위에는 질화 실리콘 등의 하드 마스크층(도시하지 않음)을 형성하고, 또한 포토 레지스트막(도시하지 않음)을 형성해 둔다. 그리고, 포토리소그래피 기술에 의해 포토 레지스트막을 마스크로 해서 하드 마스크층을 에칭하고, 또한 포토 레지스트막 +하드 마스크층, 또는 하드 마스크층을 마스크로 해서 텅스텐층(119), 배리어층(118), 폴리 실리콘층(115)을 순차 에칭한다. 그 동안에, 필요한 타이밍에서 애싱이나 세정을 실행하고, 마지막에 사이드월(도시하지 않음)을 형성하는 것에 의해 게이트 전극이 형성된다. 이와 같이 해서 형성된 게이트 전극을 이용하는 것에 의해, 리크 전류가 작고, 구동 전류가 큰 양질의 트랜지스터를 제조할 수



있다.

[0102] 다음에, 본 발명의 효과를 확인한 시험 결과에 대해, 도 8 및 도 9를 참조하면서 설명한다.

[0103] 실시예 1

[0104] (본 발명의 고온 플라즈마 산화처리에 의한 산화막; 800℃)

[0105] 플라즈마 처리 장치(100)를 이용하고, Si 기판(111)을 고온 플라즈마 산화처리하여 산화막을 형성하며, 막두께 1.0 nm의 게이트 절연막(114)을 형성하였다(질화처리는 실행하고 있지 않다). 이 본 발명 방법에 의해 형성한 게이트 절연막(114)을 이용하고, 도 7a와 마찬가지로의 구조의 게이트 전극을 형성하여 트랜지스터를 제조하였다.

[0106] 산화처리 공정에 있어서의 플라즈마 처리의 조건은 플레이트(60)로서 관통구멍(60a)의 직경이 2.5 mm의 것을 이용하고, 처리가스로서 Ar/O<sub>2</sub>를 이용하며, 유량 2000/10 [mL/min(sccm)]으로 하고, 웨이퍼 온도는 800℃, 압력은 66.7 Pa(500 mTorr)로 하며, 플라즈마로의 공급 파워는 2.0 kW, 처리 시간 7초로 실행하였다.

[0107] 비교예 1

[0108] (저온 플라즈마 산화처리에 의한 산화막; 400℃)

[0109] 산화처리 공정의 온도를 400℃로 한 것 이외는 실시예 1과 마찬가지로 해서 성막한 막두께 1.0 nm의 산화막을 게이트 절연막(114)으로서 이용하고, 실시예 1과 마찬가지로 하여 게이트 전극을 형성하고, 트랜지스터를 제조하였다.

[0110]

[0111] 비교예 2

[0112] (WVG 열산화처리에 의한 산화막; 800℃)

[0113] WVG(Water Vapor Generator)를 배비한 산화로를 이용하여 Si 기판(111)을 800℃에서 열산화처리하여 형성한 막 두께 1.0 nm의 열산화막을 게이트 절연막(114)으로서 이용한 것 이외는 실시예 1과 마찬가지로 해서 게이트 전극을 형성하고, 트랜지스터를 제조하였다.

[0114] 이들 트랜지스터의 G<sub>m</sub>(전달 콘덕턴스)을 측정한 결과를 도 8에 나타내었다. 또, 도 8의 종축은 산화막의 전기 용량 Cox에 대한 G<sub>m</sub>(G<sub>m</sub>/Cox)이며, 횡축은 유효 전계를 나타낸다.

[0115] 도 8로부터, 플라즈마 처리 장치(100)를 이용하고, 본 발명의 고온(800℃)에서 산화처리하여 얻어진 게이트 절연막(114)을 이용한 실시예 1의 트랜지스터는 400℃에서의 플라즈마 산화처리(비교예 1)나, 열산화처리(비교예 2)에 의해 얻어진 게이트 절연막(114)을 이용한 트랜지스터에 비해, 고전계측에서 G<sub>m</sub>의 값이 높고, 양호한 전기적 특성을 나타내는 것이 확인되었다. 즉, 고전계측에서의 G<sub>m</sub>값이 높은 실시예 1의 트랜지스터는 전자의 이동도(mobility)가 크고, 전류이득이 향상하고 있기 때문에, 고속 및 안정의 성질을 갖는 트랜지스터이다.

[0116] 실시예 1의 트랜지스터가 고전계측에서 높은 G<sub>m</sub>값을 나타내는 이유는 플라즈마 처리 장치(100)를 이용하여 600℃ 초과的高温에서 실리콘을 산화처리하는 것에 의해 형성된 게이트 절연막(114)은 SiO<sub>2</sub>/Si 계면의 조도가 작기 때문에, 계면 조도 산란이 억제되어 있기 때문으로 추측된다.

[0117] 실시예 2

[0118] (고온 플라즈마 산화처리에 의한 산화막; 800℃)

[0119] 플라즈마 처리 장치(100)를 이용하고, 1% DHF 용액으로 세정한 Si 기판(111) 표면을 고온 플라즈마 산화처리하여 산화막을 형성하고, 또한 이 산화막을 도 6에 나타내는 플라즈마 처리 장치(101)를 이용하여 질화처리하며, 또한 질화 후에 가열유닛(136)에 반입하여 어닐 처리를 실행하여 게이트 절연막(114)을 형성하였다. 이 게이트 절연막(114)을 이용하여, 도 7a에 나타내는 구조의 게이트 전극을 형성하고, 트랜지스터를 제조하였다. 게이트

절연막(114)의 막두께는 약 1 nm로 하였다. 또, 산화처리, 질화처리 및 어닐 처리는 진공을 거쳐서 연속적으로 실행하는 것이 바람직하다.

[0120] 산화처리 공정에 있어서의 플라즈마 처리의 조건은 플레이트(60)로서, 관통구멍(60a)의 직경이 2.5 mm의 것을 이용하고, 처리가스로서 Ar/O<sub>2</sub>를 이용하며, 유량 2000/10 [mL/min(sccm)]로 하고, 웨이퍼 온도 800℃, 압력은 66.7 Pa(500 mTorr)로 하며, 플라즈마로의 공급 파워는 2.0 kW, 처리 시간 7초로 실행하였다.

[0121] 또한, 질화처리 공정에 있어서의 플라즈마 처리의 조건은 플레이트(60)로서, 관통구멍(60a)의 직경이 10 mm의 것을 이용하고, 처리가스로서 Ar/N<sub>2</sub>를 이용하며, 유량을 2000/40 [mL/min(sccm)]로 하고, 웨이퍼 온도 400℃, 압력은 6.7 Pa(50 mTorr)로 하며, 플라즈마로의 공급 파워는 1.5 kW로 하였다. 질화처리는 SiON막 중의 질소농도가 6%, 11% 또는 13%로 되도록 처리 시간 8초, 17.5초 또는 24초로 제어하여 산질화막을 형성하였다.

[0122] 질화 후 어닐 처리에 있어서의 조건은 RTP(Rapid Thermal Process) 장치를 이용하여 O<sub>2</sub>/N<sub>2</sub>=1/1 [L/min(slm)], 압력 133.3 Pa(1 Torr), 웨이퍼 W 온도 1000℃에서 20초간 소요하여 실시하였다.

[0123] 또한, 비교를 위해, 이하의 방법에 의해 제조한 트랜지스터에 대해서도 시험을 하였다.

[0124] 비교예 3

[0125] (저온 플라즈마 산화처리에 의한 산화막; 400℃)

[0126] 플라즈마 산화처리의 처리온도를 400℃로 한 것 이외는 실시예 2와 마찬가지로 하여 게이트 절연막(114)을 형성하고, 트랜지스터를 제조하였다.

[0127]

[0128] 비교예 4:

[0129] (WVG 열산화처리에 의한 산화막; 800℃)

[0130] WVG(Water Vapor Generator)를 배비한 산화로를 이용하고, 800℃에서 성막한 열산화막에 대해, 실시예 2와 마찬가지로, 플라즈마 처리 장치(101)를 이용하여 질화처리하고, 또한 질화 후 어닐 처리를 실행하여 게이트 절연막(114)을 형성하고, 트랜지스터를 제조하였다.

[0131] 비교예 5:

[0132] (RTP 열산화처리에 의한 산화막; 1000℃)

[0133] RTP(Rapid Thermal Process) 장치에서, O<sub>2</sub>/N<sub>2</sub>=1/1 [L/min(slm)]을 이용하여 압력 133.3 Pa(1 Torr), 온도 1000℃에서 5초간, 열산화처리하여 성막한 열산화막에 대해, 플라즈마 처리 장치(101)를 이용하여 상기 실시예 2와 마찬가지로의 조건에서 질화처리한 후, 또한 질화 후 어닐 처리를 실행하여 게이트 절연막(114)을 형성하고, 트랜지스터를 제조하였다.

[0134] 이들 트랜지스터에 대해, I<sub>on</sub>-Jg 플롯을 작성하였다. 그 결과를 도 9에 나타내었다. 도 9의 종축은 임계값 전압+0.7V에 있어서의 I<sub>on</sub>이며, 이 값은 비교예 4(WVG 열산화처리; 800℃)의 게이트 절연막(114)의 I<sub>on</sub>에서 규격화하였다. 횡축은 임계값 전압+0.7V에 있어서의 Jg이며, 마찬가지로 비교예 4의 Jg에서 규격화한 값을 나타내고 있다. 또, I<sub>on</sub>은 온 전류(=구동 전류)를 의미하여, Jg는 게이트 절연막(114)을 거쳐서 흐르는 단위면적당 리크 전류를 의미한다. 따라서, 도 9의 그래프의 좌측상부로 갈수록 리크 전류가 적고, 구동 전류가 커지므로, 트랜지스터의 전류 구동 능력이 우수한 것을 나타내고 있다.

[0135] 또, 도 9중, 「6%」, 「11%」, 「13%」의 문자는 게이트 절연막(114) 중의 N 농도를 나타낸다.

[0136] 도 9의 결과로부터, 플라즈마 처리 장치(100)를 이용하여 800℃의 고온에서 플라즈마 산화처리한 산화막(SiO<sub>2</sub>)을 베이스로 질화처리하여 얻어진 산질화막(SiON)의 게이트 절연막(114)을 갖는 실시예 2의 트랜지스터는 플라즈마 처리 장치(100)를 이용하여 400℃의 저온에서 플라즈마 산화처리하여 얻은 산화막이나, WVG 열산화처리 및 RTP 열산화처리에 의한 열산화막을 베이스로, 각각 질화처리하여 얻어진 게이트 절연막(114)을 사용한 경우(비

교에 3~5)에 비해, 우수한 전류 구동 능력을 갖는 것이 나타났다. 이것은 각각의 산질화막의 원인이 된 산화막의 막질의 차가 이러한 전류 구동 능력의 차로 되어 나타난 것으로 고려된다. 본 실시예에서는 800℃에서 플라즈마 산화처리를 실행하였지만, 본 발명 방법에 의해 600℃ 초과와 처리온도에서 산화처리하여 형성된 산화막을 토대로 질화처리하여 형성된 게이트 절연막(114)을 구비한 트랜지스터는 모빌리티 성능이 우수하고, 응답속도가 높으며, 전력 절약화가 가능한 것이 나타났다. 또, 산질화막 중의 N농도는 1~25%의 범위로 하는 것이 바람직하다.

[0137] 또한, 플라즈마 처리 장치(100)를 이용하여 800℃에서 산화처리하여 얻은 산화막을 베이스로 한 게이트 절연막(114)은 1 nm 정도의 박막이어도, 이것을 이용한 트랜지스터에 있어서, 리크 전류를 억제하면서, 열산화막에 비해 높은 전류 구동 능력을 나타내었기 때문에, 트랜지스터의 성능의 향상에 기여할 수 있는 것이 확인되었다. 따라서, 본 발명 방법에 의해, 0.2~10 nm의 막두께(바람직하게는 0.5~2.0 nm, 더욱 바람직하게는 0.8~1.2 nm의 얇은 막두께)의 범위에서 양질의 게이트 절연막(114)을 형성할 수 있는 것이 나타났다.

[0138] 다음에, 플라즈마 처리 장치(100)를 이용한 Si 기판으로의 플라즈마 산화처리에 있어서, 플레이트(60)의 관통구멍(60a)의 구멍직경이 Si 기판상에 형성된 산화막의 막두께에 주는 영향에 대해 시험한 결과를, 도 10~도 12를 참조하면서 설명한다. 여기서는 플레이트(60)로서, 관통구멍(60a)의 구멍직경 10 mm의 플레이트(구멍의 수 626개), 관통구멍(60a)의 구멍직경 5 mm의 플레이트(구멍의 수 629개), 관통구멍(60a)의 구멍직경 2.5 mm의 플레이트(구멍의 수 2701개)의 3종류를 준비하고, 또한, 플레이트(60)를 사용하지 않는 경우에 대해서도 각각 플라즈마 산화처리를 실시하였다.

[0139] 플라즈마 산화처리에 있어서의 조건은 처리가스로서 Ar/O<sub>2</sub>를 유량비 1000/5 [mL/min(sccm)]로 하고, 웨이퍼 온도 800℃, 압력은 66.7 Pa(500 mTorr)로 하며, 플라즈마로의 공급 파워는 2.0 kW, 처리 시간 5~60초로 변화시켜 실시하고, 그 때의 산화막두께를 측정하였다.

[0140] 도 10으로부터, 플레이트를 사용하지 않는 경우에는 산화 레이트가 높고, 단시간에 산화막이 형성되어 있다. 또, 이 산화막은 양질이고 균일한 산화막이었다. 그러나, 플레이트를 사용하지 않는 경우에는 1~2 nm 이하의 균일한 막두께로 산화막을 형성하는 것에는 한계가 있다.

[0141] 한편, 플레이트(60)를 사용하는 것에 의해서, 플레이트(60)를 사용하지 않은 경우에 비해 산화막의 성장이 억제되어, 극박막을 형성할 수 있는 것이 이해된다. 이 경우, 플레이트(60)의 구멍직경이 작아짐에 따라 산화막의 성장속도(산화 레이트)가 억제되고 있다.

[0142] 도 11은 도 10의 그래프를 산화막두께 0.5 nm~2.0 nm의 범위에 넣어 확대한 것이다. 이 도 11로부터, 플레이트(60)의 구멍직경을 5 mm 및 2.5 mm로 하는 것이 목적으로 하는 0.5 nm~1.5 nm 이하의 박막 형성에 있어서 유효한 것을 알 수 있다. 또한, 특히 구멍직경이 5 mm의 플레이트(60)를 이용하는 것에 의해, 800℃의 고온 처리에 있어서도, 처리 시간을 10초~35초의 사이에서 변화시킬 뿐 대략 0.8 nm~1.2 nm의 범위에서 산화막두께를 고속으로 제어할 수 있어, 단시간에 균일하고 또한 치밀하게 고품질의 산화막을 형성할 수 있는 것이 나타났다.

[0143] 도 12에, 구멍직경 5 mm의 플레이트(60)를 배비한 플라즈마 처리 장치(100)를 이용하고, 5000개의 웨이퍼 W에 대해 플라즈마 산화처리의 러닝시험을 실시한 경우의 웨이퍼 W의 면간의 실리콘 산화막의 막두께 변화를 나타낸다. 본 시험에서는 처리가스로서 Ar/O<sub>2</sub>를 유량비 1000/5 [mL/min(sccm)]로 하고, 웨이퍼 온도 800℃, 압력은 66.7 Pa(500 mTorr)로 하며, 플라즈마로의 공급 파워는 2.0 kW, 처리 시간 10초에서 실시하였다. 목표로 하는 실리콘 산화막의 막두께는 0.8 nm~1.2 nm의 박막으로 설정하였다. 도 12로부터, 0.5 nm~2.0 nm의 박막 형성에 있어서, 800℃ 고온 처리에서도 재현성 좋게 실리콘 산화막을 형성할 수 있는 것이 나타났다. 이 러닝 시험에 있어서의 평균 막두께는 0.8309 nm, 막두께의 면간 균일성은 0.621%Sigma였다. 이것은 플레이트(60)를 배비하여 이온의 양을 제어하는 것에 의해서, 웨이퍼 W의 표면 부근에서 플라즈마 중의 활성종이 균일화되었기 때문으로 추측된다.

[0144] 표 1은 배비한 플라즈마 처리 장치(100)를 이용하고, 웨이퍼 W에 대해 플라즈마 산화처리를 실시한 경우의 웨이퍼 W면내의 실리콘 산화막의 막두께의 균일성을, 단파장 엘립소미터(ellipsometer)를 이용하여 측정한 결과를 나타내고 있다. 플라즈마 산화처리의 조건은 상기 러닝시험과 마찬가지로 하였다. 표 1 중, 구분 A는 구멍직경 2.5 mm의 플레이트(60)를 사용하고, 목표 막두께를 1.0 nm로 설정한 경우의 면내 균일성을 나타내고 있고, 구분 B는 마찬가지로 구멍직경 2.5 mm의 플레이트(60)를 사용하고, 목표 막두께를 1.2 nm로 설정한 경우의 면내 균일성을 나타내고 있다. 또한, 구분 C는 구멍직경 10 mm의 플레이트(60)를 사용하고, 목표 막두께를 1.7 nm로 설정한 경우의 면내 균일성을 나타내고 있다. 또한, 도면 중  $\sigma$ 는 막두께의 표준편차를 의미하고 있으며,  $\sigma/$



평균 막두께는 표준편차를 평균 막두께(nm)로 규격화한 값을 나타내는 것이다.

표 1

	구분 A	구분 B	구분 C
구멍 직경[ mm]	2.5	2.5	10
평균막두께[nm]	1.0196	1.2161	1.7334
$\sigma$ /평균막두께[%]	0.935	1.229	0.465

표 1로부터, 플레이트(60)를 사용하는 것에 의해, 웨이퍼 W의 면내에 있어서도 산화막두께의 균일성이 약 1.23% 이하로 양호한 결과가 얻어지는 것이 확인되었다.

다음에, 플라즈마 처리 장치(100)를 이용하여, 하기의 방법으로 실리콘 기판상에 형성한 실리콘 산화막에 대해, 에칭내성, 계면 조도, 아르곤농도, 막 밀도의 측정을 실행하였다.

(실리콘 산화막 형성 방법)

WVG 열산화처리: 900℃로 실행하였다(비교 샘플로서).

플라즈마 산화처리: 처리가스로서 Ar과 O<sub>2</sub>를 유량비 Ar/O<sub>2</sub>=1000/10 [mL/min(sccm)]에서 이용하고, 마이크로파 출력 2000W, 처리압력 26.6 Pa, 66.7 Pa 또는 533.3 Pa, 처리온도 400℃, 600℃, 700℃ 또는 800℃에서 실시하였다.

(에칭 내성)

에칭 내성은 각 실리콘 산화막에 대해, 0.5% 농도(순수한 물/50% HF=100/1)의 회불산(DHF)을 이용하여 30초간의 웨트 에칭 처리를 실행하고, 에칭 전후의 막두께를 엘립소미터에 의해서 측정하고, 에칭 레이트를 산출하는 것에 의해 평가하였다.

에칭 내성의 측정 결과를 도 13에 나타내었다. 또, 도 13의 종축은 에칭레이트를 규격화하여 나타내고 있다. 이 도 13으로부터, WVG 열산화처리에 의해서 형성한 실리콘 산화막이나 400℃의 플라즈마 산화처리에 의해서 형성한 실리콘 산화막에 비해, 800℃의 플라즈마 산화처리에 의해서 형성한 실리콘 산화막은 에칭 내성이 우수한 것이 나타났다. 따라서, 800℃의 고온 플라즈마 산화처리에 의해서 형성된 실리콘 산화막은 치밀하고 양호한 막질인 것이 확인되었다.

(계면 조도)

계면 조도(Ra)는 실리콘 산화막이 형성된 웨이퍼 W를 0.5% 회불산용액에 침지하고, 실리콘 산화막(SiO<sub>2</sub>)을 제거한 후, 표면 조도계를 이용하여 노출된 실리콘 계면의 조도를 측정하였다. 그 결과를 도 14에 나타내었다. 이 도 14로부터, 800℃의 고온 플라즈마 산화처리(처리압력 26.6 Pa)에 의해서 형성한 실리콘 산화막과 실리콘의 계면은 400℃의 저온 플라즈마 산화처리(처리압력 26.6 Pa)나 WVG 열산화처리(900℃)에 의해 형성한 실리콘 산화막과 실리콘의 계면에 비해, 계면 조도가 작아 양호한 것이 확인되었다. 이와 같이 작은 계면 조도는 리크 전류의 억제에 기여한다.

(아르곤 농도)

각 실리콘 산화막의 아르곤 농도는 전 반사 X선 형광분석(Trex)을 이용하여 측정하였다. 그 결과, 400℃의 처리온도(압력 26.6 Pa)에서 플라즈마 산화처리를 실행하는 것에 의해 형성한 실리콘 산화막 중의 아르곤농도는  $7 \times 10^{10}$  [atoms/cm<sup>2</sup>]을 초과하고 있던데 반해, 600℃, 700℃ 및 800℃의 처리온도(압력은 모두 26.6 Pa)에서 플라즈마 산화처리를 실행하는 것에 의해 형성한 실리콘 산화막 중의 아르곤 농도는 모두  $1 \times 10^{10}$  [atoms/cm<sup>2</sup>] 이하이

고, WVG 열산화에 의해 형성한 실리콘 산화막과 동일 레벨 이하의 아르곤 농도이며, 양호한 막질인 것이 확인되었다(결과는 도시 생략).

[0158] (막 밀도)

[0159] 막 밀도의 측정은 입사 X선 반사율 측정법(GIXR)에 의해 실행하였다. 그 결과를 도 15에 나타낸다. 이 도 15로부터, 400℃의 처리온도(압력 26.6 Pa)에서 플라즈마 산화처리를 실행하는 것에 의해 형성한 실리콘 산화막의 막 밀도에 비해, 600℃, 700℃ 및 800℃의 처리온도(압력은 모두 26.6 Pa)에서 플라즈마 산화처리를 실행하는 것에 의해 형성한 실리콘 산화막은 명백히 높으며, WVG 열산화처리에 의해 형성한 실리콘 산화막과 마찬가지로의 막 밀도 프로파일인 것이 나타났다.

[0160] 다음에, 각종 조건으로 형성한 실리콘 산화막 및 실리콘 질화막을 게이트 절연막으로서 사용하여 NMOS 트랜지스터를 작성하고, 전기적 특성을 평가하였다. 도 16은 게이트 절연막의 전기적 막두께(EOT)와, 임계값 전압 +0.7V에 있어서의  $I_{on}$ 의 관계를 나타내며, 도 17은 게이트 절연막의 전기적 막두께(EOT)와 전달 콘덕턴스의 최대값( $G_{mm_{ax}}$ )의 관계를 나타내고 있다.

[0161] 도 16 및 도 17 중의 부호 A~N은 이하의 시험 구분을 나타내고 있다.

[0162] A; WVG 열산화 900℃

[0163] B; WVG 열산화 900℃ + 플라즈마 질화처리

[0164] C; 플라즈마 산화 400℃, 106.6 Pa(구멍직경 10 mm 플레이트 사용) + 플라즈마 질화처리

[0165] D; 플라즈마 산화 800℃, 66.7 Pa + 플라즈마 질화처리

[0166] E; 플라즈마 산화 400℃, 66.7 Pa + 플라즈마 질화처리

[0167] F; 플라즈마 산화 800℃, 106.6 Pa(구멍직경 10 mm 플레이트 사용) + 플라즈마 질화처리

[0168] G; 플라즈마 산화 650℃, 106.6 Pa(구멍직경 10 mm 플레이트 사용) + 플라즈마 질화처리

[0169] H; WVG 열산화 900℃

[0170] I; WVG 열산화 900℃ + 플라즈마 질화처리

[0171] J; 플라즈마 산화 400℃, 106.6 Pa(구멍직경 10 mm 플레이트 사용)+ 플라즈마 질화처리

[0172] K; 플라즈마 산화 800℃, 66.7 Pa + 플라즈마 질화처리

[0173] L; 플라즈마 산화 800℃, 106.6 Pa(구멍직경 10 mm 플레이트 사용)+ 플라즈마 질화처리

[0174] M; 플라즈마 산화 800℃, 106.6 Pa(구멍직경 2.5 mm 플레이트 사용) + 플라즈마 질화처리

[0175] N; 플라즈마 산화 650℃, 106.6 Pa(구멍직경 10 mm 플레이트 사용) + 플라즈마 질화처리

[0176] 플라즈마 산화처리는 처리가스로서 Ar과 O<sub>2</sub>를 유량비 Ar/O<sub>2</sub>=1000/5 [mL/min(sccm)]으로 이용하고, 마이크로파 출력 900W, 처리압력 66.7 Pa(500 mTorr) 또는 106.6 Pa(800 mTorr), 처리온도 400℃, 650℃ 또는 800℃에서 실시하였다. 또한, 플라즈마 질화처리는 처리가스로서 Ar와 N<sub>2</sub>를 유량비 Ar/N<sub>2</sub>=1000/40 [mL/min(sccm)]에서 이용하고, 마이크로파 출력 1500W, 처리압력 6.7 Pa(50 mTorr), 처리온도 400℃에서 실시하였다. 또, 플라즈마 산화처리 후의 플라즈마 질화처리는 도 1의 플라즈마 처리 장치내에서 계속해서 실시하였다.

[0177] 도 16 및 도 17로부터, 800℃의 고온에서 플라즈마 산화처리를 실행하고, 또한 플라즈마 질화처리를 실행하여 형성한 산질화막(SiON막)을 게이트 절연막으로서 이용한 경우에는 동일한 EOT에서 비교한 경우에  $I_{on}$  및  $G_{mm_{ax}}$  모두, WVG 열산화처리에 의해서 형성한 실리콘 산화막(SiO<sub>2</sub>)이나, 400℃의 플라즈마 산화처리 후에 플라즈마 질화처리를 실행하여 형성한 산질화막(SiON막)을 게이트 절연막으로서 이용한 경우에 비해 유의로 높은 값을 나타내고 있어, 전기적 특성이 우수한 것이 확인되었다. 이것으로부터, 600℃ 이상의 고온 플라즈마 산화처리에 의해서 형성한 실리콘 산화막이나 이것을 질화처리하여 형성한 실리콘 산질화막은 각종 반도체 장치에 바람직하게

이용할 수 있는 것이 명백하게 되었다.

- [0178] 이상, 본 발명의 실시형태를 설명했지만, 본 발명은 상기 실시형태에 제약되는 것은 아니며, 각종 변형이 가능하다.
- [0179] 예를 들면, 도 2 및 도 6에서는 주파수 300 MHz~300 GHz의 마이크로파에 의해 플라즈마를 여기시키는 마이크로파 플라즈마 처리 장치(100, 101)를 이용했지만, 주파수 30 kHz~300 MHz의 고주파를 이용하여 플라즈마를 여기시키는 고주파 플라즈마 처리 장치를 이용하는 것도 가능하다.
- [0180] 또한, 도 2에서는 RLSA 방식의 플라즈마 처리 장치(100)를 예로 들었지만, 예를 들면 리모트 플라즈마 방식, ICP 플라즈마 방식, ECR 플라즈마 방식, 표면 반사파 플라즈마 방식, 마그네트론 플라즈마 방식 등의 플라즈마 처리 장치이어도 좋다.
- [0181] 또한, 도 2 및 도 6에서는 플레이트(60)를 1개 배치하였지만, 필요에 따라서 플레이트를 2개 이상 적층해서 배치할 수도 있다. 관통구멍(60a)의 개구면적이나 비율 등은 플라즈마 처리의 대상이나 처리 조건 등에 따라 적절히 조정할 수 있다.
- [0182] 또한, 도 2의 플라즈마 처리 장치(100)에 있어서, 가스 공급계(16)로서, Ar 가스 공급원(17) 및 O<sub>2</sub> 가스 공급원(18)에 부가하여, H<sub>2</sub> 가스 공급원(도시하지 않음)을 마련하고, Ar 가스와 O<sub>2</sub> 가스에 소정의 유량비율로 H<sub>2</sub>가스를 혼합하여 플라즈마 산화처리를 실행하는 것도 가능하다. H<sub>2</sub> 가스를 적량 혼합하는 것에 의해서, Si 기판(111) 상의 자연 산화막을 제거하는 것이 가능하게 되어, 양질의 실리콘 산화막(113)을 형성할 수 있다.
- [0183] 또한, 상기 실시형태에서는 RLSA 방식의 플라즈마 처리 장치(101)를 이용하여 질화처리를 실행하였지만, 질화처리에 이용하는 장치나 조건은 한정되는 것은 아니며, 다른 방식의 플라즈마 처리 장치, 예를 들면 리모트 플라즈마 방식, ICP 플라즈마 방식, ECR 플라즈마 방식, 표면 반사파 플라즈마 방식, 마그네트론 플라즈마 방식 등의 플라즈마 처리 장치를 이용하여, 적절한 조건에서 실시할 수 있다.

## 산업상 이용 가능성

- [0184] 본 발명은 트랜지스터 등의 각종 반도체 장치의 제조에 있어서 바람직하게 이용할 수 있다.

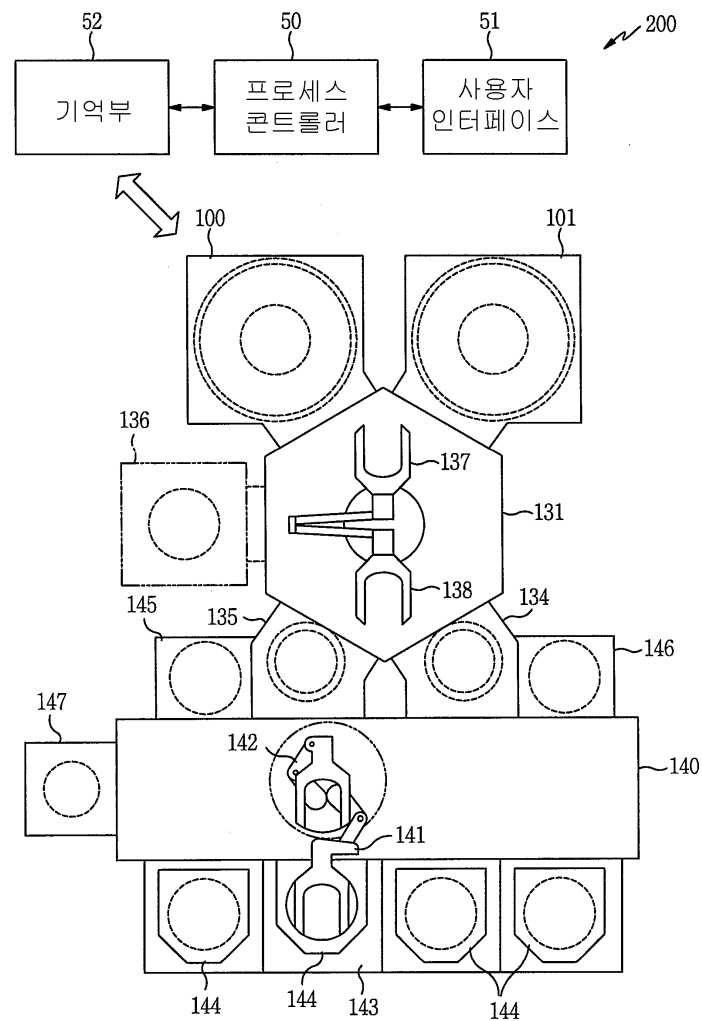
## 도면의 간단한 설명

- [0027] 도 1은 본 발명의 실시예에 바람직하게 사용 가능한 반도체 제조 장치의 일예를 나타내는 개략도.
- [0028] 도 2는 플라즈마 산화처리에 이용 가능한 플라즈마 처리 장치의 일예를 나타내는 개략 단면도.
- [0029] 도 3a는 플레이트의 설명에 관한 평면도.
- [0030] 도 3b는 플레이트의 설명에 관한 주요부 단면도.
- [0031] 도 4는 평면 안테나부재의 설명에 관한 도면.
- [0032] 도 5a는 게이트 절연막의 형성과정을 나타내는 웨이퍼 W의 단면 구조의 모식도로서, 플라즈마 산화처리를 하고 있는 상태를 나타내는 도면.
- [0033] 도 5b는 게이트 절연막의 형성과정을 나타내는 웨이퍼 W의 단면 구조의 모식도로서, 플라즈마 산화처리 후의 상태를 나타내는 도면.
- [0034] 도 5c는 게이트 절연막의 형성과정을 나타내는 웨이퍼 W의 단면 구조의 모식도로서, 플라즈마 질화처리를 하고 있는 상태를 나타내는 도면.
- [0035] 도 5d는 게이트 절연막의 형성과정을 나타내는 웨이퍼 W의 단면 구조의 모식도로서, 플라즈마 질화처리 후의 상태를 나타내는 도면.
- [0036] 도 6은 플라즈마 질화처리에 이용 가능한 플라즈마 처리 장치의 일예를 나타내는 개략 단면도.
- [0037] 도 7a는 트랜지스터의 게이트 전극 구조를 나타내는 모식도로서, 텅스텐 폴리사이드 구조를 나타내는 도면.
- [0038] 도 7b는 트랜지스터의 게이트 전극 구조를 나타내는 모식도로서, 텅스텐 폴리메탈 구조를 나타내는 도면.

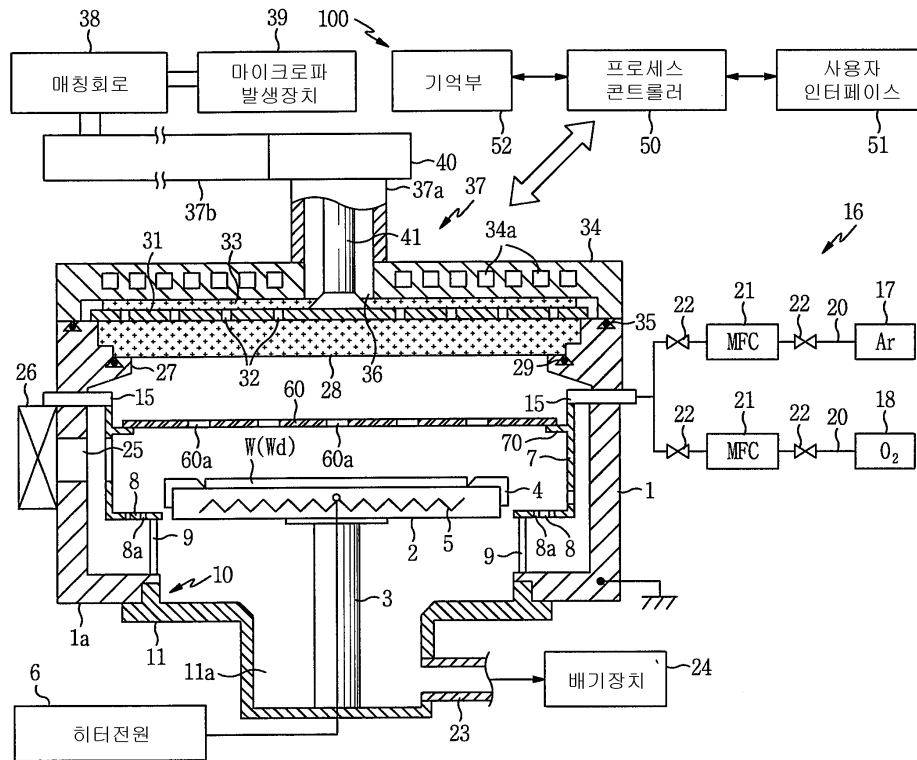
- [0039] 도 7c는 트랜지스터의 게이트 전극 구조를 나타내는 모식도로서, 텅스텐 메탈 게이트 구조를 나타내는 도면.
- [0040] 도 8은 트랜지스터의  $G_m$  곡선을 나타내는 그래프.
- [0041] 도 9는 트랜지스터의  $I_{on}$ - $J_g$  플롯을 나타내는 그래프.
- [0042] 도 10은 산화처리 시간과 막두께의 관계를 나타내는 그래프.
- [0043] 도 11은 도 10을 부분적으로 확대한 도면.
- [0044] 도 12는 러닝 시험의 결과를 나타내는 그래프.
- [0045] 도 13은 에칭 내성 시험의 결과를 나타내는 그래프.
- [0046] 도 14는 계면 조도(粗度)의 측정 결과를 나타내는 그래프.
- [0047] 도 15는 막 밀도의 측정 결과를 나타내는 그래프.
- [0048] 도 16은 NMOS 트랜지스터에 있어서의 전기적 막두께(EOT)와  $I_{on}$ 의 관계를 나타내는 그래프.
- [0049] 도 17은 NMOS 트랜지스터에 있어서의 전기적 막두께(EOT)와  $G_m$ 의 최대값의 관계를 나타내는 그래프.

## 도면

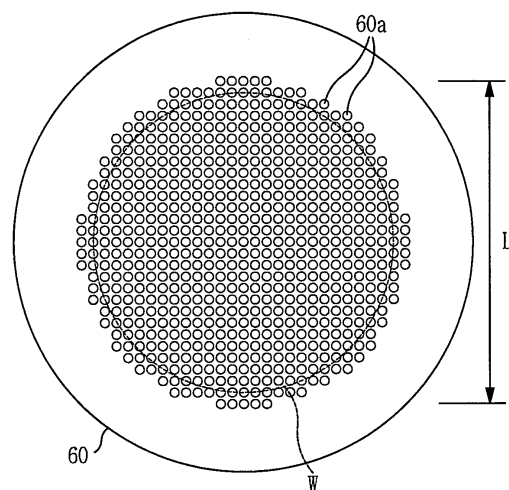
도면1



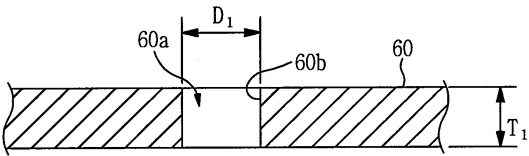
도면2



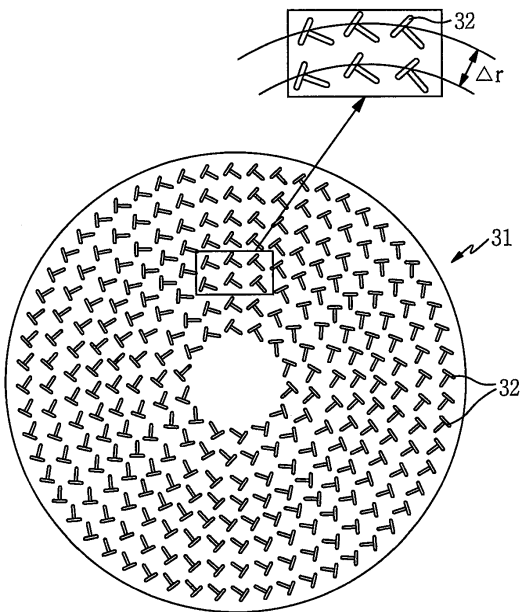
도면3a



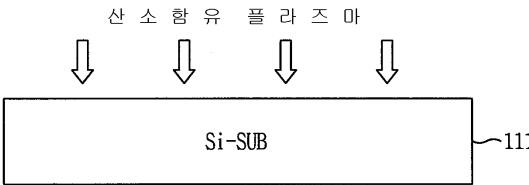
도면3b



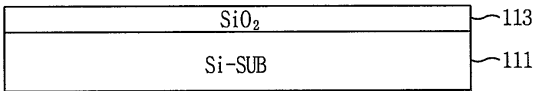
도면4



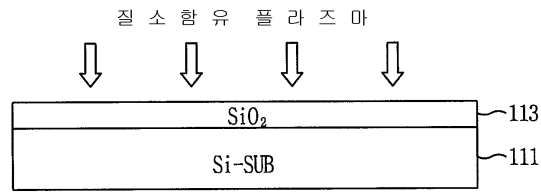
도면5a



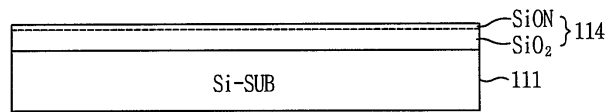
도면5b



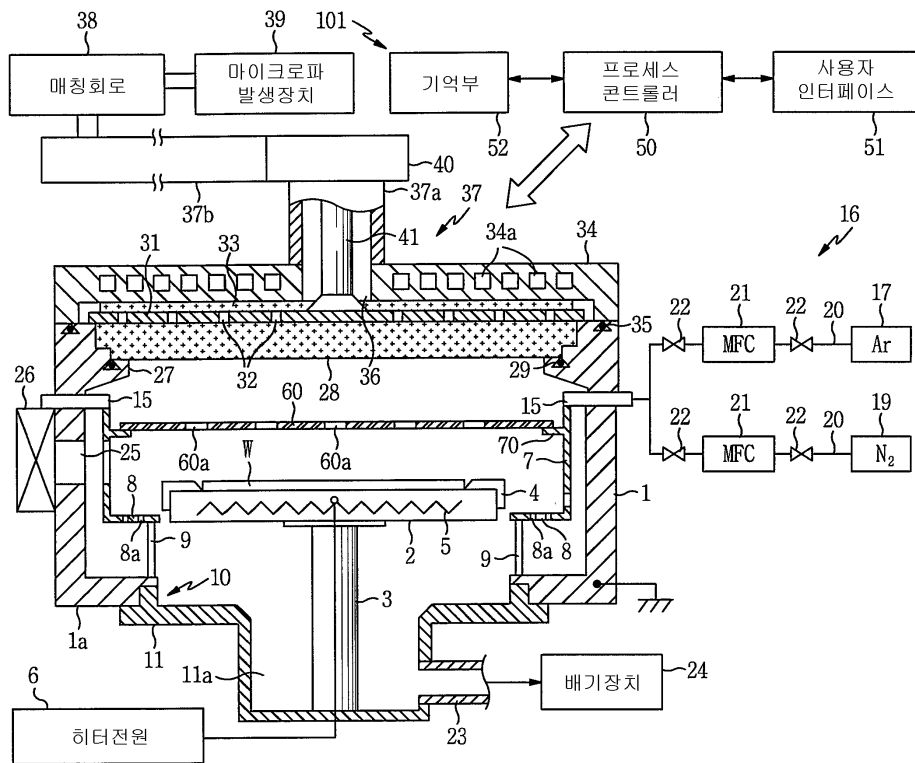
도면5c



도면5d

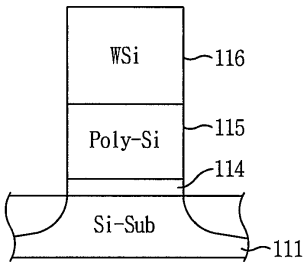


도면6

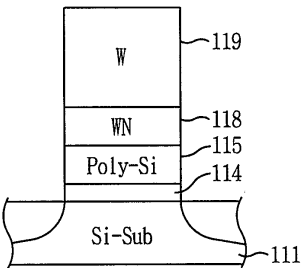




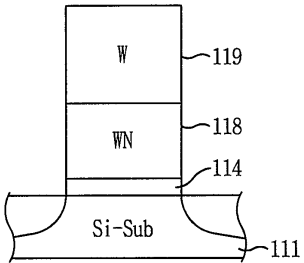
도면7a



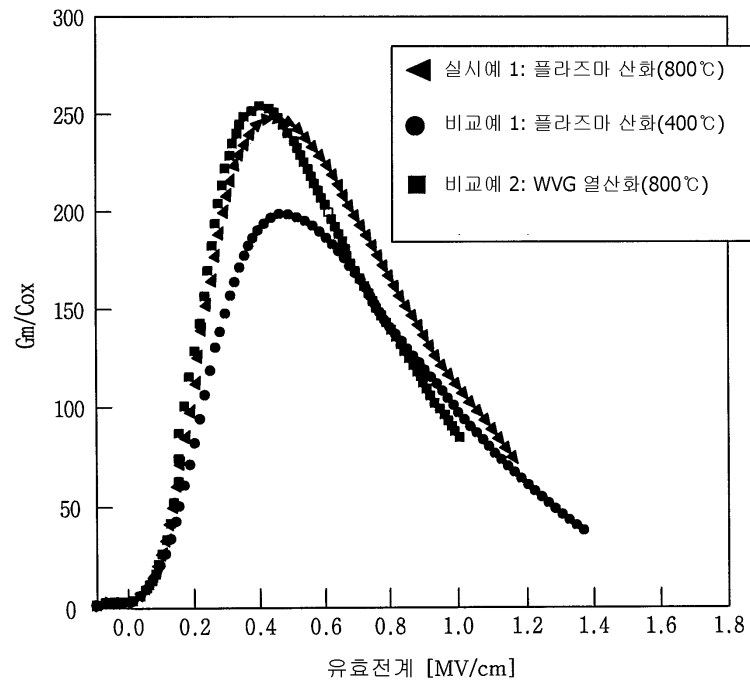
도면7b



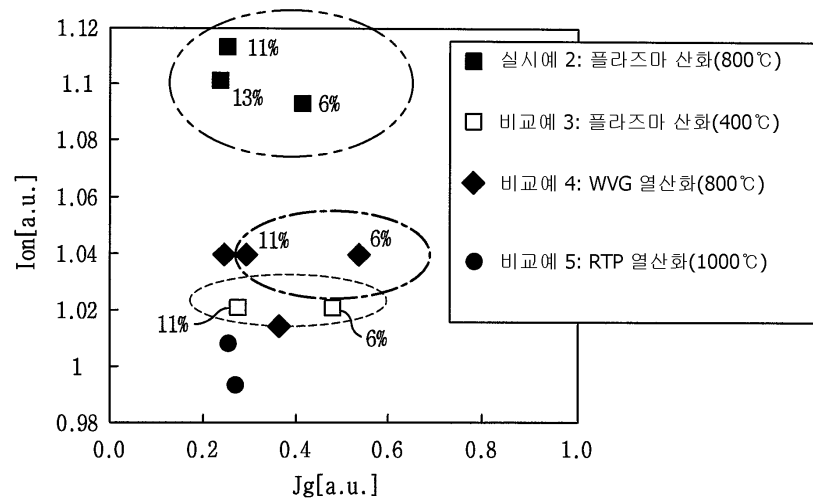
도면7c



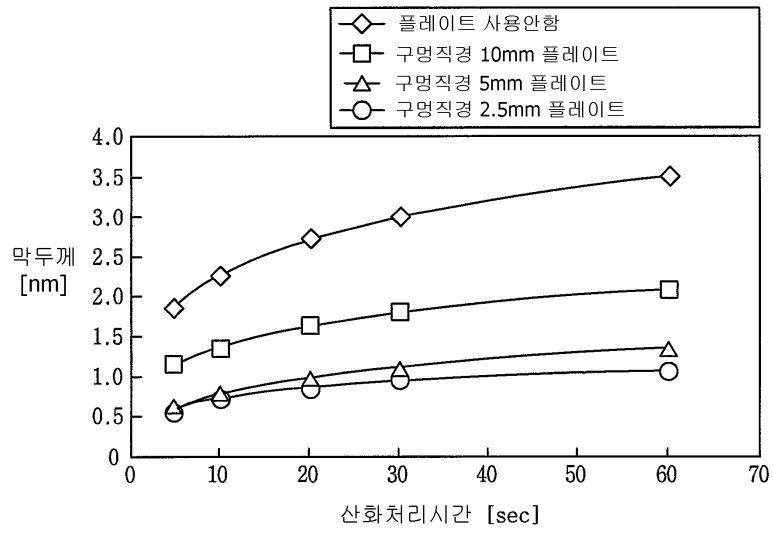
도면8



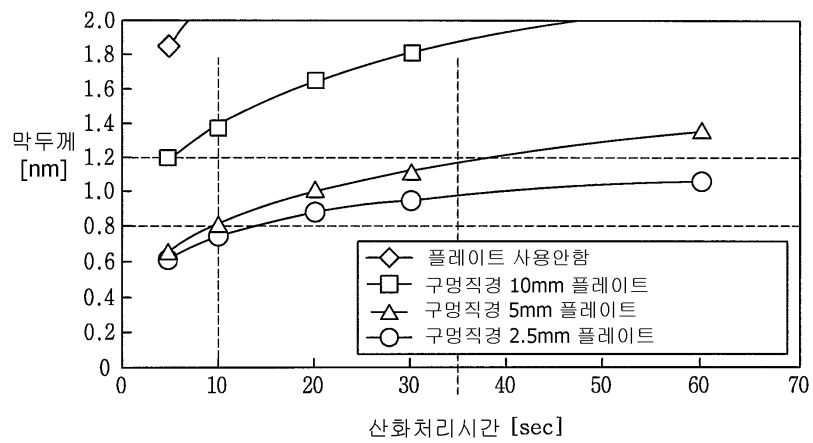
도면9



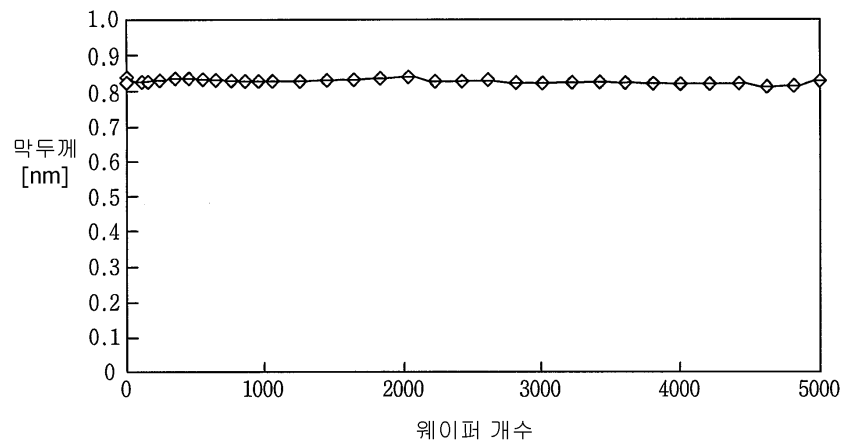
도면10



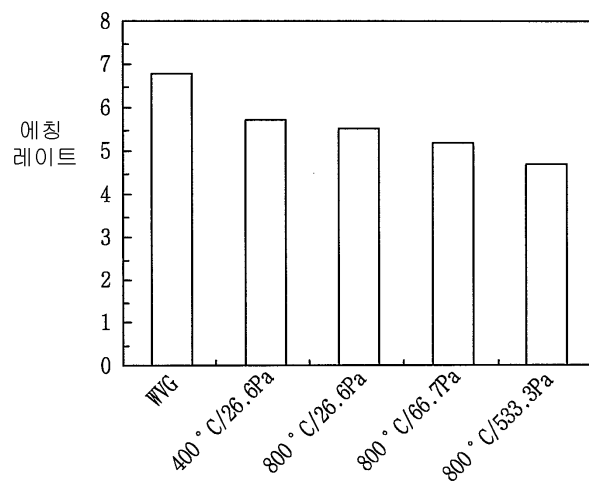
도면11



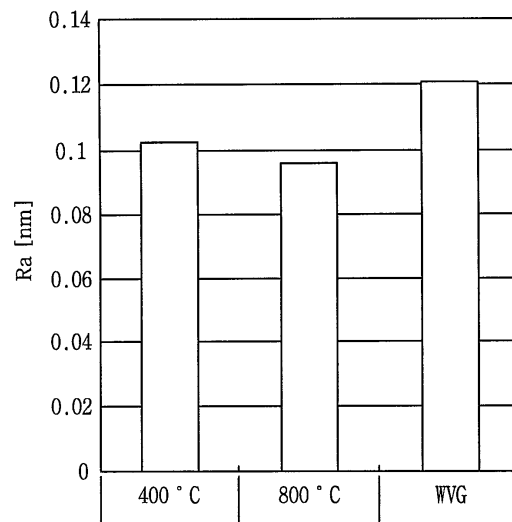
도면12



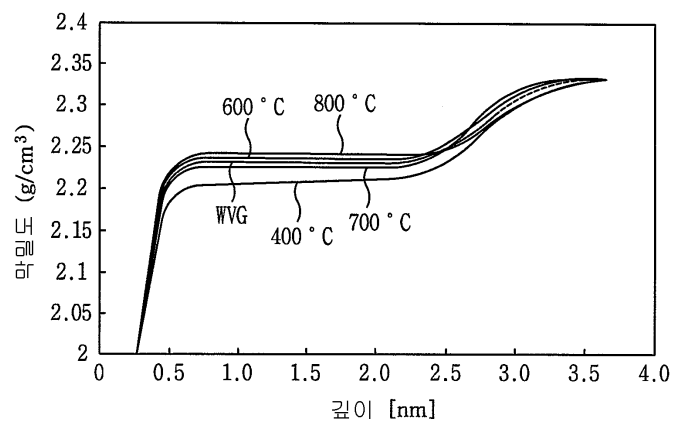
도면13



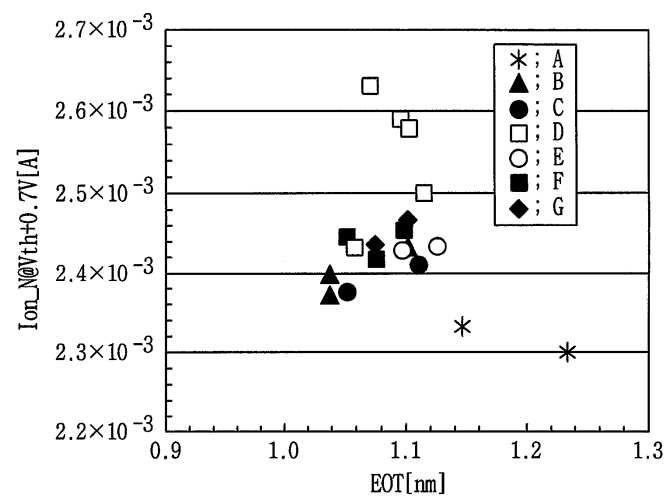
도면14



도면15



도면16



도면17

