



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I810206 B

(45)公告日：中華民國 112 (2023) 年 08 月 01 日

(21)申請案號：107131928

(22)申請日：中華民國 107 (2018) 年 09 月 11 日

(51)Int. Cl. : **G09G3/3233 (2016.01)****G09G3/36 (2006.01)****H04N19/126 (2014.01)****H04N19/463 (2014.01)**

(30)優先權：2017/09/15 日本

2017-177462

2017/10/13 日本

2017-199264

2018/02/22 日本

2018-029287

2018/04/11 日本

2018-075819

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：川島進 KAWASHIMA, SUSUMU (JP)；楠紘慈 KUSUNOKI, KOJI (JP)；渡邊一
德 WATANABE, KAZUNORI (JP)；豐高耕平 TOYOTAKA, KOUHEI (JP)；楠本
直人 KUSUMOTO, NAOTO (JP)；山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林怡芳；童啓哲

(56)參考文獻：

TW 200701167A

TW 201730886A

US 2014/0340436A1

US 2016/0164050A1

審查人員：葉月芬

申請專利範圍項數：7 項 圖式數：24 共 97 頁

(54)名稱

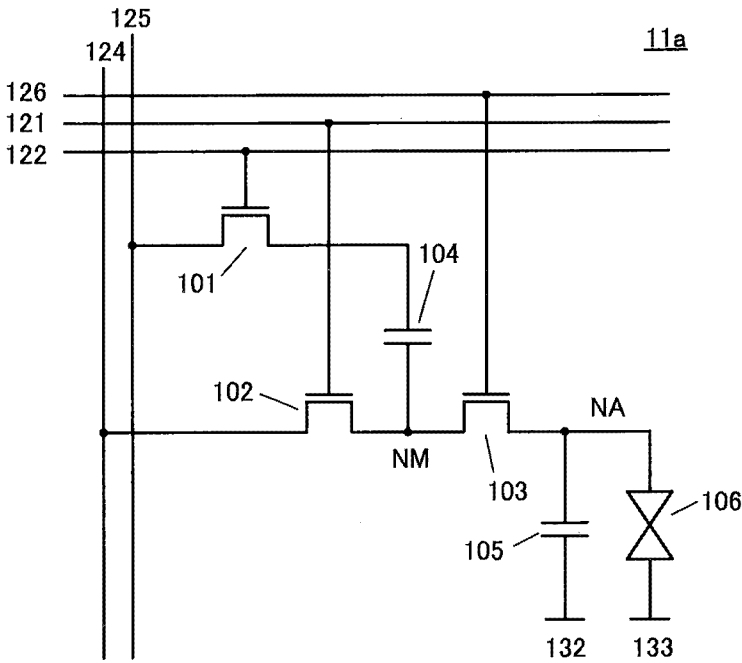
顯示裝置及電子裝置

(57)摘要

本發明的一個實施方式的目的之一是提供一種能夠進行影像處理的顯示裝置。顯示元件所包括的各像素中設置有存儲節點。在該存儲節點中保持所希望的校正資料。該校正資料被外部設備算出而寫入到各像素。該校正資料由於電容耦合而附加到影像資料，並供應到顯示元件。因此，顯示元件能夠顯示被校正的影像。藉由該校正，可以進行影像的上變頻等。

A display device capable of performing image processing is provided. A memory node is provided in each pixel included in the display device. An intended correction data is held in the memory node. The correction data is calculated by an external device and written into each pixel. The correction data is added to image data by capacitive coupling, and the resulting data is supplied to a display element. Thus, the display element can display a corrected image. The correction enables image upconversion, for example.

指定代表圖：



- 符號簡單說明：
- 101 . . . 電晶體
 - 102 . . . 電晶體
 - 103 . . . 電晶體
 - 104 . . . 電容器
 - 105 . . . 電容器
 - 106 . . . 液晶元件
 - 121 . . . 佈線
 - 122 . . . 佈線
 - 124 . . . 佈線
 - 125 . . . 佈線
 - 126 . . . 佈線
 - 132 . . . 公共佈線
 - 133 . . . 公共佈線

圖 1

發明摘要

【發明名稱】(中文/英文)

顯示裝置及電子裝置/ DISPLAY DEVICE AND ELECTRONIC DEVICE

【中文】

本發明的一個實施方式的目的之一是提供一種能夠進行影像處理的顯示裝置。顯示元件所包括的各像素中設置有存儲節點。在該存儲節點中保持所希望的校正資料。該校正資料被外部設備算出而寫入到各像素。該校正資料由於電容耦合而附加到影像資料，並供應到顯示元件。因此，顯示元件能夠顯示被校正的影像。藉由該校正，可以進行影像的上變頻等。

【英文】

A display device capable of performing image processing is provided. A memory node is provided in each pixel included in the display device. An intended correction data is held in the memory node. The correction data is calculated by an external device and written into each pixel. The correction data is added to image data by capacitive coupling, and the resulting data is supplied to a display element. Thus, the display element can display a corrected image. The correction enables image upconversion, for example.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

101 電晶體

102 電晶體

103 電晶體

104 電容器

105 電容器

106 液晶元件

121 佈線

122 佈線

124 佈線

125 佈線

126 佈線

132 公共佈線

133 公共佈線

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

顯示裝置及電子裝置 / DISPLAY DEVICE AND ELECTRONIC DEVICE

【技術領域】

【0001】 本發明的一個實施方式係關於一種顯示裝置。

【0002】 注意，本發明的一個實施方式不侷限於上述技術領域。本說明書等所公開的發明的一個實施方式的技術領域係關於一種物體、方法或製造方法。另外，本發明的一個實施方式係關於一種製程 (process)、機器 (machine)、產品 (manufacture) 或者組合物 (composition of matter)。由此，更明確而言，作為本說明書所公開的本發明的一個實施方式的技術領域的一個例子可以舉出半導體裝置、顯示裝置、液晶顯示裝置、發光裝置、照明設備、蓄電裝置、記憶體裝置、攝像裝置、這些裝置的驅動方法或者這些裝置的製造方法。

【0003】 注意，在本說明書等中，半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置。電晶體和半導體電路為半導體裝置的一個實施方式。另外，記憶體裝置、顯示裝置、攝像裝置、電子裝置有時包括半導體裝置。

【先前技術】

【0004】 利用形成在基板上的金屬氧化物構成電晶體的技術受到關注。例如，專利文獻1及專利文獻2公開了一種將使用氧化鋅、In-Ga-Zn類

氧化物的電晶體用於顯示裝置的像素的切換元件等的技術。

【0005】 另外，專利文獻3公開了一種具有將關態電流（off-state current）極低的電晶體用於記憶單元的結構的記憶體裝置。

【0006】 [專利文獻]

[專利文獻1] 日本專利申請公開第2007-123861號公報

[專利文獻2] 日本專利申請公開第2007-96055號公報

[專利文獻3] 日本專利申請公開第2011-119674號公報

【發明內容】

【0007】 顯示裝置的解析度不斷提高，已經開發出能夠顯示8K4K（像素數：7680×4320）或更高解析度的影像的硬體。但是，由於高解析度的影像資料數量巨大，為了使高解析度的顯示裝置得到普及，需要調整攝像裝置、記憶體裝置、通訊裝置等週邊技術。

【0008】 作為生成高解析度的影像資料的技術之一，有上轉換（upconversion）等影像校正。藉由進行影像校正，可以將低解析度的影像轉換為偽高解析度的影像。用於影像校正的資料利用顯示裝置的週邊設備生成，處理原始影像資料的設備可以採用習知技術。

【0009】 但是，由於進行影像校正的設備需要分析大量影像資料來生成新的影像資料，所以存在電路規模及功耗變大的問題。另外，有時處理量太大而無法即時處理，從而導致顯示延遲。

【0010】 雖然影像校正有上述問題，但是，例如藉由將與影像校正有關的功能分散到多個設備，有可能緩和功耗及延遲等問題。

【0011】 另外，在顯示裝置中，像素中包括的電晶體的特性偏差有可能是導致顯示品質下降的原因之一。作為校正電晶體特性偏差的方法有在像素中的電路對影像資料進行校正的內部校正以及取得各像素的校正值而將校正後的影像資料提供給像素的外部校正。

【0012】 內部校正可以對每個圖框進行校正，但是高解析度顯示裝置的水平選擇期間較短，因此難以確保校正期間。外部校正對高解析度顯示裝置有效，但是需要對所有影像資料進行校正，因此對外部設備的負擔較大。理想的是在沒有校正的情況下使高解析度顯示裝置進行工作，但是，由於降低電晶體特性偏差極為困難，因此需要一種新的校正方法。

【0013】 本發明的一個實施方式的目的之一是提供一種能夠進行影像處理的顯示裝置。本發明的一個實施方式的目的之一是提供一種能夠進行上轉換工作的顯示裝置。本發明的一個實施方式的目的之一是提供一種能夠校正影像資料的顯示裝置。

【0014】 另外，本發明的一個實施方式的目的之一是提供一種低功耗的顯示裝置。此外，本發明的一個實施方式的目的之一是提供一種可靠性高的顯示裝置。另外，本發明的一個實施方式的目的之一是提供一種新穎的顯示裝置等。另外，本發明的一個實施方式的目的之一是提供一種上述顯示裝置的驅動方法。另外，本發明的一個實施方式的目的是提供一種新穎的半導體裝置等。

【0015】 注意，這些目的的記載不妨礙其他目的的存在。本發明的一個實施方式並不需要實現所有上述目的。另外，上述以外的目的從說明書、圖式及申請專利範圍等的記載看來顯而易見，且可以從說明書、圖式及申

請專利範圍等的記載中衍生上述以外的目的。

【0016】 本發明的一個實施方式係關於一種能夠進行影像處理的顯示裝置或者一種能夠校正影像資料的顯示裝置。

【0017】 本發明的一個實施方式是一種包括第一電晶體、第二電晶體、第一電容器以及顯示元件的顯示裝置。第一電晶體的源極和汲極中的一個電連接於第一電容器的一個電極。第一電容器的另一個電極電連接於第二電晶體的源極和汲極中的一個。第二電晶體的源極和汲極中的一個電連接於顯示元件的一個電極。

【0018】 顯示裝置也可以包括第二電容器。第二電容器的一個電極也可以電連接於顯示元件的一個電極。

【0019】 顯示裝置也可以包括第三電晶體。第三電晶體的源極和汲極中的一個也可以電連接於第二電晶體的源極和汲極中的一個。第三電晶體的源極和汲極中的另一個也可以電連接於顯示元件的一個電極。

【0020】 顯示裝置也可以包括第四電晶體。第四電晶體的源極和汲極中的一個也可以電連接於顯示元件的一個電極。第四電晶體的源極和汲極中的另一個也可以電連接於供應恆電位的佈線。

【0021】 較佳的是，至少第二電晶體及第三電晶體在通道形成區域中包含金屬氧化物，金屬氧化物包含In、Zn和M（M為Al、Ti、Ga、Sn、Y、Zr、La、Ce、Nd或Hf）。

【0022】 作為顯示元件，可以使用液晶元件。

【0023】 根據本發明的一個實施方式可以提供一種能夠進行影像處理的顯示裝置。根據本發明的一個實施方式可以提供一種能夠進行上轉換

工作的顯示裝置。根據本發明的一個實施方式可以提供一種能夠校正影像資料的顯示裝置。

【0024】 另外，可以提供一種低功耗的顯示裝置。此外，可以提供一種可靠性高的顯示裝置。另外，可以提供一種新穎的顯示裝置等。另外，可以提供一種上述顯示裝置中的任一個的驅動方法。另外，可以提供一種新穎的半導體裝置等。

【圖式簡單說明】

【0025】 在圖式中：

圖1是說明像素電路的圖；

圖2A和圖2B是說明像素電路的工作的時序圖；

圖3A和圖3B是說明上轉換的圖；

圖4A和圖4B是說明像素電路的圖，圖4C和圖4D是時序圖；

圖5A和圖5B是說明像素電路的圖；

圖6A至圖6C是說明顯示裝置的方塊圖；

圖7是說明像素陣列的圖；

圖8A至圖8D是說明像素的模擬結果的圖；

圖9A至圖9C是說明像素的模擬結果的圖；

圖10A至圖10D是說明像素的模擬結果的圖；

圖11是說明像素的模擬結果的圖；

圖12A是說明像素電路的圖，圖12B和圖12C是說明像素電路的工作的時序圖；

圖 13A 至圖 13C 是說明顯示裝置的圖；

圖14A和圖14B是說明觸控面板的圖；

圖15是說明顯示裝置的圖；

圖16A1、圖16A2、圖16B1、圖16B2、圖16C1和圖16C2是說明電晶體的圖；

圖17A1至圖17A3、圖17B1、圖17B2、圖17C1和圖17C2是說明電晶體的圖；

圖18是示出DOSRAM的結構例的剖面圖；

圖19A和圖19B是說明神經網路的結構例的圖；

圖20是說明半導體裝置的結構例的圖；

圖21是說明記憶單元的結構例的圖；

圖22是說明偏置電路的結構例的圖；

圖23是說明半導體裝置的工作的時序圖；

圖24A至圖24F是說明電子裝置的圖。

【實施方式】

【0026】 使用圖式對實施方式進行詳細說明。注意，本發明不侷限於下面說明，所屬技術領域的通常知識者可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的精神及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在以下所示的實施方式所記載的內容中。注意，在下面所說明的發明的結構中，在不同的圖式中共同使用相同的元件符號來表示相同的部分或具有相同功能的部分，而

省略其重複說明。注意，有時在不同的圖式中適當地省略或改變相同組件的陰影。

【0027】 實施方式1

在本實施方式中，參照圖式對本發明的一個實施方式的顯示裝置進行說明。

【0028】 本發明的一個實施方式是具有用來對影像資料附加校正資料的功能的顯示裝置。各像素中設置有存儲節點，該存儲節點保持所希望的校正資料。該校正資料由外部設備生成並被寫入各像素中。

【0029】 該校正資料藉由電容耦合附加至影像資料，所得到的資料被提供給顯示元件。因此，顯示元件可以顯示經過校正的影像。藉由該校正，可以進行影像的上轉換等，或者，可以對因像素中包含的電晶體的特性偏差而下降的影像品質進行校正。

【0030】 圖1是說明能夠用於本發明的一個實施方式的顯示裝置的像素11a的圖。像素11a包括電晶體101、電晶體102、電晶體103、電容器104、電容器105及液晶元件106。

【0031】 電晶體101的源極和汲極中的一個與電容器104的一個電極電連接。電容器104的另一個電極與電晶體102的源極和汲極中的一個電連接。電晶體102的源極和汲極中的一個與電晶體103的源極和汲極中的一個電連接。電晶體103的源極和汲極中的另一個與電容器105的一個電極電連接。電容器105的一個電極與液晶元件106的一個電極電連接。

【0032】 在此，將電容器104的另一個電極、電晶體102的源極和汲極中的一個及電晶體103的源極和汲極中的一個連接的佈線稱為節點NM。另

外，將電晶體103的源極和汲極中的另一個、電容器105的一個電極及液晶元件106的一個電極連接的佈線稱為節點NA。

【0033】 電晶體101的閘極與佈線122電連接。電晶體102的閘極與佈線121電連接。電晶體103的閘極與佈線126電連接。電晶體101的源極和閘極中的另一個與佈線125電連接。電晶體102的源極和閘極中的另一個與佈線124電連接。

【0034】 電容器105的另一個電極與公共佈線132電連接。液晶元件106的另一個電極與公共佈線133電連接。注意，可以對公共佈線132、133提供任意電位並使它們彼此電連接。

【0035】 佈線121、122、126可以具有用作控制電晶體的工作的信號線的功能。佈線125可以具有用作提供影像資料的信號線的功能。佈線124可以具有用作節點NM寫入資料的信號線的功能。

【0036】 節點NM為存儲節點，藉由使電晶體102導通且使電晶體103非導通，可以將供給佈線124的信號寫入節點NM。藉由作為電晶體102及電晶體103使用關態電流極低的電晶體，可以長時間地保持節點NM的電位。作為該電晶體，例如可以使用將金屬氧化物用於通道形成區的電晶體（以下稱為OS電晶體）。

【0037】 OS電晶體可以用於像素所具有的其他的電晶體。像素所具有的電晶體也可以使用通道形成區中含有Si的電晶體（以下稱為Si電晶體），也可以使用OS電晶體和Si電晶體的兩者。作為上述Si電晶體，可以舉出含有非晶矽的電晶體、含有結晶矽（典型的有低溫多晶矽、單晶矽）的電晶體等。

【0038】 當作為顯示元件使用反射型液晶元件時，可以使用矽基板，並且可以形成Si電晶體與OS電晶體彼此重疊的區域。由此，即使電晶體的數量較多也能夠實現高像素密度。

【0039】 作為用於OS電晶體的半導體材料，可以使用能隙為2eV以上，較佳為2.5eV以上，更佳為3eV以上的金屬氧化物。典型的有含有銦的氧化物半導體等，例如，可以使用後面提到的CAAC-OS或CAC-OS等。CAAC-OS中構成晶體的原子穩定，適用於重視可靠性的電晶體等。CAC-OS呈現高移動率特性，適用於進行高速驅動的電晶體等。

【0040】 OS電晶體具有大能隙而呈現極低的關態電流特性。與Si電晶體不同，OS電晶體不會發生碰撞電離、突崩潰、短通道效應等，因此能夠形成高可靠性的電路。此外，Si電晶體所引起的起因於結晶性的不均勻的電特性偏差不容易產生在OS電晶體中。

【0041】 作為OS電晶體中的半導體層，例如可以採用包含銦、鋅及M（鋁、鈦、鎳、銻、鉍、鉛、銻、銻、銻、銻或鉛等金屬）的以“ In-M-Zn 類氧化物”表示的膜。

【0042】 當構成半導體層的氧化物半導體為 In-M-Zn 類氧化物時，較佳為用來形成 In-M-Zn 氧化物膜的濺射靶材的金屬元素的原子數比滿足 $\text{In} \geq \text{M}$ 及 $\text{Zn} \geq \text{M}$ 。這種濺射靶材的金屬元素的原子數比較佳為 $\text{In:M:Zn}=1:1:1$ 、 $\text{In:M:Zn}=1:1:1.2$ 、 $\text{In:M:Zn}=3:1:2$ 、 $\text{In:M:Zn}=4:2:3$ 、 $\text{In:M:Zn}=4:2:4.1$ 、 $\text{In:M:Zn}=5:1:6$ 、 $\text{In:M:Zn}=5:1:7$ 、 $\text{In:M:Zn}=5:1:8$ 等。注意，所形成的半導體層所包含的金屬元素的原子數比分別有可能在上述濺射靶材中的金屬元素的原子數比的 $\pm 40\%$ 的範圍內變動。

【0043】 作為半導體層，可以使用載子密度低的氧化物半導體。例如，作為半導體層可以使用載子密度為 $1 \times 10^{17}/\text{cm}^3$ 以下，較佳為 $1 \times 10^{15}/\text{cm}^3$ 以下，更佳為 $1 \times 10^{13}/\text{cm}^3$ 以下，進一步較佳為 $1 \times 10^{11}/\text{cm}^3$ 以下，更進一步較佳為小於 $1 \times 10^{10}/\text{cm}^3$ ， $1 \times 10^9/\text{cm}^3$ 以上的氧化物半導體。將這樣的氧化物半導體稱為高純度本質或實質上高純度本質的氧化物半導體。該氧化物半導體的缺陷能階密度低，因此可以說是具有穩定的特性的氧化物半導體。

【0044】 注意，本發明不侷限於上述記載，可以根據所需的電晶體的半導體特性及電特性（場效移動率、臨界電壓等）來使用具有適當的組成的材料。另外，較佳為適當地設定半導體層的載子密度、雜質濃度、缺陷密度、金屬元素與氧的原子數比、原子間距離、密度等，以得到所需的電晶體的半導體特性。

【0045】 當構成半導體層的氧化物半導體包含第14族元素之一的矽或碳時，氧缺陷增加，會使該半導體層變為n型。因此，將半導體層中的矽或碳的濃度（藉由二次離子質譜分析法測得的濃度）設定為 $2 \times 10^{18} \text{ atoms}/\text{cm}^3$ 以下，較佳為 $2 \times 10^{17} \text{ atoms}/\text{cm}^3$ 以下。

【0046】 另外，有時當鹼金屬及鹼土金屬與氧化物半導體鍵合時生成載子，而使電晶體的關態電流增大。因此，將半導體層的鹼金屬或鹼土金屬的濃度（藉由二次離子質譜分析法測得的濃度）設定為 $1 \times 10^{18} \text{ atoms}/\text{cm}^3$ 以下，較佳為 $2 \times 10^{16} \text{ atoms}/\text{cm}^3$ 以下。

【0047】 另外，當構成半導體層的氧化物半導體含有氮時生成作為載子的電子，載子密度增加而容易n型化。其結果是，具有含有氮的氧化物半導體的電晶體容易變為常開特性。因此，半導體層的氮濃度（利用二次離

子質譜分析法測得的濃度) 較佳為 5×10^{18} atoms/cm³以下。

【0048】 另外，半導體層例如也可以具有非單晶結構。非單晶結構例如包括具有c軸配向的結晶的CAAC-OS (C-Axis Aligned Crystalline Oxide Semiconductor)、多晶結構、微晶結構或非晶結構。在非單晶結構中，非晶結構的缺陷態密度最高，而CAAC-OS的缺陷態密度最低。

【0049】 非晶結構的氧化物半導體膜例如具有無秩序的原子排列且不具有結晶成分。或者，非晶結構的氧化物膜例如是完全的非晶結構且不具有結晶部。

【0050】 此外，半導體層也可以為具有非晶結構的區域、微晶結構的區域、多晶結構的區域、CAAC-OS的區域和單晶結構的區域中的兩種以上的混合膜。混合膜有時例如具有包括上述區域中的兩種以上的區域的單層結構或疊層結構。

【0051】 以下對非單晶半導體層的一個實施方式的CAC (Cloud-Aligned Composite) -OS的構成進行說明。

【0052】 CAC-OS例如是指包含在氧化物半導體中的元素不均勻地分佈的構成，其中包含不均勻地分佈的元素的材料的尺寸為0.5nm以上且10nm以下，較佳為1nm以上且2nm以下或近似的尺寸。注意，在下面也將在氧化物半導體中一個或多個金屬元素不均勻地分佈且包含該金屬元素的區域以0.5nm以上且10nm以下，較佳為1nm以上且2nm以下或近似的尺寸混合的狀態稱為馬賽克 (mosaic) 狀或補丁 (patch) 狀。

【0053】 氧化物半導體較佳為至少包含銦。尤其是，較佳為包含銦及鋅。除此之外，也可以還包含選自鋁、鎳、鉍、銅、釩、鈹、硼、矽、鈦、

鐵、鎳、鋅、銻、鉍、鐳、銻、釷、鉛、鉍、鎢和鎂等中的一種或多種。

【0054】 例如，In-Ga-Zn氧化物中的CAC-OS（在CAC-OS中，尤其可以將In-Ga-Zn氧化物稱為CAC-IGZO）是指材料分成銦氧化物（以下，稱為 InO_{x1} （ $x1$ 為大於0的實數））或銦鋅氧化物（以下，稱為 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ （ $x2$ 、 $y2$ 及 $z2$ 為大於0的實數））以及鎵氧化物（以下，稱為 GaO_{x3} （ $x3$ 為大於0的實數））或鎵鋅氧化物（以下，稱為 $\text{Ga}_{x4}\text{Zn}_{y4}\text{O}_{z4}$ （ $x4$ 、 $y4$ 及 $z4$ 為大於0的實數））等而成為馬賽克狀，且馬賽克狀的 InO_{x1} 或 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 均勻地分佈在膜中的構成（以下，也稱為雲狀）。

【0055】 換言之，CAC-OS是具有以 GaO_{x3} 為主要成分的區域和以 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 或 InO_{x1} 為主要成分的區域混在一起的構成的複合氧化物半導體。在本說明書中，例如，當第一區域的In與元素M的原子個數比大於第二區域的In與元素M的原子個數比時，第一區域的In濃度高於第二區域。

【0056】 注意，IGZO是通稱，有時是指包含In、Ga、Zn及O的化合物。作為典型例子，可以舉出以 $\text{InGaO}_3(\text{ZnO})_{m1}$ （ $m1$ 為自然數）或 $\text{In}_{(1+x0)}\text{Ga}_{(1-x0)}\text{O}_3(\text{ZnO})_{m0}$ （ $-1 \leq x0 \leq 1$ ， $m0$ 為任意數）表示的結晶性化合物。

【0057】 上述結晶性化合物具有單晶結構、多晶結構或CAAC結構。CAAC結構是多個IGZO的奈米晶具有c軸配向性且在a-b面上以不配向的方式連接的結晶結構。

【0058】 另一方面，CAC-OS與氧化物半導體的材料構成有關。CAC-OS是指如下構成：在包含In、Ga、Zn及O的材料構成中，一部分中觀察到以Ga為主要成分的奈米粒子狀區域以及一部分中觀察到以In為主要成分的奈米粒子狀區域分別以馬賽克狀無規律地分散。因此，在CAC-OS中，結晶結構

具有在平面方向及剖面方向上沒有配向的nc (nano-crystal) 結構。

【0065】 另外，例如在In-Ga-Zn氧化物的CAC-OS中，根據藉由能量色散型X射線分析法 (EDX: Energy Dispersive X-ray spectroscopy) 取得的EDX面分析影像，可確認到：具有以 GaO_{x3} 為主要成分的區域及以 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 或 InO_{x1} 為主要成分的區域不均勻地分佈而混合的構成。

【0066】 CAC-OS的結構與金屬元素均勻地分佈的IGZO化合物不同，具有與IGZO化合物不同的性質。換言之，CAC-OS具有以 GaO_{x3} 等為主要成分的區域及以 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 或 InO_{x1} 為主要成分的區域互相分離且以各元素為主要成分的區域為馬賽克狀的構成。

【0067】 在此，以 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 或 InO_{x1} 為主要成分的區域的導電性高於以 GaO_{x3} 等為主要成分的區域。換言之，當載子流過以 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 或 InO_{x1} 為主要成分的區域時，呈現氧化物半導體的導電性。因此，當以 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 或 InO_{x1} 為主要成分的區域在氧化物半導體中以雲狀分佈時，可以實現高場效移動率 (μ)。

【0068】 另一方面，以 GaO_{x3} 等為主要成分的區域的絕緣性高於以 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 或 InO_{x1} 為主要成分的區域。換言之，當以 GaO_{x3} 等為主要成分的區域在氧化物半導體中分佈時，可以抑制洩漏電流而實現良好的切換工作。

【0069】 因此，當將CAC-OS用於半導體元件時，藉由起因於 GaO_{x3} 等的絕緣性及起因於 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 或 InO_{x1} 的導電性的互補作用可以實現高通態電流 (I_{on}) 及高場效移動率 (μ)。

【0070】 另外，使用CAC-OS的半導體元件具有高可靠性。因此，CAC-OS適用於各種半導體裝置的構成材料。

【0071】 在像素11a中，被寫入節點NM的校正資料可以與佈線125供給的影像資料電容耦合，所得到的資料可以被輸出至節點NA。電晶體101可以具有選擇像素而供應影像資料的功能。電晶體103可以具有用作控制液晶元件106的工作的開關的功能。

【0072】 例如，當從佈線124寫入節點NM的信號大於電晶體102的臨界電壓時，在影像資料被寫入之前電晶體102就會變為導通而使液晶元件106工作。因此，較佳為設置電晶體103並在節點NM的電位固定之後再使電晶體103導通使液晶元件106工作。

【0073】 也就是說，只要將所希望的校正資料存儲到節點NM就可以對供應的影像資料附加該校正資料。注意，由於傳輸路徑上的因素有時校正資料會衰減，因此較佳為考慮該衰減來生成校正資料。

【0074】 使用圖2A和圖2B所示的時序圖對像素11a的工作進行詳細說明。作為對佈線124供應的校正資料（ V_p ）可以使用正信號也可以使用負信號，這裡對供應正信號的情況進行說明。另外，在以下說明中，“H”表示高電位，“L”表示低電位。

【0075】 首先，參照圖2A說明對節點NM寫入校正資料（ V_p ）的工作。在以上轉換等影像資料校正為目的的情況下，較佳為對每個圖框進行該工作。

【0076】 注意，這裡在電位的分佈、耦合或損耗中不考慮因電路的結構、工作時序等的詳細變化。由電容耦合引起的電位變化取決於供給側與被供給側的容量比，但是為了便於說明，假設節點NM及節NA的電容值足夠小。

【0077】 在時刻T1，使佈線121的電位為“H”、佈線122的電位為“L”、佈線125的電位為“L”、佈線126的電位為“H”，由此電晶體102及電晶體103變為導通，節點NA的電位變為佈線124的電位。此時，藉由使佈線124的電位變為重設電位（例如，0V等的參考電位），可以使液晶元件106的工作重設。

【0078】 注意，在時刻T1之前進行前一圖框的液晶元件106的顯示工作。

【0079】 在時刻T2，使佈線121的電位為“L”、佈線122的電位為“H”、佈線125的電位為“L”、佈線126的電位為“L”，由此電晶體101變為導通，電容器104的另一個電極的電位變為“L”。該工作是在電容耦合之前進行的重設工作。

【0080】 在時刻T3，使佈線121的電位為“H”、佈線122的電位為“H”、佈線125的電位為“L”、佈線126的電位為“L”，由此電晶體102變為導通，佈線124的電位（校正資料（ V_p ））被寫入節點NM。注意，佈線124的電位較佳為在時刻T2之後且時刻T3之前被固定為所希望的值（校正資料（ V_p ））。

【0081】 在時刻T4，使佈線121的電位為“L”、佈線122的電位為“H”、佈線125的電位為“L”、佈線126的電位為“L”，由此電晶體102變為非導通，校正資料（ V_p ）被保持於節點NM。

【0082】 在時刻T5，使佈線121的電位為“L”、佈線122的電位為“L”、佈線125的電位為“L”、佈線126的電位為“L”，由此電晶體101變為非導通，由此結束校正資料（ V_p ）的寫入工作。

【0083】 接著，參照圖2B說明影像資料 (V_s) 的校正工作及液晶元件106的顯示工作。

【0084】 在時刻T11，使佈線121的電位為“L”、佈線122的電位為“L”、佈線124的電位為“L”、佈線126的電位為“H”，由此電晶體103變為導通，節點NM的電位分配於節點NA。注意，較佳為考慮分配於節點NA的電位而設定保持在節點NM中的校正資料 (V_p)。

【0085】 在時刻T12，使佈線121的電位為“L”、佈線122的電位為“H”、佈線124的電位為“L”、佈線126的電位為“H”，由此電晶體101變為導通，藉由電容器104的電容耦合，佈線125的電位被附加到節點NA的電位。也就是說，節點NA的電位變為校正資料 (V_p) 的電位分配於影像資料 (V_s) 的電位 (V_s+V_p)’。注意，電位 (V_s+V_p)’ 還包括佈線間的電容耦合導致的電位變動等。

【0086】 在時刻T13，使佈線121的電位為“L”、佈線122的電位為“L”、佈線124的電位為“L”、佈線126的電位為“H”，由此電晶體101變為非導通，在節點NA中保持電位 (V_s+V_p)’。並且，液晶元件106根據該電位進行顯示工作。

【0087】 以上是影像資料 (V_s) 的校正工作及液晶元件106的顯示工作的說明。注意，雖然可以連續地進行之前說明的校正資料 (V_p) 的寫入工作與影像資料 (V_s) 的輸入工作，但是較佳為先對所有像素寫入校正資料 (V_p) 之後再進行影像資料 (V_s) 的輸入工作。在本發明的一個實施方式中，由於可以同時對多個像素供給相同的影像資料，所以藉由先對所有的像素寫入校正資料 (V_p) 來提高工作速度，詳細內容將在後面說明。

【0088】 注意，在不進行上變頻等工作時，藉由向佈線124供應影像資料並控制電晶體102和103的導通/非導通，可以進行液晶元件106的顯示工作。此時，電晶體101經常處於非導通狀態。

【0089】 上述像素11a的結構及工作對於影像上轉換是有利的。參照圖3A和圖3B對利用像素11a的上轉換進行說明。

【0090】 例如，8K4K顯示裝置的像素數為4K2K顯示裝置的像素數（ 3840×2160 ）的4倍。也就是說，當將由4K2K顯示裝置的一個像素顯示的影像資料以8K4K顯示裝置進行顯示時，8K4K顯示裝置的橫向和縱向的四個像素將顯示相同的影像資料。

【0091】 圖3A示出上轉換的有無的影像。當從左側依次看時，圖3A示出原始影像（影像資料S1）顯示在4K2K顯示裝置的一個像素上的狀態、在不進行上轉換的情況下影像資料S1顯示在8K4K顯示裝置的四個像素上的狀態以及在進行上轉換的情況下影像資料S0至S2顯示在8K4K顯示裝置的四個像素上的狀態。

【0092】 如圖3A所示，上轉換前四個像素都顯示影像資料S1，上轉換後各像素顯示影像資料S0至S2，有助於提高解析度。

【0093】 圖3B說明像素11a中的上轉換工作。在像素11a中，如之前所述可以對影像資料附加任意的校正資料。因此，原始影像資料S1按原樣提供給各像素。

【0094】 另外，作為校正資料對各像素供給W1至W3。這裡，對生成W1至W3的方法沒有特別限制。作為校正資料的生成，既可以利用外部設備即時生成校正資料，也可以藉由讀取存儲於記錄介質中的校正資料使其與影

像資料S1同步來生成校正資料。

【0095】 藉由進行之前所述的像素11a的工作，各影像資料被附加各校正資料，由此生成新的影像資料S0至S2。由此，可以顯示原始影像資料被上轉換的影像。

【0096】 習知的利用外部校正的上轉換藉由生成新的影像資料來進行，因此對外部設備造成的負擔較大。但是，在上述本發明的一個實施方式中，不是改變供應的影像資料而是在被供給校正資料的像素中生成新的影像資料，所以可以降低對外部設備的負擔。此外，可以以較少的步驟在像素中生成新的影像資料，即便是在像素數多水平期間短的顯示裝置中也可以進行。

【0097】 另外，本發明的一個實施方式的像素可以採用圖4A所示的像素11b的結構。像素11b具有省略了電晶體103和佈線126的像素11a的結構。

【0098】 像素11a中的電晶體103是用來避免因校正資料(V_p)的供應而使液晶元件106意外地工作的開關，如果液晶元件106進行工作但不被看到其工作，則可以省略電晶體103。例如，可以在供應校正資料(V_p)的同時使背燈關閉。

【0099】 另外，可以如圖4B所示的像素11b' 那樣地省略電容器105。如上所述，作為與節點NM連接的電晶體可以使用OS電晶體。由於OS電晶體的洩漏電流極小，所以即便省略被用作儲存電容的電容器105也可以長時間保持影像資料。

【0100】 該結構在利用場序驅動等圖框頻率高且影像資料的保持期間較短的情況下也是有效的。藉由省略電容器105，可以提高開口率。此外，

可以提高影像的穿透率。注意，可以將省略了電容器105的結構用於本說明書所示的其他像素電路的結構。

【0101】 參照圖4C和圖4D說明影像資料(V_s)的校正工作及液晶元件106的顯示工作。

【0102】 在時刻T1，使佈線121的電位為“H”、佈線122的電位為“L”、佈線124的電位為“L”、佈線125的電位為“L”，由此電晶體102變為導通，節點NA的電位變為佈線124的電位。此時，藉由使佈線124的電位變為重設電位（例如，“L”），可以使液晶元件106的工作重設。

【0103】 注意，在時刻T1之前進行前一圖框的液晶元件106的顯示工作。

【0104】 在時刻T2，使佈線121的電位為“L”、佈線122的電位為“H”、佈線124的電位為“ V_p ”、佈線125的電位為“L”，由此電晶體101變為導通，電容器104的另一個電極的電位變為“L”。該工作是在電容耦合之前進行的重設工作。

【0105】 在時刻T3，使佈線121的電位為“H”、佈線122的電位為“H”、佈線124的電位為“ V_p ”、佈線125的電位為“L”，由此佈線124的電位（校正資料(V_p))被寫入節點NA。

【0106】 在時刻T4，使佈線121的電位為“L”、佈線122的電位為“H”、佈線124的電位為“ V_p ”、佈線125的電位為“L”，由此電晶體102變為非導通，校正資料(V_p)被保持於節點NA。

【0107】 在時刻T5，使佈線121的電位為“L”、佈線122的電位為“L”、佈線125的電位為“L”，由此電晶體101變為非導通，由此結束校

正資料 (V_p) 的寫入工作。

【0108】 接著，說明影像資料 (V_s) 的校正工作及液晶元件106的顯示工作。注意，以適當的時序向佈線125供應所希望的電位。

【0109】 在時刻T11，使佈線121的電位為“L”、佈線122的電位為“H”、佈線124的電位為“L”，由此電晶體101變為導通，藉由電容器104的電容耦合，佈線125的電位被附加到節點NA的電位。也就是說，節點NA變為影像資料(V_s)加上校正資料(V_p)的電位(V_s+V_p)’。注意，電位(V_s+V_p)’還包括佈線間的電容耦合導致的電位變動等。

【0110】 在時刻T12，使佈線121的電位為“L”、佈線122的電位為“L”、佈線124的電位為“L”，由此電晶體101變為非導通，在節點NA中保持電位(V_s+V_p)’。並且，液晶元件106根據該電位進行顯示工作。

【0111】 另外，本發明的一個實施方式的像素可以採用圖5A所示的像素11c的結構。像素11c具有附加了電晶體107和佈線130的像素11a的結構。

【0112】 藉由在像素11c中向佈線130供應重設電位，使電晶體107成為導通狀態，由此可以進行液晶元件106的重設工作。藉由具有該結構，可以獨立地控制節點NM和節點NA的電位的改寫工作，能夠延長液晶元件106的顯示工作期間。

【0113】 在不進行影像校正工作時，藉由從佈線130供應影像資料並控制電晶體107的導通/非導通，可以進行液晶元件106的顯示工作。此時，電晶體103經常處於非導通狀態。

【0114】 另外，本發明的一個實施方式的像素可以採用圖5B所示的像素11d的結構。像素11d具有各電晶體中設置有背閘極的結構。該背閘極與

前閘極電連接可以提高通態電流。另外，也可以對背閘極提供與前閘極不同的恆電位。藉由採用該結構，可以控制電晶體的臨界電壓。雖然在圖5B中示出所有的電晶體中設置有背閘極的結構，但是也可以包括不設置背閘極的電晶體。另外，也可以將電晶體具有背閘極的結構用於本實施方式中的其他的像素電路。

【0115】 為了防止烙印，較佳為對用於本發明的一個實施方式的顯示裝置的液晶元件106進行反轉各圖框的極性的交流驅動。例如，當在連續的圖框間顯示同一影像時，進行表1或表2所示的工作。注意，表中的a、b表示固定電位。

【0116】 表1示出在第N圖框(N為1以上的整數)進行使用正極性的信號的工作的例子。在第N+1圖框進行以模式A、B或C表示的使用負極性的信號的工作，以第N圖框與節點NA的電位的絕對值相等的方式調整校正資料(Vp)及/或影像資料(Vs)而將其供應。表2示出在第N圖框進行使用負極性的信號的工作的例子，在第N+1圖框以第N圖框與節點NA的電位的絕對值相等的方式進行工作。注意，在該工作中，共用電位是固定的。

【0117】 注意，當在模式B中進行工作時調整影像資料(Vs)，因此可以顯示靜態影像等而在圖框間不改寫校正資料(Vp)。

【0118】 [表1]

圖框	N	N+1		
模式		A	B	C
影像資料 (Vs)	+a	-a	-a-2b	+a
校正資料 (Vp)	+b	-b	+b	-2a-b
節點 NA	+a+b	-a-b	-a-b	-a-b

【0119】 [表2]

圖框	N	N+1		
模式		A	B	C
影像資料 (V_s)	$-a$	$+a$	$+a+2b$	$-a$
校正資料 (V_p)	$-b$	$+b$	$-b$	$+2a+b$
節點 NA	$-a-b$	$+a+b$	$+a+b$	$+a+b$

【0120】 圖6A至圖6C是可以使用像素11a、像素11b或像素11c的顯示裝置的方塊圖。下面說明各顯示裝置。注意，省略圖式間重複的相同組件的記載。

【0121】 圖6A示出顯示裝置的例子，該顯示裝置包括像素11以矩陣狀排列的像素陣列、行驅動器12、列驅動器13、電路14以及電路15。佈線121、122及126等電連接於行驅動器12。佈線124及125等電連接於列驅動器13。作為像素11，可以使用像素11a或像素11b。

【0122】 行驅動器12及列驅動器13例如可以使用移位暫存器電路。電路14具有生成校正資料的功能。電路14也可以稱為用於生成校正資料的外部設備。此外，電路15能夠將用來使液晶元件106的工作重設的重設電位 S_r 供應到列驅動器13。

【0123】 電路14被輸入圖3A和圖3B中說明的影像資料 S_1 ，影像資料 S_1 及生成的校正資料 W 輸出至列驅動器13。注意，影像資料 S_1 可以不藉由電路14輸入至列驅動器13。

【0124】 另外，電路14可以具有神經網路。例如，可以利用大量的影像作為監督資料進行了學習的深度神經網路生成高精度的校正資料 W 。

【0125】 圖6B示出顯示裝置的例子，該顯示裝置包括像素11c以矩陣

狀排列的像素陣列、行驅動器12、列驅動器13、電路14以及電路15。電路15能夠將重設電位Sr供應到佈線130。

【0126】 圖6C示出顯示裝置的例子，該顯示裝置包括像素11c以矩陣狀排列的像素陣列、行驅動器12、列驅動器13、列驅動器17、電路14以及電路15。佈線130電連接於列驅動器17。

【0127】 作為列驅動器17，例如可以使用暫存器電路。電路15能夠將重設電位Sr供應到列驅動器17。另外，當不進行影像校正工作時，可以將影像資料Sx供應到列驅動器17而進行液晶元件106的顯示工作。

【0128】 注意，雖然圖6A至圖6C例示出包括電路14及電路15的結構，但是也可以採用一個電路具有兩者的功能的結構。

【0129】 本發明的一個實施方式的顯示裝置如圖3A和圖3B所示在像素中能夠生成被上轉換的影像。因此，多個像素被供應低解析度的同一影像資料。在圖3A和圖3B所示的例子中，橫向和縱向的四個像素被供應同一影像資料。在該情況下，可以對與各像素連接的各信號線供給同一影像資料，並可以藉由使供給同一影像資料的信號線彼此電連接來高速地進行影像資料的寫入工作。

【0130】 圖7示出能夠進行彩色顯示的顯示裝置的像素陣列的一部分，其中提供同一影像資料的各信號線可以藉由開關彼此電連接。通常，能夠進行彩色顯示的顯示裝置的像素包括分別發射R（紅色）、G（綠色）B（藍色）的子像素的組合。圖7示出橫向和縱向上的四個像素，該四個像素都由橫向排列的R、G、B三個子像素構成。

【0131】 在此，如圖3A和圖3B所示，橫向和縱向上的四個像素被輸入

同一影像資料。在圖7中，子像素R1至R4被輸入同一影像資料。例如，藉由對與子像素R1至R4連接的用作信號線的佈線125[1]、125[4]供應同一影像資料並對用作掃描線的佈線122[1]、122[2]依次輸入信號，可以對四個子像素輸入同一影像資料。但是，該方法不是高效的。

【0132】 在本發明的一個實施方式中，藉由利用設置於信號線間的開關使兩個信號線導通並利用設置於掃描線間的開關使兩個掃描線導通，可以同時對四個子像素進行寫入。

【0133】 如圖7所示，藉由使設置於佈線125[1]與125[4]間的開關141導通，可以將供應至佈線125[1]或125[4]中的一方的影像資料同時寫入子像素R1及子像素R2。在這種情況下，藉由使設置在佈線122[1]與佈線122[2]間的開關144導通，可以同時對子像素R3及子像素R4進行寫入。也就是說，可以同時進行四個子像素的寫入。

【0134】 同樣地，藉由根據需要使設置於佈線125[2]與125[5]間的開關142以及設置於佈線125[3]與125[6]間的開關143導通，在其它的四個子像素中也可以同時進行四個子像素的寫入。開關141至144例如可以使用電晶體。

【0135】 同時寫入四個子像素的資料可以縮短寫入時間並提高圖框頻率。

【0136】 接著，說明圖1所示的像素11a及圖4A所示的像素11b的模擬結果。共同參數為如下。電晶體尺寸都是 $L/W=4\mu\text{m}/4\mu\text{m}$ ，電容器104的電容值是100fF，電容器105的電容值是50fF，液晶元件106的電容值是20fF，共同佈線132和133的電位都是0V。注意，作為電路模擬軟體使用SPICE。

【0137】 圖8A至圖8C是說明像素11a的模擬的工作參數的圖。縱軸表示各佈線的電位，橫軸表示對應於圖2A和圖2B的時序圖的時刻。

【0138】 圖8A示出連接於電晶體的閘極的佈線的電位，時刻T2至T5的工作相當於校正資料 (V_p) 的寫入工作。時刻T11至T13的工作相當於對校正資料 (V_p) 附加影像資料 (V_s) 的工作。

【0139】 圖8B示出供應校正資料 (V_p) 的佈線124的電位，在此 $V_p=8V$ 。注意，校正資料 (V_p) 在時刻T2至T5之間被供應到佈線124，即可。

【0140】 圖8C示出供應影像資料 (V_s) 的佈線125的電位，在此使用電壓從1V至8V每隔1V變化的條件。注意，在寫入校正資料 (V_p) 時，作為電位 “L” 將1V供應到佈線125。

【0141】 圖8D是示出利用上述工作參數時的節點NA的電位變化的模擬結果。時刻T13之後示出的電位是供應到節點NA的電位，這表示該電位高於影像資料 (V_s) 的電位。但是，如上所述，節點NA的電位受到節點NM的校正資料 (V_p) 分配於節點NA時的電位下降、電容耦合時的電容比或佈線間電容等的影響，因此有時不成為所希望的電位。

【0142】 圖9A示出使用上述參數時的影像資料 (V_s) 的電位與節點NA的電位之間的關係。圓形 (○) 示出作為校正資料 (V_p) 輸入8V時的模擬結果。注意， V_{ref} (寫入時的佈線125的電位) 為1V，且滿足 $V_p - V_{ref} = 7V$ 。三角形 (△) 示出直接將校正資料 (V_p) 寫入到節點NA時的模擬結果。如圖9A所示，在這些電位之間有較大的差異，在對設計或工作條件有限制的情況下，有時不能夠進行充分的校正。

【0143】 鑒於圖9A的結果，圖9B示出進行如下試驗時的模擬結果：是

否藉由預先對校正資料 (V_p) 追加相當於損失的量的電位可以減少上述差異。在使用上述參數的情況下，藉由對校正資料 (V_p) 追加+5.6V的電位，可以使節點NA的電位成為所希望的值。

【0144】 圖9C示出以同樣的目的將電容器104的電容值從100fF變化到300fF時的模擬結果。雖然在影像資料 (V_s) 的電位低時有較大的差異，但是能夠使節點NA的電位成為大致所希望的值。

【0145】 由此可知，藉由將校正資料 (V_p) 或電容器104的電容值設定為適當的值，能夠使節點NA的電位成為所希望的值。

【0146】 圖10A至圖10C是說明像素11b的模擬的工作參數的圖。縱軸表示各佈線的電位，橫軸表示對應於圖4C和圖4D的時序圖的時刻。由於在像素11b中省略了電晶體103，所以圖10A不示出佈線126的信號。圖10B及圖10C與圖8B及圖8C同一。

【0147】 圖10D是示出利用上述工作參數時的節點NA的電位變化的模擬結果。圖11示出使用上述參數時的影像資料 (V_s) 與節點NA之間的關係。像素11b不受到校正資料 (V_p) 的分配導致的電位下降的影響，因此不需要上述校正資料 (V_p) 的追加。另外，由於可以減小電容器104的電容值，所以可以提高設計的彈性。

【0148】 本發明的一個實施方式的顯示裝置可以採用圖12A所示的像素11e的結構。像素11e具有對圖5A所示的像素11c附加電晶體112的結構。與其他電晶體同樣，作為電晶體112例如可以使用0S電晶體。

【0149】 電晶體112的閘極與電晶體102的源極和汲極中的一個及電容器104的另一個電極電連接。電晶體112的源極和汲極中的一個與電晶體

103的源極和汲極中的一個電連接。電晶體112的源極和閘極中的另一個與電源線131（高電位）電連接。

【0150】 在像素11e中，將電容器104的另一個電極、電晶體102的源極和汲極中的一個及電晶體112的閘極連接的佈線稱為節點NM。

【0151】 與像素11e電連接的佈線130可以具有供應使影像資料重設的恆電位（低電位）的信號線的功能。佈線124可以具有用作對節點NM寫入資料的信號線的功能。

【0152】 在像素11e中，被寫入節點NM的資料可以與佈線125供給的影像資料電容耦合，所得到的資料可以被輸出至節點NA。

【0153】 也就是說，只要將所希望的校正資料存儲到節點NM就可以對供應的影像資料附加該校正資料。注意，由於傳輸路徑上的因素有時校正資料會衰減，因此較佳為考慮該衰減來生成校正資料。

【0154】 使用圖12B和圖12C所示的時序圖對像素11e的工作進行詳細說明。作為對佈線124供應的校正資料（ V_p ）可以使用正信號也可以使用負信號，這裡對供應正信號的情況進行說明。佈線130被供應重設電位（低電位）。另外，在以下說明中，“H”表示高電位，“L”表示低電位。

【0155】 首先，參照圖12B說明對節點NM寫入校正資料（ V_p ）的工作。在以影像校正為目的的情況下，通常較佳為對每個圖框進行該工作。

【0156】 在時刻T1，使佈線121的電位為“L”、佈線122的電位為“H”、佈線125的電位為“L”、佈線126的電位為“L”，由此電晶體101變為導通，電容器104的一個電極的電位變為“L”。該工作是在電容耦合之前進行的重設工作。

【0157】 在時刻T2，使佈線121的電位為“H”、佈線122的電位為“H”、佈線125的電位為“L”、佈線126的電位為“L”，由此電晶體102變為導通，佈線124的電位（校正資料（ V_p ））被寫入節點NM。

【0158】 雖然在時刻T2之前進行前一圖框的液晶元件106的顯示工作，但是藉由使電晶體107導通，節點NA的電位成為重設電位，由此使液晶元件106的顯示工作重設。

【0159】 在時刻T3，使佈線121的電位為“L”、佈線122的電位為“H”、佈線125的電位為“L”、佈線126的電位為“L”，由此電晶體102變為非導通，校正資料（ V_p ）被保持於節點NM。

【0160】 在時刻T4，使佈線121的電位為“L”、佈線122的電位為“L”、佈線125的電位為“L”、佈線126的電位為“L”，由此電晶體101變為非導通，由此結束校正資料（ V_p ）的寫入工作。

【0161】 接著，參照圖12C說明影像資料（ V_s ）的校正工作及液晶元件106的顯示工作。

【0162】 在時刻T11，使佈線121的電位為“L”、佈線122的電位為“H”、佈線124的電位為“L”、佈線126的電位為“L”，由此電晶體101變為導通，藉由電容器104的電容耦合，佈線125的電位被附加到節點NM的電位。也就是說，節點NM變為影像資料（ V_s ）加上校正資料（ V_p ）的電位（ V_s+V_p ）。

【0163】 在時刻T12，使佈線121的電位為“L”、佈線122的電位為“L”、佈線124的電位為“L”、佈線126的電位為“L”，由此電晶體101變為非導通，節點NM的電位固定為 V_s+V_p 。

【0164】 在時刻T13，使佈線121的電位為“L”、佈線122的電位為“L”、佈線124的電位為“L”、佈線126的電位為“H”，由此電晶體103變為導通，節點NA的電位變為 V_s+V_p ，液晶元件106進行顯示工作。嚴格地說，節點NA的電位相當於 V_s+V_p 減去電晶體112的臨界電壓（ V_{th} ），這裡， V_{th} 為可以忽略不計的極小值。

【0165】 以上是影像資料（ V_s ）的校正工作及液晶元件106的顯示工作的說明。注意，雖然可以連續地進行之前說明的校正資料（ V_p ）的寫入工作與影像資料（ V_s ）的輸入工作，但是較佳為先對所有像素寫入校正資料（ V_p ）之後再進行影像資料（ V_s ）的輸入工作。如上所述，在本發明的一個實施方式中，由於可以同時對多個像素供給相同的影像資料，所以藉由先對所有的像素寫入校正資料（ V_p ）來提高工作速度。

【0166】 本實施方式可以與其他實施方式等所記載的結構適當地組合而實施。

【0167】 實施方式2

本實施方式對使用液晶元件的顯示裝置的結構例進行說明。注意，在本實施方式中省略實施方式1已說明的有關校正的工作及功能。

【0168】 圖13A至圖13C示出能夠用於本發明的一個實施方式的顯示裝置的結構。

【0169】 在圖13A中，以圍繞設置在第一基板4001上的顯示部215的方式設置密封劑4005，顯示部215被密封劑4005及第二基板4006密封。

【0170】 顯示部215設置有包括實施方式1所示的像素的像素陣列。

【0171】 在圖13A中，掃描線驅動電路221a、信號線驅動電路231a、

信號線驅動電路232a及共通線驅動電路241a都包括設置在印刷電路板4041上的多個積體電路4042。積體電路4042由單晶半導體或多晶半導體形成。信號線驅動電路231a及信號線驅動電路232a具有實施方式1所示的列驅動器的功能。掃描線驅動電路221a具有實施方式1所示的行驅動器的功能。共通線驅動電路241a具有對實施方式1所示的公共佈線供給規定電位的功能。

【0172】 藉由FPC (Flexible printed circuit：軟性印刷電路) 4018向掃描線驅動電路221a、共通線驅動電路241a、信號線驅動電路231a及信號線驅動電路232a供應各種信號及電位。

【0173】 包括於掃描線驅動電路221a及共通線驅動電路241a中的積體電路4042具有對顯示部215供應選擇信號的功能。包括在信號線驅動電路231a及信號線驅動電路232a中的積體電路4042具有對顯示部215供應影像資料的功能。積體電路4042被安裝在與由第一基板4001上的密封劑4005圍繞的區域不同的區域中。

【0174】 注意，對積體電路4042的連接方法沒有特別的限制，可以使用打線接合法、COG (Chip On Glass) 法、TCP (Tape Carrier Package) 法以及COF (Chip On Film) 法等。

【0175】 圖13B示出利用COG法安裝包含於信號線驅動電路231a及信號線驅動電路232a中的積體電路4042的例子。另外，藉由將驅動電路的一部分或整體形成在形成有顯示部215的基板上，可以形成系統整合型面板 (system-on-panel)。

【0176】 圖13B示出將掃描線驅動電路221a及共通線驅動電路241a形成在形成有顯示部215的基板上的例子。藉由同時形成驅動電路與顯示部

215內的像素電路，可以減少構件數。由此，可以提高生產率。

【0177】 另外，在圖13B中，以圍繞設置在第一基板4001上的顯示部215、掃描線驅動電路221a以及共通線驅動電路241a的方式設置密封劑4005。顯示部215、掃描線驅動電路221a及共通線驅動電路241a上設置有第二基板4006。由此，顯示部215、掃描線驅動電路221a及共通線驅動電路241a藉由第一基板4001、密封劑4005及第二基板4006與顯示元件密封在一起。

【0178】 雖然圖13B中示出另行形成信號線驅動電路231a及信號線驅動電路232a並將其安裝至第一基板4001的例子，但是本發明的一個實施方式不侷限於該結構，也可以另行形成掃描線驅動電路並進行安裝，或者另行形成信號線驅動電路的一部分或掃描線驅動電路的一部分並進行安裝。另外，如圖13C所示也可以將信號線驅動電路231a及信號線驅動電路232a形成在形成有顯示部215的基板上。

【0179】 此外，顯示裝置有時包括顯示元件為密封狀態的面板和在該面板中安裝有包括控制器的IC等的模組。

【0180】 設置於第一基板上的顯示部及掃描線驅動電路包括多個電晶體。

【0181】 週邊驅動電路所包括的電晶體及顯示部的像素電路所包括的電晶體的結構既可以具有相同的結構又可以具有不同的結構。週邊驅動電路所包括的電晶體既可以都具有相同的結構，又可以組合兩種以上的結構。同樣地，像素電路所包括的電晶體既可以都具有相同的結構，又可以組合兩種以上的結構。

【0182】 另外，可以在第二基板4006上設置輸入裝置4200。圖13A和

圖13B所示的對顯示裝置設置輸入裝置4200的結構能夠用作觸控面板。

【0183】 對本發明的一個實施方式的觸控面板所包括的感測元件(也稱為感測元件)沒有特別的限制。還可以將能夠檢測出手指、觸控筆等檢測物件的接近或接觸的各種感測器用作感測元件。

【0184】 例如,作為感測器的方式,可以利用靜電電容式、電阻膜式、表面聲波式、紅外線式、光學式、壓敏式等各種方式。

【0185】 在本實施方式中,以包括靜電電容式的感測元件的觸控面板為例進行說明。

【0186】 作為靜電電容式,有表面型靜電電容式、投影型靜電電容式等。另外,作為投影型靜電電容式,有自電容式、互電容式等。較佳為使用互電容式,因為可以同時進行多點感測。

【0187】 本發明的一個實施方式的觸控面板可以採用貼合了分別製造的顯示裝置和感測元件的結構、在支撐顯示元件的基板和相對基板中的一者或兩者設置有構成感測元件的電極等的結構等各種各樣的結構。

【0188】 圖14A和圖14B示出觸控面板的一個例子。圖14A是觸控面板4210的立體圖。圖14B是輸入裝置4200的立體示意圖。注意,為了明確起見,只示出典型的組件。

【0189】 觸控面板4210具有貼合了分別製造的顯示裝置與感測元件的結構。

【0190】 觸控面板4210包括重疊設置的輸入裝置4200和顯示裝置。

【0191】 輸入裝置4200包括基板4263、電極4227、電極4228、多個佈線4237、多個佈線4238及多個佈線4239。例如,電極4227可以與佈線4237

或佈線4239電連接。另外，電極4228可以與佈線4239電連接。FPC4272b可以與多個佈線4237及多個佈線4238分別電連接。FPC4272b可以設置有IC4273b。

【0192】 顯示裝置的第一基板4001與第二基板4006間可以設置觸控感測器。當在第一基板4001與第二基板4006之間設置觸控感測器時，除了靜電電容式觸控感測器之外還可以使用利用光電轉換元件的光學式觸控感測器。

【0193】 圖15是沿著圖13B中的點劃線N1-N2的剖面圖。圖15所示的顯示裝置包括電極4015，該電極4015與FPC4018的端子藉由各向異性導電層4019電連接。另外，在圖15中，電極4015在形成於絕緣層4112、絕緣層4111及絕緣層4110的開口中與佈線4014電連接。

【0194】 電極4015與第一電極層4030使用同一導電層形成，佈線4014與電晶體4010及電晶體4011的源極電極及汲極電極使用同一導電層形成。

【0195】 另外，設置在第一基板4001上的顯示部215和掃描線驅動電路221a包括多個電晶體。在圖15中，示出顯示部215中的電晶體4010及掃描線驅動電路221a中的電晶體4011。雖然圖15中作為電晶體4010及電晶體4011示出底閘極型電晶體，但是也可以使用頂閘極型電晶體。

【0196】 在圖15中，在電晶體4010及電晶體4011上設置有絕緣層4112。

【0197】 另外，電晶體4010及電晶體4011設置在絕緣層4102上。另外，電晶體4010及電晶體4011包括形成在絕緣層4111上的電極4017。電極4017可以用作背閘極電極。

【0198】 另外，圖15所示的顯示裝置包括電容器4020。電容器4020包括與電晶體4010的閘極電極以同一製程形成的電極4021以及與源極電極及汲極電極以同一製程形成的電極。這些電極隔著絕緣層4103彼此重疊。

【0199】 一般而言，考慮在像素部中配置的電晶體的洩漏電流等設定在顯示裝置的像素部中設置的電容器的容量以使其能夠在指定期間保持電荷。電容器的容量考慮電晶體的關態電流等設定即可。

【0200】 設置在顯示部215中的電晶體4010與顯示元件電連接。圖15是作為顯示元件使用液晶元件的液晶顯示裝置的一個例子。在圖15中，作為顯示元件的液晶元件4013包括第一電極層4030、第二電極層4031以及液晶層4008。注意，以夾持液晶層4008的方式設置有被用作配向膜的絕緣層4032及絕緣層4033。第二電極層4031設置在第二基板4006一側，第一電極層4030與第二電極層4031隔著液晶層4008重疊。

【0201】 作為液晶元件4013，可採用使用各種模式的液晶元件。例如，可以使用採用VA (Vertical Alignment：垂直配向) 模式、TN (Twisted Nematic：扭曲向列) 模式、IPS (In-Plane-Switching：平面切換) 模式、ASM (Axially Symmetric Aligned Micro-cell：軸對稱排列微單元) 模式、OCB (Optically Compensated Bend：光學補償彎曲) 模式、FLC (Ferroelectric Liquid Crystal：鐵電性液晶) 模式、AFLC (AntiFerroelectric Liquid Crystal：反鐵電液晶) 模式、ECB (Electrically Controlled Birefringence：電控雙折射) 模式、VA-IPS (Vertical Alignment In-Plane-Switching：垂直配向平面切換) 模式、賓主模式等的液晶元件。

【0202】 另外，也可以對本實施方式所示的液晶顯示裝置使用常黑型液晶顯示裝置，例如採用垂直配向（VA）模式的透過型液晶顯示裝置。作為垂直配向模式，可以使用MVA（Multi-Domain Vertical Alignment：多象限垂直配向）模式、PVA（Patterned Vertical Alignment：垂直配向構型）模式、ASV（Advanced Super View：超視覺）模式等。

【0203】 液晶元件是利用液晶的光學調變作用來控制光的透過或非透過的元件。液晶的光學調變作用由施加到液晶的電場（水平電場、垂直電場或傾斜方向電場）控制。作為用於液晶元件的液晶可以使用熱致液晶、低分子液晶、高分子液晶、高分子分散型液晶（PDLC:Polymer Dispersed Liquid Crystal：聚合物分散液晶）、鐵電液晶、反鐵電液晶等。這些液晶材料根據條件呈現出膽固醇相、層列相、立方相、手向列相、各向同性相等。

【0204】 雖然圖15示出具有垂直電場方式的液晶元件的液晶顯示裝置的例子，但是也可以將本發明的一個實施方式用於具有水平電場方式的液晶元件的液晶顯示裝置。在採用水平電場方式的情況下，也可以使用不使用配向膜的呈現藍相的液晶。藍相是液晶相的一種，是指當使膽固醇液晶的溫度上升時即將從膽固醇相轉變到均質相之前出現的相。因為藍相只在窄的溫度範圍內出現，所以將其中混合了5wt%以上的手性試劑的液晶組合物用於液晶層4008，以擴大溫度範圍。由於包含呈現藍相的液晶和手性試劑的液晶組成物的回應速度快，並且其具有光學各向同性。此外，包含呈現藍相的液晶和手性試劑的液晶組成物不需要配向處理，並且視角依賴性小。另外，由於不需要設置配向膜而不需要摩擦處理，因此可以防止

由於摩擦處理而引起的靜電破壞，並可以降低製程中的液晶顯示裝置的不良、破損。

【0205】 間隔物4035是藉由對絕緣層選擇性地進行蝕刻而得到的柱狀間隔物，並且它是為控制第一電極層4030和第二電極層4031之間の間隔（單元間隙）而設置的。注意，還可以使用球狀間隔物。

【0206】 此外，根據必要，可以適當地設置黑矩陣（遮光層）、彩色層（濾色片）、偏振構件、相位差構件、抗反射構件等的光學構件（光學基板）等。例如，也可以使用利用偏振基板以及相位差基板的圓偏振。此外，作為光源，也可以使用背光或側光等。作為上述背光或側光，也可以使用Micro-LED等。

【0207】 在圖15所示的顯示裝置中，在第二基板4006和第二電極層4031之間設置有遮光層4132、彩色層4131及絕緣層4133。

【0208】 作為能夠用於遮光層4132的材料，可以舉出碳黑、鈦黑、金屬、金屬氧化物或包含多個金屬氧化物的固溶體的複合氧化物等。遮光層4132也可以為包含樹脂材料的膜或包含金屬等無機材料的薄膜。另外，也可以對遮光層4132使用包含彩色層4131的材料的膜的疊層膜。例如，可以採用包含用於使某個顏色的光透過的彩色層4131的材料的膜與包含用於使其他顏色的光透過的彩色層4131的材料的膜的疊層結構。藉由使彩色層4131與遮光層4132的材料相同，除了可以使用相同的設備以外，還可以實現製程簡化，因此是較佳的。

【0209】 作為能夠用於彩色層4131的材料，可以舉出金屬材料、樹脂材料、包含顏料或染料的樹脂材料等。遮光層4132及彩色層4131的形成方

法可以與上述各層的形成方法同樣地進行即可。例如，可以利用噴墨法等。

【0210】 另外，圖15所示的顯示裝置包括絕緣層4111及絕緣層4104。作為絕緣層4111及絕緣層4104，使用不易使雜質元素透過的絕緣層。藉由由絕緣層4111和絕緣層4104夾持電晶體的半導體層，可以防止來自外部的雜質的混入。

【0211】 此外，由於電晶體容易因靜電等而損壞，所以較佳為設置用來保護驅動電路的保護電路。保護電路較佳為使用非線性元件構成。

【0212】 本實施方式可以與其他實施方式等所記載的結構適當地組合而實施。

【0213】 實施方式3

在本實施方式中，參照圖式說明可以置換為上述實施方式所示的各電晶體而使用的電晶體的一個例子。

【0214】 可以使用底閘極型電晶體或頂閘極型電晶體等的各種方式的電晶體來製造本發明的一個實施方式的顯示裝置。因此，可以根據習知的生產線容易置換所使用的半導體層的材料或電晶體結構。

【0215】 [底閘極型電晶體]

圖16A1是底閘極型電晶體的一種的通道保護型電晶體810的剖面圖。在圖16A1中，電晶體810形成在基板771上。此外，電晶體810在基板771上隔著絕緣層772包括電極746。另外，在電極746上隔著絕緣層726包括半導體層742。電極746可以被用作閘極電極。絕緣層726可以被用作閘極絕緣層。

【0216】 另外，在半導體層742的通道形成區域上包括絕緣層741。此外，在絕緣層726上以與半導體層742的一部分接觸的方式包括電極744a及

電極744b。電極744a可以用作源極電極和汲極電極中的一個。電極744b用作源極電極和汲極電極中的另一個。電極744a的一部分及電極744b的一部分形成在絕緣層741上。

【0217】 絕緣層741可以被用作通道保護層。藉由在通道形成區域上設置絕緣層741，可以防止在形成電極744a及電極744b時半導體層742被露出。由此，可以防止在形成電極744a及電極744b時半導體層742的通道形成區域被蝕刻。根據本發明的一個實施方式，可以實現電特性良好的電晶體。

【0218】 另外，電晶體810在電極744a、電極744b及絕緣層741上包括絕緣層728，在絕緣層728上包括絕緣層729。

【0219】 當將氧化物半導體用於半導體層742時，較佳為將能夠從半導體層742的一部分中奪取氧而產生氧缺陷的材料用於電極744a及電極744b的至少與半導體層742接觸的部分。半導體層742中的產生氧缺陷的區域的載子濃度增加，該區域n型化而成為n型區域（ n^+ 層）。因此，該區域能夠被用作源極區域或汲極區域。當將氧化物半導體用於半導體層742時，作為能夠從半導體層742中奪取氧而產生氧缺陷的材料的一個例子，可以舉出鎢、鈦等。

【0220】 藉由在半導體層742中形成源極區域及汲極區域，可以降低電極744a及電極744b與半導體層742的接觸電阻。因此，可以使場效移動率及臨界電壓等電晶體的電特性良好。

【0221】 當將矽等半導體用於半導體層742時，較佳為在半導體層742與電極744a之間及半導體層742與電極744b之間設置被用作n型半導體或p型半導體的層。用作n型半導體或p型半導體的層可以被用作電晶體的源極

區域或汲極區域。

【0222】 絕緣層729較佳為使用具有防止雜質從外部擴散到電晶體中或者降低雜質的擴散的功能的材料形成。此外，根據需要也可以省略絕緣層729。

【0223】 圖16A2所示的電晶體811與電晶體810之間的不同之處在於：電晶體811在絕緣層729上包括可用作背閘極電極的電極723。電極723可以使用與閘極電極746同樣的材料及方法形成。

【0224】 一般而言，背閘極電極使用導電層來形成，並以半導體層的通道形成區域被閘極電極與背閘極電極夾住的方式設置。因此，背閘極電極可以具有與閘極電極同樣的功能。背閘極電極的電位可以與閘極電極相等，也可以為接地電位（GND電位）或任意電位。另外，藉由不跟閘極電極聯動而獨立地改變背閘極電極的電位，可以改變電晶體的臨界電壓。

【0225】 電極746及電極723都可以被用作閘極電極。因此，絕緣層726、絕緣層728及絕緣層729都可以被用作閘極絕緣層。另外，也可以將電極723設置在絕緣層728與絕緣層729之間。

【0226】 注意，當將電極746和電極723中的一個稱為“閘極電極”時，將另一個稱為“背閘極電極”。例如，在電晶體811中，當將電極723稱為“閘極電極”時，將電極746稱為“背閘極電極”。另外，當將電極723用作“閘極電極”時，電晶體811是頂閘極型電晶體之一種。此外，有時將電極746和電極723中的一個稱為“第一閘極電極”，有時將另一個稱為“第二閘極電極”。

【0227】 藉由隔著半導體層742設置電極746以及電極723並將電極

746及電極723的電位設定為相同，半導體層742中的載子流過的區域在厚度方向上更加擴大，所以載子的移動量增加。其結果是，電晶體811的通態電流增大，並且場效移動率也增高。

【0228】 因此，電晶體811是相對於佔有面積具有較大的通態電流的電晶體。亦即，可以相對於所要求的通態電流縮小電晶體811的佔有面積。根據本發明的一個實施方式，可以縮小電晶體的佔有面積。因此，根據本發明的一個實施方式，可以實現積體度高的半導體裝置。

【0229】 另外，由於閘極電極及背閘極電極使用導電層形成，因此具有防止在電晶體的外部產生的電場影響到形成通道的半導體層的功能（尤其是對靜電等的電場遮蔽功能）。另外，當將背閘極電極形成得比半導體層大以使用背閘極電極覆蓋半導體層時，能夠提高電場遮蔽功能。

【0230】 另外，藉由使用具有遮光性的導電膜形成背閘極電極，能夠防止光從背閘極電極一側入射到半導體層。由此，能夠防止半導體層的光劣化，並防止電晶體的臨界電壓漂移等電特性劣化。

【0231】 根據本發明的一個實施方式，可以實現可靠性良好的電晶體。另外，可以實現可靠性良好的半導體裝置。

【0232】 圖16B1示出作為底閘極型的電晶體之一的通道保護型電晶體820的剖面圖。電晶體820具有與電晶體810大致相同的結構，而不同之處在於：絕緣層741覆蓋半導體層742的端部。另外，在選擇性地去除絕緣層741的重疊於半導體層742的部分而形成的開口部中，半導體層742與電極744a電連接。另外，在選擇性地去除絕緣層741的重疊於半導體層742的部分而形成的其他開口部中，半導體層742與電極744b電連接。絕緣層741的

與通道形成區域重疊的區域可以被用作通道保護層。

【0233】 圖16B2所示的電晶體821與電晶體820的不同之處在於：電晶體821在絕緣層729上包括可以被用作背閘極電極的電極723。

【0234】 藉由設置絕緣層741，可以防止在形成電極744a及電極744b時半導體層742露出。因此，可以防止在形成電極744a及電極744b時半導體層742被薄膜化。

【0235】 另外，與電晶體810及電晶體811相比，電晶體820及電晶體821的電極744a與電極746之間的距離及電極744b與電極746之間的距離更長。因此，可以減少產生在電極744a與電極746之間的寄生電容。此外，可以減少產生在電極744b與電極746之間的寄生電容。根據本發明的一個實施方式，可以提供一種電特性良好的電晶體。

【0236】 圖16C1所示的電晶體825是底閘極型電晶體之一的通道蝕刻型電晶體。在電晶體825中，不使用絕緣層741形成電極744a及電極744b。因此，在形成電極744a及電極744b時露出的半導體層742的一部分有時被蝕刻。另一方面，由於不設置絕緣層741，可以提高電晶體的生產率。

【0237】 圖16C2所示的電晶體826與電晶體825的不同之處在於：電晶體826在絕緣層729上具有可以用作背閘極電極的電極723。

【0238】 [頂閘極型電晶體]

圖17A1所示的電晶體842是頂閘極型電晶體之一。電極744a及電極744b在形成於絕緣層728及絕緣層729中的開口與半導體層742電連接。

【0239】 另外，如圖17A3所示，去除不與電極746重疊的絕緣層726的一部分，以電極746及剩餘的絕緣層726為遮罩將雜質755引入到半導體層

742，由此可以在半導體層742中以自對準（self-alignment）的方式形成雜質區域。電晶體842包括絕緣層726超過電極746的端部延伸的區域。在對半導體層742引入雜質755時，半導體層742的藉由絕緣層726被引入雜質755的區域的雜質濃度低於不藉由絕緣層726被引入雜質755的區域。因此，在半導體層742的不與電極746重疊的區域中形成LDD（Lightly Doped Drain：輕摻雜汲極）區域。

【0240】 圖17A2所示的電晶體843與電晶體842的不同之處在於電晶體843包括電極723。電晶體843包括形成在基板771上的電極723。電極723具有隔著絕緣層772與半導體層742層疊的區域。電極723可以用作背閘極電極。

【0241】 另外，如圖17B1所示的電晶體844及圖17B2所示的電晶體845那樣，也可以完全去除不與電極746重疊的區域的絕緣層726。另外，如圖17C1所示的電晶體846及圖17C2所示的電晶體847那樣，也可以不去除絕緣層726。

【0242】 在電晶體842至電晶體847中，也可以在形成電極746之後以電極746為遮罩而將雜質755引入到半導體層742，由此在半導體層742中自對準地形成雜質區域。根據本發明的一個實施方式，可以實現電特性良好的電晶體。另外，根據本發明的一個實施方式，可以實現積體度高的半導體裝置。

【0243】 本實施方式可以與其他實施方式等所記載的結構適當地組合而實施。

【0244】 實施方式4

在本實施方式中，對能夠用於上述實施方式中示出的行驅動器12、列驅動器13、17、電路14、15等的半導體裝置進行說明。以下示出的半導體裝置可以用作記憶體裝置。

【0245】 在本實施方式中，作為使用氧化物半導體的記憶體裝置的一個例子，對DOSRAM（註冊商標）進行說明。“DOSRAM”源於Dynamic Oxide Semiconductor Random Access Memory。DOSRAM是指如下記憶體裝置：記憶單元為1T1C（一個電晶體和一個電容器）型單元；寫入用電晶體為使用氧化物半導體的電晶體。

【0246】 參照圖18對DOSRAM1000的疊層結構例進行說明。在DOSRAM1000中，進行資料的讀出的感測放大器部1002與存儲資料的單元陣列部1003層疊。

【0247】 如圖18所示，感測放大器部1002設置有位元線BL、Si電晶體Ta10、Ta11。Si電晶體Ta10、Ta11在單晶矽晶圓中包括半導體層。Si電晶體Ta10、Ta11構成感測放大器並與位元線BL電連接。

【0248】 單元陣列部1003包括多個記憶單元1001。記憶單元1001包括電晶體Tw1及電容器C1。在單元陣列部1003中，兩個電晶體Tw1共用半導體層。半導體層與位元線BL藉由未圖示的導電體電連接。

【0249】 圖18所示的疊層結構可以用於藉由層疊多個包括電晶體群的電路形成的各種半導體裝置。

【0250】 圖18中的金屬氧化物、絕緣體、導電體等可以為單層或疊層。在製造這些層時，可以使用濺射法、分子束磊晶（MBE：Molecular Beam Epitaxy）法、脈衝雷射燒蝕（PLA：Pulsed Laser Ablation）法、化學氣

相沉積（CVD：Chemical Vapor Deposition）法、原子層沉積（ALD）法等各種成膜方法。CVD法包括電漿CVD法、熱CVD法、有機金屬CVD法等。

【0251】 在此，電晶體Tw1的半導體層由金屬氧化物（氧化物半導體）構成。在此，示出半導體層由3層的金屬氧化物層構成的例子。半導體層較佳為由含有In、Ga及Zn的金屬氧化物構成。

【0252】 在此，藉由對金屬氧化物添加形成氧缺陷的元素或者與氧缺陷鍵合的元素，金屬氧化物的載子密度可能增大而被低電阻化。例如，藉由選擇性地使使用金屬氧化物的半導體層低電阻化，可以在半導體層中設置源極區域或汲極區域。

【0253】 另外，作為使金屬氧化物低電阻化的元素，典型的有硼或磷。另外，也可以使用氫、碳、氮、氟、硫、氯、鈦、稀有氣體元素等。作為稀有氣體元素的典型例子有氦、氖、氬、氪及氙等。該元素的濃度可以利用二次離子質譜分析法（SIMS：Secondary Ion Mass Spectrometry）等進行測量。

【0254】 尤其是，硼及磷可以使用非晶矽或低溫多晶矽的生產線的裝置，所以是較佳的。可以使用已有的設置，由此可以降低設備投資。

【0255】 例如，包括被選擇性地低電阻化的半導體層的電晶體可以使用偽閘極形成。明確而言，在半導體層上設置偽閘極，將該偽閘極用作遮罩，對半導體層添加使該半導體層低電阻化的元素。也就是說，該元素被添加到半導體層的不與偽閘極重疊的區域中，由此形成被低電阻化的區域。作為該元素的添加方法，可以使用：對離子化了的源氣體進行質量分離而添加的離子植入法；不對離子化了的源氣體進行質量分離而添加的離

子摻雜法；以及電漿浸沒離子佈植技術等。

【0256】 作為用於導電體的導電材料，有如下材料：以摻雜有磷等雜質元素的多晶矽為代表的半導體；鎳矽化物等矽化物；鉬、鈦、鉭、鎢、鋁、銅、鉻、釷、釷等金屬；或以上述金屬為成分的金屬氮化物（氮化鉬、氮化鈦、氮化鉬、氮化鎢）等。另外，也可以使用銦錫氧化物、包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦鋅氧化物、添加有氧化矽的銦錫氧化物等導電材料。

【0257】 作為可以用於絕緣體的絕緣材料，有氮化鋁、氧化鋁、氮氧化鋁、氧氮化鋁、氧化鎂、氮化矽、氧化矽、氮氧化矽、氧氮化矽、氧化鎵、氧化銻、氧化鉍、氧化銻、氧化釷、氧化釷、氧化鉍、氧化鉍、矽酸鋁等。在本說明書等中，氧氮化物是指氧含量大於氮含量的化合物，氮氧化物是指氮含量大於氧含量的化合物。

【0258】 本實施方式可以與其他實施方式等所記載的結構適當地組合而實施。

【0259】 實施方式5

在本實施方式中，說明能夠用於在實施方式1中說明的電路14等的被用作神經網路的半導體裝置的結構例。

【0260】 如圖19A所示，神經網路NN可以由輸入層IL、輸出層OL及中間層（隱藏層）HL構成。輸入層IL、輸出層OL及中間層HL都包括一個或多個神經元（單元）。注意，中間層HL可以為一層或兩層以上。包括兩層以上的中間層HL的神經網路可以被稱為DNN（深度神經網路），使用深度神經網

路的學習可以被稱為深度學習。

【0261】 輸入層IL的各神經元被輸入輸入資料，中間層HL的各神經元被輸入前一層或後一層的神經元的輸出信號，輸出層OL的各神經元被輸入前一層的神經元的輸出信號。注意，各神經元既可以與前一層和後一層的所有神經元連結（全連結），又可以與部分神經元連結。

【0262】 圖19B示出利用神經元的運算的例子。在此，示出神經元N及向神經元N輸出信號的前一層的兩個神經元。神經元N被輸入前一層的神經元的輸出 x_1 及前一層的神經元的輸出 x_2 。在神經元N中，算出輸出 x_1 與權重 w_1 的乘法結果（ x_1w_1 ）和輸出 x_2 與權重 w_2 的乘法結果（ x_2w_2 ）之總和 $x_1w_1+x_2w_2$ ，然後根據需要對其加偏壓 b ，從而得到值 $a=x_1w_1+x_2w_2+b$ 。值 a 被活化函數 h 變換，輸出信號 $y=h(a)$ 從神經元N輸出。

【0263】 如此，利用神經元的運算包括對前一層的神經元的輸出與權重之積進行加法的運算，亦即積和運算（上述 $x_1w_1+x_2w_2$ ）。該積和運算既可以藉由程式在軟體上進行，又可以藉由硬體進行。在藉由硬體進行積和運算時，可以使用積和運算電路。作為該積和運算電路，既可以使用數位電路，又可以使用類比電路。

【0264】 在作為積和運算電路使用類比電路時，可以因積和運算電路的電路規模的縮小或向記憶體訪問的次數的減少而實現處理速度的提高及功耗的降低。

【0265】 積和運算電路既可以由Si電晶體構成，又可以由OS電晶體構成。尤其是，因為OS電晶體具有極小的關態電流，所以較佳為用作構成積和運算電路的類比記憶體的電晶體。注意，也可以由Si電晶體和OS電晶體

的兩者構成積和運算電路。下面，說明具有積和運算電路的功能的半導體裝置的結構例。

【0266】 〈半導體裝置的結構例〉

圖20示出具有進行神經網路的運算的功能的半導體裝置MAC的結構例。半導體裝置MAC具有進行對應於神經元間的連結強度（權重）的第一資料與對應於輸入資料的第二資料的積和運算的功能。注意，第一資料及第二資料分別可以為類比資料或多值資料（分散資料）。此外，半導體裝置MAC具有使用活化函數對利用積和運算得到的資料進行變換的功能。

【0267】 半導體裝置MAC包括單元陣列CA、電流源電路CS、電流鏡電路CM、電路WDD、電路WLD、電路CLD、偏置電路OFST及活化函數電路ACTV。

【0268】 單元陣列CA包括多個記憶單元MC及多個記憶單元MCref。圖20示出單元陣列CA包括m行n列（m和n為1以上的整數）的記憶單元MC（MC[1，1]至[m，n]）及m個記憶單元MCref（MCref[1]至[m]）的結構例。記憶單元MC具有儲存第一資料的功能。此外，記憶單元MCref具有儲存用於積和運算的參考資料的功能。注意，參考資料可以為類比資料或多值資料。

【0269】 記憶單元MC[i，j]（i為1以上且m以下的整數，j為1以上且n以下的整數）連接於佈線WL[i]、佈線RW[i]、佈線WD[j]及佈線BL[j]。此外，記憶單元MCref[i]連接於佈線WL[i]、佈線RW[i]、佈線WDref及佈線BLref。在此，將流在記憶單元MC[i，j]與佈線BL[j]間的電流記載為 $I_{MC[i,j]}$ ，將流在記憶單元MCref[i]與佈線BLref間的電流記載為 $I_{MCref[i]}$ 。

【0270】 圖21示出記憶單元MC及記憶單元MCref的具體結構例。雖然在圖21中作為典型例子示出記憶單元MC[1，1]、[2，1]及記憶單元

MCref[1]、[2]，但是在其他記憶單元MC及記憶單元MCref中可以使用同樣的結構。記憶單元MC及記憶單元MCref都包括電晶體Tr11、Tr12、電容器C11。在此，說明電晶體Tr11及電晶體Tr12為n通道型電晶體的情況。

【0271】 在記憶單元MC中，電晶體Tr11的閘極連接於佈線WL，源極和汲極中的一個連接於電晶體Tr12的閘極及電容器C11的第一電極，源極和汲極中的另一個連接於佈線WD。電晶體Tr12的源極和汲極中的一個連接於佈線BL，源極和汲極中的另一個連接於佈線VR。電容器C11的第二電極連接於佈線RW。佈線VR具有供應預定電位的功能。在此，作為一個例子，說明從佈線VR供應低電源電位（接地電位等）的情況。

【0272】 將與電晶體Tr11的源極和汲極中的一個、電晶體Tr12的閘極以及電容器C11的第一電極連接的節點稱為節點NM。此外，將記憶單元MC[1, 1]、[2, 1]的節點NM分別稱為節點NM[1, 1]、[2, 1]。

【0273】 記憶單元MCref也具有與記憶單元MC同樣的結構。但是，記憶單元MCref連接於佈線WDref代替佈線WD並連接於佈線BLref代替佈線BL。此外，在記憶單元MCref[1]、[2]中，將連接於電晶體Tr11的源極和汲極中的一個、電晶體Tr12的閘極及電容器C11的第一電極的節點分別記載為節點NMref[1]、[2]。

【0274】 節點NM和節點NMref分別被用作記憶單元MC和記憶單元MCref的保持節點。節點NM保持第一資料，節點NMref保持參考資料。另外，電流 $I_{MC[1, 1]}$ 、 $I_{MC[2, 1]}$ 分別從佈線BL[1]流到記憶單元MC[1, 1]、[2, 1]的電晶體Tr12。另外，電流 $I_{MCref[1]}$ 、 $I_{MCref[2]}$ 分別從佈線BLref流到記憶單元MCref[1]、[2]的電晶體Tr12。

【0275】 由於電晶體Tr11具有保持節點NM或節點NMref的電位的功能，所以電晶體Tr11的關態電流較佳為小。因此，作為電晶體Tr11，較佳為使用關態電流極小的0S電晶體。由此，可以抑制節點NM或節點NMref的電位變動而提高運算精度。此外，可以將更新節點NM或節點NMref的電位的工作的頻率抑制為低，由此可以降低功耗。

【0276】 對電晶體Tr12沒有特別的限制，例如可以使用Si電晶體或0S電晶體等。在作為電晶體Tr12使用0S電晶體的情況下，能夠使用與電晶體Tr11相同的製造裝置製造電晶體Tr12，從而可以抑制製造成本。注意，電晶體Tr12可以為n通道型電晶體或p通道型電晶體。

【0277】 電流源電路CS連接於佈線BL[1]至[n]及佈線BLref。電流源電路CS具有向佈線BL[1]至[n]及佈線BLref供應電流的功能。注意，供應到佈線BL[1]至[n]的電流值也可以與供應到佈線BLref的電流值不同。在此，將從電流源電路CS供應到佈線BL[1]至[n]的電流記載為 I_c ，將從電流源電路CS供應到佈線BLref的電流記載為 I_{cref} 。

【0278】 電流鏡電路CM包括佈線IL[1]至[n]及佈線ILref。佈線IL[1]至[n]分別連接於佈線BL[1]至[n]，佈線ILref連接於佈線BLref。在此，佈線IL[1]至[n]與佈線BL[1]至[n]的連接部分記載為節點NP[1]至[n]。此外，佈線ILref與佈線BLref的連接部分記載為節點NPref。

【0279】 電流鏡電路CM具有將對應於節點NPref的電位的電流 I_{cm} 流到佈線ILref的功能及還將該電流 I_{cm} 流到佈線IL[1]至[n]的功能。圖20示出電流 I_{cm} 從佈線BLref排出到佈線ILref且電流 I_{cm} 從佈線BL[1]至[n]排出到佈線IL[1]至[n]的例子。將從電流鏡電路CM藉由佈線BL[1]至[n]流到單元陣列

CA的電流記載為 $I_B[1]$ 至 $[n]$ 。此外，將從電流鏡電路CM藉由佈線BLref流到單元陣列CA的電流記載為 I_{Bref} 。

【0280】 電路WDD連接於佈線WD[1]至 $[n]$ 及佈線WDref。電路WDD具有將對應於儲存在記憶單元MC中的第一資料的電位供應到佈線WD[1]至 $[n]$ 的功能。另外，電路WDD具有將對應於儲存在記憶單元MCref中的參考資料的電位供應到佈線WDref的功能。電路WLD與佈線WL[1]至 $[m]$ 連接。電路WLD具有將選擇寫入資料的記憶單元MC或記憶單元MCref的信號供應到佈線WL[1]至 $[m]$ 的功能。電路CLD與佈線RW[1]至 $[m]$ 連接。電路CLD具有將對應於第二資料的電位供應到佈線RW[1]至 $[m]$ 的功能。

【0281】 偏置電路OFST連接於佈線BL[1]至 $[n]$ 及佈線OL[1]至 $[n]$ 。偏置電路OFST具有檢測出從佈線BL[1]至 $[n]$ 流到偏置電路OFST的電流量及/或從佈線BL[1]至 $[n]$ 流到偏置電路OFST的電流的變化量的功能。此外，偏置電路OFST具有將檢測結果輸出到佈線OL[1]至 $[n]$ 的功能。注意，偏置電路OFST既可以將對應於檢測結果的電流輸出到佈線OL，又可以將對應於檢測結果的電流變換為電壓而將其輸出到佈線OL。將流在單元陣列CA與偏置電路OFST之間的電流記載為 $I_\alpha[1]$ 至 $[n]$ 。

【0282】 圖22示出偏置電路OFST的結構例。圖22所示的偏置電路OFST包括電路OC[1]至 $[n]$ 。電路OC[1]至 $[n]$ 都包括電晶體Tr21、電晶體Tr22、電晶體Tr23、電容器C21及電阻元件R1。各元件的連接關係如圖22所示。注意，將連接於電容器C21的第一電極及電阻元件R1的第一端子的節點稱為節點Na。另外，將連接於電容器C21的第二電極、電晶體Tr21的源極和汲極中的一個及電晶體Tr22的閘極的節點稱為節點Nb。

【0283】 佈線VrefL具有供應電位Vref的功能，佈線VaL具有供應電位Va的功能，佈線VbL具有供應電位Vb的功能。佈線VDDL具有供應電位VDD的功能，佈線VSSL具有供應電位VSS的功能。在此，說明電位VDD是高電源電位且電位VSS是低電源電位的情況。佈線RST具有供應用來控制電晶體Tr21的導通狀態的電位的功能。由電晶體Tr22、電晶體Tr23、佈線VDDL、佈線VSSL及佈線VbL構成源極隨耦電路。

【0284】 接著，說明電路OC[1]至[n]的工作例子。注意，雖然在此作為典型例子說明電路OC[1]的工作例子，但是電路OC[2]至[n]也可以與此同樣地工作。首先，當第一電流流到佈線BL[1]時，節點Na的電位成為對應於第一電流與電阻元件R1的電阻值的電位。此時，電晶體Tr21處於開啟狀態，電位Va被供應到節點Nb。然後，電晶體Tr21成為關閉狀態。

【0285】 接著，當第二電流流到佈線BL[1]時，節點Na的電位變為對應於第二電流與電阻元件R1的電阻值的電位。此時，電晶體Tr21處於關閉狀態，節點Nb處於浮動狀態，因此在節點Na的電位變化時節點Nb的電位由於電容耦合而變化。在此，在節點Na的電位變化為 ΔV_{Na} 且電容耦合係數為1時，節點Nb的電位為 $V_a + \Delta V_{Na}$ 。在電晶體Tr22的臨界電壓為 V_{th} 時，從佈線OL[1]輸出電位 $V_a + \Delta V_{Na} - V_{th}$ 。在此，藉由滿足 $V_a = V_{th}$ ，可以從佈線OL[1]輸出電位 ΔV_{Na} 。

【0286】 電位 ΔV_{Na} 根據從第一電流到第二電流的變化量、電阻元件R1的電阻值及電位Vref決定。在此，已知電阻元件R1的電阻值和電位Vref，由此可以求得從電位 ΔV_{Na} 流到佈線BL的電流的變化量。

【0287】 如上所述，對應於藉由偏置電路OFST檢測出的電流量及/或電流的變化量的信號藉由佈線OL[1]至[n]輸入到活化函數電路ACTV。

【0288】 活化函數電路ACTV連接於佈線OL[1]至[n]和佈線NIL[1]至[n]。活化函數電路ACTV具有進行運算以根據預定的活化函數變換從偏置電路OFST輸入的信號的功能。作為活化函數，例如可以使用sigmoid函數、tanh函數、softmax函數、ReLU函數及定限函數等。被活化函數電路ACTV變換的信號作為輸出資料輸出到佈線NIL[1]至[n]。

【0289】 〈半導體裝置的工作例子〉

能夠使用上述半導體裝置MAC對第一資料和第二資料進行積和運算。下面，說明進行積和運算時的半導體裝置MAC的工作例子。

【0290】 圖23示出半導體裝置MAC的工作例子的時序圖。圖23示出圖21中的佈線WL[1]、佈線WL[2]、佈線WD[1]、佈線WDref、節點NM[1, 1]、節點NM[2, 1]、節點NMref[1]、節點NMref[2]、佈線RW[1]及佈線RW[2]的電位推移、以及電流 $I_b[1]-I_\alpha[1]$ 和電流 I_{bref} 的值的推移。電流 $I_b[1]-I_\alpha[1]$ 相當於從佈線BL[1]流到記憶單元MC[1, 1]、[2, 1]的電流之總和。

【0291】 雖然在此著眼於在圖21中作為典型例子示出的記憶單元MC[1, 1]、[2, 1]及記憶單元MCref[1]、[2]而說明其工作，但是其他記憶單元MC及記憶單元MCref也可以進行同樣的工作。

【0292】 [第一資料的存儲]

首先，在時刻T01-T02，佈線WL[1]的電位成為高位準，佈線WD[1]的電位成為比接地電位(GND)大 $V_{pr}-V_{w[1, 1]}$ 的電位，佈線WDref的電位成為比接地電位大 V_{pr} 的電位。佈線RW[1]及佈線RW[2]的電位成為參考電位(REFP)。注意，電位 $V_{w[1, 1]}$ 對應於儲存在記憶單元MC[1, 1]中的第一資料。此外，電位 V_{pr} 對應於參考資料。因此，記憶單元MC[1, 1]及記憶單元MCref[1]所具

有的電晶體Tr11成為開啟狀態，節點NM[1, 1]的電位成為 $V_{PR}-V_{W[1, 1]}$ ，節點NMref[1]的電位成為 V_{PR} 。

【0293】 此時，從佈線BL[1]流到記憶單元MC[1, 1]的電晶體Tr12的電流 $I_{MC[1, 1], 0}$ 能夠以如下公式表示。在此，k是取決於電晶體Tr12的通道長度、通道寬度、移動率以及閘極絕緣膜的電容等的常數。此外， V_{th} 為電晶體Tr12的臨界電壓。

$$\text{【0294】 } I_{MC[1, 1], 0} = k (V_{PR} - V_{W[1, 1]} - V_{th})^2 \quad (E1)$$

【0295】 此外，從佈線BLref流到記憶單元MCref[1]的電晶體Tr12的電流 $I_{MCref[1], 0}$ 能夠以如下公式表示。

$$\text{【0296】 } I_{MCref[1], 0} = k (V_{PR} - V_{th})^2 \quad (E2)$$

【0297】 接著，在時刻T02-T03，佈線WL[1]的電位成為低位準。因此，記憶單元MC[1, 1]及記憶單元MCref[1]所具有的電晶體Tr11成為關閉狀態，節點NM[1, 1]及節點NMref[1]的電位被保持。

【0298】 如上所述，作為電晶體Tr11，較佳為使用0S電晶體。由此，可以抑制電晶體Tr11的洩漏電流而正確地保持節點NM[1, 1]及節點NMref[1]的電位。

【0299】 接著，在時刻T03-T04，佈線WL[2]的電位成為高位準，佈線WD[1]的電位成為比接地電位大 $V_{PR}-V_{W[2, 1]}$ 的電位，佈線WDref的電位成為比接地電位大 V_{PR} 的電位。注意，電位 $V_{W[2, 1]}$ 對應於儲存在記憶單元MC[2, 1]中的第一資料。因此，記憶單元MC[2, 1]及記憶單元MCref[2]所具有的電晶體Tr11成為開啟狀態，節點NM[2, 1]的電位成為 $V_{PR}-V_{W[2, 1]}$ ，節點NMref[2]的電位成為 V_{PR} 。

【0300】 此時，從佈線BL[1]流到記憶單元MC[2, 1]的電晶體Tr12的電流 $I_{MC[2, 1], 0}$ ，能夠以如下公式表示。

$$\text{【0301】 } I_{MC[2, 1], 0} = k (V_{PR} - V_{W[2, 1]} - V_{th})^2 \quad (E3)$$

【0302】 此外，從佈線BLref流到記憶單元MCref[2]的電晶體Tr12的電流 $I_{MCref[2], 0}$ ，能夠以如下公式表示。

$$\text{【0303】 } I_{MCref[2], 0} = k (V_{PR} - V_{th})^2 \quad (E4)$$

【0304】 接著，在時刻T04-T05，佈線WL[2]的電位成為低位準。因此，記憶單元MC[2, 1]及記憶單元MCref[2]所具有的電晶體Tr11成為關閉狀態，節點NM[2, 1]及節點NMref[2]的電位被保持。

【0305】 藉由上述工作，在記憶單元MC[1, 1]、[2, 1]中儲存第一資料，記憶單元MCref[1]、[2]中儲存參考資料。

【0306】 在此，在時刻T04-T05，考慮流到佈線BL[1]和佈線BLref的電流。向佈線BLref從電流源電路CS供應電流。流過佈線BLref的電流排出到電流鏡電路CM及記憶單元MCref[1]、[2]。將從電流源電路CS供應到佈線BLref的電流稱為 I_{Cref} ，將從佈線BLref排出到電流鏡電路CM的電流稱為 $I_{CM, 0}$ ，此時滿足下式。

$$\text{【0307】 } I_{Cref} - I_{CM, 0} = I_{MCref[1], 0} + I_{MCref[2], 0} \quad (E5)$$

【0308】 向佈線BL[1]從電流源電路CS供應電流。流過佈線BL[1]的電流排出到電流鏡電路CM及記憶單元MC[1, 1]、[2, 1]。另外，電流從佈線BL[1]流到偏置電路OFST。將從電流源電路CS供應到佈線BL[1]的電流稱為 $I_{C, 0}$ ，將從佈線BL[1]流到偏置電路OFST的電流稱為 $I_{\alpha, 0}$ ，此時滿足下式。

$$\text{【0309】 } I_{C, 0} - I_{CM, 0} = I_{MC[1, 1], 0} + I_{MC[2, 1], 0} + I_{\alpha, 0} \quad (E6)$$

【0310】 [第一資料和第二資料的積和運算]

接著，在時刻T05-T06，佈線RW[1]的電位比參考電位大 $V_{x[1]}$ 。此時，電位 $V_{x[1]}$ 被供應到記憶單元MC[1, 1]及記憶單元MCref[1]的各電容器C11，電晶體Tr12的閘極電位因電容耦合而上升。注意，電位 $V_{x[1]}$ 對應於供應到記憶單元MC[1, 1]及記憶單元MCref[1]的第二資料。

【0311】 電晶體Tr12的閘極的電位的變化量相當於佈線RW的電位的變化乘以根據記憶單元的結構決定的電容耦合係數的值。電容耦合係數根據電容器C11的電容、電晶體Tr12的閘極電容以及寄生電容等而算出。下面，為了方便起見，說明佈線RW的電位的變化量與電晶體Tr12的閘極的電位的變化量相等的情況，亦即說明電容耦合係數為1的情況。實際上，考慮電容耦合係數決定電位 V_x ，即可。

【0312】 當電位 $V_{x[1]}$ 被供應到記憶單元MC[1, 1]及記憶單元MCref[1]的電容器C11時，節點NM[1, 1]及節點NMref[1]的電位都上升 $V_{x[1]}$ 。

【0313】 在此，在時刻T05-T06，從佈線BL[1]流到記憶單元MC[1, 1]的電晶體Tr12的電流 $I_{MC[1, 1], 1}$ 能夠以如下公式表示。

$$\text{【0314】 } I_{MC[1, 1], 1} = k (V_{PR} - V_{w[1, 1]} + V_{x[1]} - V_{th})^2 \quad (E7)$$

【0315】 也就是說，藉由向佈線RW[1]供應電位 $V_{x[1]}$ ，從佈線BL[1]流到記憶單元MC[1, 1]的電晶體Tr12的電流增加 $\Delta I_{MC[1, 1]} = I_{MC[1, 1], 1} - I_{MC[1, 1], 0}$ 。

【0316】 此外，在時刻T05-T06，從佈線BLref流到記憶單元MCref[1]的電晶體Tr12的電流 $I_{MCref[1], 1}$ 能夠以如下公式表示。

$$\text{【0317】 } I_{MCref[1], 1} = k (V_{PR} + V_{x[1]} - V_{th})^2 \quad (E8)$$

【0318】 也就是說，藉由向佈線RW[1]供應電位 $V_{x[1]}$ ，從佈線BLref流

到記憶單元MCref[1]的電晶體Tr12的電流增加 $\Delta I_{MCref[1]} = I_{MCref[1],1} - I_{MCref[1],0}$ 。

【0319】 另外，考慮流到佈線BL[1]和佈線BLref的電流。向佈線BLref從電流源電路CS供應電流 I_{Cref} 。流過佈線BLref的電流排出到電流鏡電路CM及記憶單元MCref[1]、[2]。將從佈線BLref排出到電流鏡電路CM的電流稱為 $I_{CM,1}$ ，此時滿足下式。

$$\text{【0320】 } I_{Cref} - I_{CM,1} = I_{MCref[1],1} + I_{MCref[2],1} \quad (E9)$$

【0321】 向佈線BL[1]從電流源電路CS供應電流 I_c 。流過佈線BL[1]的電流排出到電流鏡電路CM及記憶單元MC[1,1]、[2,1]。再者，電流從佈線BL[1]流到偏置電路OFST。將從佈線BL[1]流到偏置電路OFST的電流稱為 $I_{\alpha,1}$ ，此時滿足下式。

$$\text{【0322】 } I_c - I_{CM,1} = I_{MC[1,1],1} + I_{MC[2,1],1} + I_{\alpha,1} \quad (E10)$$

【0323】 根據公式(E1)至公式(E10)，能夠以下式表示電流 $I_{\alpha,0}$ 與電流 $I_{\alpha,1}$ 之差（差異電流 ΔI_{α} ）。

$$\text{【0324】 } \Delta I_{\alpha} = I_{\alpha,1} - I_{\alpha,0} = 2kV_{w[1,1]}V_{x[1]} \quad (E11)$$

【0325】 如此，差異電流 ΔI_{α} 表示對應於電位 $V_{w[1,1]}$ 與 $V_{x[1]}$ 之積的值。

【0326】 然後，在時刻T06-T07，佈線RW[1]的電位成為參考電位，節點NM[1,1]及節點NMref[1]的電位與時刻T04-T05同樣。

【0327】 接著，在時刻T07-T08，佈線RW[1]的電位成為比參考電位大 $V_{x[1]}$ 的電位，佈線RW[2]的電位成為比參考電位大 $V_{x[2]}$ 的電位。因此，電位 $V_{x[1]}$ 被供應到記憶單元MC[1,1]及記憶單元MCref[1]的電容器C11，因電容耦合而節點NM[1,1]及節點NMref[1]的電位都上升 $V_{x[1]}$ 。另外，電位 $V_{x[2]}$ 被供應到記憶單元MC[2,1]及記憶單元MCref[2]的電容器C11，因電容耦合而節點

NM[2, 1]及節點NMref[2]的電位都上升 $V_{x[2]}$ 。

【0328】 在此，在時刻T07-T08，從佈線BL[1]流到記憶單元MC[2, 1]的電晶體Tr12的電流 $I_{MC[2, 1], 1}$ 能夠以如下公式表示。

$$\text{【0329】 } I_{MC[2, 1], 1} = k (V_{PR} - V_{W[2, 1]} + V_{x[2]} - V_{th})^2 \quad (E12)$$

【0330】 也就是說，藉由向佈線RW[2]供應電位 $V_{x[2]}$ ，從佈線BL[1]流到記憶單元MC[2, 1]的電晶體Tr12的電流增加 $\Delta I_{MC[2, 1]} = I_{MC[2, 1], 1} - I_{MC[2, 1], 0}$ 。

【0331】 此外，在時刻T07-T08，從佈線BLref流到記憶單元MCref[2]的電晶體Tr12的電流 $I_{MCref[2], 1}$ 能夠以如下公式表示。

$$\text{【0332】 } I_{MCref[2], 1} = k (V_{PR} + V_{x[2]} - V_{th})^2 \quad (E13)$$

【0333】 也就是說，藉由向佈線RW[2]供應電位 $V_{x[2]}$ ，從佈線BLref流到記憶單元MCref[2]的電晶體Tr12的電流增加 $\Delta I_{MCref[2]} = I_{MCref[2], 1} - I_{MCref[2], 0}$ 。

【0334】 另外，考慮流到佈線BL[1]和佈線BLref的電流。向佈線BLref從電流源電路CS供應電流 I_{Cref} 。流過佈線BLref的電流排出到電流鏡電路CM及記憶單元MCref[1]、[2]。將從佈線BLref排出到電流鏡電路CM的電流稱為 $I_{CM, 2}$ ，此時滿足下式。

$$\text{【0335】 } I_{Cref} - I_{CM, 2} = I_{MCref[1], 1} + I_{MCref[2], 1} \quad (E14)$$

【0336】 向佈線BL[1]從電流源電路CS供應電流 I_c 。流過佈線BL[1]的電流排出到電流鏡電路CM及記憶單元MC[1, 1]、[2, 1]。再者，電流從佈線BL[1]流到偏置電路OFST。將從佈線BL[1]流到偏置電路OFST的電流稱為 $I_{\alpha, 2}$ ，此時滿足下式。

$$\text{【0337】 } I_c - I_{CM, 2} = I_{MC[1, 1], 1} + I_{MC[2, 1], 1} + I_{\alpha, 2} \quad (E15)$$

【0338】 根據公式(E1)至公式(E8)及公式(E12)至公式(E15)，

能夠以下式表示電流 $I_{\alpha,0}$ 與電流 $I_{\alpha,2}$ 之差（差異電流 ΔI_{α} ）。

$$\text{【0339】 } \Delta I_{\alpha} = I_{\alpha,2} - I_{\alpha,0} = 2k (V_{w[1,1]}V_{x[1]} + V_{w[2,1]}V_{x[2]}) \quad (\text{E16})$$

【0340】 如此，差異電流 ΔI_{α} 表示對應於對電位 $V_{w[1,1]}$ 與電位 $V_{x[1]}$ 之積和電位 $V_{w[2,1]}$ 與電位 $V_{x[2]}$ 之積進行加法的結果的值。

【0341】 然後，在時刻T08-T09，佈線RW[1]、[2]的電位成為參考電位，節點NM[1,1]、[2,1]及節點NMref[1]、[2]的電位與時刻T04-T05同樣。

【0342】 如公式（E11）和公式（E16）所示，輸入到偏置電路OFST的差異電流 ΔI_{α} 可以從包括對應於第一資料（權重）的電位 V_w 與對應於第二資料（輸入資料）的電位 V_x 之乘積項的公式算出。也就是說，藉由使用偏置電路OFST對差異電流 ΔI_{α} 進行測量，可以獲得第一資料與第二資料的積和運算的結果。

【0343】 注意，雖然在上述說明中著眼於記憶單元MC[1,1]、[2,1]及記憶單元MCref[1]、[2]，但是可以任意設定記憶單元MC及記憶單元MCref的數量。在將記憶單元MC及記憶單元MCref的行數 m 設定為任意數量 i 的情況下，能夠以下式表示差異電流 ΔI_{α} 。

$$\text{【0344】 } \Delta I_{\alpha} = 2k \sum_i V_{w[i,1]}V_{x[i]} \quad (\text{E17})$$

【0345】 此外，藉由使記憶單元MC及記憶單元MCref的列數 n 增加，可以使並行的積和運算的數量增加。

【0346】 如上所述，藉由使用半導體裝置MAC，可以對第一資料和第二資料進行積和運算。另外，藉由使用圖21所示的記憶單元MC及記憶單元MCref的結構，可以使用以電晶體的數量較少的方式構成積和運算電路。由

此，可以縮小半導體裝置MAC的電路規模。

【0347】 在將半導體裝置MAC用於利用神經網路的運算時，可以使記憶單元MC的行數 m 對應於供應到一個神經元的輸入資料的數量並使記憶單元MC的列數 n 對應於神經元的數量。例如，考慮在圖19A所示的中間層HL中進行使用半導體裝置MAC的積和運算的情況。此時，可以將記憶單元MC的行數 m 設定為從輸入層IL供應的輸入資料的數量（輸入層IL的神經元的數量）並將記憶單元MC的列數 n 設定為中間層HL的神經元的數量。

【0348】 注意，對使用半導體裝置MAC的神經網路的結構沒有特別的限制。例如，半導體裝置MAC可以用於卷積神經網路（CNN）、遞迴神經網路（RNN）、自編碼器及波茲曼機（包括限制波茲曼機）等。

【0349】 如上所述，藉由使用半導體裝置MAC，可以進行神經網路的積和運算。再者，藉由將圖21所示的記憶單元MC及記憶單元MC_{ref}用於單元陣列CA，可以提供運算精度高、功耗低或電路規模小的積體電路。

【0350】 本實施方式可以與其他實施方式等所記載的結構適當地組合而實施。

【0351】 實施方式6

作為能夠使用本發明的一個實施方式的顯示裝置的電子裝置，可以舉出顯示裝置、個人電腦、具備儲存媒體的影像記憶體裝置及影像再現裝置、行動電話、包括可攜式遊戲機的遊戲機、可攜式資料終端、電子書閱讀器、拍攝裝置諸如視頻攝影機或數位相機等、護目鏡型顯示器（頭戴式顯示器）、導航系統、音頻再生裝置（汽車音響系統、數位聲訊播放機等）、影印機、傳真機、印表機、多功能印表機、自動櫃員機（ATM）以及自動販賣

機等。圖24A至圖24F示出這些電子裝置的具體例子。

【0352】 圖24A是行動電話機，該行動電話機包括外殼951、顯示部952、操作按鈕953、外部連接埠954、揚聲器955、麥克風956、照相機957等。該行動電話機在顯示部952中包括觸控感測器。藉由用手指或觸控筆等觸摸顯示部952可以進行打電話或輸入文字等所有操作。外殼951及顯示部952具有撓性，在如圖24A所示那樣地使用時能夠彎曲外殼951及顯示部952。藉由將本發明的一個實施方式的顯示裝置用於顯示部952，可以進行高品質顯示。

【0353】 圖24B是可攜式資料終端，該可攜式資料終端包括外殼911、顯示部912、揚聲器913及照相機919等。藉由利用顯示部912的觸控面板功能可以輸入或輸出資料。藉由將本發明的一個實施方式的顯示裝置用於顯示部912，可以進行高品質顯示。

【0354】 圖24C是電視機，該電視機包括外殼971、顯示部973、操作鍵974、揚聲器975、通訊用連接端子976及光感測器977等。顯示部973設置有觸控感測器，可以進行輸入操作。藉由將本發明的一個實施方式的顯示裝置用於顯示部973，可以進行高品質顯示。

【0355】 圖24D是資訊處理終端，該資訊處理終端包括外殼901、顯示部902、顯示部903及感測器904等。顯示部902及顯示部903由一個顯示面板構成且具有撓性。此外，外殼901也具有撓性，由此如圖式所示那樣可以將該資訊處理終端折疊而使用，並且可以使該資訊處理終端成為如平板終端那樣的平板狀而使用。感測器904可以檢測外殼901的形狀，例如，當外殼被彎曲時，可以切換顯示部902及顯示部903的顯示。藉由將本發明的一個

實施方式的顯示裝置用於顯示部902及顯示部903，可以進行高品質顯示。

【0356】 圖24E是數位相機，該數位相機包括外殼961、快門按鈕962、麥克風963、顯示部965、操作鍵966、揚聲器967、變焦鈕968、透鏡969等。藉由將本發明的一個實施方式的顯示裝置用於顯示部965，可以進行高品質顯示。

【0357】 圖24F是數位看板，其具有大型顯示部922。數位看板例如可以安裝於柱子921的側面。藉由將本發明的一個實施方式的顯示裝置用於顯示部922，可以進行高品質顯示。

【0358】 本實施方式可以與其他實施方式等所記載的結構適當地組合而實施。

【符號說明】

【0359】

11 像素

11a 像素

11b 像素

11c 像素

11d 像素

11e 像素

12 行驅動器

13 列驅動器

14 電路

- 15 電路
- 17 列驅動器
- 101 電晶體
- 102 電晶體
- 103 電晶體
- 104 電容器
- 105 電容器
- 106 液晶元件
- 107 電晶體
- 112 電晶體
- 121 佈線
- 122 佈線
- 124 佈線
- 125 佈線
- 126 佈線
- 130 佈線
- 131 電源線
- 132 公共佈線
- 133 公共佈線
- 141 開關
- 142 開關
- 143 開關

- 144 開關
- 215 顯示部
- 221a 掃描線驅動電路
- 231a 信號線驅動電路
- 232a 信號線驅動電路
- 241a 共通線驅動電路
- 723 電極
- 726 絕緣層
- 728 絕緣層
- 729 絕緣層
- 741 絕緣層
- 742 半導體層
- 744a 電極
- 744b 電極
- 746 電極
- 755 雜質
- 771 基板
- 772 絕緣層
- 810 電晶體
- 811 電晶體
- 820 電晶體
- 821 電晶體

- 825 電晶體
- 830 電晶體
- 840 電晶體
- 842 電晶體
- 843 電晶體
- 844 電晶體
- 845 電晶體
- 846 電晶體
- 847 電晶體
- 901 外殼
- 902 顯示部
- 903 顯示部
- 904 感測器
- 911 外殼
- 912 顯示部
- 913 揚聲器
- 919 照相機
- 921 柱子
- 922 顯示部
- 951 外殼
- 952 顯示部
- 953 操作按鈕

- 954 外部連接埠
- 955 揚聲器
- 956 麥克風
- 957 照相機
- 961 外殼
- 962 快門按鈕
- 963 麥克風
- 965 顯示部
- 966 操作鍵
- 967 揚聲器
- 968 變焦鈕
- 969 透鏡
- 971 外殼
- 973 顯示部
- 974 操作鍵
- 975 揚聲器
- 976 通訊用連接端子
- 977 光感測器
- 1000 DOSRAM
- 1001 記憶單元
- 1002 感測放大器部
- 1003 單元陣列部

- 4001 基板
- 4005 密封劑
- 4006 基板
- 4008 液晶層
- 4010 電晶體
- 4011 電晶體
- 4013 液晶元件
- 4014 佈線
- 4015 電極
- 4017 電極
- 4018 FPC
- 4019 各向異性導電層
- 4020 電容器
- 4021 電極
- 4030 電極層
- 4031 電極層
- 4032 絕緣層
- 4033 絕緣層
- 4035 間隔物
- 4041 印刷電路板
- 4042 積體電路
- 4102 絕緣層

- 4103 絕緣層
- 4104 絕緣層
- 4110 絕緣層
- 4111 絕緣層
- 4112 絕緣層
- 4131 彩色層
- 4132 遮光層
- 4133 絕緣層
- 4200 輸入裝置
- 4210 觸控面板
- 4227 電極
- 4228 電極
- 4237 佈線
- 4238 佈線
- 4239 佈線
- 4263 基板
- 4272b FPC
- 4273b IC

【生物材料寄存】

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

【序列表】(請換頁單獨記載)

申請專利範圍

1. 一種包括像素的顯示裝置，該像素包括：

第一電晶體、第二電晶體、第三電晶體、第一電容器、第二電容器以及顯示元件，

其中，該第一電晶體的源極和汲極中的一個電連接於該第一電容器的一個電極，

其中，該第一電容器的另一個電極電連接於該第二電晶體的源極和汲極中的一個及該第三電晶體的源極和汲極中的一個，

其中，該第三電晶體的該源極和該汲極中的另一個電連接於該第二電容器的一個電極及該顯示元件，

其中，該第三電晶體位於該第一電容器的該另一個電極與該第二電容器的該一個電極之間，

其中，該第一電晶體的該源極和該汲極中的另一個電連接於第一佈線，並且

其中，該第二電晶體的該源極和該汲極中的另一個電連接於第二佈線。

2. 一種包括像素的顯示裝置，該像素包括：

第一電晶體、第二電晶體、第一電容器、第二電容器以及顯示元件，

其中，該第一電晶體的源極和汲極中的一個電連接於該第一電容器的一個電極，

其中，該第一電容器的另一個電極電連接於該第二電晶體的源極和汲極中的一個、該第二電容器的一個電極及該顯示元件，

其中，該第二電晶體的該源極和該汲極中的該一個直接連接於該顯示元

件，

其中，該第一電晶體的該源極和該汲極中的另一個電連接於第一佈線，

並且

其中，該第二電晶體的該源極和該汲極中的另一個電連接於第二佈線。

3. 根據申請專利範圍第1項之顯示裝置，

其中該像素還包括第四電晶體，

其中該第四電晶體的源極和汲極中的一個電連接於該顯示元件，並且

其中該第四電晶體的該源極和該汲極中的另一個電連接於被構成為供應恆電位的佈線。

4. 根據申請專利範圍第1項之顯示裝置，其中該第三電晶體的通道形成區包括包含In和Zn的金屬氧化物。

5. 根據申請專利範圍第1或2項之顯示裝置，其中該第二電晶體的通道形成區包括包含In和Zn的金屬氧化物。

6. 根據申請專利範圍第1或2項之顯示裝置，其中該顯示元件為液晶元件。

7. 根據申請專利範圍第1或2項之顯示裝置，

其中該第一佈線被構成為供應影像資料，並且

其中該第二佈線被構成為供應校正資料。

圖式

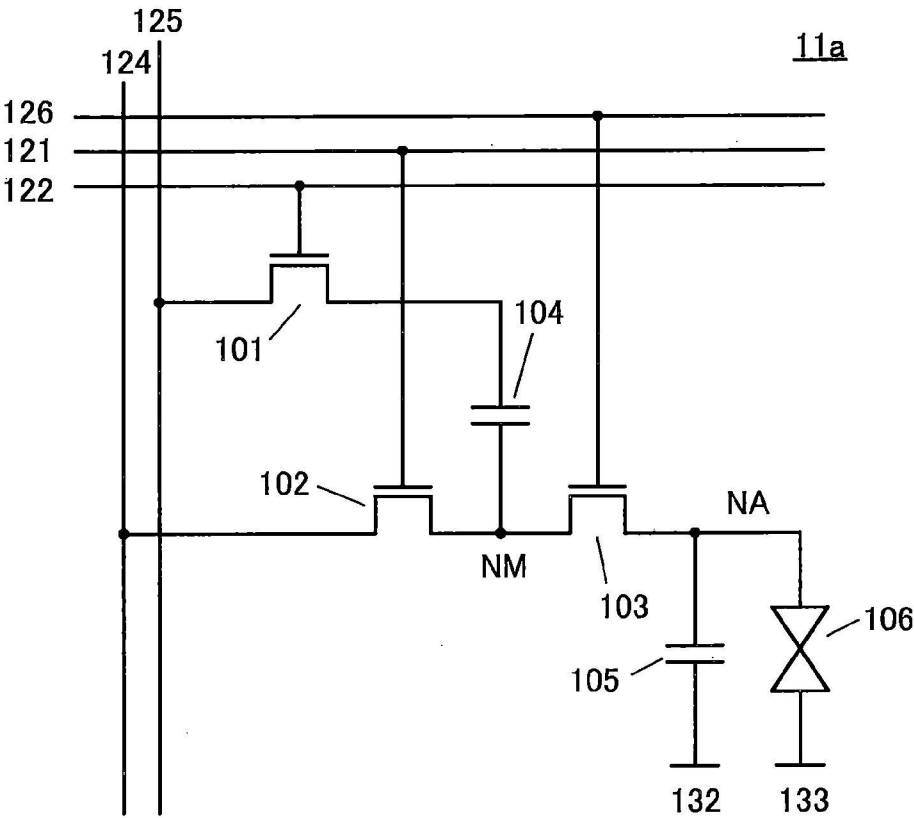


圖 1

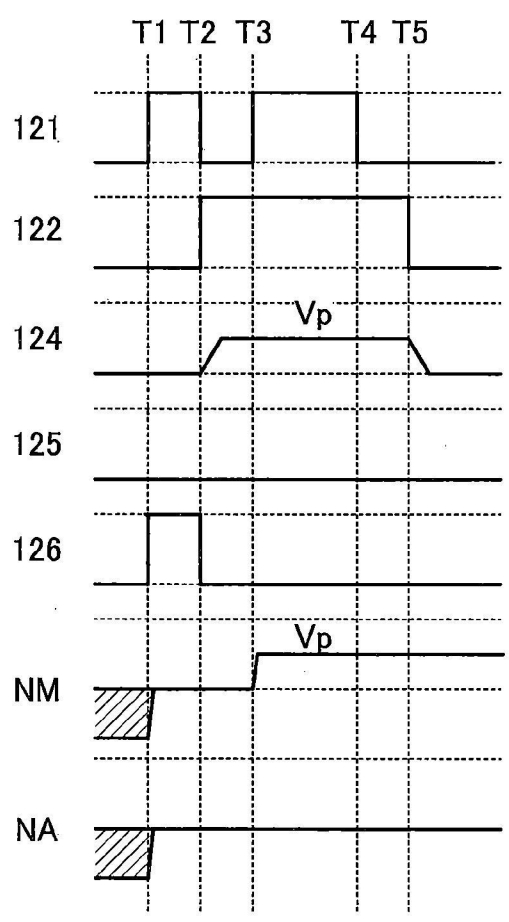


圖 2A

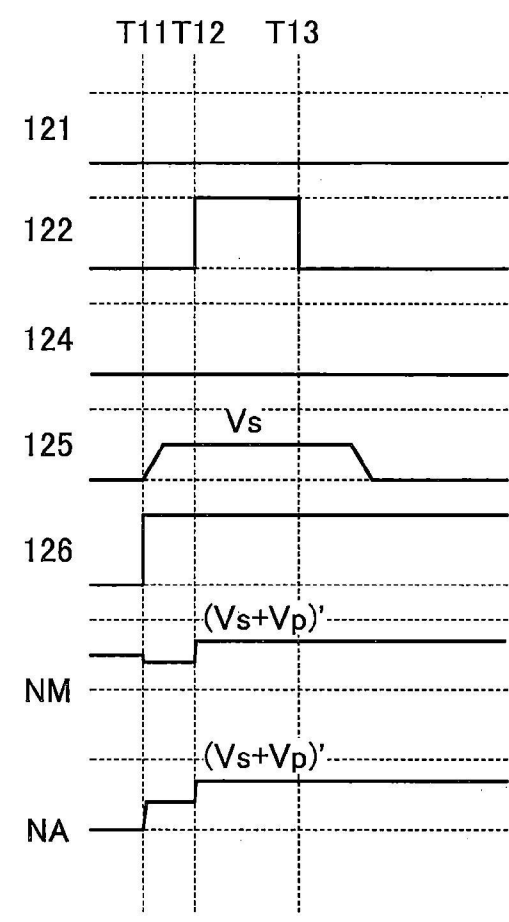


圖 2B



圖 3A

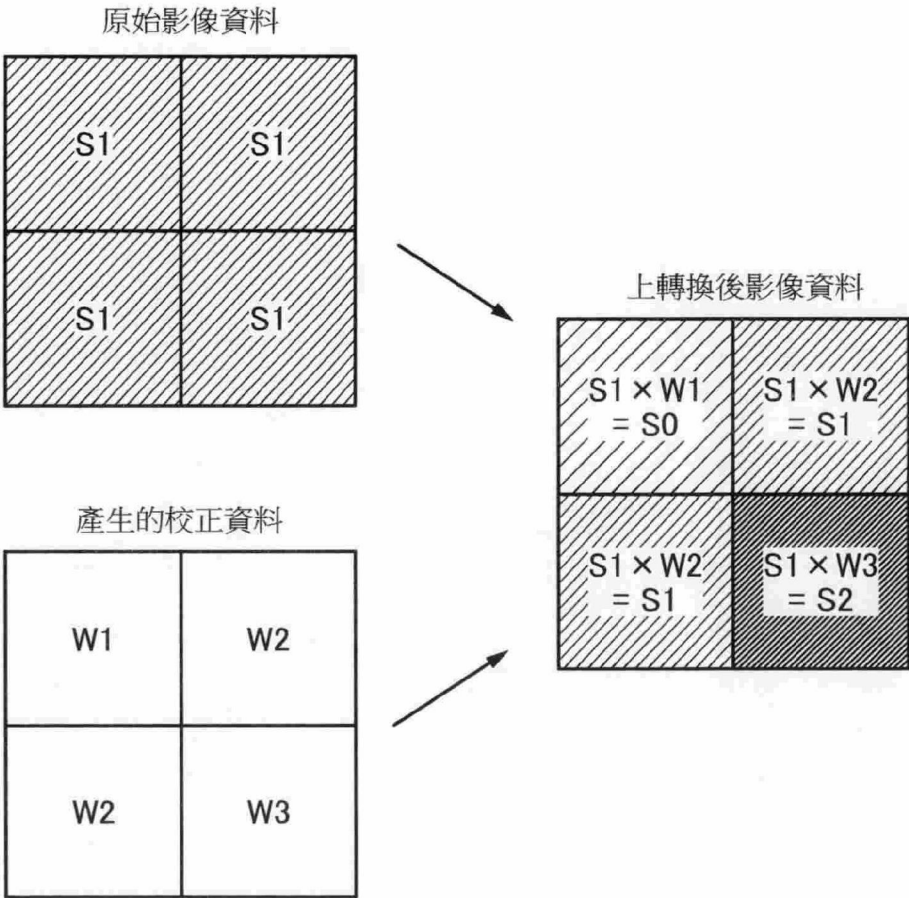


圖 3B

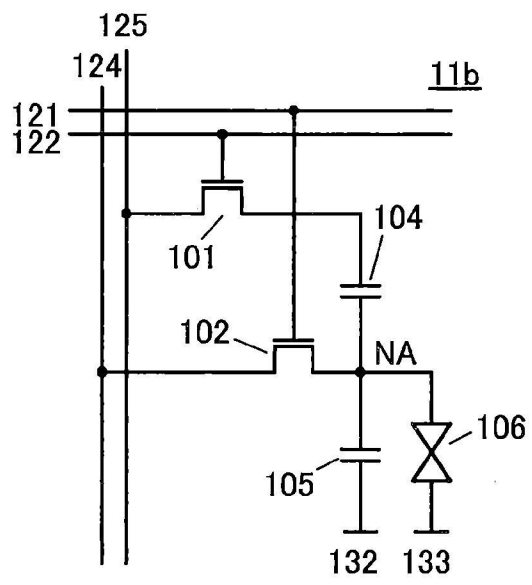


圖 4A

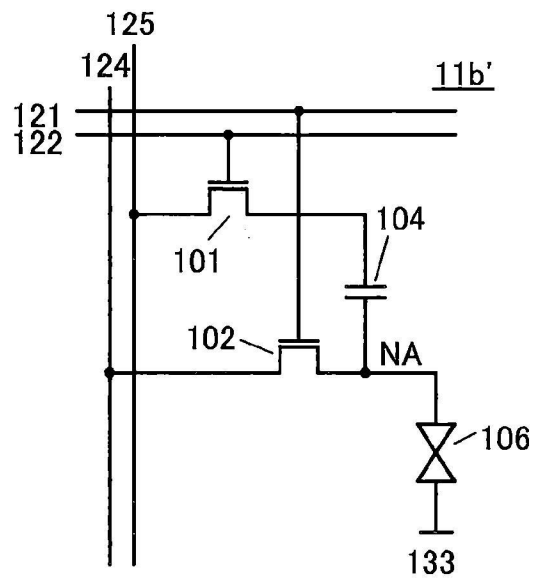


圖 4B

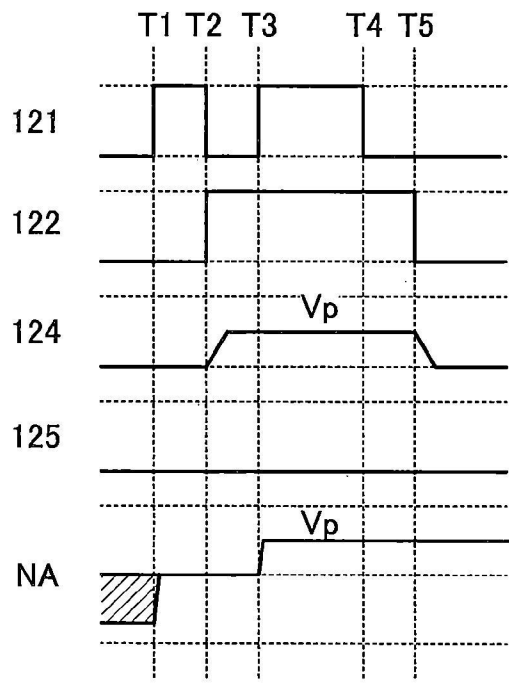


圖 4C

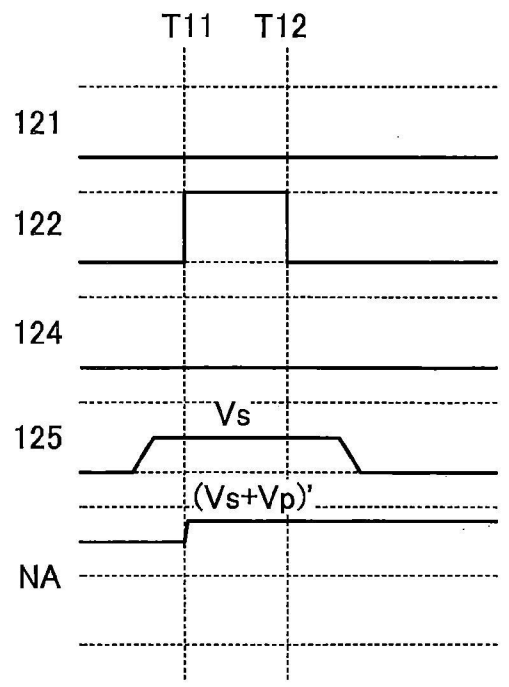


圖 4D

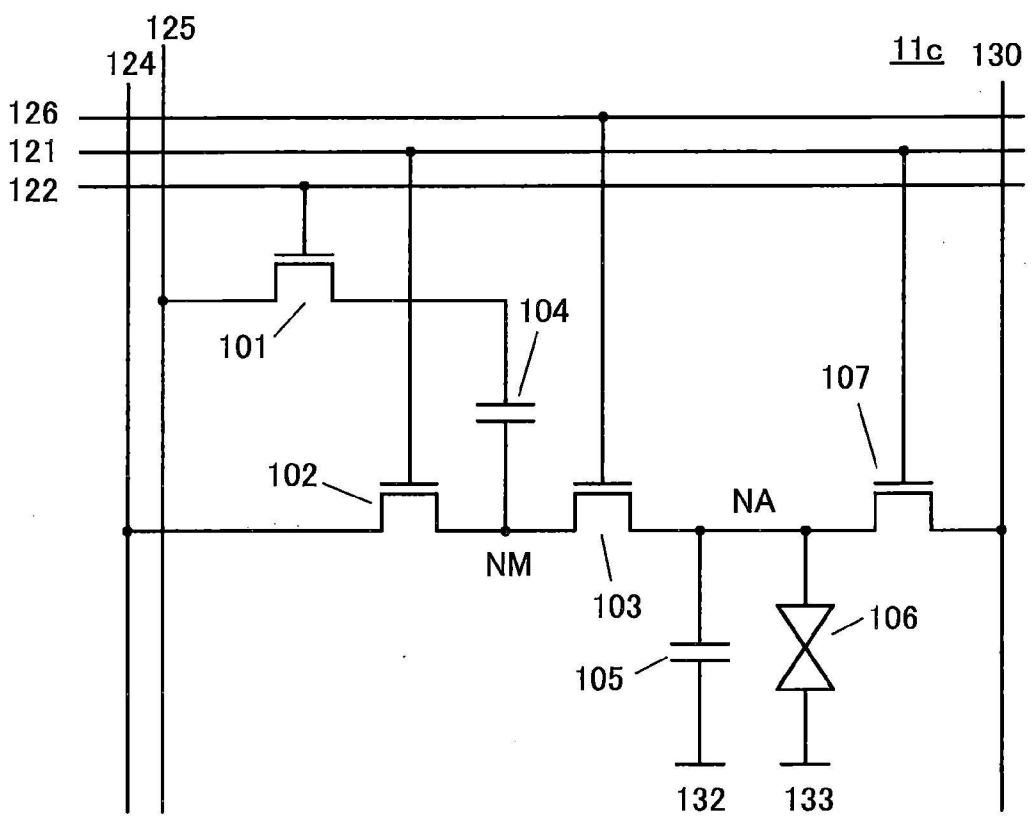


圖 5A

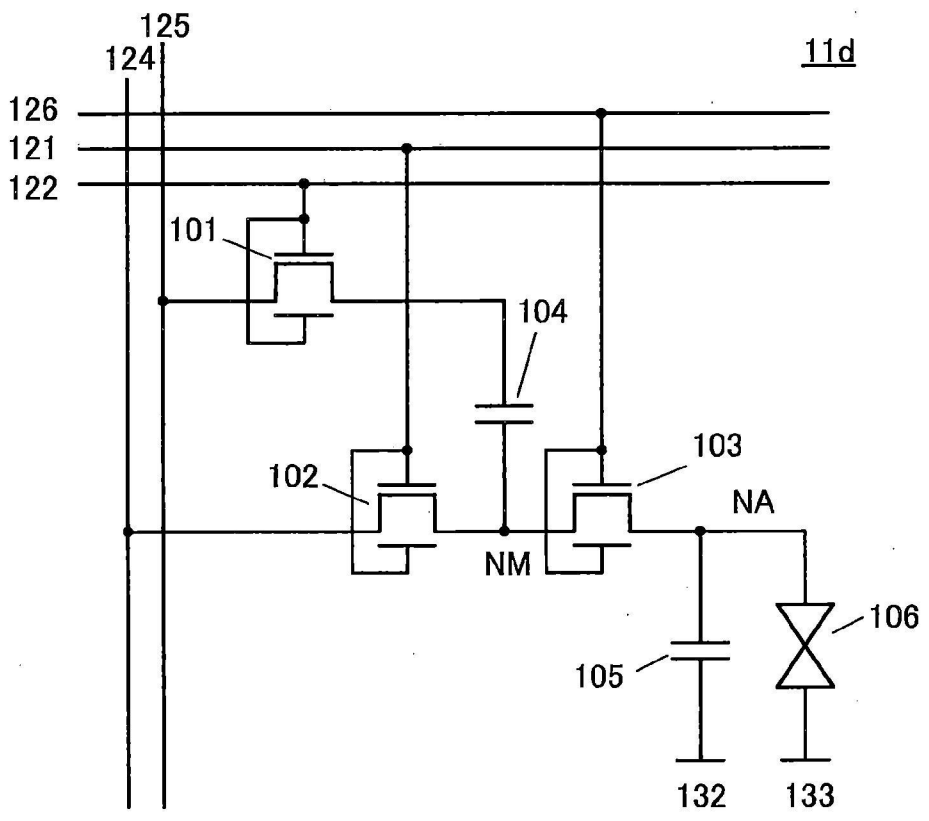


圖 5B

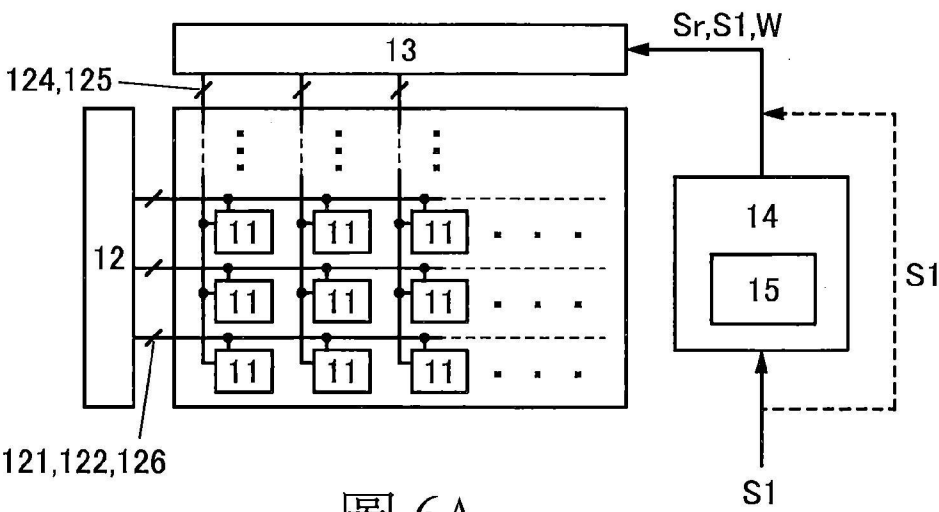


圖 6A

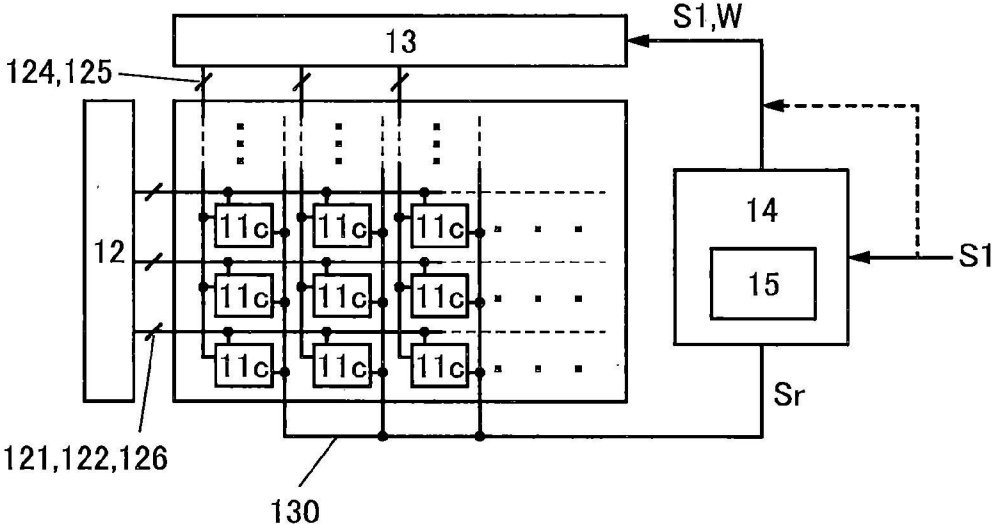


圖 6B

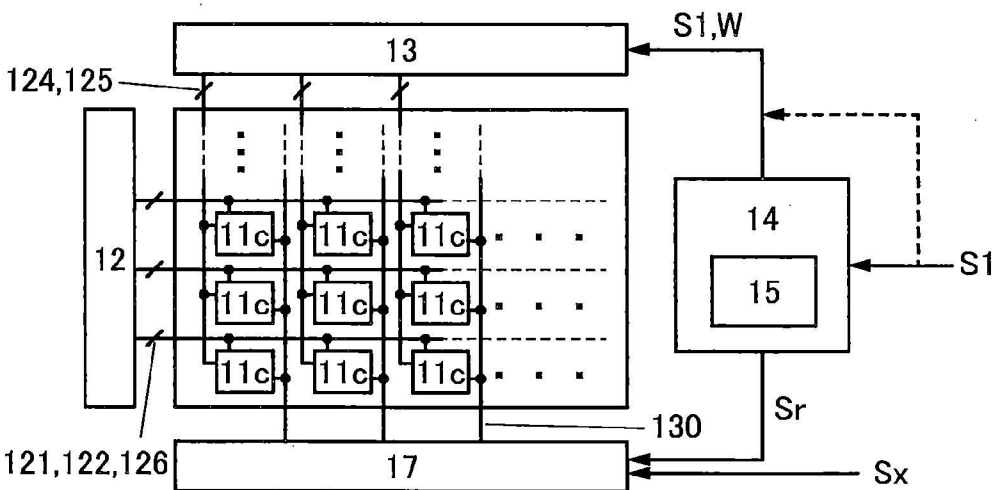


圖 6C

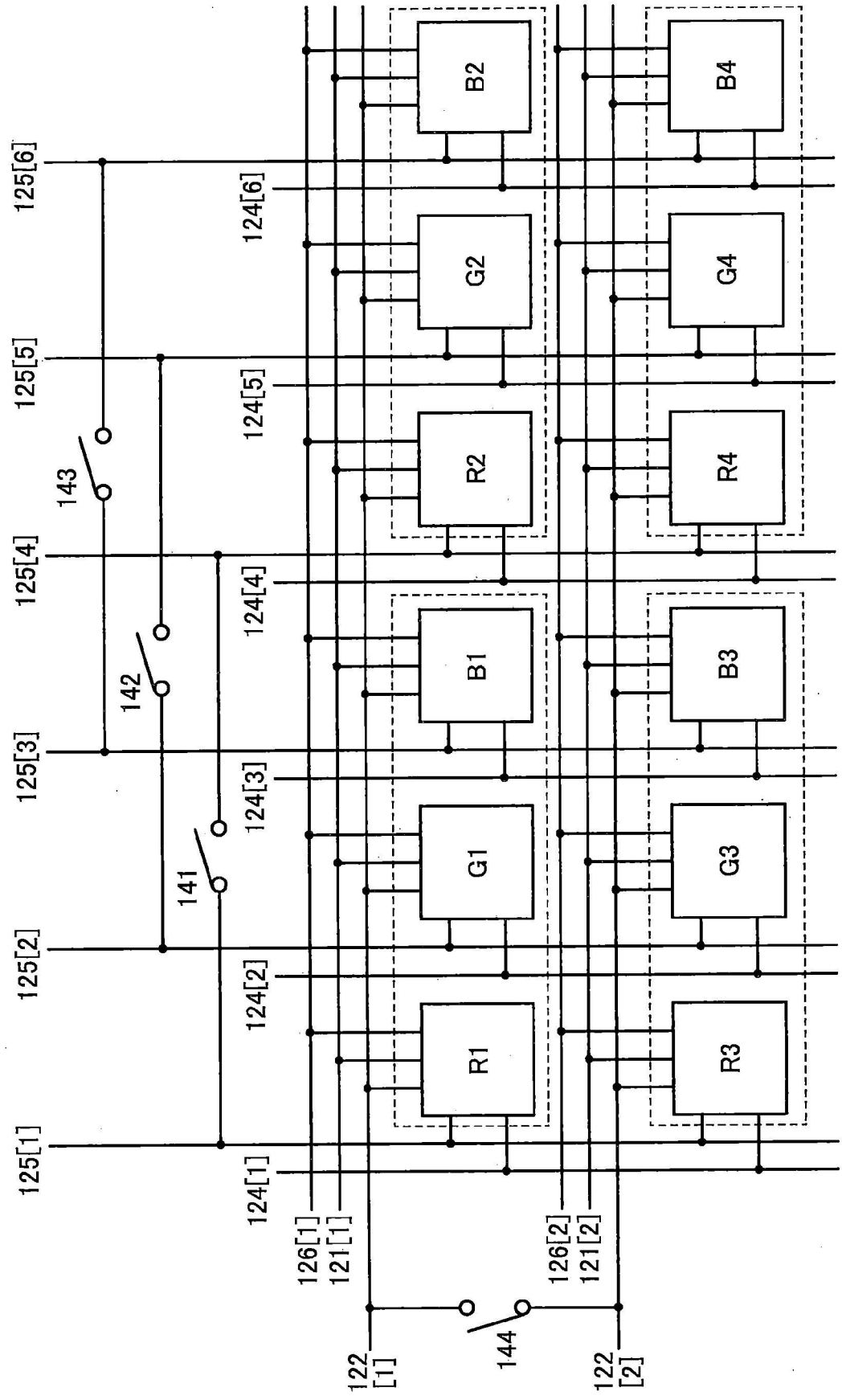


圖 7

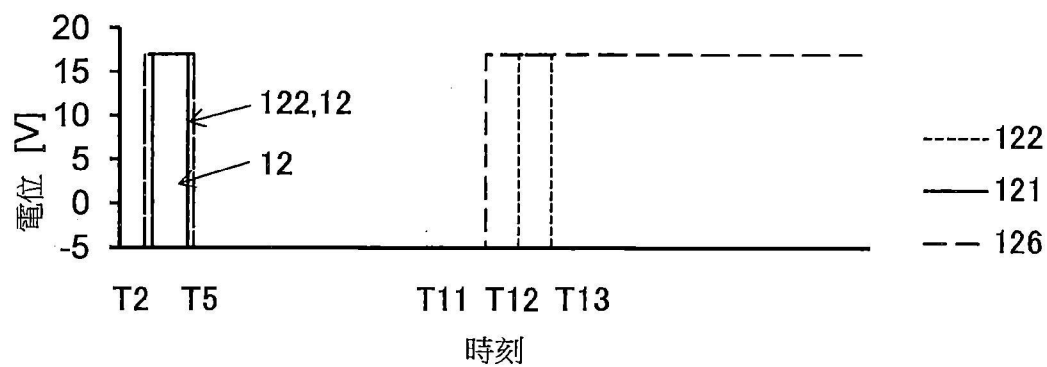


圖 8A

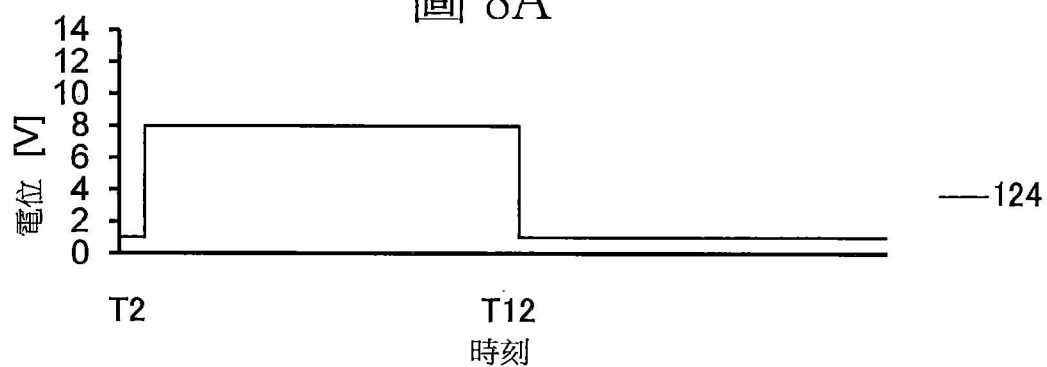


圖 8B

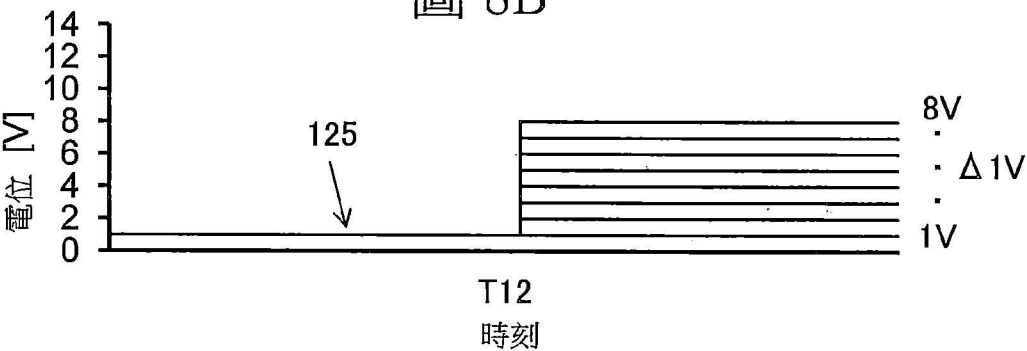


圖 8C

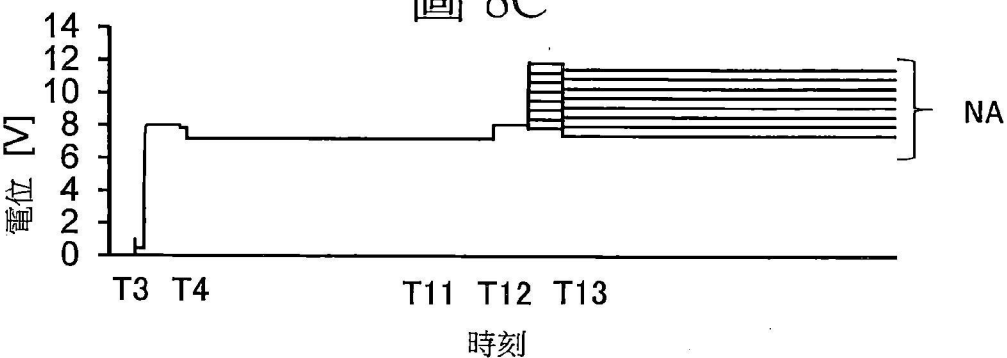


圖 8D

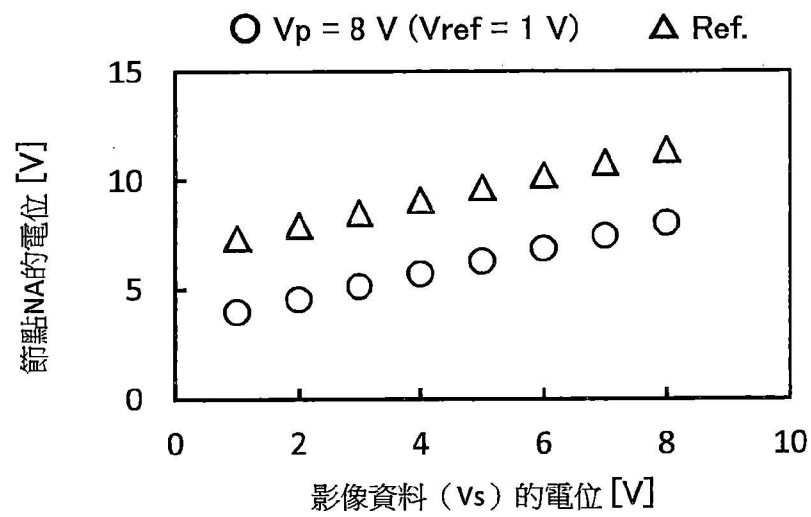


圖 9A

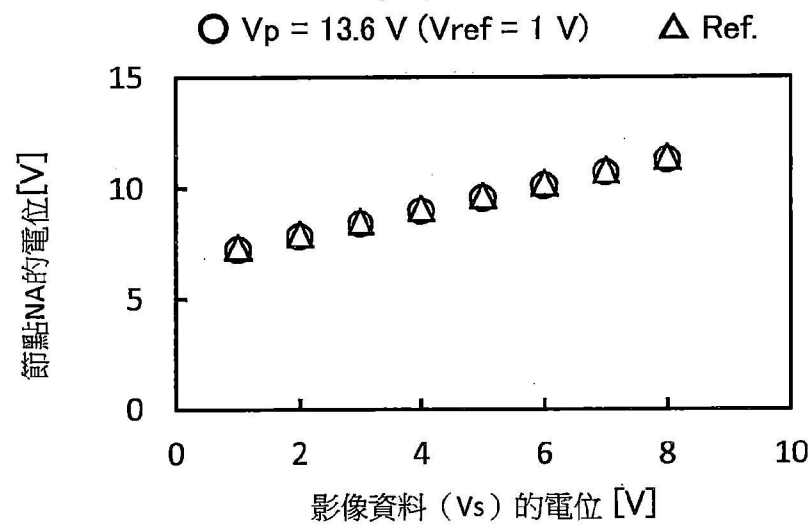


圖 9B

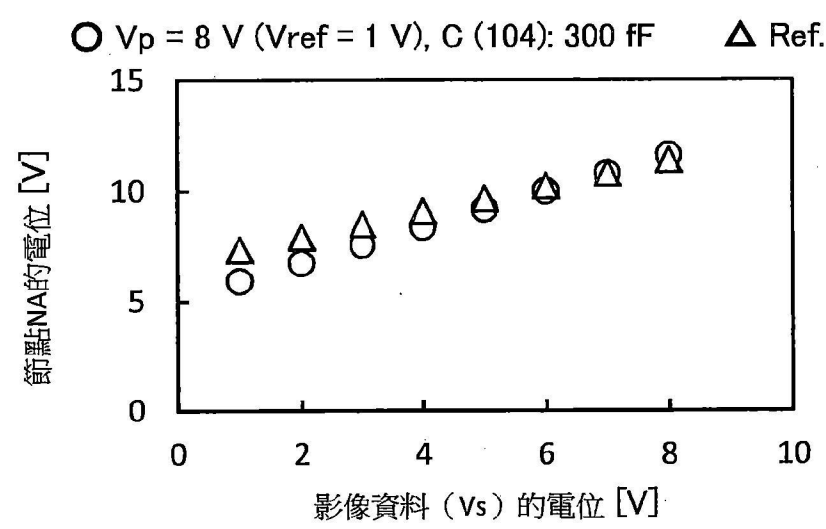


圖 9C

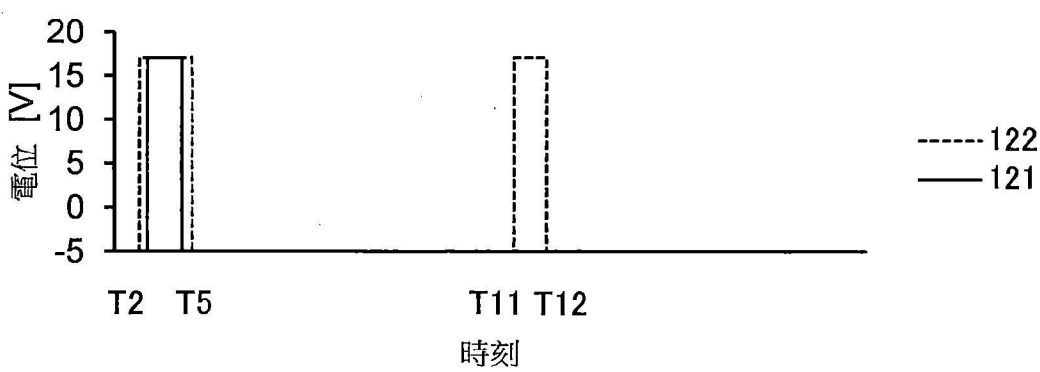


圖 10A

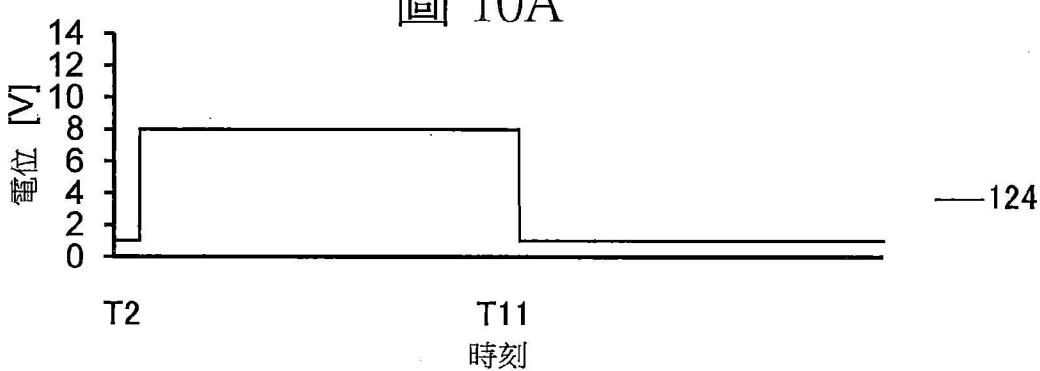


圖 10B

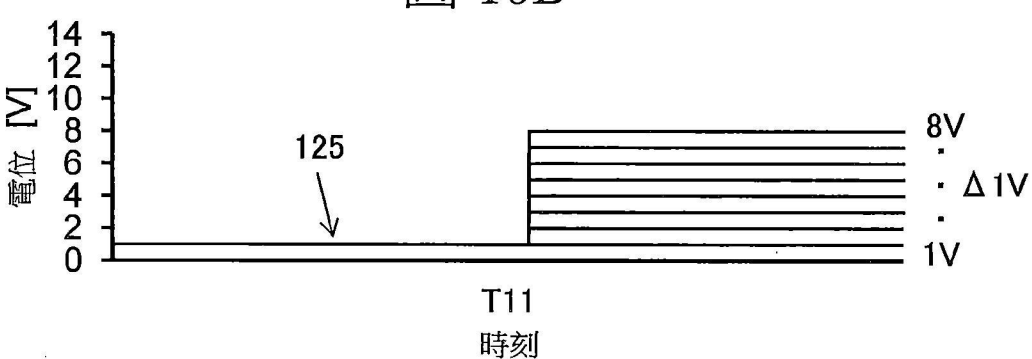


圖 10C

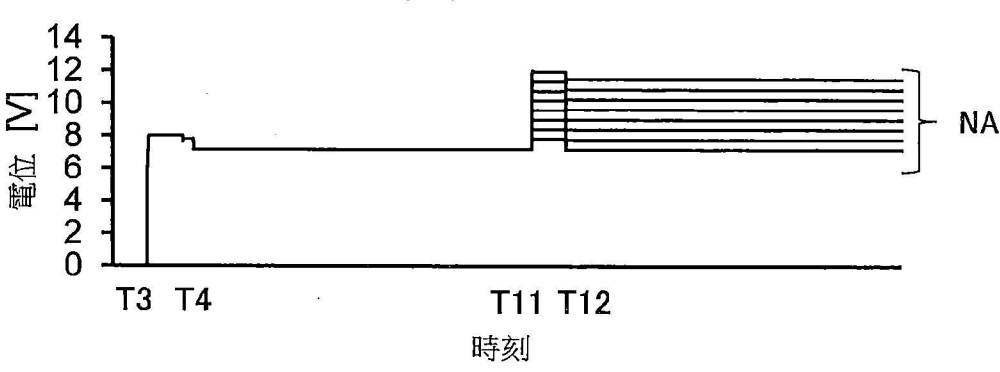


圖 10D

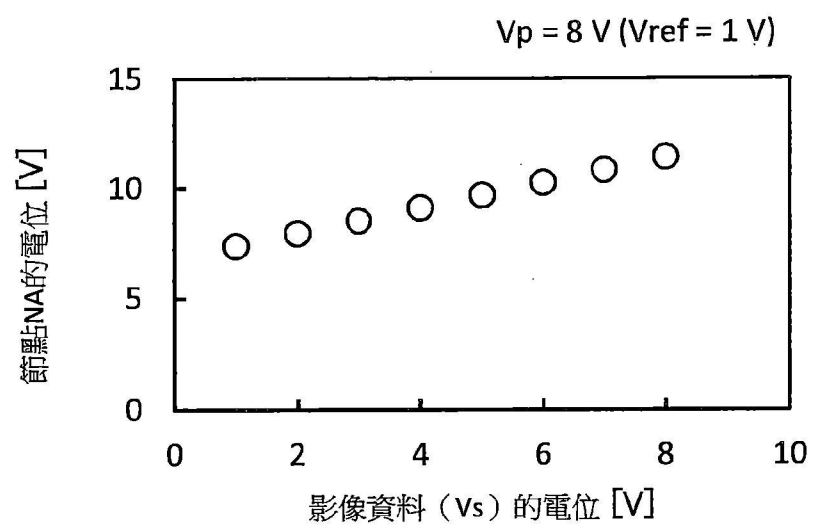


圖 11

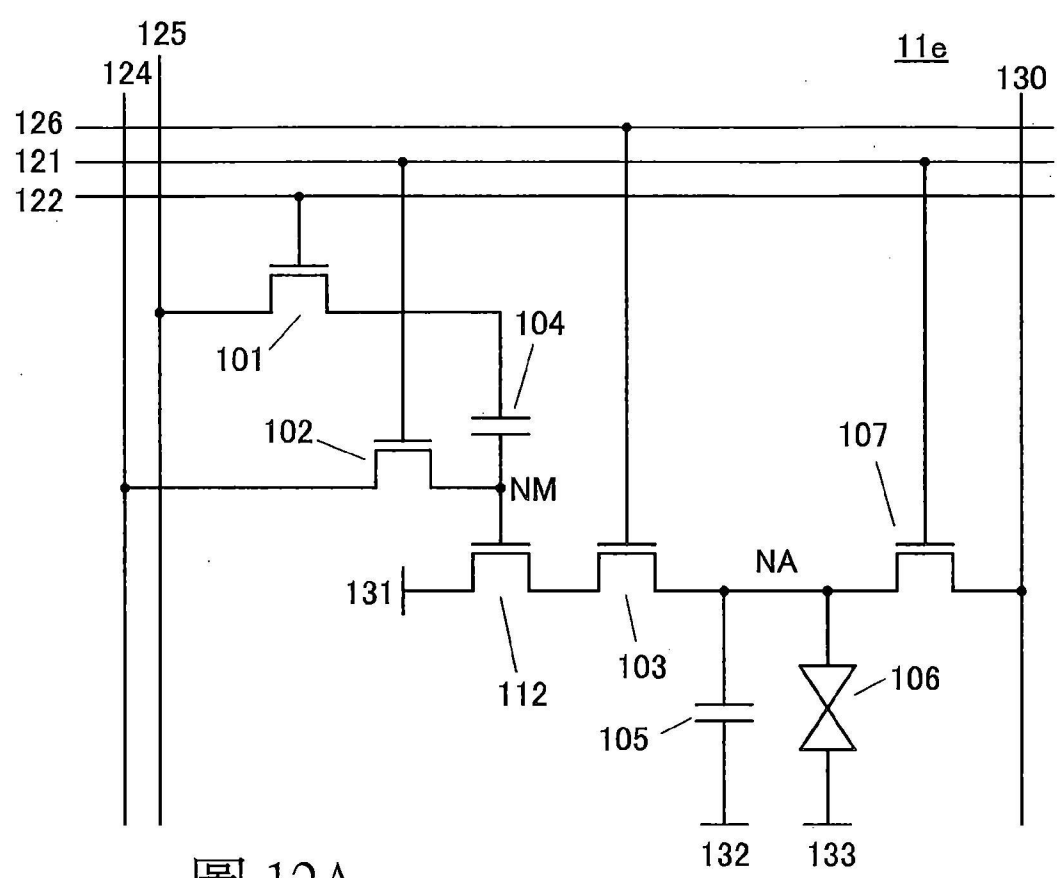


圖 12A

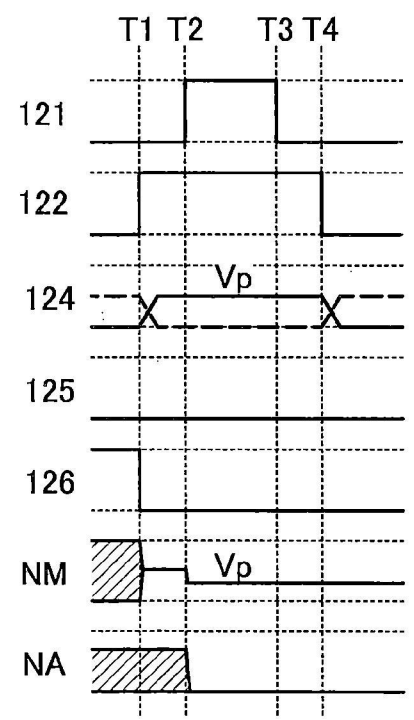


圖 12B

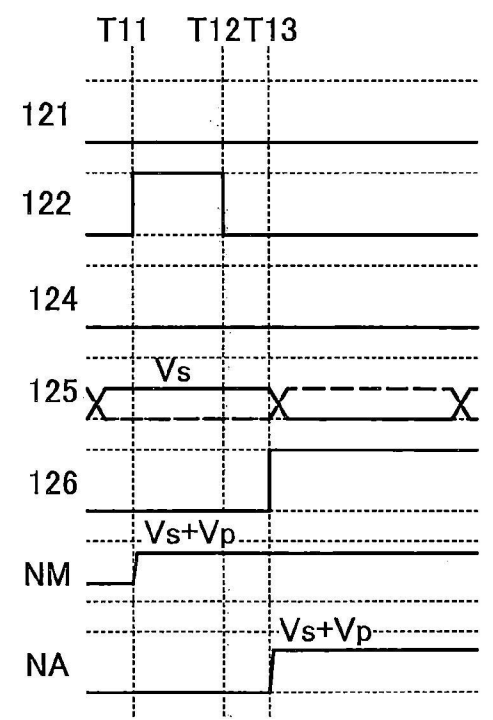


圖 12C

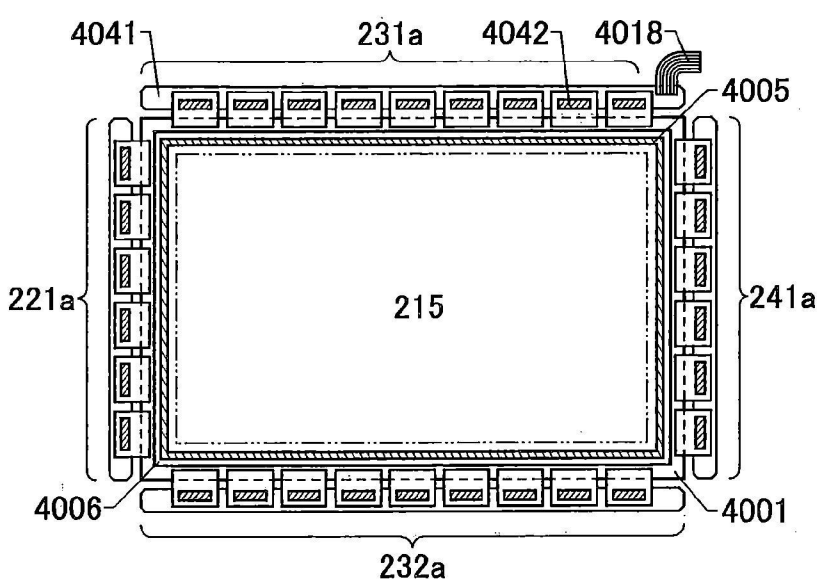


圖 13A

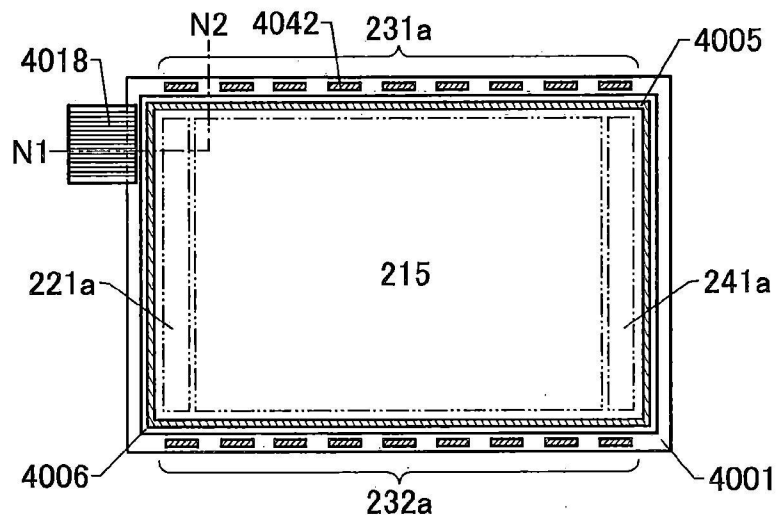


圖 13B

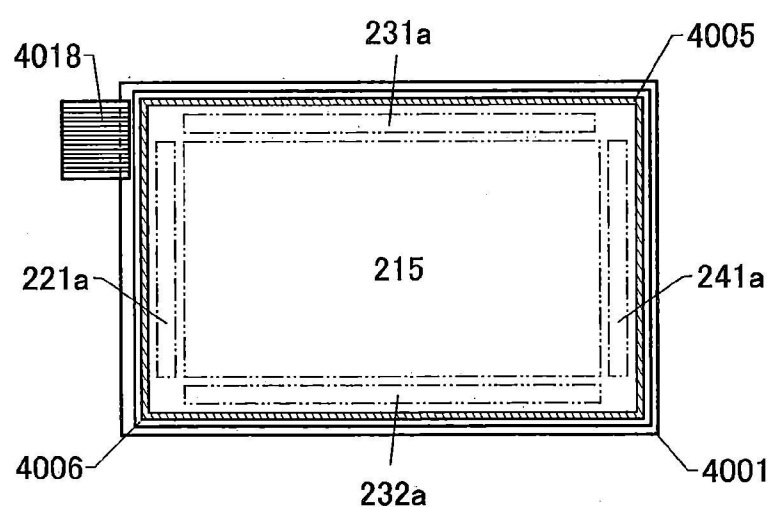


圖 13C

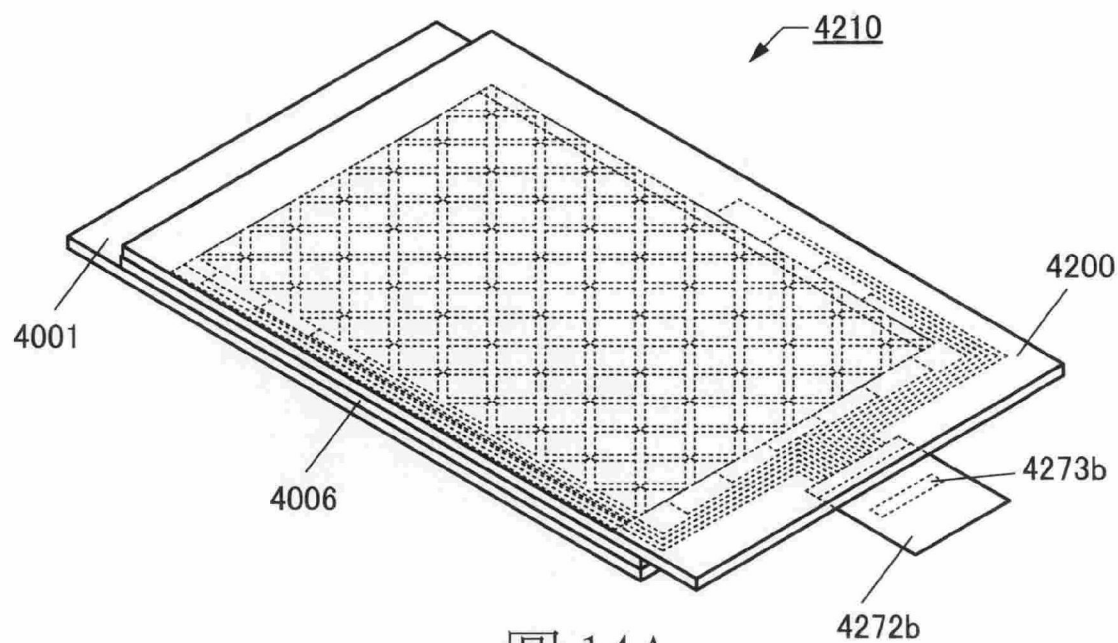


圖 14A

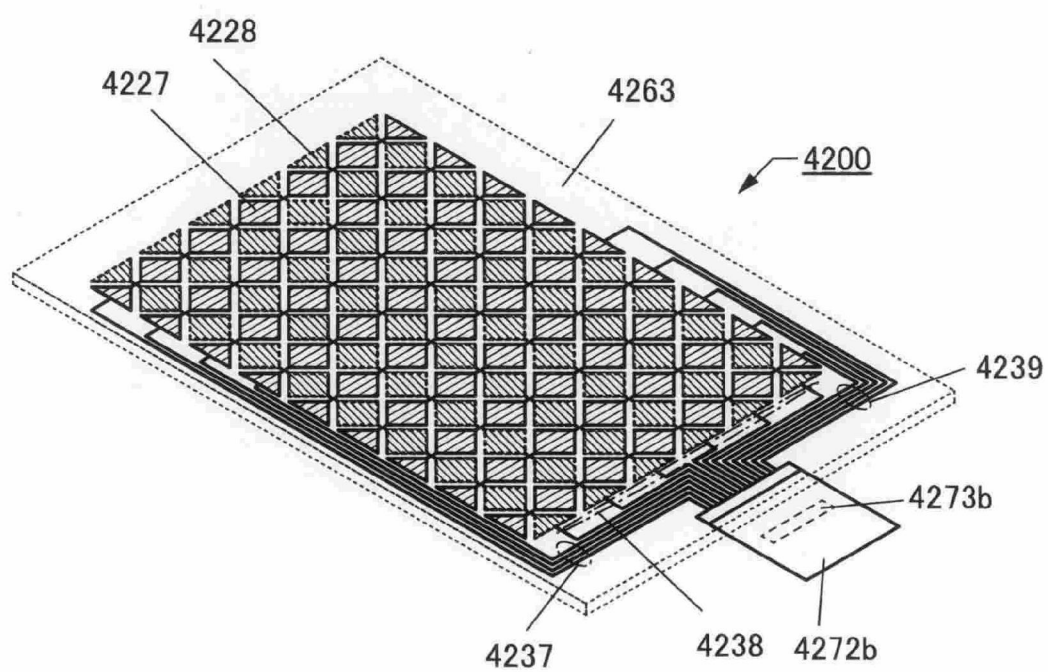


圖 14B

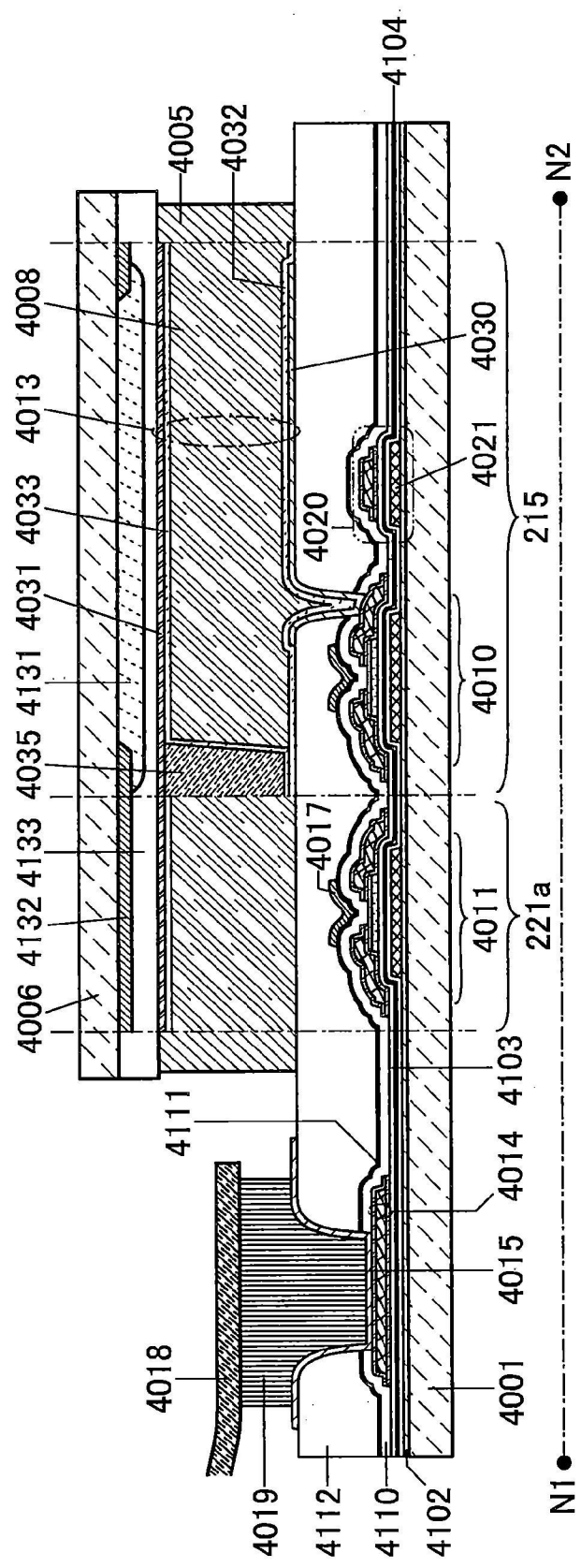


圖 15

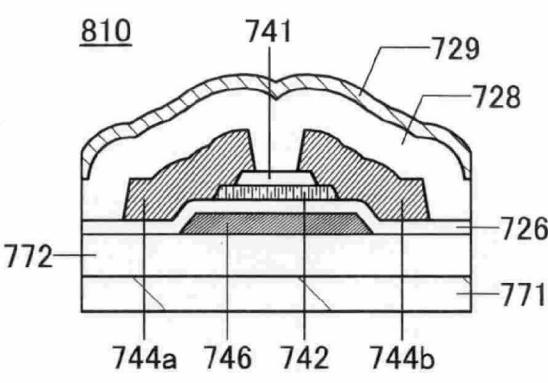


圖 16A1

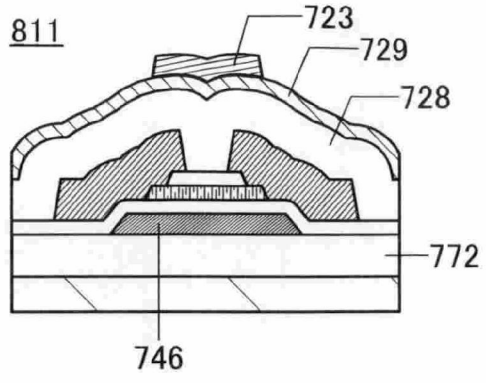


圖 16A2

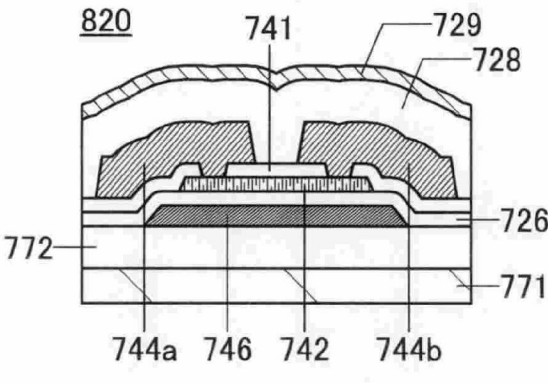


圖 16B1

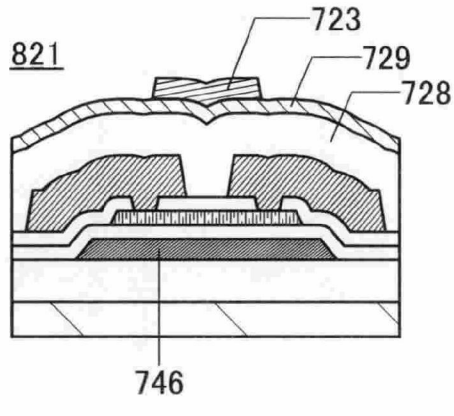


圖 16B2

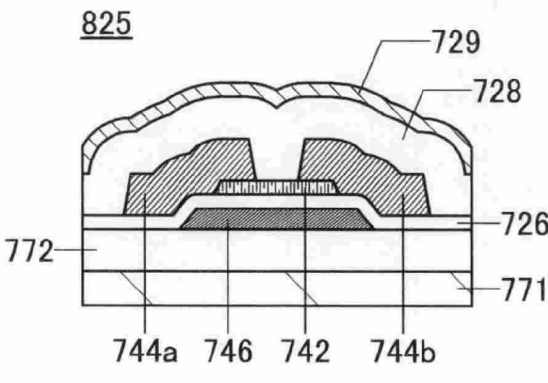


圖 16C1

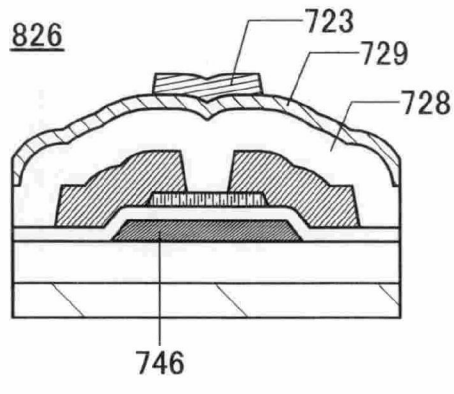


圖 16C2

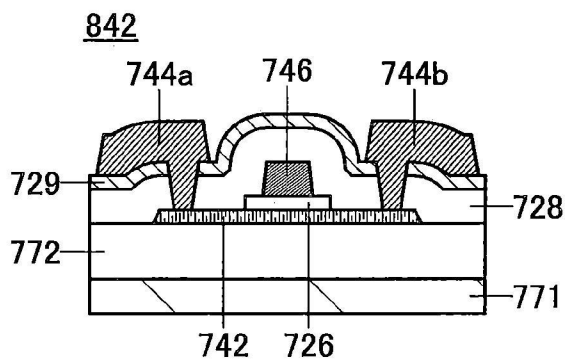


圖 17A1

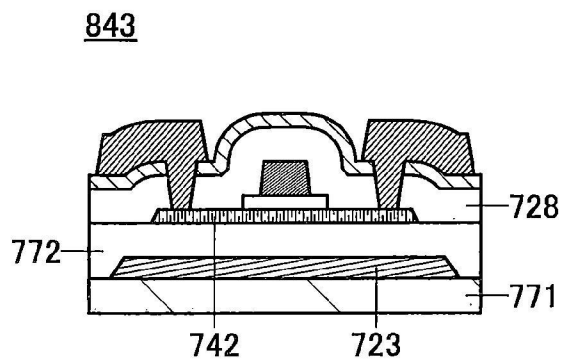


圖 17A2

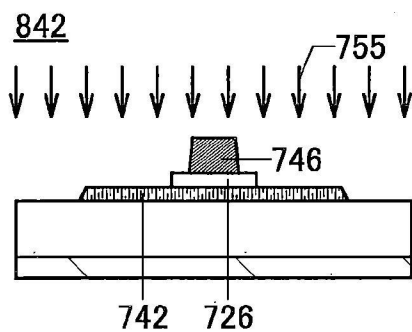


圖 17A3

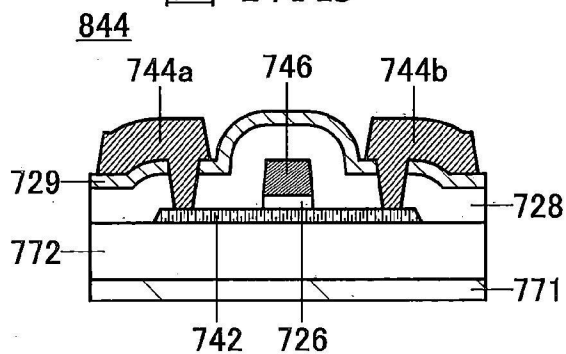


圖 17B1

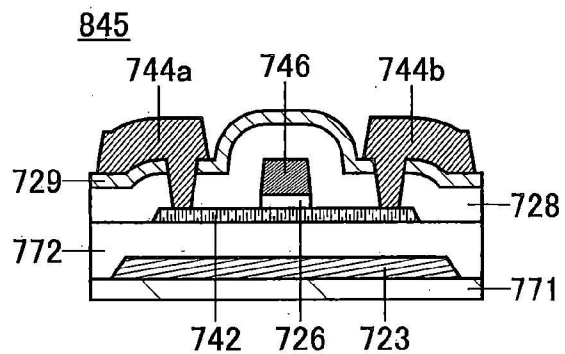


圖 17B2

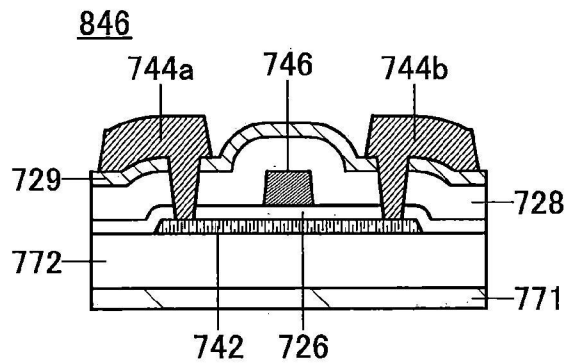


圖 17C1

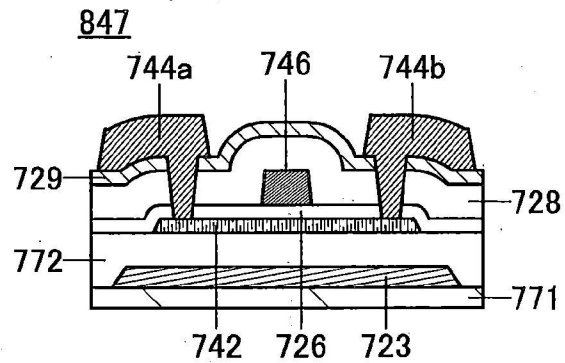
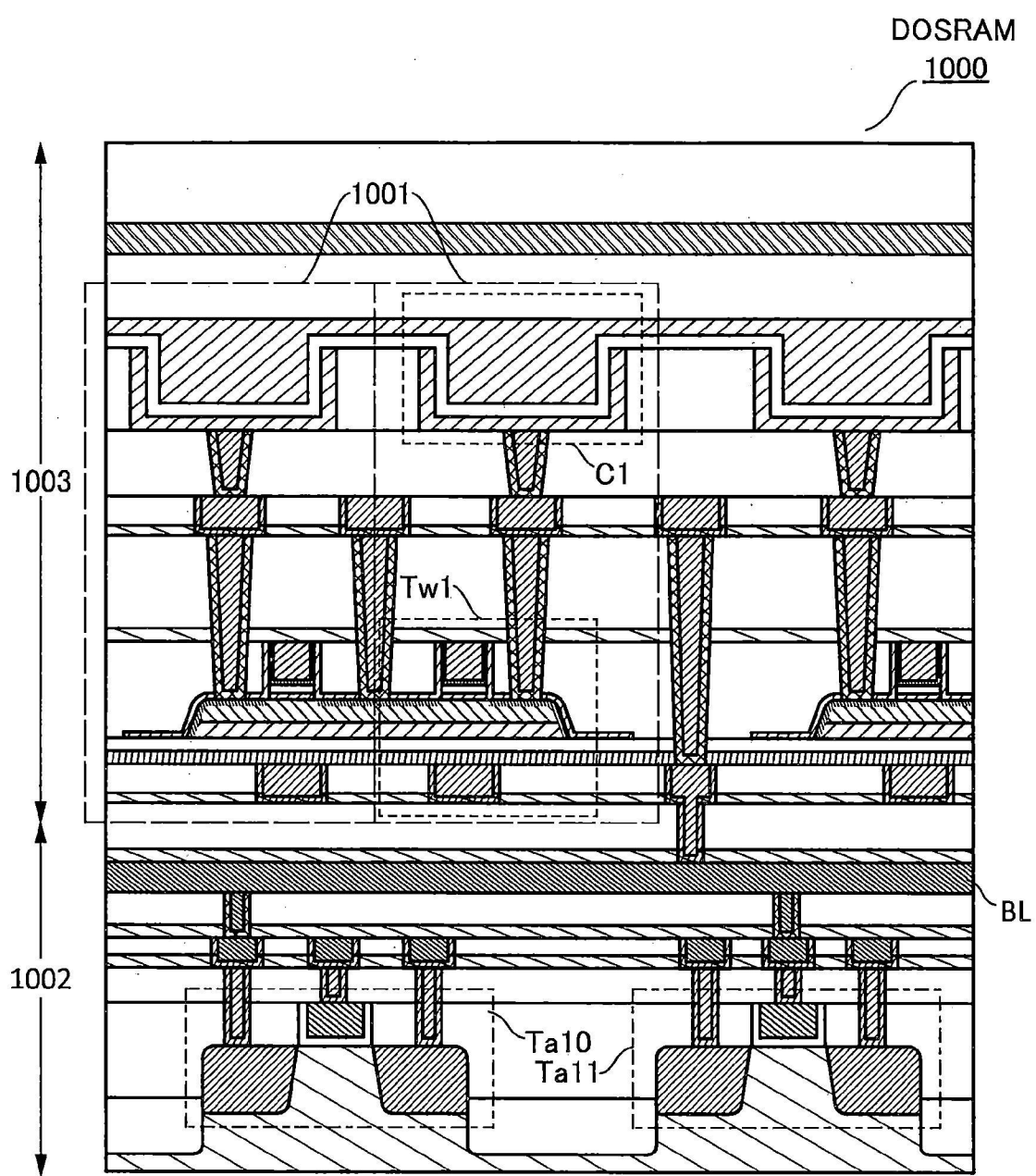


圖 17C2



- 金屬氧化物   
- 絕緣體   
- 導電體        

圖 18

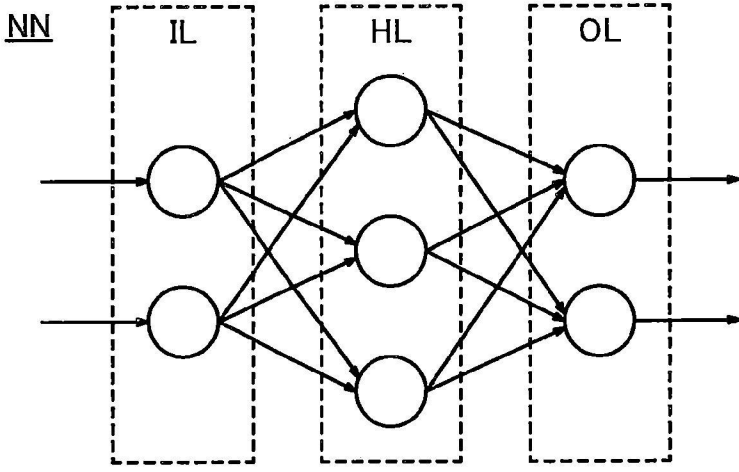


圖 19A

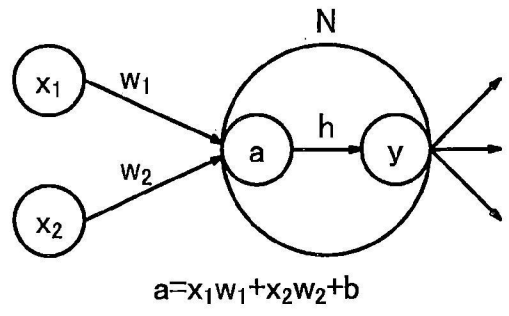


圖 19B

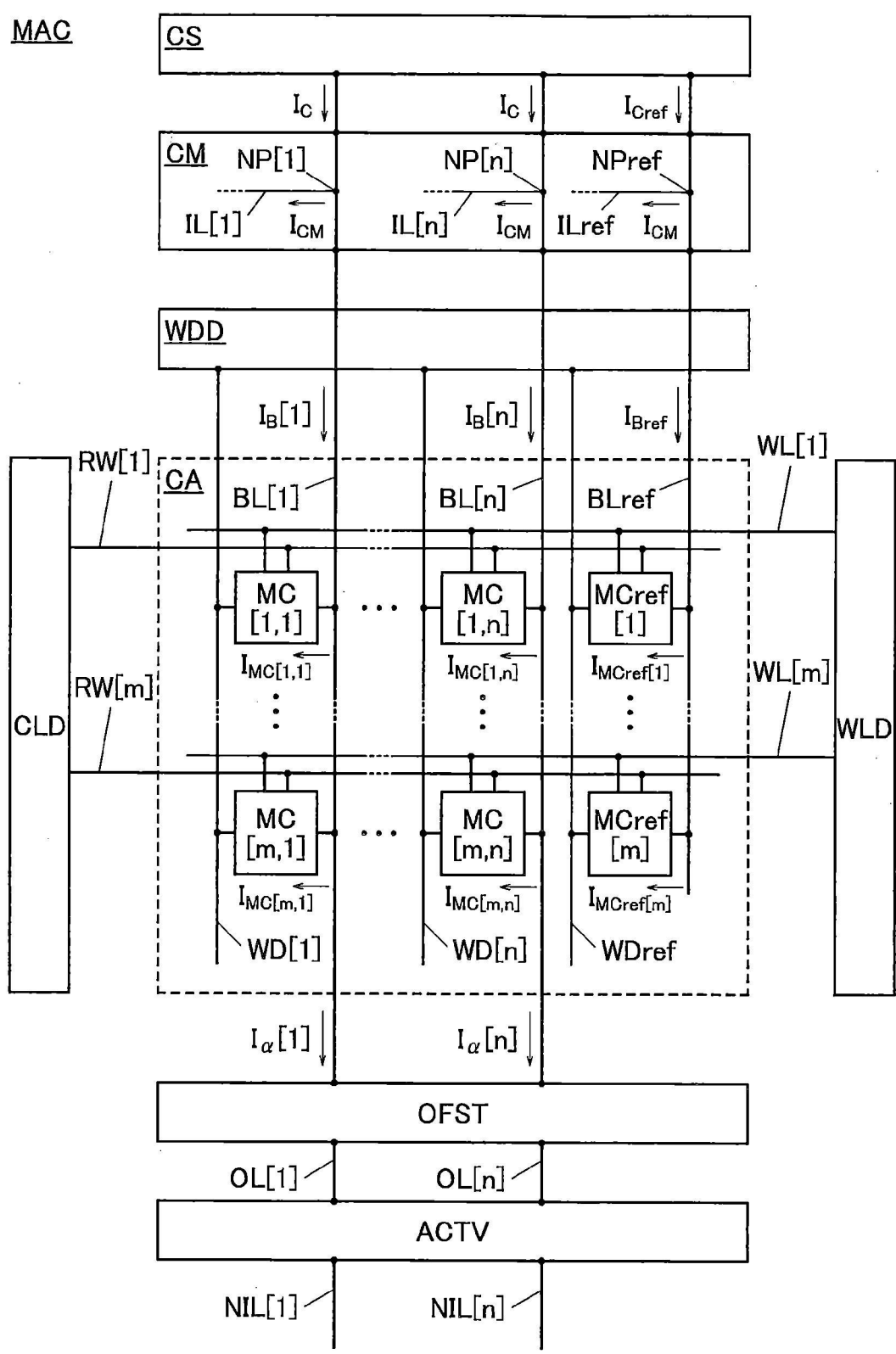


圖 20

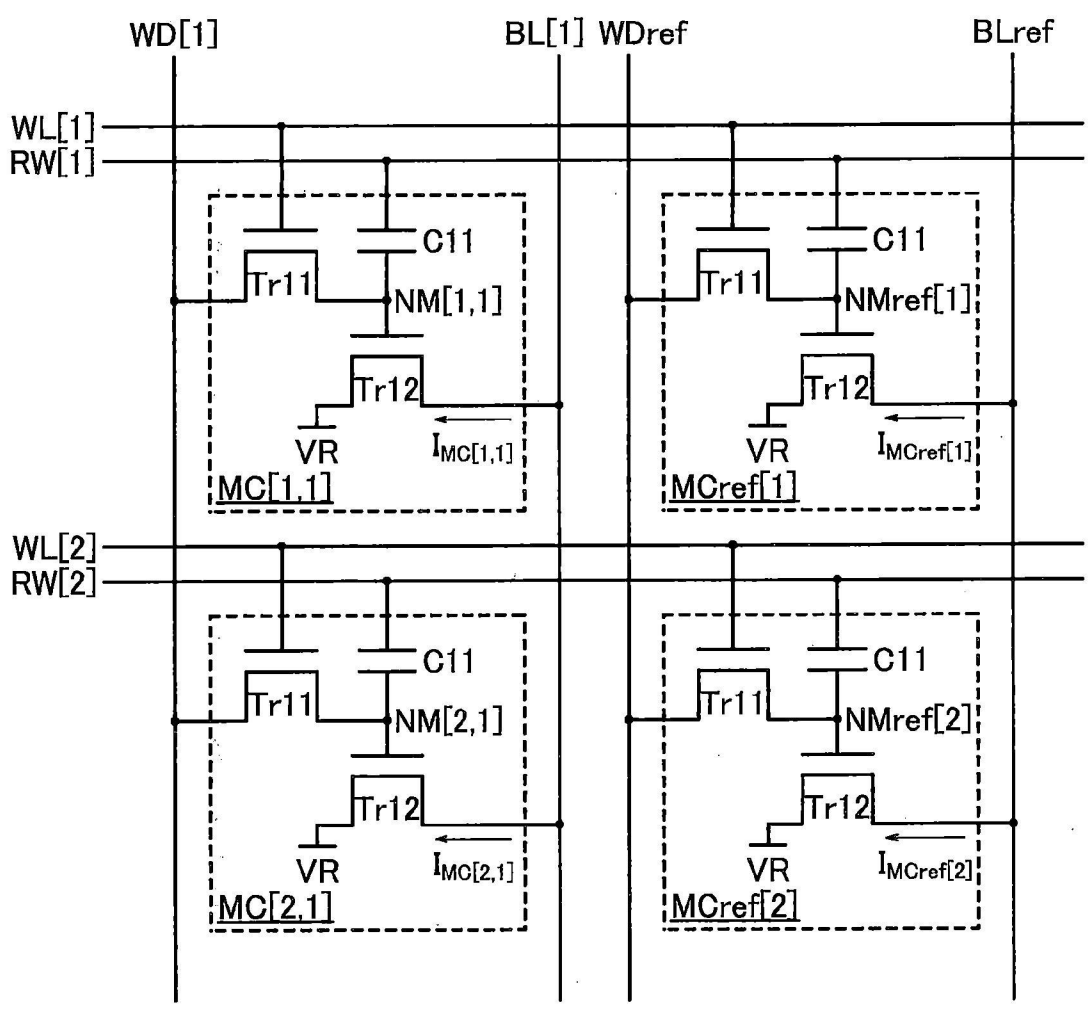


圖 21

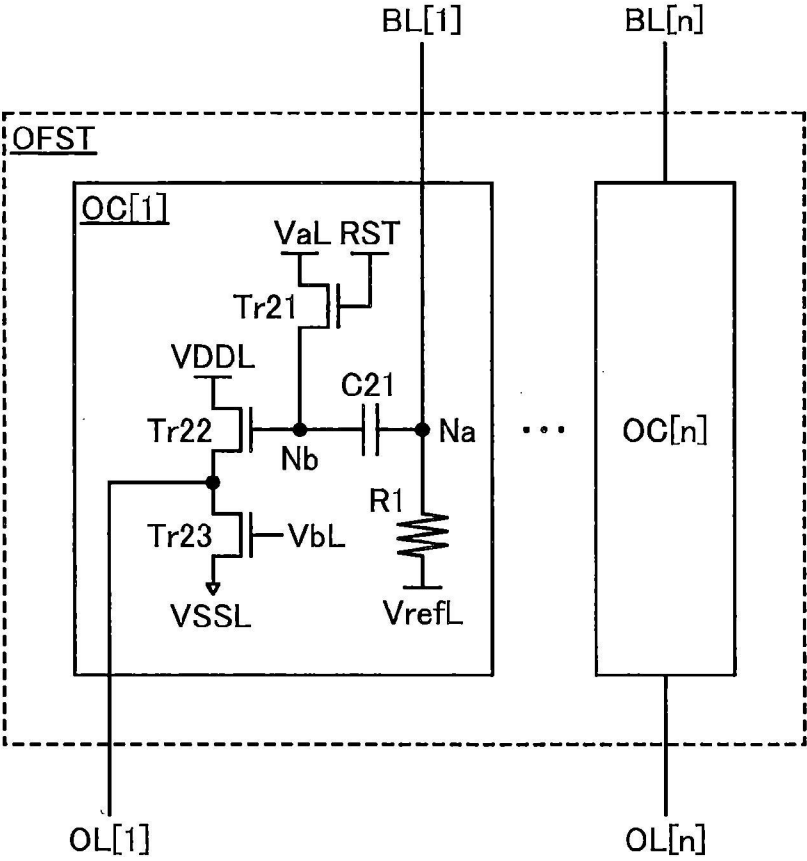


圖 22

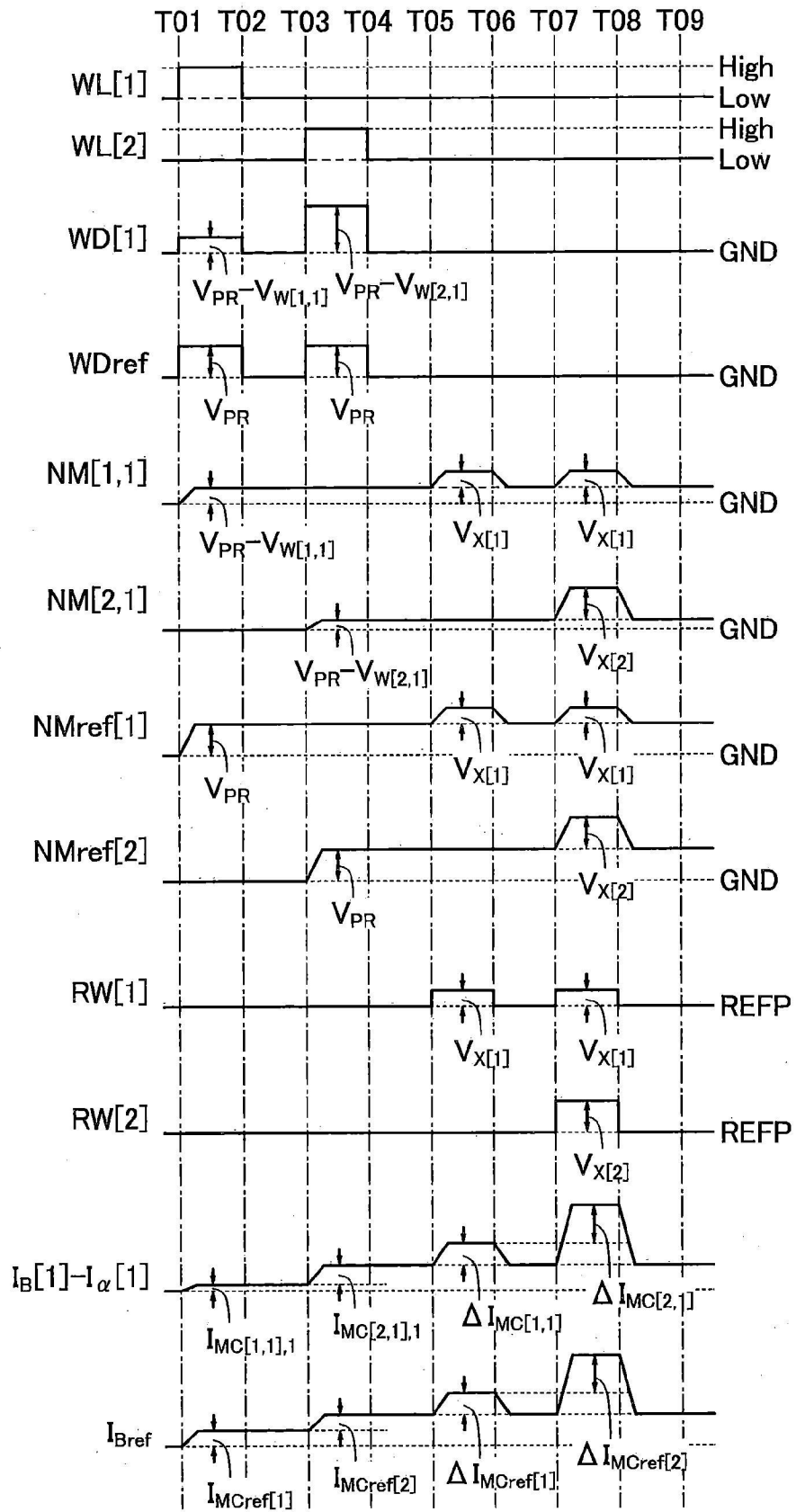


圖 23

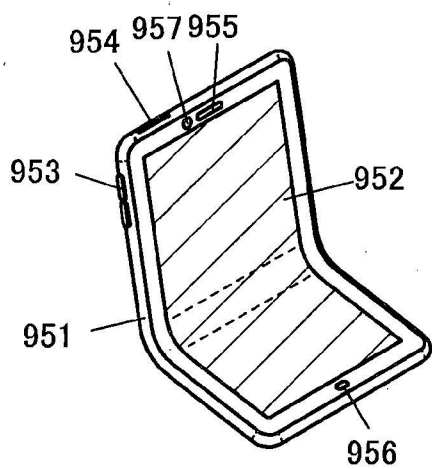


圖 24A

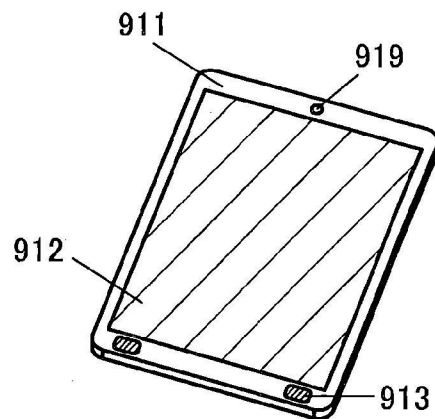


圖 24B

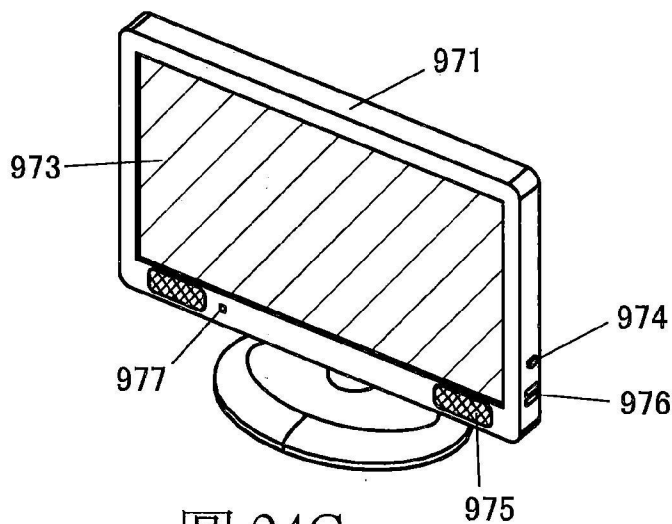


圖 24C

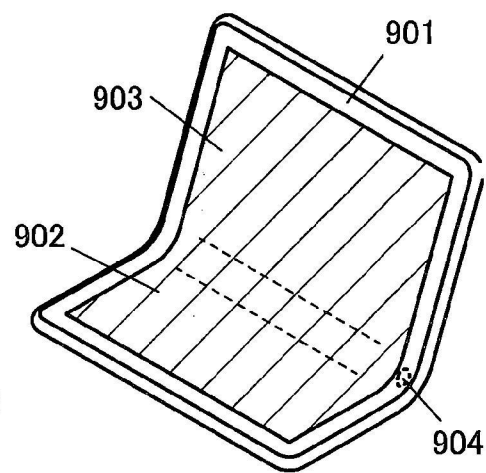


圖 24D

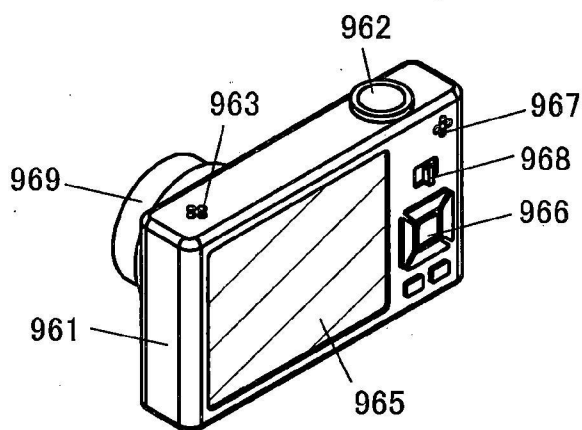


圖 24E

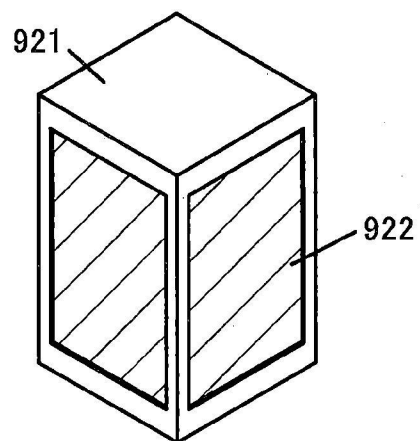


圖 24F