

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4439593号

(P4439593)

(45) 発行日 平成22年3月24日(2010.3.24)

(24) 登録日 平成22年1月15日(2010.1.15)

(51) Int.Cl. F I  
H O 1 L 29/78 (2006.01)  
H O 1 L 29/78 3 O 1 S  
H O 1 L 29/78 3 O 1 J

請求項の数 14 (全 29 頁)

(21) 出願番号	特願平9-528732	(73) 特許権者	サンダーバード・テクノロジーズ、インコーポレイテッド
(86) (22) 出願日	平成9年2月4日(1997.2.4)		アメリカ合衆国、27709-3739
(65) 公表番号	特表2000-504881(P2000-504881A)		ノース・キャロライナ、リサーチ・トライ
(43) 公表日	平成12年4月18日(2000.4.18)		アングル・パーク、ピー・オー・ボックス
(86) 国際出願番号	PCT/US1997/002108		13739、ペリメーター・パーク・ド
(87) 国際公開番号	W01997/029519		ライブ 1000
(87) 国際公開日	平成9年8月14日(1997.8.14)	(74) 代理人	弁理士 奥山 尚男
審査請求日	平成16年1月23日(2004.1.23)	(74) 代理人	弁理士 秋山 暢利
(31) 優先権主張番号	08/597,711	(74) 代理人	弁理士 奥山 尚一
(32) 優先日	平成8年2月7日(1996.2.7)		
(33) 優先権主張国	米国(US)		

最終頁に続く

(54) 【発明の名称】 フェルミしきい値型電界効果型トランジスタ及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

第1の導電型の半導体基板(21)と、  
前記半導体基板の一表面(21a)において該基板内に位置する、空間的に隔たった第2の導電型のソース領域(23)及びドレイン領域(24)と、  
前記半導体基板表面において該基板内に位置し、前記ソース領域から前記ドレイン領域まで広がった、前記第2の導電型の第1のタブ領域(62)及び前記第2の導電型の第3のタブ領域(66)と、  
前記空間的に隔たったソース領域及びドレイン領域の間において、前記基板表面上に位置するゲート絶縁層(26)と、  
前記ソース領域及びドレイン領域と前記ゲート絶縁層にそれぞれ接触する、ソース電極(31)、ドレイン電極(32)、及びゲート電極(28)と、  
を備えるフェルミしきい値型電界効果型トランジスタにおいて、  
前記第1のタブ領域(62)と前記第3のタブ領域(66)との間に位置し、前記基板表面の真下において前記ソース領域から前記ドレイン領域まで広がった、前記第1の導電型の埋め込まれた第2のタブ領域(64)を具備し、  
前記ソース領域及びドレイン領域は、前記第1のタブ領域(62)内にソース底(23a)及びドレイン底(24a)を有するとともに、前記第1のタブ領域(62)は、さらに、前記ソース底から前記ドレイン底まで広がっていること、  
を特徴とするフェルミしきい値型電界効果型トランジスタ。

## 【請求項 2】

前記第 1 のタブ領域 ( 6 2 ) は、前記半導体基板 ( 2 1 ) 内に位置する第 2 の導電型の領域であるとともに、前記空間的に隔たったソース領域及びドレイン領域は、前記半導体基板内において前記タブ領域 ( 6 2 ) 内に位置するように構成されたことを特徴とする請求項 1 に記載のフェルミしきい値型電界効果型トランジスタ。

## 【請求項 3】

前記第 3 のタブ領域 ( 6 6 ) は、前記半導体基板内に位置し、前記ソース領域から前記ドレイン領域まで拡がるとともに、前記基板表面から前記基板内に第 1 の深さ (  $Y_1$  ) まで拡がった、前記第 2 の導電型の領域から成り、

前記埋め込まれた第 2 のタブ領域 ( 6 4 ) は、前記基板内に前記第 1 の深さ (  $Y_1$  ) と第 2 の深さ (  $Y_2$  ) の間で拡がり、

前記第 1 のタブ領域 ( 6 2 ) は、前記基板内に前記第 2 の深さ (  $Y_2$  ) と第 3 の深さ (  $Y_3$  ) の間で拡がった、前記第 2 の導電型の領域から成ることを特徴とする請求項 1 に記載のフェルミしきい値型電界効果型トランジスタ。

## 【請求項 4】

前記第 1 のタブ領域 ( 6 2 ) は、前記基板内に前記基板表面から第 3 の深さ (  $Y_3$  ) まで拡がった、前記第 2 の導電型の領域から成り、

前記基板内に前記第 3 の深さ (  $Y_3$  ) 未満の第 2 の深さ (  $Y_2$  ) まで拡がった、前記第 1 の導電型の第 2 のタブ領域 ( 6 4 ) を備え、

前記基板内に第 2 の深さ (  $Y_2$  ) 未満の第 1 の深さ (  $Y_1$  ) まで拡がった、前記第 2 の導電型の第 3 のタブ領域 ( 6 6 ) を備え、

前記空間的に隔たったソース領域及びドレイン領域の底は、前記第 1 のタブ領域内に位置し、かつ、前記基板内を前記第 3 の深さ (  $Y_3$  ) 未満の第 4 の深さ (  $Y_4$  ) に位置するように構成されたことを特徴とする請求項 1 に記載のフェルミしきい値型電界効果型トランジスタ。

## 【請求項 5】

前記ゲート電極は前記第 1 の導電型の多結晶シリコン層 ( 2 8 ) を含むことを特徴とする請求項 1 に記載のフェルミしきい値型電界効果型トランジスタ。

## 【請求項 6】

前記ゲート電極は、前記第 1 の導電型の多結晶シリコン層を含むことを特徴とする請求項 2 に記載のフェルミしきい値型電界効果型トランジスタ。

## 【請求項 7】

前記ゲート電極は、前記第 1 の導電型の多結晶シリコン層を含むことを特徴とする請求項 3 に記載のフェルミしきい値型電界効果型トランジスタ。

## 【請求項 8】

前記第 4 の深さ (  $Y_4$  ) は、前記第 2 の深さ (  $Y_2$  ) より大きいことを特徴とする請求項 4 に記載のフェルミしきい値型電界効果型トランジスタ。

## 【請求項 9】

前記ゲート電極は、前記第 1 の導電型の多結晶シリコン層を含むことを特徴とする請求項 4 に記載のフェルミしきい値型電界効果型トランジスタ。

## 【請求項 10】

フェルミしきい値型電界効果型トランジスタを製造するための方法であって、半導体基板 ( 2 1 ) 内に、第 1 の導電型の領域 ( 7 0 ) と、前記第 1 の導電型の領域 ( 7 0 ) 内の第 2 の導電型の第 1 のタブ領域 ( 6 2 ) と、該第 1 のタブ領域内の前記第 1 の導電型の第 2 のタブ領域 ( 6 4 ) とを形成するステップであって、前記第 2 のタブ領域を形成した後も前記半導体基板 ( 2 1 ) の表面に前記第 1 の導電型の領域 ( 7 0 ) が露出している、ステップと、

前記第 1 の導電型の領域 ( 7 0 ) 及び前記第 2 のタブ領域に接するように、前記半導体基板上にエピタキシャル層 ( 7 6 ) を形成し、さらに該エピタキシャル層 ( 7 6 ) 内に第 3 のタブ領域 ( 6 6 ) を形成するステップと、

10

20

30

40

50

前記第 3 のタブ領域 ( 6 6 ) と前記第 2 のタブ領域 ( 6 4 ) と前記第 1 のタブ領域 ( 6 2 ) 内に、ソース底 ( 2 3 a ) 及びドレイン底 ( 2 4 a ) が第 1 のタブ領域 ( 6 2 ) 内に位置するように空間的に隔たった前記第 2 の導電型のソース領域 ( 2 3 ) 及びドレイン領域 ( 2 4 ) を形成するステップと、

を含むことを特徴とするフェルミしきい値型電界効果型トランジスタの製造方法。

【請求項 1 1】

前記第 1 のタブ領域及び第 2 のタブ領域を形成する前記ステップは、

前記半導体基板内に前記第 2 の導電型のイオンを注入して、前記第 1 のタブ領域を形成するステップと、

前記第 1 のタブ領域内に前記第 1 の導電型のイオンを注入して前記第 1 のタブ領域の一部をカウンタドープし、それによって前記第 2 のタブ領域を形成するステップと、

を含むことを特徴とする請求項 1 0 に記載のフェルミしきい値型電界効果型トランジスタの製造方法。

【請求項 1 2】

前記エピタキシャル層 ( 7 6 ) を形成し、さらに該エピタキシャル層 ( 7 6 ) 内に第 3 のタブ領域 ( 6 6 ) を形成するステップは、

前記半導体基板上にドーパされていない半導体層をエピタキシャル的に形成するステップと、

前記ドーパされていない半導体層内に前記第 2 の導電型のイオンを注入し、それによって前記半導体層を第 2 の導電型にドーパし前記第 3 のタブ領域を形成するステップと、

を含むことを特徴とする請求項 1 0 に記載のフェルミしきい値型電界効果型トランジスタの製造方法。

【請求項 1 3】

前記空間的に隔たったソース領域及びドレイン領域を形成する前記ステップには、前記第 3 のタブ領域 ( 6 6 ) 内に、かつ該第 3 のタブ領域 ( 6 6 ) を貫通させて前記第 2 のタブ領域 ( 6 4 ) 内に、さらに該第 2 のタブ領域 ( 6 4 ) を貫通させて前記第 1 のタブ領域 ( 6 2 ) 内に前記第 2 の導電型のイオンを注入するステップが含まれることを特徴とする請求項 1 0 に記載のフェルミしきい値型電界効果型トランジスタの製造方法。

【請求項 1 4】

前記空間的に隔たったソース領域及びドレイン領域を形成する前記ステップは、前記第 3 のタブ領域 ( 6 6 ) に接してゲート酸化物 ( 2 6 ) 及びゲート電極 ( 2 8 ) を形成するステップの後に実行されることを特徴とする請求項 1 0 に記載のフェルミしきい値型電界効果型トランジスタの製造方法。

【発明の詳細な説明】

発明の分野

本発明は、電界効果型トランジスタ ( field effect transistor ) 、特に集積回路電界効果型トランジスタ及びその製造方法に関する。

発明の背景

電界効果型トランジスタ ( F E T ) は、論理デバイス、メモリデバイス、およびマイクロプロセッサなどのような大規模集積回路 ( V L S I ) や超大規模集積回路 ( U L S I ) への適用における主たる実用デバイスとなっている。その理由は、集積回路型 F E T がその性質から高インピーダンス、高密度、低電力デバイスだからである。多くの研究及び開発活動では、F E T のスピード及び集積密度を改善すること、そしてその電力消費を減少させることが焦点となっている。

高速かつ高性能の電界効果型トランジスタは、ともに「フェルミしきい値電界効果型トランジスタ ( Fermi Threshold Field Effect Transistor ) 」と題された A . W . ビナル ( A lbert W. Vinal ) 氏による米国特許第 4 , 9 8 4 , 0 4 3 号及び第 4 , 9 9 0 , 9 7 4 号に開示されている。これらの特許はいずれも本発明の譲受人に譲渡されている。前記特許には、デバイスのしきい値電圧を半導体物質のフェルミ電位の 2 倍に設定することによって反転が必要とされない拡大モードで作動する金属酸化物電界効果型トランジスタ ( M O

10

20

30

40

50

S F E T (metal oxide semiconductor field effect transistor) が記述されている。当業者にはよく知られているように、フェルミ電位とは半導体物質のエネルギー状態が一つの電子によって占拠される確率が  $1/2$  となるような電位として定義される。上記ビナルの特許明細書において記述されているように、しきい値電圧がフェルミ電位の 2 倍に設定されるとき、しきい値電圧の、酸化物の厚さ、チャネル長、ドレイン電圧、及び基板ドーピングに対する依存性が消滅する。さらに、しきい値電圧がフェルミ電位の 2 倍に設定されるとき、酸化物とチャネルとの間の基板表面における垂直方向の電界が最小となり、実際には実質上ゼロとなる。その結果、チャネル内のキャリア移動度は最大となり、熱電子効果が大きく減少した高速デバイスが実現される。デバイス性能は、実質上、デバイスの大きさには依存しない。

10

フェルミしきい値 F E T は既に知られているフェルミ F E T デバイスと比較して大きな改善であったにもかかわらず、フェルミ F E T の容量を低減させる必要が存在した。こうしたことから、ともに「ゲート及び拡散容量の減少した、フェルミしきい値電界効果型トランジスタ (Fermi Threshold Field Effect Transistor With Reduced Gate and Diffusion Capacitance)」と題されたビナル (Albert W.Vinal) 氏による米国特許第 5, 194, 923 号及び第 5, 369, 295 号において、伝導キャリアが、キャリアの伝導性を維持するために半導体表面において生成されるべき反転層が必要とされることなく、ゲート下の基板の所定の深さでチャネル内を流れることができる、フェルミ F E T が開示されている。従って、チャネル電荷の平均的な深さではゲート容量の一部として基板の誘電率を含ませる必要がある。その結果、ゲート容量は可成り減少する。

20

前記米国特許第 5, 194, 923 号及び第 5, 369, 295 号に記述されているように、低容量フェルミ F E T は、所定の深さと、基板とは反対の導電型でドレイン及びソースと同一の導電型を有するフェルミ・タブ領域を使用することにより望ましく実現される。このフェルミ・タブは基板表面から所定の深さに達し、ドレイン及びソース拡散はフェルミ・タブ境界内のフェルミ・タブ内に形成される。このフェルミ・タブによって、ソース、ドレイン、チャネル、及びフェルミ・タブが全て、異ったドーピング濃度でドーピングされた同一の導電型を有する単接合トランジスタ (unijunction transistor) が形成される。このようにして低容量フェルミ F E T が提供される。フェルミ・タブを含む低容量フェルミ F E T をここでは「低容量フェルミ F E T」又は「タブ F E T」と呼ぶことにする。

30

フェルミ F E T 及び低容量フェルミ F E T は既に知られている F E T デバイスと比較して大きな改善であるにもかかわらず、単位チャネル幅当たりの電流を増大させるためのさらなる必要性が存在する。当業者にはよく知られているように、より高い電流のフェルミ F E T デバイスによれば、大きな集積密度、そして(あるいは)論理回路、メモリ、マイクロプロセッサ、及び他の集積回路デバイスにおけるもっと大きな速度が実現される。これに関して、「高電流フェルミ F E T」と題された、ビナル (Albert W.Vinal) 氏及び本発明者への米国特許第 5, 374, 836 号には、フェルミ・タブ領域及びソース領域と同一の導電型の、ソース領域に隣接するとともにドレイン領域と対向する、インジェクタ (injector) 領域を含むフェルミ F E T が記述されている。このインジェクタ領域は、フェルミ・タブの比較的低いドーピング濃度とソースの比較的高いドーピング濃度との中間にあるドーピングレベルで好ましくドーピングされる。このインジェクタ領域によってチャネル内に注入されたキャリアの深さが制御されるとともに、チャネル内にキャリアをゲート下の所定の深さにまで注入することが強化される。米国特許第 5, 374, 836 号によるトランジスタをここでは「高電流フェルミ F E T」と呼ぶことにする。

40

ソース・インジェクタ領域はソース領域を囲むソース・インジェクタ・タブ領域であることが好ましい。ドレイン・インジェクタ・タブ領域も提供することができる。ソース・インジェクタ領域に隣接するところからフェルミ F E T のゲート電極に隣接するところまで達するゲート側壁スペーサーも、ピンチオフ電圧を低下させ、かつ、フェルミ F E T の飽和電流を増大させるために提供することが可能である。基板と同一の導電型にある底漏れ制御領域 (bottom leakage control region) もまた提供することができる。

50

フェルミ F E T、低容量フェルミ F E T、及び高電流フェルミ F E Tは既に知られている F E Tデバイスと比較して大きな改善であるにもかかわらず、低電圧での動作を改善する更なる必要性が存在する。当業者にはよく知られているように、現在のところ、一般的に 5 ボルト、3 ボルト、1 ボルト、あるいはそれ以下の電源電圧で動作する、低電力携帯用及び / 又はバッテリー電源用デバイスに大きな関心が寄せられている。

ある与えられたチャネル長に対して、動作電圧を低下させれば横方向の電界が線形的にドロップする。非常に低い電圧では、横方向の電界があまりに低く、チャネル内のキャリアが飽和速度に達することが妨げられる。この結果、有効ドレイン電流が陰しくドロップする。このドレイン電流のドロップによって、ある与えられたチャネルに対して使用可能な回路速度を得るための動作電圧の低下が効果的に制限される。

10

低電圧におけるタブ F E Tの動作を改善するため、「定域タブ・フェルミしきい値電界効果型トランジスタ及びその製造方法 (Contored-Tub Fermi-Threshold Field Effect Transistor and Method of Forming Same)」と題された本発明者による米国出願第 0 8 / 3 5 1 , 6 4 3 号には、不均一なタブの深さを有する定域フェルミ・タブ領域を含むフェルミ F E Tが記述されている。特に、フェルミ・タブはチャネル領域の下よりもソース及び / 又はドレインの下の方が深くなっている。こうして、タブ基板間接合はチャネル領域の下よりもソース及び / 又はドレインの下の方が深い。拡散容量はそれによって一様なタブ深さを有するフェルミ・タブと比較して減少し、その結果、高い飽和電流が低電圧において生成される。

特に、米国出願第 0 8 / 3 5 1 , 6 4 3 号による定域タブ・フェルミしきい値電界効果型トランジスタは第 1 の導電型の半導体基板と、半導体基板表面においてその半導体基板内に第 2 の導電型の空間的に隔てられたソース領域及びドレイン領域を有する。第 2 の導電型のチャネル領域も、空間的に隔てられたソース領域及びドレイン領域の間において、半導体基板表面においてその半導体基板内に形成される。第 2 の導電型のタブ領域も半導体基板表面においてその半導体基板内に含まれる。タブ領域は、基板表面より空間的に隔てられたソース領域及びドレイン領域の少なくとも一方の下に第 1 の所定の深さまで達し、基板表面よりチャネル領域の下に第 2 の所定の深さまで達する。第 2 の所定の深さは第 1 の所定の深さよりも小さい。ゲート絶縁層及び、ソース接触子、ドレイン接触子及びゲート接触子 (コンタクト) も含まれる。基板接触子も含ませることができる。

20

第 2 の所定の深さ、すなわちチャネルに隣接する定域タブの深さ、は前記米国特許第 5 , 1 9 4 , 9 2 3 号及び第 5 , 3 6 9 , 2 9 5 号に定義されているようなフェルミ F E T基準を満足することができるように選ばれる。特に、第 2 の所定の深さは、ゲート電極がアース電位にあるときに、チャネル底において基板表面に垂直な静電界がゼロになるように選ばれる。第 2 の所定の深さも、半導体基板のフェルミ電位の 2 倍となった電界効果型トランジスタのしきい値電圧を生成するように選ばれる。第 1 の所定の深さ、すなわちソース及び / 又はドレインに隣接する定域タブの深さは、ソース接触子及び / 又はドレイン接触子にゼロのバイアスが印加された際に、ソース及び / 又はドレイン下のタブ領域を空乏化するように好ましく選ばれる。

30

最新の超小型電子技術が進展したため、製作回線幅は実質的に 1 ミクロン未満にまで減少している。回線幅 (linewidth) がこのように減少したことによって、チャネル長が実質的に 1 ミクロン未満、電流処理技術によれば一般的に 1 / 2 ミクロン未満であるところの「短チャネル」F E Tが生み出されている。

40

米国特許第 5 , 1 9 4 , 9 2 3 号及び米国特許第 5 , 3 6 9 , 2 9 5 号の低容量フェルミ F E T、米国特許第 5 , 3 7 4 , 8 3 6 号の高電流フェルミ F E T、及び米国出願第 0 8 / 3 5 1 , 6 4 3 号の定域タブ・フェルミ F E Tは低電圧において高い性能を有する短チャネル F E Tを提供するために使用することが可能である。しかしながら、回線幅が減少するにつれ、処理制限 (processing limitation) によって F E Tを製作する際に到達可能な大きさ及び電導性が制限されることがあることは当業者であれば認識できよう。このため、回線幅が減少した場合、処理状態によってはフェルミ F E Tトランジスタを再最適化してこれらの処理制限に適應させることが要求されることもある。

50

フェルミ F E T トランジスタを処理制限に適應させるために再最適化することは、本発明者の譲受人に譲渡された「短チャネル・フェルミしきい値電界効果型トランジスタ (Short Channel Fermi-Threshold Field Effect Transistors)」と題された米国特許出願第 08 / 505 , 085 号に記述されている。詳細に関してはこの特許出願を参照する。ここに引用された「短チャネル・フェルミしきい値電界効果型トランジスタ」と題された米国特許出願第 08 / 505 , 085 号の短チャネル・フェルミ F E T には、フェルミ・タブをその深さ方向に越えて拡がり、かつフェルミ・タブをその横方向にも越えて拡がる、空間的に隔たったソース領域及びドレイン領域が含まれる。ソース領域及びドレイン領域がタブを越えて拡がるために、基板との接合が形成され、電荷共有状態が生じる。この状態を補償するためには、基板のドーピングを増大させなければならない。ソース領域及びドレイン領域が非常に小さく離れているために、望ましくタブの深さが減る。この結果、ゲート電極がしきい値電位にあるときには、酸化物：基板間界面において基板に垂直な静電界に変化が生じる。一般的な長チャネル・フェルミ F E T トランジスタでは、この電界は基本的にゼロである。短チャネル・デバイスでは、この電界は M O S F E T トランジスタよりもかなり低い、長チャネル・フェルミ F E T トランジスタよりはいくぶん高い。特に、本発明による短チャネル・フェルミ F E T トランジスタは、第 1 の導電型の半導体基板と、半導体基板表面においてその基板内に位置し、基板表面より第 1 の深さまで達する、第 2 の導電型のタブ領域とを有する。またこの短チャネル・フェルミ F E T トランジスタは、タブ領域内に位置する、第 2 の導電型の空間的に隔たったソース領域及びドレイン領域も含む。この空間的に隔たったソース領域及びドレイン領域は基板表面より第 1 の深さを越えて拡がり、さらに横方向に互いから離れて、タブ領域を越えて拡がる。空間的に隔たったソース領域及びドレイン領域の間において、タブ領域内に位置し、基板表面より前記第 1 の深さよりも小さい第 2 の深さまで達する、第 2 の導電型のチャンネル領域も含まれる。第 1 及び第 2 の深さの少なくとも一方は、ゲート電極がしきい値電位にあるときに、基板表面に垂直な静電界を、基板表面から第 2 の深さまでの間で最小化するように選ばれる。たとえば、従来の M O S F E T において静電界が  $10^5 \text{ V/cm}$  よりも大きいものに対して、短チャネル・フェルミ F E T では  $10^4 \text{ V/cm}$  の大きさの静電界を生成することが可能である。これとは対照的に、米国特許第 5 , 194 , 923 号及び米国特許第 5 , 369 , 295 号によるタブ F E T は  $10^3 \text{ V/cm}$  よりも小さい (またそれよりもかなり小さくなる) がしばしば起こる) 静電界を生成することができる。これは従来の M O S F E T に比較すれば基本的にゼロである。第 1 及び第 2 の深さは、半導体基板のフェルミ電位の 2 倍となる電界効果型トランジスタのしきい値電圧を生成するように選ぶことができ、さらに、しきい値電圧がゲート電極に印加された際に、第 2 の導電型のキャリアがチャンネル内を、第 2 の深さで、ソース領域からドレイン領域まで流れるようにすることができ、また、しきい値電圧を越える電圧がゲート電極に印加された際には、チャンネル内に反転層を生成させることなく、第 2 の深さから基板表面に向かって拡がりながら流れることができるように選ぶこともできる。トランジスタはさらにゲート絶縁層と、ソース接触子、ドレイン接触子、及びゲート接触子も含む。基板接触子も含むことができる。

集積回路電界効果型トランジスタの継続的な小型化によって、1 ミクロンをかなり下回る大きさまでチャネル長が減少した。この集積回路電界効果型トランジスタの継続的な小型化にしばしばかなり高い基板ドーピングレベルが要求される。高いドーピングレベルと、より小さな装置に必要とされるかもしれない減少した作動電圧によって、フェルミ F E T と従来の M O S F E T デバイスの両方のソース領域及びドレイン領域に付随した容量が大きく増大するかもしれない。

特に、フェルミ F E T が 1 ミクロン未満の大きさにされると、ソースにおけるドレイン誘導障壁降下 (D I B L (Drain Induced Barrier Lowering)) が増大するために、タブの深さがかなり浅くなってしまふ。残念ながら、短チャネル・フェルミ F E T について既に記述された変更を以てさえ、ドレイン誘導障壁降下及びトランジスタ漏れを制御するのに望ましい深さ及びドーピングレベルが製造するには困難なサイズに達するかもしれない。

さらに、チャンネル内における高いドーピングレベルによってキャリア移動度が減少するかもしれない、それによってフェルミ F E T 技術の高電流利点も減少するかもしれない。ドレイン電圧を減少させつつ、基板ドーピングレベルがより高まることによって接合容量も増大するかもしれない。

#### 発明の目的と概要

以上の説明から、本発明の目的は、改良されたフェルミしきい値電界効果型トランジスタ（フェルミ F E T (Fermi-threshold field effect transistor)）を提供することにある。

本発明の他の目的は、改良された金属酸化物半導体電界効果型トランジスタ（M O S F E T (metal oxide semiconductor feild effect transistor)）を提供することにある。

本発明の更に他の目的は、短チャンネル長に適合したフェルミ F E T 及び M O S F E T を提供することにある。

本発明の更に他の目的は、チャンネルの高いドーピングレベルを必要としない、かつ、超浅のタブの深さを必要としない、短チャンネル・フェルミ F E T 及び M O S F E T を提供することにある。

本発明のもう更に他の目的は、短チャンネル・フェルミ F E T 及び M O S F E T を製造する方法を提供することにある。

本発明によれば、これらの目的及び他の目的は、ドレインバイアスの結果としてソース領域からタブ領域内へのキャリアの注入を減少させるために、タブ領域内にソース領域及びドレイン領域との間でドレイン電界を終止させる手段（以下、ドレイン電界終止手段）を備えたフェルミ F E T によって実現される。今は亡きフェルミ F E T の発明者の記念に「ビナル F E T (Vinal-FET)」とここでは呼ばれる、ドレイン電界終止手段を備えた短チャンネル・フェルミ F E T は、フェルミ F E T と同様に、チャンネル内での低い垂直方向の電界をなお許容しながら、過度なドレイン誘導障壁降下を抑制する。加えて、ビナル F E T はかなりより高いキャリア移動度を実現し、同時にソース・ドレイン間接合容量を大きく減少させる。

ドレイン電界終止手段は、ソース領域とドレイン領域の間で、基板表面の真下にソース領域からドレイン領域まで広がる、埋め込まれたカウンタドープ（counterdoped）された層によって実現される。特に、ビナル F E T は、第 1 の導電型の半導体基板と、半導体基板の一表面においてその基板内に位置する第 2 の導電型のタブ領域を備える。第 2 の導電型の空間的に隔たったソース領域及びドレイン領域は前記半導体基板表面においてタブ領域内に含まれる。第 1 の導電型の埋め込まれたドレイン電界終止領域もまたタブ領域内に含まれる。ドレイン電界終止領域は基板表面の真下をソース領域からドレイン領域まで広がる。ゲート絶縁層と、ソース電極、ドレイン電極、及びゲート電極もまた含まれる。こうして、ビナル F E T は、ドレインのバイアスによってキャリアがソース領域からタブ領域内に注入されることを抑制する付加的なカウンタドープされた埋め込まれたドレイン電界終止領域を備えたフェルミ F E T と見做してもよい。

ビナル F E T は三重タブ構造と見做してもよい。特に、第 1 の導電型の半導体基板には、その半導体基板の一表面においてその基板内に位置し、その基板表面より基板内に第 1 の深さまで広がった、第 2 の導電型の第 1 のタブ領域が含まれる。第 1 の導電型の第 2 のタブ領域は、第 1 のタブ領域内に含まれ、かつ、基板表面より基板内に第 1 の深さ未満の第 2 の深さまで広がる。第 2 の導電型の第 3 のタブ領域は、第 2 のタブ領域内に含まれ、かつ、基板表面より基板内に第 2 の深さ未満の第 3 の深さまで広がる。第 2 の導電型の空間的に隔たったソース領域及びドレイン領域は第 1 のタブ領域内に含まれ、かつ、基板表面より基板内に第 3 の深さよりも大きい第 4 の深さまで広がる。ゲート絶縁層と、ソース電極、ドレイン電極、及びゲート電極も与えられる。トランジスタの実施の一態様において、ソース領域及びドレイン領域は、基板内に、第 3 深さよりも大きく第 2 の深さよりも小さな第 4 の深さまで投影される。他の実施の態様において、ソース領域及びドレイン領域は、基板内に、第 2 深さよりも大きく第 1 の深さよりも小さな第 4 の深さまで投影される。

ビナル F E T は、第 1 の導電型にある基板内で第 2 の導電型の空間的に隔たったソース領域及びドレイン領域の間に拡がった、3 枚の別個の層を備えた電界効果型トランジスタと見做してもよい。第 2 の導電型の第 1 の層は、ソース領域からドレイン領域まで拡がり、かつ、基板表面より基板内に第 1 の深さまで拡がる。第 1 の導電型の第 2 の層は、ソース領域からドレイン領域まで拡がり、かつ、基板表面より基板内に第 1 の深さから第 2 の深さまで拡がる。第 2 の導電型の第 3 の層は、ソース領域からドレイン領域まで拡がり、かつ、基板表面より基板内に第 2 の深さから第 3 の深さまで拡がる。ビナル F E T の第 1 の実施の態様において、ソース領域及びドレイン領域は半導体基板内にソース底及びドレイン底を有するとともに、第 2 及び第 3 の層は両方ともにソース底からドレイン底まで拡がる。ビナル F E T の第 2 の実施の態様において、第 3 の層のみがソース底からドレイン底まで拡がり、第 2 の層はソース側壁からドレイン側壁まで拡がる。

10

ドレイン電界終止手段は、タブ領域内に埋め込まれた第 1 の導電型の領域、第 1 のタブ領域内の第 1 の導電型の第 2 のタブ領域、又はソース及びドレインの間に拡がる第 1 の導電型の第 2 の層によって具体化され、チャンネル内での低い垂直方向の電界をなお許容しながら、過度なドレイン誘導障壁降下を抑制する。より高いキャリア移動度とソース・ドレイン接合容量の大きな減少が実現される。

ビナル F E T のドレイン電界終止手段は、従来に M O S F E T において、前記利点の少なくともいくつかを与えることができるように使用してもよい。特に、従来の M O S F E T は、第 1 の導電型の半導体基板と、その半導体基板の一表面においてその基板内に含まれる第 2 の導電型の空間的に隔たったソース領域及びドレイン領域とを備えてよい。第 1 の導電型の第 1 の層は、半導体基板の一表面においてその基板内に含まれ、ソース領域からドレイン領域まで拡がるとともに、基板表面より基板内に第 1 の深さまで拡がる。第 2 の導電型の第 2 の層は、基板内に含まれ、ソース領域からドレイン領域まで拡がるとともに、基板表面より基板内に第 1 の深さから第 2 の深さまで拡がる。第 2 の層、又は、第 1 及び第 2 の層は、第 1 及び第 2 のタブ領域をそれぞれ定義するためのソース底からドレイン底まで拡がってもよい。

20

ビナル F E T を製造する好ましい方法によれば、第 3 のタブ領域（又は第 1 の層）がエピタキシャル的に形成され、このためそれはドレイン電界終止領域（又は第 2 のタブ領域又は第 2 の層）に関してカウンタドープされることを必要としない。第 3 のタブ領域又は第 1 の層をエピタキシャル的に形成することによって、ある与えられたドーピングレベルに対してより高いキャリア移動度が得られる場合がある。従って、ビナル F E T を製造する好ましい方法には、基板表面から第 1 のタブ領域を埋め込むステップと、第 1 のタブ領域内に第 2 のタブ領域を埋め込むステップが含まれる。その後、エピタキシャル的な堆積が実行され、あるいは本来の場所にドーピング又は注入されて、第 2 のタブ領域内に第 3 のタブ領域が形成される。その後、多結晶ゲート電極が従来の技術を使って形成され、ソース領域及びドレイン領域が注入される。こうして、チャンネルのキャリア移動度が増大する。

30

#### 【図面の簡単な説明】

図 1 は米国特許出願第 0 8 / 0 3 7 , 6 3 6 号による N チャネル高電流フェルミ F E T の断面図である。

図 2 A は米国特許第 5 , 3 7 4 , 8 3 6 号による短チャンネル低漏れ電流フェルミ F E T の第 1 の実施態様を示した断面図である。

40

図 2 B は米国特許第 5 , 3 7 4 , 8 3 6 号による短チャンネル低漏れ電流フェルミ F E T の第 2 の実施態様を示した断面図である。

図 3 は米国特許出願第 0 8 / 0 3 7 , 6 3 6 号による N チャネル定域タブ・フェルミ F E T の断面図である。

図 4 は米国特許出願第 0 8 / 5 0 5 , 0 8 5 号による N チャネル短チャンネル・フェルミ F E T の断面図である。

図 5 は米国特許出願第 0 8 / 5 0 5 , 0 8 5 号による N チャネル短チャンネル・フェルミ F E T の第 2 の実施態様を示した断面図である。

図 6 は本発明によるビナル F E T の第 1 の実施態様を示した断面図である。

50



図 7 は本発明によるビナル F E T の第 2 の実施態様を示した断面図である。

図 8 は図 6 及び図 7 のビナル F E T のライン 8 - 8 に沿った正味のドーピングプロファイルをグラフ的に示した図である。

図 9 A 及び図 9 B は図 6 及び図 7 のライン 9 A - 9 A 及びライン 9 B - 9 B に沿った正味のドーピングプロファイルをそれぞれグラフ的に示した図である。

図 10、11、及び 12 は図 7 のビナル F E T に対するシミュレーション結果を示した図である。

図 13 は図 6 及び図 7 のビナル F E T のドレイン電界終止領域に対する最小の好ましいドーピングを示した図である。

図 14 は印加電圧に対するソース容量又はドレイン容量をグラフ的に示した図である。

図 15 A から 15 E は中間製作ステップにおける図 6 のビナル F E T の断面図である。

図 16 は全不純物濃度の関数としてシリコン内におけるキャリア移動度をグラフ的に示した図である。

図 17 及び図 18 は本発明による高性能 M O S F E T の断面図である。

#### 詳細な説明

以下、図面を参照して本発明の好ましい実施の形態をより詳細に説明する。本発明は、しかしながら、多くの形態において実施することが可能であり、以下に記述される実施形態に限定されるものではない。むしろ、これらの実施形態は開示を周到かつ徹底したものとし、当業者に向けて本発明の範囲を十分に明らかにすべく提供されるものである。図面では、分かりやすくするために層や領域の厚さが誇張して描かれている。また、類似部分には一貫して類似符号が付されている。

本発明によるドレイン電界終止領域を含む短チャネル・フェルミしきい値 F E T (「ビナル F E T」とも呼ばれる)を説明する前に、米国特許第 5, 194, 923 号及び第 5, 369, 295 号による、ゲート及び拡散容量の減少したフェルミしきい値 F E T (これは「低容量フェルミ F E T」又は「タブ F E T」とも呼ばれる)が、米国特許第 5, 374, 836 号による高電流フェルミしきい値 F E T とともに説明される。米国特許出願第 08/351, 643 号による定域タブ・フェルミ F E T もまた説明される。米国特許出願第 08/505, 085 号による短チャネル・フェルミ F E T もまた説明される。より完全な説明に関してはこれらの特許及び出願を参照するとよい。詳細については、それらの開示内容を参照する。本発明によるビナル F E T については以下に説明される。

(ゲート及び拡散容量の減少したフェルミ F E T)

ここではフェルミ・タブを含む低容量フェルミ F E T を概観する。それ以上の詳細については米国特許第 5, 194, 923 号及び第 5, 369, 295 号を参照することにする。

従来の M O S F E T デバイスにはキャリア伝導性を維持するために半導体表面に生成される反転層が必要とされる。この反転層の深さは一般的に 100 以下である。こうした環境のもと、ゲート容量は基本的にその厚さで分割されたゲート絶縁層の誘電率である。換言すれば、チャネル電荷は表面にあまりに近いため、基板の誘電体特性の効果はゲート容量を決定するのに重要ではない。

もし伝導キャリアがゲート下のチャネル領域内に閉じ込められるならば、ゲート容量は減少することが可能である。このときチャネル電荷の平均的深さにはゲート容量を計算するための基板の誘電率が含まれる必要がある。一般的に、低容量フェルミ F E T のゲート容量は次式によって与えられる。

$$C_g = \frac{1}{\frac{Y_f}{\beta \epsilon_s} + \frac{T_{ox}}{\epsilon_i}} \quad (1)$$

ここで、 $Y_f$  はフェルミ・チャネルと呼ばれる伝導チャネルの深さ、 $\epsilon_s$  は基板の誘電率、そして  $T_{ox}$  は表面下のフェルミ・チャネル内を流れる電荷の平均的深さを決定する因子である。 $Y_f$  はソースからチャネルに注入されたキャリアの深さに対する依存性に依存する。低容量フェルミ F E T では、 $Y_f \sim 2$  である。 $T_{ox}$  はゲート酸化物層の厚さ、 $\epsilon_i$  はその誘電

10

20

30

40

50

率である。

低容量フェルミ F E T には所定の深さを有するフェルミ・タブ領域が含まれる。このフェルミ・タブ領域は基板の導電型とは反対かつドレイン及びソースの導電型と同一の導電型を有する。フェルミ・タブは基板表面より所定の深さまで下方に拡がり、ドレイン及びソース拡散はこのフェルミ・タブ境界内部のフェルミ・タブ領域内に形成される。フェルミ・タブの好ましい深さはフェルミ・チャンネルの深さ  $Y_f$  と空乏の深さ  $Y_o$  との和である。所定の深さ  $Y_f$  と幅  $Z$  を有するフェルミ・チャンネル領域はソース拡散及びドレイン拡散の間に拡がる。フェルミ・チャンネルの導電率はゲート電極に印加される電圧によって制御される。

ゲート容量はフェルミ・チャンネルの深さと、フェルミ・チャンネル内におけるキャリア分布によって主に決定され、ゲート酸化物層の厚さには比較的依存しない。拡散容量は [ フェルミ・タブの深さと基板内における空乏の深さ  $Y_o$  との和 ] と拡散  $X_d$  の深さとの間の差に反比例的に依存する。拡散の深さはフェルミ・タブの深さ  $Y_f$  未満であることが好ましい。フェルミ・タブ領域のドーパント濃度はフェルミ・チャンネルの深さが M O S F E T 内の反転層の深さの 3 倍より大きくなるように選択することが好ましい。

よって、低容量フェルミ F E T には第 1 の表面を有する第 1 の導電型の半導体基板と、第 1 の表面においてその基板内に第 2 の導電型のフェルミ・タブ領域と、第 1 の表面においてフェルミ・タブ内に第 2 の導電型の空間的に隔てられたソース領域及びドレイン領域と、空間的に隔てられたソース領域及びドレイン領域の間に、第 1 の表面においてフェルミ・タブ領域内に第 2 の導電型のチャンネルが含まれる。チャンネルは第 1 の表面より第 1 の所定の深さ ( $Y_f$ ) まで達し、タブ領域はチャンネルより第 2 の所定の深さ ( $Y_o$ ) まで達する。ゲート絶縁層は空間的に隔てられたソース領域及びドレイン領域の間において、第 1 の表面においてその基板上に与えられる。ソース電極、ドレイン電極、及びゲート電極はソース領域及びドレイン領域とゲート絶縁層をそれぞれ電氣的に接触させるために与えられる。

少なくとも第 1 及び第 2 の所定の深さは、ゲート電極に電界効果型トランジスタのしきい値電圧を印加させた際に、第 1 の深さにおいて第 1 の表面に垂直な静電場がゼロとなるように選ばれる。第 1 及び第 2 の所定の深さは、ゲート電極に電界効果型トランジスタのしきい値電圧を越えた電圧が印加された際に、第 2 の導電型のキャリアがチャンネル内をソースからドレインに向かって、第 1 の所定の深さから第 1 の表面に向かって拡がりながら流れることができるようにも選ばれる。キャリアはフェルミ・タブ領域内に反転層を形成することなく、第 1 の表面の真下をソースからドレインに向かって流れる。第 1 及び第 2 の所定の深さは、ゲート絶縁層に隣接した基板表面において、基板接触子と基板との間の電圧とポリシリコンゲート電極とゲート電極との間の電圧との和に等しく逆の電圧を生み出すことができるようにも選ばれる。

基板がドーピング密度  $N_s$  でドーピングされ、かつ、ケルビン温度  $T$  度において固有キャリア濃度  $n_i$  誘電率  $\epsilon_s$  を有し、電界効果型トランジスタには電氣的に基板を接触させるための基板接触子が含まれ、チャンネルが基板表面から第 1 の所定の深さ  $Y_f$  で達し、フェルミ・タブ領域がチャンネルより第 2 の所定の深さ  $Y_o$  で達し、フェルミ・タブ領域が  $N_s$  の因子倍で与えられるドーピング密度でドーピングされ、ゲート電極にはドーピング密度  $N_p$  でドーピングされた第 1 の電導率型のポリシリコン層が含まれるとすると、第 1 の所定の深さ ( $Y_f$ ) は次式に等しいものとなる。

$$Y_f = \sqrt{\frac{2\epsilon_s}{qN_s\alpha} \frac{kT}{q} \ln\left(\frac{N_p}{N_s}\right)}, \quad (2)$$

ここで  $q$   $1.6 \times 10^{-19}$  クーロン、 $K$  は  $1.38 \times 10^{-23}$  ジュール / ケルビン (Joule / Kelvin) である。また第 2 の所定の深さ ( $Y_o$ ) は次式に等しいものとなる。

$$Y_o = \sqrt{\frac{2\epsilon_s\phi_s}{qN_s\alpha(\alpha+1)}}, \quad (3)$$

10

20

30

40

50

ここで、 $\phi_s$ は $\phi_f + (kT/q) \cdot \ln(\quad)$ に等しく、 $\phi_f$ は半導体基板のフェルミ電位である。

(高電流フェルミFETの構造)

図1には、米国特許第5,374,836号によるNチャネル高電流フェルミFETが示されている。Pチャネル・フェルミFETはN及びP領域の導電型を逆転させることによって得られることは当業者には明らかであろう。

図1に示されているように、高電流フェルミFET 20は、第1の導電型、ここではP型の、基板表面21aを含む半導体基板21内で製作される。第2の導電型、ここではN型の、フェルミ・タブ領域22は基板表面21aにおいて基板21内に形成される。空間的に隔てられたソース領域及びドレイン領域23、24は、それぞれ第2の導電型、こ  
10  
こではN型、を有し、基板表面21aにおいてフェルミ・タブ領域22内に形成される。このソース領域及びドレイン領域23、24を基板表面21aの溝(trench)内に形成することもできることは当業者には明らかであろう。

ゲート絶縁層26はソース領域及びドレイン領域23、24の間において、基板表面21aの基板21上にそれぞれ形成される。当業者には明らかなように、ゲート絶縁層は一般的に二酸化シリコンである。しかしながら、窒化シリコン及び他の絶縁体も使用可能である。

ゲート電極は基板21とは反対側のゲート絶縁層26上に形成される。ゲート電極は第1の導電型、ここではP型、の多結晶シリコン(ポリシリコン)からできたゲート電極であることが好ましい。導体ゲート電極層は一般的に金属ゲート電極層29であって、ゲ  
20  
ート絶縁層26とは反対側のポリシリコンゲート電極28上に形成される。ソース電極31及びドレイン電極32も、一般的に金属であって、ソース領域23及びドレイン領域24の上にそれぞれ形成される。

第1の導電型、ここではP型、の基板接触子33も図示されているようにフェルミ・タブ内又はタブ22の外側のいずれかにおける基板内21に形成される。図示されているように、基板接触子33はドーピングされた第1の導電型、ここではP型、であって、それには比較的重くドーピングされた33aと比較的軽くドーピングされた領域33bが含まれる。基板電極34によって基板への電氣的な接触が実現される。

これまでに図1に関して説明された構造は、米国特許第5,194,923号及び第5,369,295号による低容量フェルミFETに対応するものである。これらの出願に既  
30  
に説明されているように、チャネル36はソース領域及びドレイン領域23、24の間に生成される。図1中において $Y_f$ と記されたチャネルの表面21aからの深さと、図1において $Y_o$ と記されたチャネル底からフェルミ・タブ22の底までの深さは、基板21とタブ領域22とポリシリコンゲート電極28とのドーピングレベルとともに、前記(2)式及び(3)式の関係を使用して高性能の低容量電界効果型トランジスタを与えることができるように選ばれる。

また、図1には、第2の導電型、ここではN型、のソース・インジェクタ領域37aがソース領域23に隣接するとともにドレイン領域と対向するように与えられている。ソース・インジェクタ領域によって、キャリアがチャネル36に注入される深さを制御することにより高電流フェルミFETが与えられる。ソース・インジェクタ領域37aはソース  
40  
領域23とドレイン領域24との間にのみ拡がることことができる。図1に示されているように、ソース・インジェクタ領域はソース領域23を囲んでソース・インジェクタ・タブ領域37を形成することができるようになることが好ましい。またソース領域23を、その側面と底面の上をソース・インジェクタ・タブ領域37で完全に取り囲むことができる。あるいはまた、ソース領域23をその側面上でソース・インジェクタ・タブ領域37で取り囲み、底ではソース・インジェクタ・タブ領域37から突き出るようにすることもできる。あるいは更にまた、ソース・インジェクタ領域37aを基板21内で、フェルミ・タブ22と基板21との接合部にまで拡げることもできる。ドレイン・インジェクタ領域38a、好ましくはドレイン領域24を囲むドレイン・インジェクタ・タブ領域38も与えることが好ましい。

10

20

30

40

50

ソース・インジェクタ領域 37a 及びドレイン・インジェクタ領域 38a、又はソース・インジェクタ・タブ領域 37 及びドレイン・インジェクタ・タブ領域 38 は、フェルミ・タブ 22 の比較的低いドーピングレベルとソース 23 及びドレイン 24 の比較高いドーピングレベルの間にあるドーピングレベルでドーピングされた第 2 の導電型、ここでは N 型、であることが好ましい。このために、図 1 に示されているように、フェルミ・タブ 22 は N で記され、ソース及びドレイン・インジェクタ領域 37、38 は N+ で記され、ソース領域及びドレイン領域 23、24 は N++ で記される。接合型トランジスタはこのようにして形成される。

高電流フェルミ FET によって現状の FET の約 4 倍もの駆動電流が与えられる。ゲート容量は従来の FET デバイスの約半分である。ソース・インジェクタ・タブ領域 37 のドーピング濃度によってチャネル領域 36 に注入されるキャリアの深さが、一般的に 1000 にまで制御される。ソース・インジェクタ・タブ領域 37 のドーピング濃度は一般的に  $2 \times 10^{18}$  であり、注入された主たるキャリアの望ましい最大深さと少なくとも同程度の深さを好ましく持つ。あるいはまた、以下に記述されるように、ソース・インジェクタ・タブ領域 37 はフェルミ・タブ領域 22 と同程度の深さにまで達してサブスレショルド漏れ電流を最小化することができる。チャネル 36 に注入されたキャリア濃度はドレインと対向するソース・インジェクタ領域 37a のドーピング濃度を超えることはできないことが示される。ソース・インジェクタ領域 37a のドレインと対向する部分の幅は一般的に  $0.05 \sim 0.15 \mu\text{m}$  の範囲内にある。ソース領域及びドレイン領域 23、24 のドーピング濃度はそれぞれ、一般的に  $1 \times 10^{19}$  以上である。フェルミ・タブ 22 の深さ  $Y_T = (Y_f + Y_o)$  はドーピング濃度が近似的に  $1.8 \times 10^{16}$  であれば近似的に 2200 である。

図 1 に示されているように、高電流フェルミ FET 20 は基板表面 21a 上にゲート側壁スペーサ 41 も含むことができ、これはソース・インジェクタ領域 37a に隣接するところからポリシリコンゲート電極 28 に隣接するところまで広がる。ゲート側壁スペーサ 41 はドレイン・インジェクタ領域 38a に隣接するところからポリシリコン・ゲート・インジェクタ領域 28 に隣接するところまでも好ましく広がっている。特に、図 1 に示されているように、ゲート側壁スペーサ 41 はポリシリコン・ゲート電極の側壁 28a から拡がり、ソース及びドレイン・インジェクタ領域 37a、38a それぞれの上に横たわる。ゲート側壁スペーサ 41 はポリシリコン・ゲート電極 28 を取り囲むようにすることが好ましい。また、以下詳細に説明されるように、ゲート絶縁層 26 は基板表面 21a 上でソース・インジェクタ領域 37a 及びドレイン・インジェクタ領域 38a 上に張り出し、ゲート側壁スペーサ 41 もソース・インジェクタ領域 37 及びドレイン・インジェクタ領域 38 上に張り出すようにすることが好ましい。

ゲート側壁スペーサ 41 によって以下に説明する仕方でフェルミ FET 20 のピンチオフ電圧が下がるとともに飽和電流が増大する。ゲート側壁スペーサはゲート絶縁層 26 の誘電率よりも大きな誘電率を有する絶縁体であることが好ましい。このため、たとえばゲート絶縁層 26 が二酸化シリコンならば、ゲート側壁スペーサは窒化シリコンであることが好ましい。ゲート絶縁層 26 が窒化シリコンであるならば、ゲート側壁スペーサは窒化シリコンの誘電率よりも大きな誘電率の絶縁体であることが好ましい。

図 1 に示されているように、ゲート側壁スペーサ 41 はソース領域及びドレイン領域 23、24 それぞれの上に拡がることもでき、ソース電極及びドレイン電極 31、32 はそれぞれ、ゲート側壁スペーサ領域の拡張部内に形成することができる。従来の電界酸化物又は他の絶縁体領域 42 によってソース接触子、ドレイン接触子、及び基板の接触子が分離される。ゲート側壁スペーサの外側表面 41a は断面図において湾曲しているように図示されているが、三角形の断面積を生じさせる直線的な外部表面あるいは長方形の断面積を生じさせる直角的な外部表面などの、他の形状も使用することができることも当業者には理解できよう。

(低漏れ電流フェルミしきい値電界効果型トランジスタ)

ここでは図 2A 及び図 2B を参照して、米国特許第 5,374,836 号による、短チャ

10

20

30

40

50

ネルを有し、低漏れ電流を生み出すフェルミ F E T を説明する。これらのデバイスを、以下、「低漏れ電流フェルミ F E T」と呼ぶことにする。図 2 A の低漏れ電流フェルミ F E T 5 0 には第 1 の導電型、ここでは P 型、を有するとともに基板 2 1 と比較して高い濃度でドーピングされた、底漏れ電流制御領域 5 1 が含まれる。このため、図 2 A には P + と記されている。図 2 B の低漏れ電流フェルミ F E T 6 0 には、フェルミ・タブ 2 2 の深さにまで好ましく達する、拡張されたソース及びドレイン・インジェクタ領域 3 7 a、3 8 a が含まれる。

図 2 A において、底漏れ電流制御領域 5 1 はソース領域及びドレイン領域 2 3、2 4 の対向する終端の延長部分の間を基板 2 1 を横切って拡がり、かつ、フェルミ・タブ 2 2 の深さの上部からフェルミ・タブ 2 2 の深さの下部に拡がる。またそれはフェルミ・チャンネル 3 6 の下方、かつそれと一列に並ぶような位置にある。前記数式との関連に関して言えば、フェルミ・チャンネル 3 6 から底漏れ電流制御領域 5 1 の上端までの深さは  $Y_0$  でラベル付けされている。図 2 A のフェルミ F E T の残りののは、チャンネルがより短くなっているということを除けば、図 1 のものと同一である。図 2 A のデバイスの高電流特性を持たない低漏れ電流低容量の短チャンネル・フェルミ F E T を提供するために、ゲート側壁スペーサ領域 4 1 とともに、インジェクタ領域 3 7 a 及び 3 8 a と（又は）インジェクタ・タブ 3 7 及び 3 8 を省略することができることは当業者には理解できよう。

底漏れ電流制御領域 5 1 によって短チャンネル・フェルミ F E T におけるドレイン誘導注入が最小化される。すなわち、これらのフェルミ F E T は、低い拡散空乏容量を維持しながら、近似的に  $0.5 \mu\text{m}$  のチャンネル長を有する。たとえば、5 ボルトでは、 $3 \times 10^{-13}$  A 以下に漏れ電流を維持できる。

底漏れ電流制御領域は (2) 式及び (3) 式を使用して設計することができる。ここで図 2 A と図 2 B に示されているように、 $Y_0$  はチャンネルから底漏れ電流制御領域の上端部までの深さである。因子 は底漏れ電流制御領域 5 1 の P + ドーピングとフェルミ・タブ 2 2 の N ドーピングとの間の比である。因子 は底漏れ電流制御領域内、すなわちゲート 2 8 の下方で約 0.15 に設定することが好ましい。ソース領域及びドレイン領域 2 3、2 4 の下では、因子 は拡散空乏容量を最小化するために 1.0 に設定する。換言すれば、基板 2 1 とフェルミ・タブ 2 2 のドーピング濃度はソース領域及びドレイン領域の下方ではほぼ等しい。従って、前記設計パラメータと  $0.5 \mu\text{m}$  のチャンネル長に対して、底漏れ制御領域 5 1 内のドーピング濃度は近似的に  $5 \times 10^{17}$  となり、5 ボルトのドレイン又はソース拡散電位が与えられたタブ接合領域で部分的な空乏化を維持（サポート）するには十分な深さである。

図 2 B において、底漏れ制御の代替となる設計ではソース・インジェクタ領域 3 7 a とドレイン・インジェクタ領域 3 8 a の深さがフェルミ・タブの深さ ( $Y_f + Y_0$ ) まで達することが好ましい。図 2 B に示されているように、ソース・インジェクタ・タブ 3 7 及びドレイン・インジェクタ・タブ 3 8 の全体的な深さはフェルミ・タブの深さまで達するのが好ましい。インジェクタ・タブ 3 7 及び 3 8 の底とフェルミ・タブ 2 2 の底との間の間隔距離はチャンネル長の半分未満で、ゼロに近づくことが好ましい。これらの条件のもとでは、インジェクタ領域 3 7 及び 3 8 は約  $1.5 \times 10^{18} / \text{cm}^3$  のドーピング濃度を有する。基板接触子領域 3 3 b の深さもフェルミ・タブの深さに近づくようにすることが好ましい。図 2 B のフェルミ F E T 6 0 の残りは、短チャンネルが描かれていること以外は図 1 のものと同一である。

（定域タブ・フェルミしきい値電界効果型トランジスタ）

ここでは図 3 を参照して、米国出願第 08 / 037,636 号による定域タブ・フェルミ F E T を説明する。P チャンネル・フェルミ F E T は N 及び P 領域の導電型を逆転することによって得られることは当業者には理解できよう。図 3 に示されているように、定域タブ・フェルミ F E T 2 0 は、図 1 の一様な深さを有するタブ 2 2 ではなく定域タブ 2 2 が存在するということを除けば、図 1 の高電流フェルミ F E T 2 0 と同様である。インジェクタ・タブ及びインジェクタ・領域は存在するけれども図示されていない。

図 3 において、定域タブ 2 2 ' は、基板表面 2 1 a から空間的に隔てられたソース領域及

10

20

30

40

50

びドレイン領域 23、24 の少なくとも一方の下方にそれぞれ第 1 の所定の深さ  $Y_1$  まで達する。定域タブ 22' は、また、基板表面 21a からチャネル領域 36 の下方に第 2 の所定の深さ  $Y_2$  まで達する。本発明によれば、定域タブ 22' を形成するのに、 $Y_2$  は  $Y_1$  とは異っており、また  $Y_2$  は  $Y_1$  未満であることが好ましい。別の言い方をすれば、タブ 22' と基板 21 との間の接合が、ソース領域及びドレイン領域 23 と 24 から離れるように、チャネル下のタブ FET 基準によって指図される位置よりも下方に押し下げられ、ソースあるいはドレインの拡散容量が減少する。こうして定域タブ・フェルミ FET が低電圧で動作することが可能となる。タブ 22' がソース領域 23 又はドレイン領域 24 のどちらかの下方に輪郭が描かれるだけだと、非対称的なデバイスが生み出されることは当業者には理解されよう。しかしながら、ソース領域及びドレイン領域の下方にタブの輪郭が描かれる対称的なデバイスが好ましく形成される。

10

第 2 の所定の深さ  $Y_2$  は米国特許第 5,194,923 号と米国特許第 5,369,295 号による低容量フェルミ FET (タブ FET) の基準に基づいて決定される。これらの基準は深さ  $Y_f$  及び  $Y_o$  を決定し、それらが一緒になって第 2 の所定の深さ  $Y_2$  を形成するものであって、既に説明がなされている。

第 1 の所定の深さ  $Y_1$  は第 2 の所定の深さ  $Y_2$  よりも大きくなるように選ばれる。第 1 の所定の深さも、ゼロ電圧がソース接触子 31 とドレイン接触子 32 にそれぞれ印加された際に、第 1 の所定の深さ  $Y_1$  とソース及び / 又はドレイン領域の間のタブ領域 22' が空乏化されるように選ばれるのが好ましい。かくして、 $Y_n$  でラベル付けされた領域全体はゼロのソース・バイアス又はドレイン・バイアスのもとで全体的に空乏化されるのが好ましい。この基準に基づいて、 $Y_1$  が次式で決定される。

20

$$Y_n = \sqrt{\frac{kT}{q} \ln \left( \frac{N_{sub} N_{tub}}{n_i^2} \right) \frac{2\epsilon_s}{q N_{sub}} \frac{1}{\left( 1 + \frac{N_{sub}}{N_{tub}} \right)}} \quad (4)$$

ここで  $N_{sub}$  は基板 21 のドーピング濃度、 $N_{tub}$  は定域タブ 22' のドーピング濃度である。

(短チャネル・フェルミ FET)

図 4 は米国特許出願第 08/505,085 号による短チャネル・Nチャネル・フェルミ FET 20 を示した図である。P 短チャネル・フェルミ FET は N 及び P 領域の導電型を逆転させることによって得られることは当業者には理解できよう。図 4 に示されているように、フェルミ・タブ 22 は基板表面 21a より第 1 の深さ ( $Y_f + Y_o$ ) まで達する。空間的に隔てられたソース領域及びドレイン領域 23、24 はそれぞれ、領域 23a と 24a によって図示されているように、タブ領域の中に位置する。しかしながら、ソース領域及びドレイン領域 23、24 は更にそれぞれ基板表面 21a よりタブの深さを越えたところまで拡がる。ソース領域及びドレイン領域 23、24 は更にまた横方向に基板表面 21a に沿って、タブ領域を越えたところまで拡がる。

30

チャネルの深さ  $Y_f$  とチャネルからのタブの深さ  $Y_o$  は、ゲート電極がしきい値電位にあるときに、基板表面から深さ  $Y_f$  までのチャネル 36 内において基板表面に垂直な静電場を最小化するように選ばれる。既に説明されたように、これらの深さはまた、半導体基板 21 のフェルミ電位の 2 倍にある電界効果型トランジスタのしきい値電圧を生み出すことができるようにも好ましく選ばれる。これらの深さはまた、ゲート電極に電界効果型トランジスタのしきい値電圧を越える電圧が印加された際に、第 2 の導電型のキャリアが深さ  $Y_f$  から基板表面 21a に向かって拡がりながら、ソース領域からドレイン領域までチャネル内を流れることができるようにも選ばれる。キャリアはチャネル領域内を、チャネル内に反転層を生成することなく基板表面の下をソース領域からドレイン領域まで流れる。従って、最適ではないが、図 4 のデバイスではなお、オフ状態でのゲート容量がかなり減少するとともに、従来の MOSFET トランジスタよりかなり高い飽和電流を生成することができる。ドレイン容量は標準的な MOSFET デバイスと同様となる。

40

図 4 において、ソース領域及びドレイン領域が基板表面に垂直な深さ方向にタブ領域を越

50

えて拡がるとともに、基板表面 2 1 a と平行に横方向にも拡がっていることが理解できる。しかしながら、寄生側壁容量 (parasitic sidewall capacitance) を減少させるためには、タブ 2 2 が横方向にソース領域及びドレイン領域を越えて拡がることが好ましい。その結果、ソース領域及びドレイン領域はただ深さ方向にタブを通して突き出る形となる。

図 5 には米国特許出願第 0 8 / 5 0 5 , 0 8 5 号による短チャネル・フェルミ F E T の第 2 の実施形態が図示されている。トランジスタ 2 0 は、ソース及びドレイン拡張領域 2 3 b 及び 2 4 b がそれぞれ基板表面 2 1 a において基板 2 1 内にソース領域及びドレイン領域 2 3 、 2 4 にそれぞれ隣接する様に、しかもチャネル 3 6 内まで拡がるように与えられていること以外、図 4 のトランジスタ 2 0 に類似している。

図 5 に示されているように、ソース及びドレイン拡張領域 2 3 b 、 2 4 b はそれぞれが、ソース領域及びドレイン領域 2 3 、 2 4 の濃度と近似的に同じ濃度で重くドーピング ( N + ) されている。拡張 2 3 b 、 2 4 b は従来の M O S F E T の軽くドーピングされたドレイン構造ほど軽くはドーピングされてはいないことは理解できよう。むしろ、それらはソース領域及びドレイン領域と同じドーピング濃度でドーピングされており、漏れを減少させ、飽和電流を改善することができる程度に实际的であることが好ましい。

ソース及びドレイン拡張領域 2 3 b 、 2 4 b によって前記電荷共有によるドレイン電圧に対する感度が減少する。残念ながら、図 5 のデバイスは一般的に図 1 及び図 2 の十分に囲まれたソース領域及びドレイン領域ほど低い容量を示さない。ソース及びドレイン拡張領域 2 3 b 、 2 4 b の大きさを維持するため、ソース領域及びドレイン領域そのものに対して使用されるような軽く、速く移動するドーパントではなく、ヒ素又はインジウムのような重く、遅く移動するドーパントをソース及びドレイン拡張領域に対して使用することが好ましいことは当業者には理解できよう。

( ドレイン電界終止領域を有する短チャネル・フェルミ F E T )

以下、本発明による、ピナル F E T と呼ばれる、短チャネル・フェルミしきい値電界効果型トランジスタの構造を説明する。当業者であれば、P 型チャネル・ピナル F E T は N 型領域と P 型領域の導電型を逆転させることによって得られることは理解できよう。

図 6 及び図 7 はそれぞれピナル F E T の第 1 及び第 2 の実施態様を示している。図 6 に示されているように、ピナル F E T 6 0 は第 1 の導電型、ここでは P 型、の半導体基板 2 1 を備える。当業者であれば、半導体基板 2 1 は主要な半導体基板上に形成された一層以上のエピタキシャル層を含み、それによって基板表面 2 1 a が主要となる半導体素材の外側表面ではなくエピタキシャル層の外側表面となるように構成してもよいことは理解できよう。

なお図 6 において、第 2 の導電型 ( ここでは N 型 ) の第 1 のタブ領域 6 2 は半導体基板 2 1 の表面 2 1 a において基板内に形成され、基板表面 2 1 a より基板内に第 3 の深さ  $Y_3$  まで拡がる。第 1 の導電型 ( ここでは P 型 ) の第 2 のタブ領域 6 4 は第 1 のタブ領域 6 2 内に含まれる。第 2 のタブ領域 6 4 は基板表面 2 1 a より基板 2 1 内に第 3 の深さ  $Y_3$  未満の第 2 の深さ  $Y_2$  まで拡がる。第 1 のタブ領域 6 2 内にある第 2 のタブ領域 6 4 は第 1 のタブ領域を越えて横方向に拡がってもよい。第 2 のタブ領域 6 4 は以下で説明されるドレイン電界終止 ( D F T ( Drain Field Terminating ) ) 領域を形成する。第 2 の導電型 ( ここでは N 型 ) の第 3 のタブ領域 6 6 は第 2 のタブ領域 6 4 に含まれる。第 3 のタブ領域 6 6 は基板表面 2 1 a より基板 2 1 内に第 2 の深さ  $Y_2$  未満の第 1 の深さ  $Y_1$  まで拡がる。第 3 のタブ領域 6 6 は以下で説明されるようにエピタキシャル層内に形成されるのが好ましい。

なお図 6 を参照すれば、第 2 の導電型 ( ここでは N + 型 ) の空間的に隔たったソース領域 2 3 及びドレイン領域 2 4 がそれぞれ第 1 のタブ領域 6 2 内に形成され、基板表面 2 1 a より基板 2 1 内に第 4 の深さ  $Y_4$  まで拡がる。図 6 に示されているように、第 4 の深さ  $Y_4$  は第 1 の深さ  $Y_1$  よりも大きい。図 6 に示されているように、第 4 の深さ  $Y_4$  は第 2 の深さ  $Y_2$  よりも大きくもあるが、しかし第 3 の深さ  $Y_3$  よりも小さい。従って、ソース拡散及びドレイン拡散 2 3 、 2 4 はそれぞれ第 3 及び第 2 のタブ領域 6 6 、 6 4 を貫通し、第 1 の

タブ領域 6 2 内に広がる。図 7 に示されているようなビナル F E T 6 0 ' の第 2 の実施態様において、第 4 の深さ  $Y_4$  は第 1 の深さ  $Y_1$  よりも大きく、しかし第 2 の深さ  $Y_2$  より小さい。その結果、ソース拡散及びドレイン拡散 2 3、2 4 は第 3 のタブ領域 6 6 を貫通し、第 2 のタブ領域 6 4 内に広がるが、第 1 のタブ領域 6 2 には達しない。

図 6 及び図 7 それぞれのビナル F E T トランジスタ 6 0 及び 6 0 ' はゲート絶縁層 2 6 と、第 1 の導電型（ここでは P 型）の多結晶シリコン層 2 8 を含むゲート電極も含む。ソース接触子、ゲート接触子及びドレイン接触子 3 1、2 9、3 2 もまた既に説明したように含まれる。基板接触子は表面 2 1 a の反対側に示されているが、以前の実施態様におけるもののよう表面 2 1 a に隣接するように形成してもよい。

図 6 及び図 7 のビナル F E T 6 0 及び 6 0 ' はソース領域及びドレイン領域 2 4 の間に広がる、基板 2 1 内の層という観点からも説明してよい。この観点から見ると、第 3 のタブ 6 6 は基板表面においてその基板内に、ソース領域 2 3 からドレイン領域 2 4 の間に広がるとともに基板表面から基板内に第 1 の深さ  $Y_1$  まで広がる、第 2 の導電型の第 1 の層 6 6 a を生み出す。第 2 のタブ領域 6 4 は基板内に、ソース領域 2 3 からドレイン領域 2 4 の間に広がるとともに基板内に基板表面からの第 1 の深さ  $Y_1$  から第 2 の深さ  $Y_2$  まで広がる、第 1 の導電型の第 2 の層 6 4 a を生み出す。第 2 の層 6 4 a は以下説明されるようなドレイン電界終止手段として作用する。第 1 のタブ 6 2 は基板内に、ソース領域 2 3 からドレイン領域 2 4 の間に広がるとともに基板内に基板表面からの第 2 の深さ  $Y_2$  から第 3 の深さ  $Y_3$  まで広がる、第 2 の導電型の第 3 の層 6 2 a を生み出す。

このように見ると、図 6 の実施態様では、第 3 の層 6 2 a は、領域 6 2 b で示されているようにソース底 2 3 a からドレイン底 2 4 a まで広がっていてもいる。図 7 の実施態様では、第 2 及び第 3 の層 6 4 a、6 2 a は、それぞれ領域 6 4 b 及び 6 2 b で示されているように、両方ともソース底 2 3 a からドレイン底 2 4 a まで広がっている。

図 6 及び図 7 のビナル F E T は、もともとのタブ内のカウンタドープされた埋め込まれたタブ 6 4 を含むタブ F E T と見做してもよい。あるいはその代わりに、ビナル F E T はチャネル領域 6 6 a の真下に第 1 の導電型の埋込層 6 4 a を含むタブ F E T と見做してもよい。以下に詳細に説明されるように、第 2 の層 6 4 a を含む第 2 のタブ 6 4 は、印加されたドレインバイアスによってキャリアがソース領域からチャネル領域内又はチャネル領域の下に注入されることを抑制することによってソース領域をシールドするためのドレイン電界終止手段（D F T）として作用する。従って、第 2 のタブ 6 4 と第 2 の層 6 4 a はドレイン電界終止（D F T（Drain Field Termination））領域とも呼ばれる。

（ビナル F E T の動作）

以下、図 6 及び図 7 のビナル F E T トランジスタ 6 0、6 0 ' の動作を説明する。ビナル F E T はフェルミ F E T と同様に、チャネル内で垂直方向の低電界をなお許容しながら、過度のドレイン誘導障壁降下（D I B L（Drain Incuced Barrier Lowering））を抑制する。加えて、ビナル F E T はよりかなり高い移動度を実現し、ソース・ドレイン間接合容量も減少させる。ビナル F E T は、寄生的な高容量なしに合理的なソース及びドレインの深さも実現する、非常に薄い、非常に低いアルファ値を有するフェルミ F E T トランジスタと見做してよい。

ビナル F E T デバイスにはドレイン電界終止（D F T）領域が第 2 のタブ 6 4 又は第 2 の層 6 4 a の形態で含まれる。D F T 領域は（特に図 7 の構造に対して）ソース領域 2 3 に対する遮蔽（シールド）として作用し、それによって、バイアスが接触子 3 2 に印加された結果としてのキャリアのソース領域から第 1 の層 6 6 a に対応するチャネルの中又は下への注入が減少し、かつ好ましく抑制される。

第 1 のタブ 6 2 は D F T 領域（深さ  $Y_2$ ）の底縁（bottom edge）を構成して、それが無かったらデバイスしきい値を増大させるかもしれない D F T 領域の余分なドーパントの効果を減少させることを助ける。第 1 のタブ 6 2 はソース領域及びドレイン領域に付随する容量をかなり低下させる場合もある。この容量は図 6 のトランジスタ 6 0 のソース領域及びドレイン領域の双方に存在する。図 7 のトランジスタ 6 0 ' では、初期的な（ゼロのバイアスが印加された）ソース容量はソース：D F T 領域（2 3：6 4 b）間接合によって決

10

20

30

40

50



定されるが、しかしソース電位が増大すると、残存するD F Tのドーパント原子はソース領域の下領域で空乏化され、接合容量が急速に降下する。

ドレイン誘導キャリア注入(Drain induced carrier injection)によって短チャネル・フェルミF E Tデバイスが、チャネルがより短くなるような理想的な状態から離れてしまった。既に説明したように、フェルミF E Tにおける望まれない漏れを減少させるために、タブ領域は薄くされ、そして/又は、基板ドーピングレベルが増大され、それによってトランジスタのしきい値の減少も引き起こされる。

チャネル長が1/2ミクロンより短くなるように継続的に小型化するには、動作電圧をより低くする必要があるが、しかし、ソースとドレイン間の距離をより小さくすればソース拡散におけるドレイン電界の強さが一層増大する。動作電圧を低下させることによって、しきい値電圧の有効なオーバーヘッドが減少し、それによって短チャネル・フェルミF E Tさえ高いしきい値又は高い漏れのどちらかによる性能損失に悩まされ始める。

それとは対照的に、本発明によるピナルF E Tによれば、ソース領域及びドレイン領域の間における第1の層66a及び第2(D F T)の層64aから生み出される、低垂直電界、低しきい値のフェルミF E T型領域が提供される。D F T領域はソース拡散及びドレイン拡散の間の漏れを減少させ、かつ好ましく抑制させることができるほど十分に深い。D F T領域は、ソース領域及びドレイン領域の間の領域が正常な動作条件の下で十分に空乏化されないように構成されることが好ましい。空乏化されないドーパント原子はドレイン電界終止サイトとして作用し、ドレイン電界がソース電極に到達することを抑制する。

図8は、図6及び図7のピナルF E Tに対する、ソース及びドレイン間での基板表面21aに垂直な8-8'ラインに沿った、正味のドーピングプロファイルをグラフ的に示している。図8はまた、正味のドーピングプロファイルを生成するのに使用できる、個々のドーパント要素(ホウ素、リン)の分布もグラフ的に示している。図9A及び図9Bは、ソース領域又はドレイン領域内での、基板表面に垂直な9A-9A'ライン及び9B-9B'ラインにそれぞれ沿った、正味のドーピングプロファイルを示している。図9Aは、図6のピナルF E T 60に対する正味のドーピングプロファイルを示しており、図9Bは、図7のピナルF E T 60'に対する正味のドーピングプロファイルを示している。

極めて短いデバイスにおいて、薄い第3のタブ62によって低い漏れ及び/又は低いしきい値が実現される。従って、初期的なピナルF E Tデバイスは0.25μmの引込チャネル(drawn channel)と、60のゲート酸化物と、2.5ボルトの最大ドレイン電圧とを使ってシミュレーションされた。

図10はP I S C E S 2シミュレーションにおけるピナルF E Tの断面図である。図10は移動キャリアについて基板の空乏化された領域を示している。 $1 \times 10^{10} / \text{cm}^3$ より大きな電子及びホールが示されている。接触子の位置も示されている。シミュレーションの条件は $V_s = V_b = V_g = 0$ ボルト及び $V_d = 2.5$ ボルトである。 $V_s$ 、 $V_b$ 、 $V_g$ 、 $V_d$ はそれぞれソース、基板、ゲート、及びドレインにそれぞれ印加される電圧である。

図10は図7のNチャネル・ピナルF E Tの空乏化されていないシリコンを示している。図7のピナルF E T 60は図6のピナルF E T 60と比較して、与えられた回線幅としきい値電圧に対して漏れが低下する電位を有する。この性能の改善に対して不利な点もあり、それは図6によるデバイスよりもかなり薄くなった空乏領域を有する、ソース：D F T間接合によってドレイン容量がやや高くなる場合があるということである。図10において、ソース電極は左側にある。ソース電極、ゲート電極、及び基板電極はゼロボルトにあり、そしてドレイン電極は2.5ボルトにある。トランジスタは「オフ」状態にある。断面図の中の細かい平行線を引かれた領域は自由ホール濃度が $1 \times 10^{10}$ ホール/ $\text{cm}^3$ より大きな領域に対応する。ドットのある影の領域は電子濃度が $1 \times 10^{10}$ 個/ $\text{cm}^3$ より大きな領域に対応する。それゆえ、影のない領域は移動電荷が十分に空乏かされたとは仮定される。すなわち、キャリア濃度は固有レベル $n_i$ 、 $1.45 \times 10^{10}$ 個/ $\text{cm}^3$ 未満である。PN接合は点線で表されている。図10には3つ存在する。

図10に示されているように、たとえチャネル領域のドーピングがソース領域及びドレイン領域のドーピングに一致しても、D F T構造のドーピング及びスペーシングは、ソース

10

20

30

40

50

領域とドレイン領域との間の領域が自由ホール過多 (aexcess of free holes) を含むように決められる。これによってチャネル容積において電界終止サイトとして作用するのに必要とされる自由キャリアが供給され、漏れを増大させかねないソース領域から注入されるキャリアの数が大きく減少される。また、ドレイン領域の下の方の空乏領域にも注目する。第1のタブ構造62は全体の空乏幅を大きく拡大し、接合容量をかなり低下させる。

図11は、ゲート電極のバイアスが近似的にしきい値電圧(約0.550ボルト)にあることを除けば、図10と同一視される。図11には、 $1 \times 10^{13} / \text{cm}^3$ より大きな電子と、 $1 \times 10^{10} / \text{cm}^3$ より大きなホールが示されている。これらの条件下で、チャネル領域はちょうど第3のタブ: DFT間接合の近くに形成される。ソース拡散とドレイン拡散との間の第3のタブにある影の領域はおおよそ中性のシリコンである。この領域におけるキャリアは印加されたドレインバイアスだけの影響を受ける。図12も、 $V_g = 2.5$ ボルトに設定されたゲート電極上のゲートバイアスを除けば、図9と同一視される。 $1 \times 10^{15} / \text{cm}^3$ より大きな電子と、 $1 \times 10^{10} / \text{cm}^3$ より大きなホールが示されている。この図は飽和状態にあるトランジスタを示している。チャネル領域の大部分は、ソース領域から注入されたキャリア過多となっている。これらの伝導キャリアは印加されたドレインバイアスと、ゲートバイアスのしきい値より上の部分( $V_g - V_t$ )の両方の影響を受ける。

DFT領域64aのドーピングには3つの条件が含まれることが好ましい。最初に、DFTはその上のチャネル領域66aを十分に空乏化するのに正確に十分な少数電荷を供給する。この電荷は次式で与えられる。

$$N_{cdep} = \bar{N}_c Y_1 \quad (5)$$

ここで $N_c$ はチャネル領域における平均ドーピング(濃度)を表す。 $Y_1$ はチャネルの深さである。しかしながら、ソースとドレイン領域が十分に空乏化されるのに十分な電荷が存在することが好ましいという他の制約が存在する。各領域は次式のようにDFTの体積を空乏化する。

$$W_{DFT} = \sqrt{\frac{2\epsilon_s N^+ \phi_b + V_a}{q N_{DFT} (N_{DFT} + N^+)}} \quad , \quad \text{ここで、} \quad \phi_b = \frac{kT}{q} \ln \left( \frac{N^+}{N_{DFT}} \right) \quad (6)$$

ここで、 $N_{DFT}$ 及び $N^+$ はそれぞれDFT領域64aのドーピング及びソース領域及びドレイン領域23、24のドーピングを表す。また、 $V_a$ は拡散(ソース又はドレインのどちらか)に印加された基板に関する電圧を表す。上記(5)式で要求される電荷が、最大電位にある拡散によって形成される接合を満足するのに必要とされものと比較して小さいことを示すことができると仮定すると、近似的な最小NDFTは有効幅( $L_{eff}$ )の近似的に40%を消費するであろう濃度と仮定してよい。

(6)式の $W_{DFT}$ を $0.4 * L_{eff}$ に設定し、 $V_a$ を $V_d$ に設定すると、(6)式は次式のように $N_{DFT}$ について解くことができる。

$$N_{DFT} = \frac{2\epsilon_s (\phi_b + V_d)}{q (0.4 L_{eff})^2} \quad (7)$$

(7)式は、 $Y_1$ から $Y_1$ の近似的に150%までの、ソース拡散とドレイン拡散との間のDFT構造のドーピングレベルに対する最小必要条件を表している。PISCES2シミュレーションは、DFT構造の最大ドーピングレベルに対応する深さが近似的に $Y_2$ であるときに、漏れが非常に低いデバイスを示した。ソース拡散及びドレイン拡散の下の方の空乏化が残存するDFT電荷を十分に空乏化し、かつ、付加的な拡散電位が、最低位タブの下の方の基板電荷上で近似的に0.5ボルトに終わり始めるように、( $1.5 Y_1$ から $Y_2$ までの)DFT構造の底部分のプロフィールと第1のタブ構造の密度と幅を設定することによって、ソース容量及びドレイン容量を最適化してよい。

図13は(7)式によるDFTの最上部の好ましいドーピング(濃度)を示した図である。動作電圧が2から5ボルトでの、 $0.2 \mu\text{m}$ から $0.6 \mu\text{m}$ までのチャネル長が示されており、SUPREM4シミュレーションとPISCES2シミュレーションの結果と一致

10

20

30

40

50

することが示されている。

第1のタブ62は深さ $Y_2$ から深さ $Y_3$ まで拡がり、DFT領域によって空乏化されるように設計されるべきであるという点で第3のタブ66に類似している。第1のタブ62の幅を増大させることは接合容量に対して正の効果を与えるが、しかし次に最大の望ましい深さに到達することが好ましいことが示される。第1のタブ66の幅が広がるとついには、ソース及びドレイン電極の印加バイアスによって生み出される空乏領域内に基板21がもはや含まれなくなるほど、下側の接合をソース領域及びドレイン領域23、24の底23aと24aから十分に遠くに移動させてしまう。加えて、もし第1のタブ濃度が、基板21とDFT領域による空乏化がもはや第1のタブ内ですべての多数キャリアを空乏化しないならば、トランジスタは、漏れレベルが高くなり、基板結合が乏しくなり、ラッチアップしやすくなる場合がある。

10

こうしたことから、第1のタブに対する実用的な厚さの目標は、経験的には、第2の層(DFT)64aと近似的に同一の厚さである。この厚さによって基板とDFT構造の下縁とによる完全な空乏化以上のことが許容される。

図10から分かるように、第1のタブの厚さ及びドーピング密度は、(8)式( $N_{DFT}$ と $N_{FT}$ はそれぞれDFT層64aと第1のタブ62のドーピング濃度を表す)で与えられるDFT(第1のタブ間接合)による空乏化された幅と、(9)式で与えられる第1のタブ(基板間接合)による空乏化幅との和が全体の第1のタブ幅よりも大きくなるように、調整されることが好ましい。ここで(8)式と(9)式は次式で表される。

$$W_{DFT:FT} = \sqrt{\frac{2kT\epsilon_s N_{DFT} L_{IT} \left( \frac{N_{DFT}}{N_{FT}} \right)}{q^2 N_{FT} (N_{FT} + N_{DFT})}} \quad (8)$$

20

及び

$$W_{Sub:FT} = \sqrt{\frac{2kT\epsilon_s N_{Sub} L_{IT} \left( \frac{N_{Sub}}{N_{FT}} \right)}{q^2 N_{FT} (N_{FT} + N_{Sub})}} \quad (9)$$

この結果、化学的にN型の領域(ピナルFETのNチャネル版)が少数キャリア(Nチャネル変形に対してはホール)過多によって正常に占められることとなる。その領域はあたかもP型であるかのように電氣的に振る舞い、図14で示されたような滑らかな容量曲線を生じさせる。これによって、タブ領域における余分な接合による寄生的ラッチアップが回避され、ソース拡散及びドレイン拡散の電圧降下が改善される。

30

含まれる接合は険しいものであるが、一般的に「階段(step)」接合ではないことに注意すべきである。それゆえ、全空乏化幅は次式に従って各接合で分離される。

$$N_d x_n = N_a x_p \quad (10)$$

ここで、 $N_a$ と $N_d$ は接合のP型側とN型側におけるアクセプタ濃度及びドナー濃度である。 $x_p$ と $x_n$ はそれぞれ接合のP型及びN型側における空乏化領域の幅である。第1のタブの幅を、(10)式のみよる、DFT:第1のタブ間接合と基板:第1のタブ間接合によって生み出された空乏化幅の和の75%に、それらの接合の第1のタブ側で設定する。次に(8)式、(9)式、(10)式、及び75%幅の仮定を組み合わせ、かつ再整理して、次式で与えられる、 $N_{DFT}$ 、 $N_{FT}$ 、及び基板ドーピングレベル $N_{Sub}$ に対する第1のタブの最大幅を定義することができる。

40

$$Y_3 - Y_2 = \frac{0.75}{N_{FT}} \times \left( \sqrt{\frac{4kT\epsilon_s (N_{DFT} + N_{FT}) L_{IT} \left( \frac{N_{DFT} N_{FT}}{n_i^2} \right)}{q^2 N_{DFT} N_{FT}}} + \sqrt{\frac{4kT\epsilon_s (N_{Sub} + N_{FT}) L_{IT} \left( \frac{N_{Sub} N_{FT}}{n_i^2} \right)}{q^2 N_{Sub} N_{FT}}} \right) \quad (11)$$

この(11)式が、PISCES2のような装置シミュレータを使用して第1のタブの厚さ及びドーピングレベルを望ましい容量及び漏れ特性を実現するように調節するための解析のための出発点を好ましく定義することは当業者には理解できよう。

50

(ビナル F F T の製造工程)

次に、図 1 5 A から 1 5 E を参照して、図 6 のビナル F E T トランジスタ 6 0 を形成するための好ましい工程を説明する。図 7 のビナル F E T はソースおよびドレイン領域の埋め込みの深さを減少させることによって得られることは理解できよう。相補的なトランジスタは導電型を逆転させることによって得られる。

一般的に、製造方法は、第 1 の導電型の半導体基板内に、第 2 の導電型の第 1 のタブ領域と、第 1 のタブ領域内に第 1 の導電型の第 2 のタブ領域を形成するステップを含む。第 1 及び第 2 のタブ領域に隣接するように、半導体基板上に第 2 の導電型の層がエピタキシャル的に形成される（本来の位置にドーピングされ、又は続いて第 2 の導電型にドーピングされる）。次に第 2 の導電型のエピタキシャル層内と第 2 のタブ領域内に、空間的に隔たった第 2 の導電型のソース領域及びドレイン領域が形成される。ソース領域及びドレイン領域は第 1 のタブ内に拡がってもよい。

10

次に、図 1 5 A を参照する。製造工程は N 型又は P 型の基板から始まり、従来のようにマスク 7 2 を使って P 型井戸（型領域）7 0 を埋め込む。図 1 5 B を参照する。従来のスクリーン酸化が実行されてスクリーン酸化物 7 4 が形成され、そして第 1 のタブ 6 2 のイオン注入と第 1 のタブ 6 2 内での第 2 のタブ（D F T）6 4 のイオン注入とが実行される。第 1 及び第 2 の型のイオンの従来の注入が使用される。第 2 のタブは第 1 のタブよりも以前に注入してよい。次に活性化アニールが実行される。

次に、図 1 5 C を参照する。スクリーン酸化物 7 4 は取り除かれ、そしてエピタキシャル層 7 6 のエピタキシャル的な堆積が実行される。その後、図 1 5 D のように、第 2 の導電型のイオンを使用して第 3 のタブ 6 6 が層 7 6 内に埋め込まれる。マスクされた、又はマスクされない埋め込みを使用してよい。エピタキシャル的な堆積を行ってそれによって第 2 の層をエピタキシャル的に堆積させながら、エピタキシャル層を第 2 の導電型に同時にドーピングする際に層 7 6 の本来の位置でのドーピングを使用してよいことも理解される。

20

その後、図 1 5 E のように、従来の技術を使用して、ゲート酸化物 2 6 が形成され、そしてポリシリコンゲート 2 8 が形成され、ドーピングされる。ソース領域及びドレイン領域 2 3、2 4 はその後、ポリシリコンゲート 2 8 をマスクとして使用することによって埋め込まれる。そして次にソース接触子、ドレイン接触子、及び基板接触子が与えられ、図 6 のトランジスタ 6 0 が形成される。

図 1 5 A から図 1 5 E までの工程で重要なことは、シリコンの薄いエピタキシャル層 7 6 を第 3 のタブ 6 6 を形成するために利用することである。当業者であれば、非常に類似した垂直プロフィールがエピタキシーの使用又は複雑さなく得られ、動作可能なビナル F E T 装置がこの方法で構成されることは理解できよう。しかしながら、エピタキシーはチャネル領域 6 6 a 内の伝導キャリア移動度を最大化させるのに使用されることが好ましい。従来のフェルミ F E T 及び、より程度が少なく「埋め込まれたチャネル」の F E T トランジスタのように、ビナル F E T の垂直電界が低下することによってシリコン表面上における伝導キャリアによる有効移動度の損失が減少する。フェルミ F E T 及びビナル F E T は、伝導キャリアを、それらが多数キャリア型にある領域内に流すことによって更に有効移動度を改善させ、正味のドーピング濃度は従来の M O S - F E T よりも低下する。ビナル F E T はチャネル領域 6 6 a をカウンタドーピングする必要をなくすことによって、有効移動度を更に改善させることができる。

30

正味のキャリア移動度は一般的に、フォノン散乱、格子欠陥、表面の粗さ、そして全体的な不純物濃度を含むいくつかの異なる機構の結果である。電界効果型デバイスのソース領域とドレイン領域との間を流れる伝導キャリアは、いくつかの異なるタイプの散乱を経験することになる。各散乱タイプはデバイスのさまざまな構造上の詳細による確率集合（probability set）と印加電圧を伴う。各機構は散乱事象間の平均時間を有する。一つの時間間隔の間に発生する散乱の全確率はそのとき次式で表されるような個々の散乱機構の確率の組合せで与えられる。

$$\frac{dt}{\tau_T} = \sum_i \frac{dt}{\tau_i} \quad (12)$$

40

50

ここで  $i$  は各散乱機構を表す。それゆえ、散乱事象間の全平均時間は組成原因による個々の確率の最小のものよりも小さい。移動度は次式によって散乱確率と関係付けられる。

$$\mu = \frac{q}{m} \tau \quad (13)$$

こうして、全移動度は次式で与えられるように各個別の散乱機構に付随する移動度と関係する。

$$\frac{1}{\mu} = \sum_i \frac{1}{\mu_i} \quad (14)$$

散乱寿命に注意すると、全キャリア移動度は組成原因による個々の確率の最小のものよりも小さい。個々の機構移動度の一つが他のものよりも小さくなるとき、そときそれは主要な機構となり、他にものの相対的寄与を減少させる。

現行のサブミクロンデバイスにおいて、ドーパント原子による散乱はそうした主要な機構となっている。極短チャネルトランジスタは、デバイスをターンオフするのに必要なチャネルのドーピングレベルが制限因子となるポイントに到達している。図 16 は、3つの主なドーパント要素の全不純物濃度の関数として、300 におけるシリコンのキャリア（電子及びホール）移動度を示している。これは、リチャード S・ミラー（Richard S. Muller）氏とセドア I・カミン（Theodore I. Kamins）氏著の「集積回路のためのデバイスエレクトロニクス（第2版）（Device Electronics for Integrated Circuits, Second Edition）」（1986年）の33ページから引用された。0.25  $\mu\text{m}$  のチャネル長を有する表面チャネル MOSFET デバイスにおいて、 $2 \times 10^{18} \text{ cm}^{-3}$  以上の全体的なチャネルドーピングが共通して見られる。このため、より長いデバイスに使用されるより低い濃度と比較して、性能の実質的な損失が生じる。

図 11 を再び参照する。 $2 \times 10^{18} \text{ cm}^{-3}$  のチャネルドーピングに付随する移動度  $\mu$  は  $235 \text{ cm}^2 / \text{V} \cdot \text{sec}$  である。チャネル長がサブミクロン範囲内にある N チャネルピナル FET では伝導が起こる第3のタブ領域の正味の N 型ドーパント濃度が  $5.0 \times 10^{16}$  から  $2.0 \times 10^{17}$  までであることが要求される。第3のタブを形成するためのイオン注入を使用するには、DFT 領域（約  $4 \times 10^{17}$  の P 型）を上記正味の N 型レベルまでカウンタドープすることが必要とされるのが一般的である。非ドーピングに関係した原因を無視し、かつタブのドーピングが  $5.0 \times 10^{16}$  に設定されると仮定すると、P 型ドーパントが  $4.0 \times 10^{17}$  かつ N 型ドーパントが  $4.5 \times 10^{17}$ （カウンタドープされて  $+5.0 \times 10^{16}$ ）と仮定している図 13 から得られる正味のチャネル移動度は、 $320 \text{ cm}^2 / \text{V} \cdot \text{sec}$  となる。この移動度は上記 MOSFET よりも良いが、より良い性能が可能である。特に、図 15 A から図 15 E に説明された工程を利用すると、DFT 領域 64a の P 型ドーピングは第3のエピタキシャル的に形成されたタブ 66 内では無視できる存在となって、第3のタブの正味のかつ全体のドーピングが  $5 \times 10^{16}$  となることが許される。こうして、移動度は  $900 \text{ cm}^2 / \text{V} \cdot \text{sec}$  まで大きく増大する。

（高性能 MOSFET）

ピナル FET のドレイン電界終止領域はカウンタドープされたチャネルを有する従来の MOS - FET の設計にも適用できる。図 17 及び図 18 は第2（DFT）のタブ 64 及び第1のタブ 62 を使用する従来の MOS - FET の2つの実施態様を示している。図 17 及び図 18 は第3のタブ 66 を失ったピナル FET とも見做してもよい。あるいはその代わりに、図 17 及び図 18 は第1のタブ 62 が付加された従来の MOS - FET と見做してよい。ピナル FET のように一般的には実行しないが、短チャネル MOSFET の改善性能が図 17 及び図 18 の構造から得られる。

（ピナル FET の設計基準のまとめ）

以下、本発明によるピナル FET の設計基準をまとめておく。ここに使用される数式が一定のドーパントプロファイルと完全に層の境目がはっきりしたトランジスタを仮定しているとき、以下のようなシミュレーション及び / 又は実験データはデバイスを最適化するのに使用されることが好ましい。

$Y_3 - Y_2$  : 第1のタブ領域の垂直の広がり、DFT、基板、及び第1のタブのドーピン

10

20

30

40

50

グ密度の関数として ( 1 1 ) 式において定義される。

$Y_2 - Y_1$  : D F T 領域の垂直の広がりである。このパラメータに対しての幅広い範囲がトランジスタ性能に影響を与えることなく可能である。最適化の有用な出発点は  $Y_1$  の値の 1 5 0 % である。

$Y_1$  : 第 2 のタブ領域の垂直の広がりである。より高い動作電圧 (  $V_d$  ) 又はより狭いチャネル (  $L_{eff}$  ) に対して一般的により小さな数が必要とされ、幅広く可変でもある。最適化の有用な出発点は次式で与えられる。

$$Y_1 = \frac{5.5 (L_{eff})}{\sqrt{V_{dmax}}} \quad (15)$$

10

$N_{DFT}$  : D F T 領域の平均ドーピング濃度は、有効チャネル長  $L_{eff}$  の関数として ( 7 ) 式で定義された、最大ドレイン電圧の関数である。

$N_{FT}$  : 第 1 のタブ領域の平均ドーピング濃度は、( 1 1 ) 式で定義された、 $N_{DFT}$ 、 $N_{sub}$ 、及び基板濃度の関数である。

$N_{TT}$  : 第 3 のタブ領域又は「フェルミタブ」の平均ドーピング濃度は一般的に長チャネル (  $> 1 \mu m$  ) に対して  $1 \times 10^{16}$  に設定され、チャネルが短くされるにつれ一般的に増大する。例えば  $0.25 \mu m$  において、 $N_{TT}$  は近似的に  $1 \times 10^{17}$  である。漏れ電流のシミュレーションを使用して漏れに対してこの濃度を「調整 ( tune ) 」するのに使用してよい。

$N_{poly}$  : ポリシリコンのドーピング ( 濃度 ) は一般的にしきい値電圧において弱い役割を果たすが、工程の安定性や複雑さの理由から、それは通常、約  $1 \times 10^{20}$  に置かれる。

20

( 使用される変数の表 )

$C_g$  : ゲート容量

すなわち、ゲート電極の  $dQ / dV$  で与えられる。

$Y_f$  : 伝導チャネルの深さ

ここで、伝導チャネルは、トランジスタが完全にオンになったときに伝導キャリアがソースとドレインとの間を流れるところの、ゲート酸化物下の領域である。

: キャリアの深さ因子

すなわち、 $Y_f$  をキャリアの平均的深さに関係付ける数学的な係数である。

$\epsilon_s$  : 基板の誘電率

30

$\epsilon_i$  : ポリシリコンのゲート電極と基板との間の絶縁誘電体の誘電率

$T_{ox}$  : ポリシリコンのゲート電極と基板との間の絶縁誘電体の厚さ

$Z$  : ソースからドレインへのラインに垂直な F E T トランジスタの幅

$Y_0$  : フェルミタブの深さ

すなわち、基板表面から、ゲート電極下の、フェルミタブと井戸型領域の間に形成された冶金学的な接合までの距離である。

$Y_1$  : 基板表面から、ゲート電極下の、第 2 のフェルミタブ ( 第 2 の導電型の表面層 ) と D F T 領域の間に形成された冶金学的な接合までの、シリコン表面に垂直な距離

$Y_2$  : 基板表面から、ゲート電極下の、第 1 のフェルミタブ ( 第 2 の導電型の底層 ) と D F T 領域の間に形成された冶金学的な接合までの、基板表面に垂直な距離

40

$Y_3$  : 基板表面から、ゲート電極下の、第 1 のフェルミタブ ( 第 2 の導電型の最下層 ) と井戸型領域又は基板との間に形成された冶金学的な接合までの、基板表面に垂直な距離

$N_{DFT}$  : (  $N_{64}$  ) ととも呼ばれる、ドレイン電界終止 ( D F T ) 領域の平均的なドーピングレベル

$N_{FT}$  : (  $N_{62}$  ) ととも呼ばれる、第 1 のタブ領域 ( 図 6、図 7 における 6 2 a ) の平均的なドーピングレベル

$V_a$  : トランジスタの任意のソース又はドレインターミナルに印加される電圧

$V_a$ 、 $V_d$ 、 $V_g$ 、 $V_s$  : ソース、ドレイン、ゲート、又は基板にそれぞれ印加される電圧

$\phi_b$  : p n 接合のビルトイン電位 ( ( 6 ) 式参照 )

$W_{DFT:FT}$  : D F T 領域 ( 6 4 a ) と第 1 のタブ領域 ( 6 2 a ) が出会う p n 接合によって

50

形成された、空乏領域の垂直の広がり

$W_{FT:sub}$ : 基板 (21) と第1のタブ領域 (62a) が出会う p n 接合によって形成された、空乏領域の垂直の広がり

$L_{eff}$ : ソース拡散の縁からドレイン拡散の縁までの、基板表面に平行な最短距離  
これは、L66aで表される。

$L_O$ : 電流方向に平行に測定されたポリシリコンゲート電極の幅  
これは、L2で表される。

本図面及び本明細書において、本発明の好ましい実施の一般形態が開示されてきた。そこには特定の用語が使用されてきたが、それらは一般的かつ記述的な意味合いにおいてのみ使用されているものであり、何ら限定を意図するものではない。本発明のおよぶ範囲は以下に述べられる請求の範囲によって明確にされる。

10

【図1】

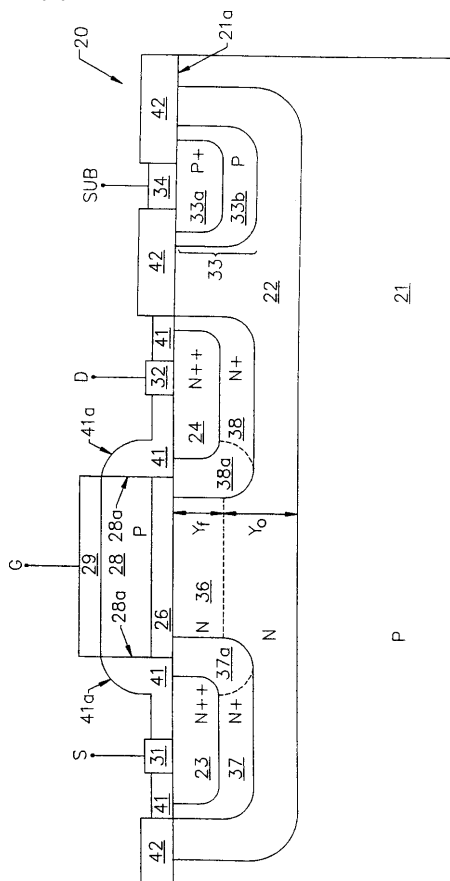


FIG. 1.

【図2A】

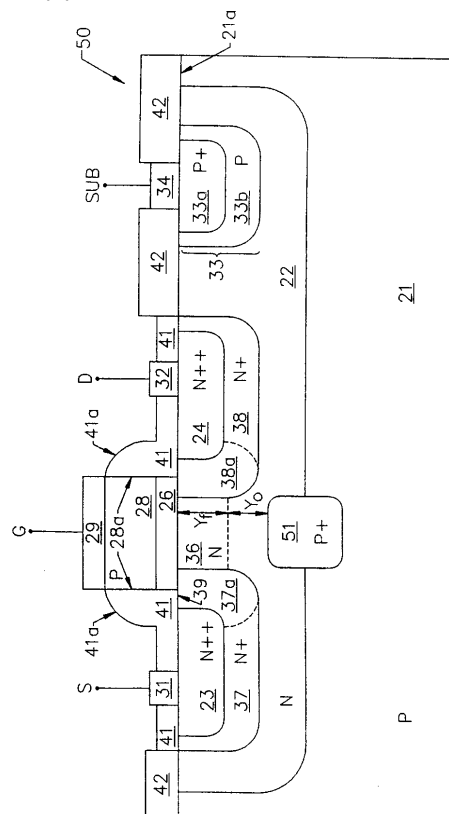


FIG. 2A.

【図 2 B】

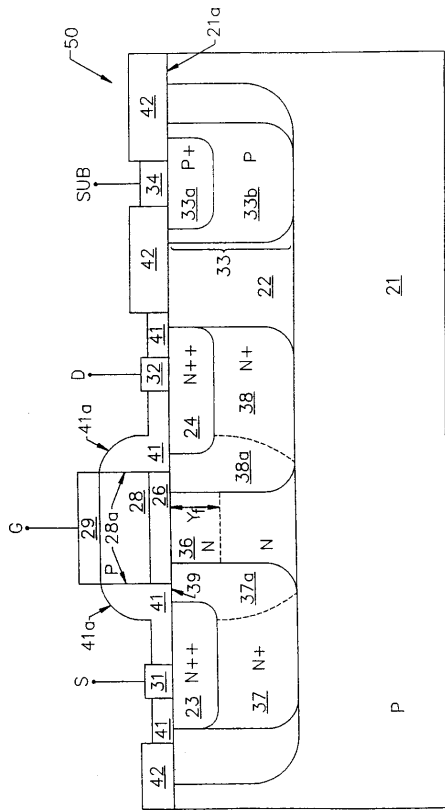


FIG. 2B.

【図 3】

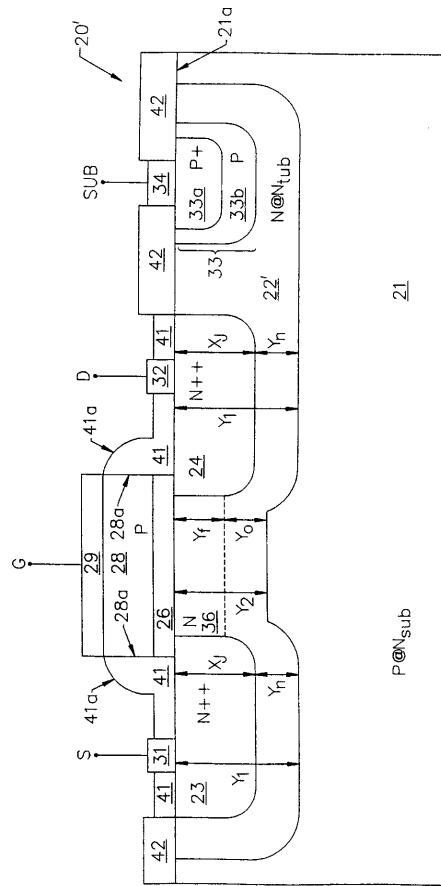


FIG. 3.

【図 4】

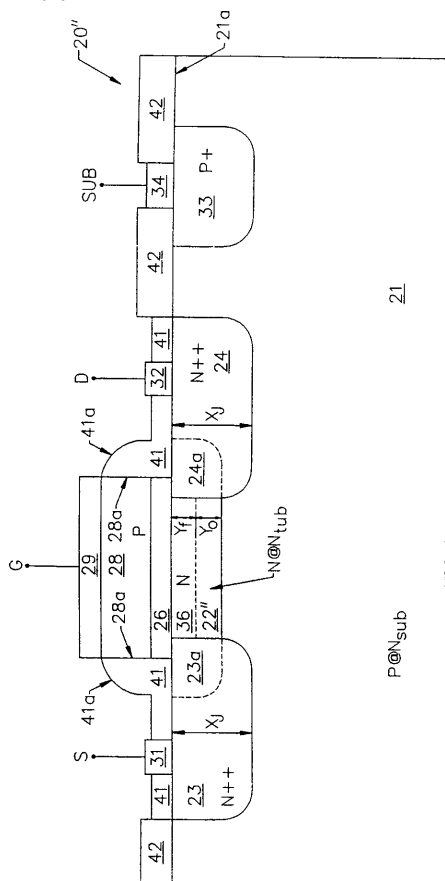


FIG. 4.

【図 5】

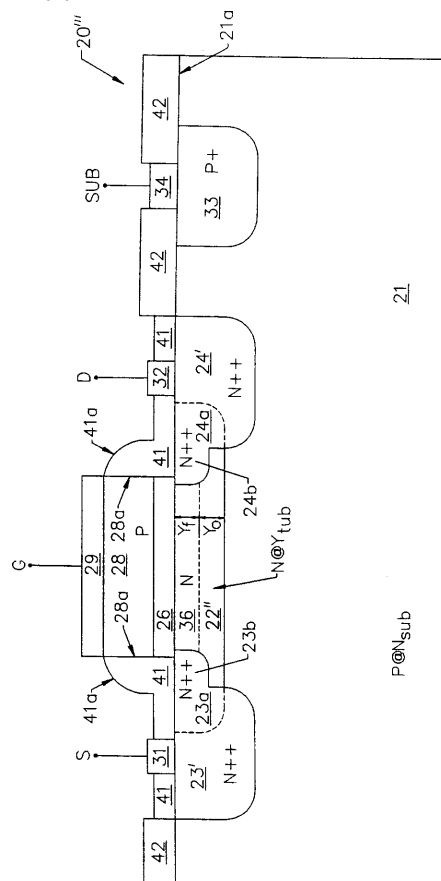
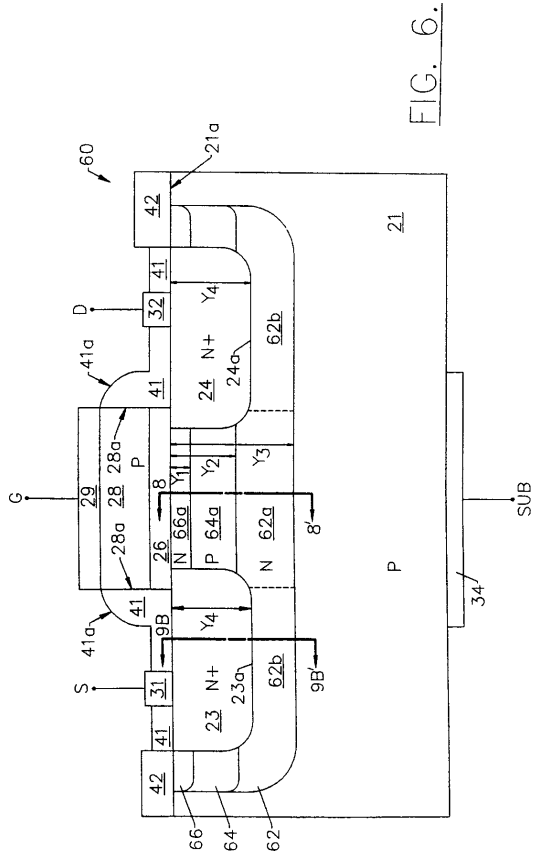


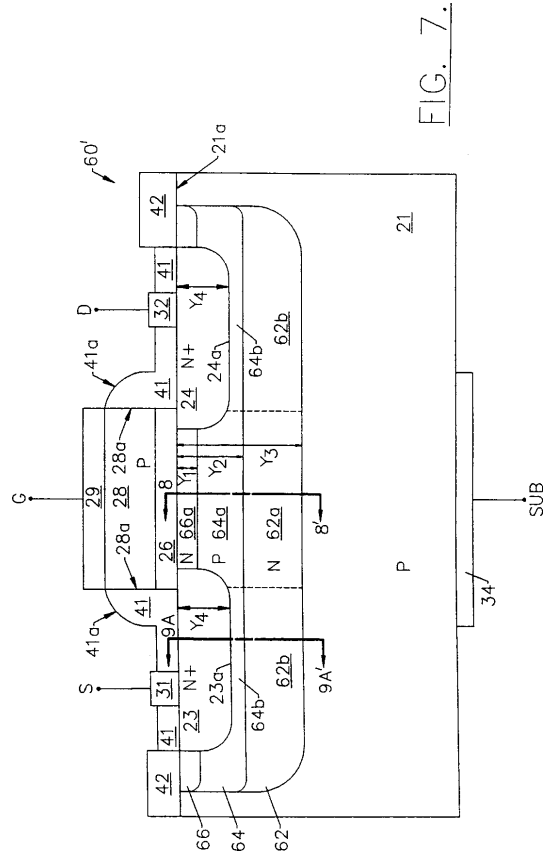
FIG. 5.



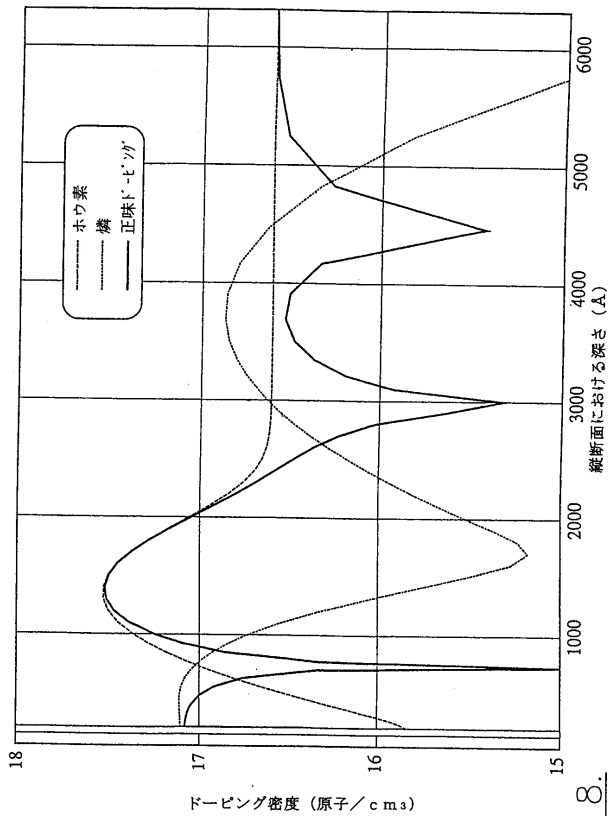
【 図 6 】



【 図 7 】



【 図 8 】



【 図 9 A 】

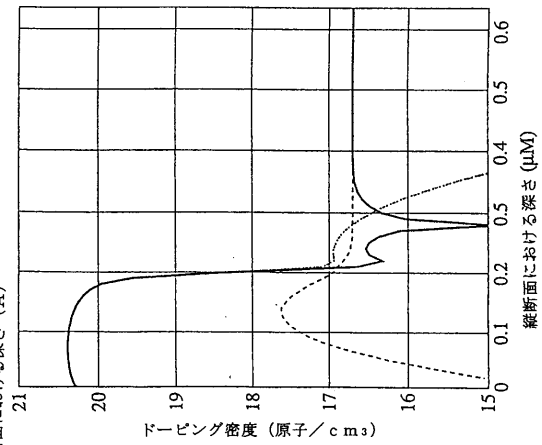


FIG. 9A.

【図 9 B】

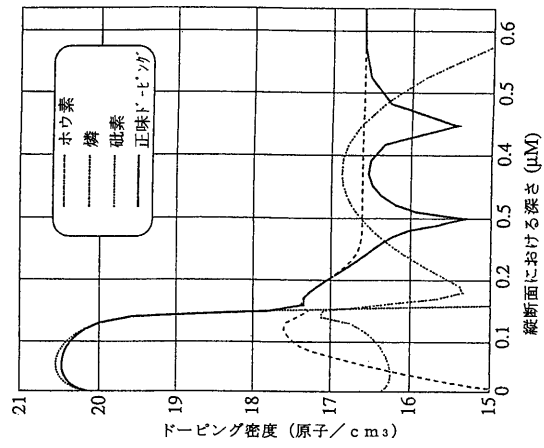


FIG. 9B.

【図 10】

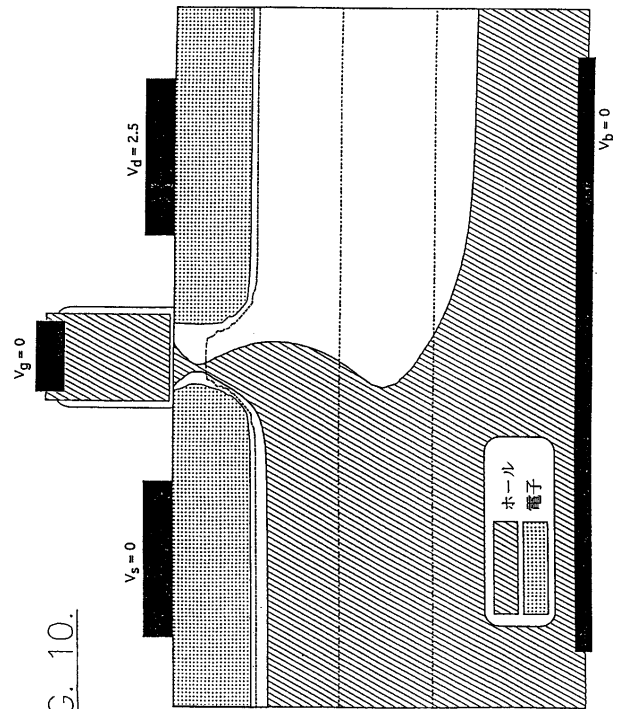


FIG. 10.

【図 11】

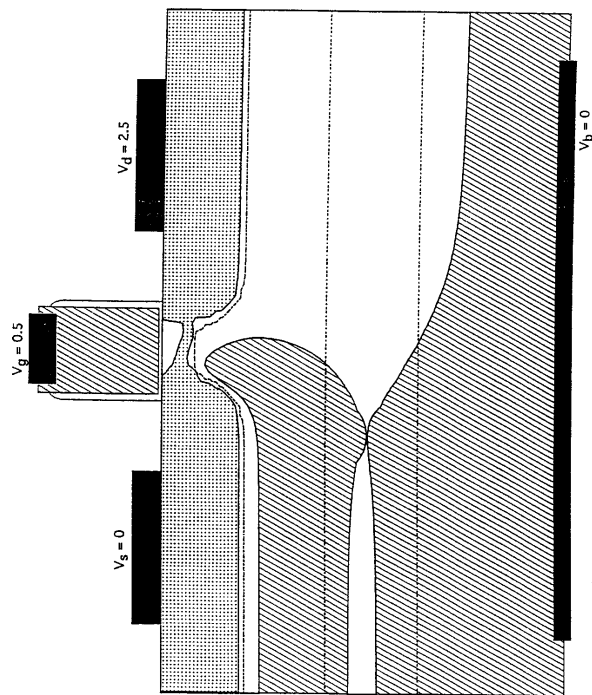


FIG. 11.

【図 12】

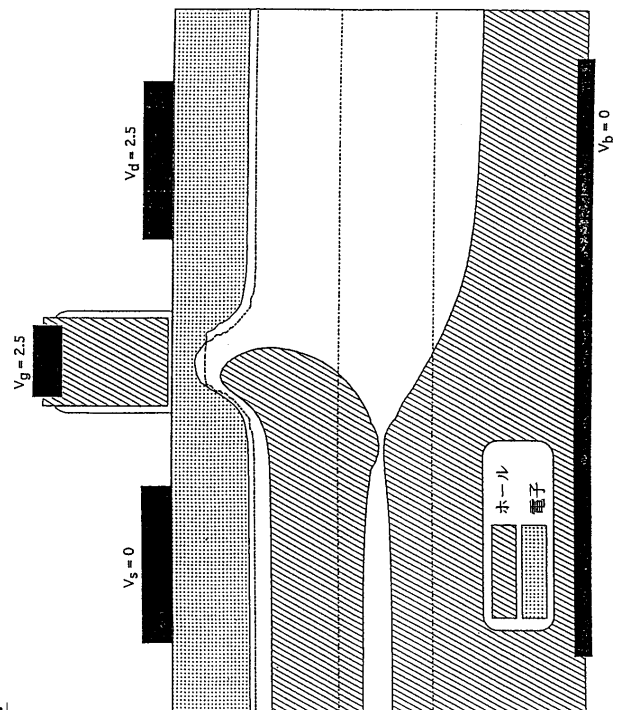
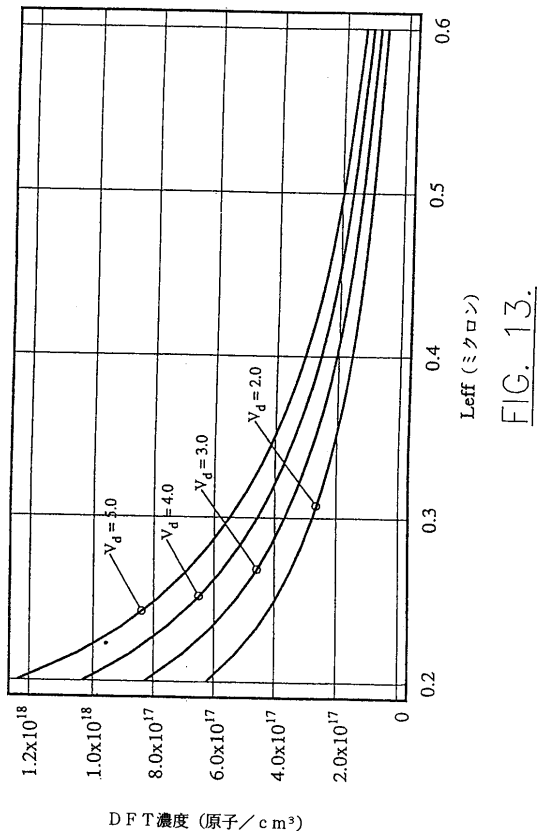


FIG. 12.

【図 13】



【図 14】

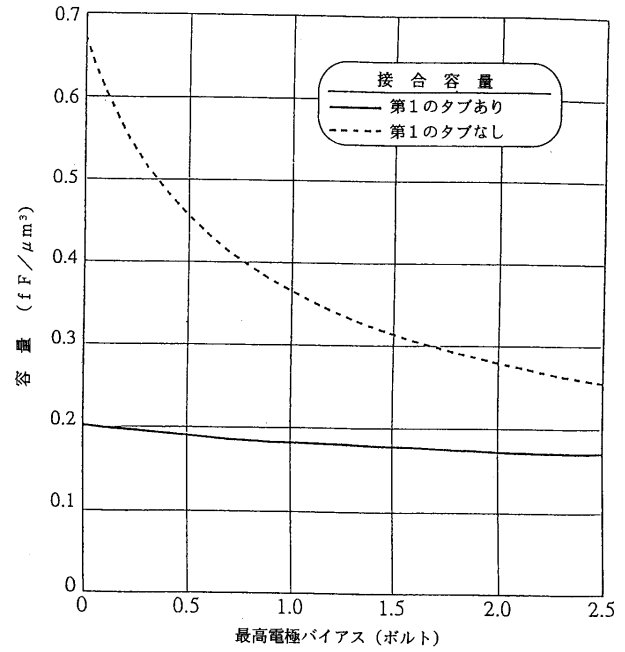
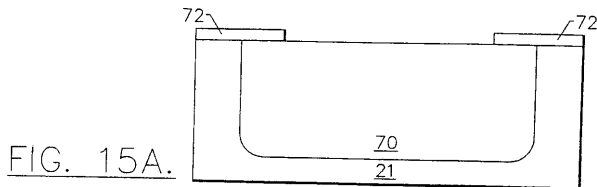
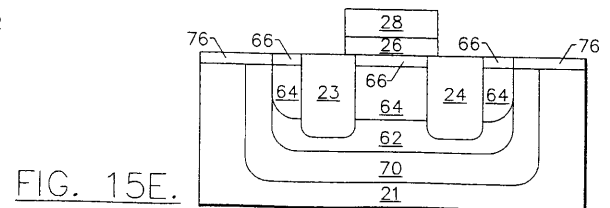


Figure 14

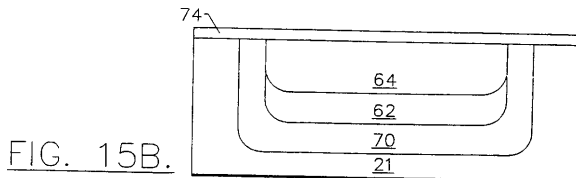
【図 15 A】



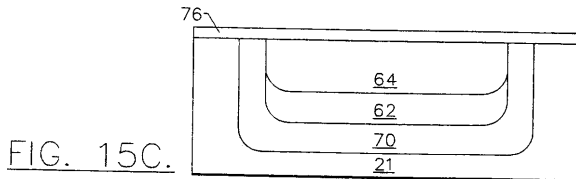
【図 15 E】



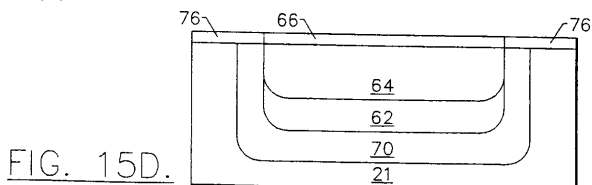
【図 15 B】



【図 15 C】



【図 15 D】



【図 16】

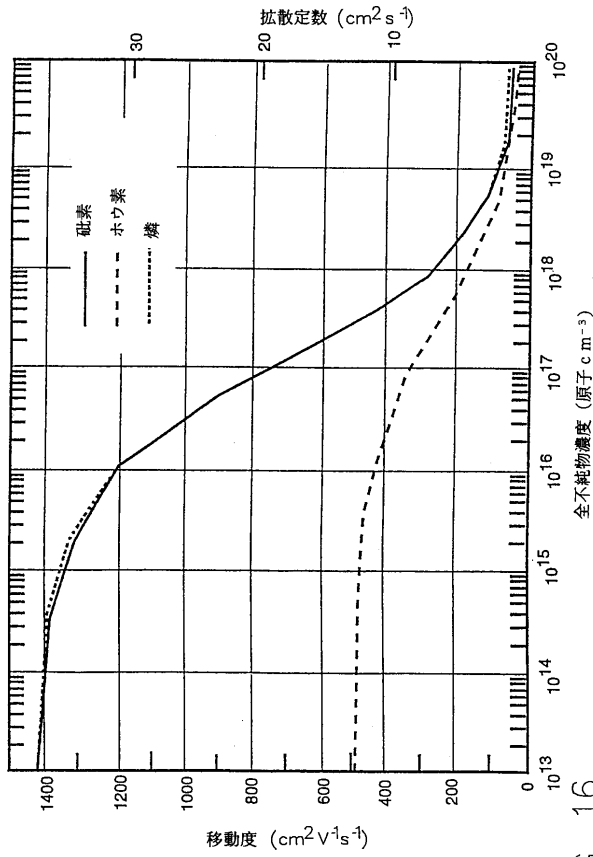


FIG. 16.

【図 17】

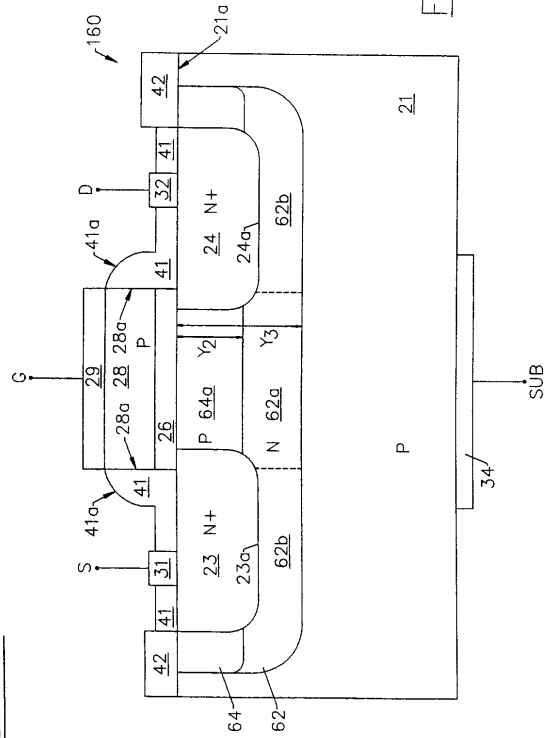


FIG. 17.

【図 18】

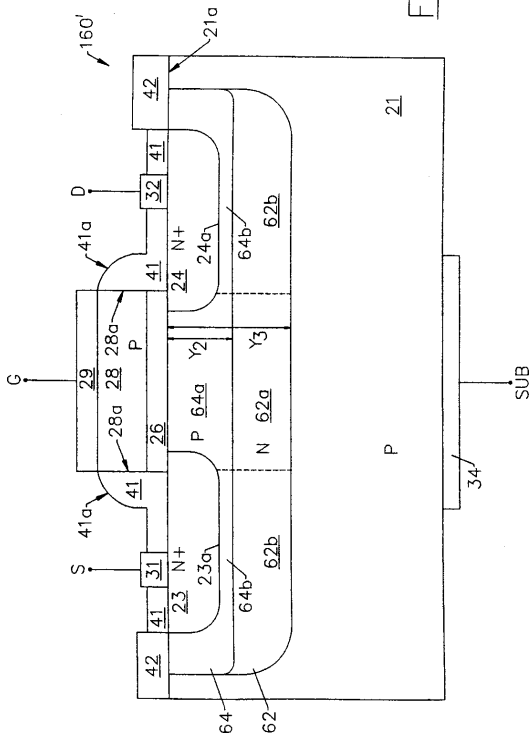


FIG. 18.

---

フロントページの続き

## (74)代理人

弁理士 有原 幸一

## (72)発明者 デネン, マイケル・ウィリアム

アメリカ合衆国、27615 ノース・キャロライナ、ローリー、ウィンドジャマー・ドライヴ  
8820

審査官 川村 裕二

## (56)参考文献 特開平07-312423(JP, A)

特表平07-503582(JP, A)

特開昭62-219966(JP, A)

特開平07-297295(JP, A)

## (58)調査した分野(Int.Cl., DB名)

H01L 29/78