

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成28年1月21日(2016.1.21)

【公開番号】特開2014-86722(P2014-86722A)

【公開日】平成26年5月12日(2014.5.12)

【年通号数】公開・登録公報2014-024

【出願番号】特願2013-182777(P2013-182777)

【国際特許分類】

H 01 L 21/8247 (2006.01)

H 01 L 27/115 (2006.01)

H 01 L 21/336 (2006.01)

H 01 L 29/788 (2006.01)

H 01 L 29/792 (2006.01)

H 01 L 21/8244 (2006.01)

H 01 L 27/11 (2006.01)

G 11 C 16/04 (2006.01)

G 11 C 11/412 (2006.01)

G 11 C 14/00 (2006.01)

【F I】

H 01 L 27/10 4 3 4

H 01 L 29/78 3 7 1

H 01 L 27/10 3 8 1

G 11 C 17/00 6 2 1 A

G 11 C 17/00 6 2 5

G 11 C 17/00 6 2 3 Z

G 11 C 11/40 3 0 1

G 11 C 11/40 1 0 1

【手続補正書】

【提出日】平成27年11月30日(2015.11.30)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

電気的に絶縁された複数のフローティングゲートと、第1ビット線および第2ビット線とを備え、前記フローティングゲート毎にセルを構成した不揮発性半導体記憶装置であって

、各前記セルは、

前記フローティングゲート内の電荷の有無に応じた電圧を読み出すためのリードトランジスタと、前記フローティングゲートに電荷を注入するプログラムトランジスタと、前記フローティングゲートから電荷を引き抜くイレーストランジスタと、前記フローティングゲートの電位を調整するコントロールキャパシタとを備え、前記リードトランジスタ、前記プログラムトランジスタ、前記イレーストランジスタ、および前記コントロールキャパシタの各活性領域上に前記フローティングゲートが延在しており、

一の前記セルは、

前記第1ビット線がスイッチトランジスタを介して前記リードトランジスタに接続され

、前記第2ビット線が前記プログラムトランジスタに直接接続された構成を有し、
前記一のセルと対をなす他の前記セルは、
前記第2ビット線がスイッチトランジスタを介して前記リードトランジスタに接続され
、前記第1ビット線が前記プログラムトランジスタに直接接続された構成を有しており、
前記一のセルにおける前記スイッチトランジスタと、他の前記セルにおける前記スイッ
チトランジスタとの切り替えによって、前記一のセルの前記プログラムトランジスタに接
続されてデータ書き込み用となる前記第2ビット線が、前記他のセルにて読み出し用のビ
ット線を兼ね、前記他のセルの前記プログラムトランジスタに接続されてデータ書き込み
用となる前記第1ビット線が、前記一のセルにて読み出し用のビット線を兼ねる
ことを特徴とする不揮発性半導体記憶装置。

【請求項2】

前記一のセルと、前記一のセルと対をなす前記他のセルとは、
電気的に絶縁された第1活性領域、第2活性領域、第3活性領域、および第4活性領域に亘
って並列に形成されている
ことを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項3】

前記一のセルにおける前記リードトランジスタおよび前記スイッチトランジスタと、前
記他のセルにおける前記プログラムトランジスタとが同じ活性領域に形成されており、
前記他のセルにおける前記リードトランジスタおよび前記スイッチトランジスタと、前
記一のセルにおける前記プログラムトランジスタとが該活性領域とは異なる他の同じ活性
領域に形成されている
ことを特徴とする請求項1または2記載の不揮発性半導体記憶装置。

【請求項4】

各前記セルは、
前記イレーストランジスタがN型ウェルに形成され、前記コンロトールキャパシタが該
N型ウェルと異なるN型ウェルに形成されており、
前記リードトランジスタ、前記スイッチトランジスタおよび前記プログラムトランジス
タがP型ウェルに形成されている
ことを特徴する請求項1記載の不揮発性半導体記憶装置。

【請求項5】

前記フローティングゲート毎に設けた前記イレーストランジスタに共通の電圧を一律に
印加するイレースゲート線と、
前記フローティングゲート毎に設けた前記リードトランジスタに共通の電圧を一律に印
加するソース線と
を備えることを特徴とする請求項1～4のうちいずれか1項記載の不揮発性半導体記憶
装置。

【請求項6】

前記一のセルと前記他のセルとで1ビットを構成し、
前記セル毎に設けられた各前記スイッチトランジスタには個別にゲート線が接続されて
おり、各前記スイッチトランジスタが独立にオンオフ制御される
ことを特徴とする請求項1～5のうちいずれか1項記載の不揮発性半導体記憶装置。

【請求項7】

前記第1ビット線がSRAMセルの一のストレージノードに接続され、前記第2ビット線
が前記SRAMセルの前記一のストレージノードと相補的な他のストレージノードに接続
されており、

前記SRAMセルと、前記一のセルおよび前記他のセルの2セルとから1ビットを構成す
る

ことを特徴とする請求項1～6のうちいずれか1項記載の不揮発性半導体記憶装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】 0 0 1 1

【補正方法】 変更

【補正の内容】

【0 0 1 1】

かかる課題を解決するため本発明の請求項1は、電気的に絶縁された複数のフローティングゲートと、第1ビット線および第2ビット線とを備え、前記フローティングゲート毎にセルを構成した不揮発性半導体記憶装置であって、各前記セルは、前記フローティングゲート内の電荷の有無に応じた電圧を読み出すためのリードトランジスタと、前記フローティングゲートに電荷を注入するプログラムトランジスタと、前記フローティングゲートから電荷を引き抜くイレーストランジスタと、前記フローティングゲートの電位を調整するコントロールキャパシタとを備え、前記リードトランジスタ、前記プログラムトランジスタ、前記イレーストランジスタ、および前記コントロールキャパシタの各活性領域上に前記フローティングゲートが延在しており、一の前記セルは、前記第1ビット線がスイッチトランジスタを介して前記リードトランジスタに接続され、前記第2ビット線が前記プログラムトランジスタに直接接続された構成を有し、前記一のセルと対をなす他の前記セルは、前記第2ビット線がスイッチトランジスタを介して前記リードトランジスタに接続され、前記第1ビット線が前記プログラムトランジスタに直接接続された構成を有してあり

、
前記一のセルにおける前記スイッチトランジスタと、他の前記セルにおける前記スイッチトランジスタとの切り替えによって、前記一のセルの前記プログラムトランジスタに接続されてデータ書き込み用となる前記第2ビット線が、前記他のセルにて読み出し用のビット線を兼ね、前記他のセルの前記プログラムトランジスタに接続されてデータ書き込み用となる前記第1ビット線が、前記一のセルにて読み出し用のビット線を兼ねることを特徴とする。