(54) 发明名称
适配器、基带处理单元和基站系统

(57) 摘要
本发明提供一种适配器、基带处理单元和基站系统。适配器包括：帧获取逻辑单元，基于接收的无线帧获取上行数据帧；帧同步逻辑单元，管理所述上行数据帧的帧标签；以及时间反馈逻辑单元，向所述基带处理单元反馈从基带处理单元接收的下行数据帧的到达时间。基带处理单元连接到适配器，并包括：时间同步模块，至少根据从适配器反馈的前一下行数据帧的到达时间，确定当前下行数据帧的产生时间；以及帧同步模块，管理所产生的当前下行数据帧的帧标签。由此构造的基站系统能够在适配器和基带处理单元之间实现时间同步，从而更好地工作于TDD模式，还可在适配器和基带处理单元中分别添加模式切换逻辑或模块，使得由此构造的基站系统适用于TDD和FDD两种通信模式。
1. 一种适配器，用于连接在基站系统的射频单元和基带处理单元之间，包括：
   帧获取逻辑单元，配置为基于接收的无线帧获取上行数据帧；
   帧同步逻辑单元，配置为管理所述上行数据帧的帧标签，所述帧同步逻辑单元包括：
   下行帧标签检测器，配置为检测接收到的下行数据帧的帧标签；以及上行帧标签管理器，连接
   到所述下行帧标签检测器，并配置为基于检测到的下行数据帧的帧标签，为上行数据帧添加
   对应的帧标签；以及
   时间反馈逻辑单元，配置为向所述基带处理单元反馈从所述基带处理单元接收的下行
   数据帧的到达时间。

2. 根据权利要求1的适配器，其中所述帧获取逻辑单元配置为，对所述无线帧进行时隙
   切换，从而获得所述上行数据帧。

3. 根据权利要求1的适配器，其中所述帧获取逻辑单元配置为，从上游获得所述下行
   数据帧，基于所述上行数据帧和所述下行数据帧构成要发送的无线帧。

4. 根据权利要求1的适配器，其中所述下行数据帧的帧标签根据预定规则生成，所述上
   行帧标签管理器配置为，根据检测到的首个下行数据帧的帧标签为上行数据帧添加对应的
   帧标签，并且根据所述预定规则为之后的上行数据帧添加帧标签。

5. 根据权利要求1的适配器，其中所述上行帧标签管理器配置为周期性地核查所述上
   行数据帧和下行数据帧的帧标签的对应性。

6. 根据权利要求1的适配器，其中所述时间反馈逻辑单元包括；时间提供逻辑，配置为
   基于基准时钟提供基准时间；以及时间记录逻辑，配置为基于基准时间记录下行数据帧的
   到达时间，并将所记录的时间传送给所述基带处理单元。

7. 根据权利要求1-6中任一项的适配器，还包括模式切换逻辑，配置为确定通信模式，
   并发出模式通知信号。

8. 根据权利要求7的适配器，其中所述模式通知信号为FDD模式通知信号；所述帧获取
   逻辑单元配置为，响应于所述FDD模式通知信号，从上行无线帧直接获取上行数据帧；所述
   时间反馈逻辑单元配置为，响应于所述FDD模式通知信号，进入空闲状态。

9. 一种基于通用IT平台的基带处理单元，用于连接到适配器，所述基带处理单元包括：
   时间同步模块，配置为至少根据从所述适配器反馈的前一下行数据帧的到达时间，确
   定当前下行数据帧的产生时间，以及
   帧同步模块，配置为管理所述当前下行数据帧的帧标签，
   其中所述帧同步模块包括：
   下行帧标签产生模块，配置为，为下行数据帧产生帧标签；
   上行帧标签检测模块，配置为，检测接收到的上行数据帧的帧标签；以及
   标签管理模块，配置为确保所述上行数据帧的帧标签和所述下行数据帧的帧标签的对
   应性。

10. 根据权利要求9的基带处理单元，其中所述时间同步模块包括：
    下行时间记录模块，配置为记录前一下行数据帧的产生时间；以及
    时间确定模块，配置为至少根据所述前一下行数据帧的产生时间以及反馈得到的所述
    前一下行数据帧的到达时间，来确定所述当前下行数据帧的产生时间。

11. 根据权利要求10的基带处理单元，其中所述时间确定模块配置为，判断反馈得到的
所述前一下行数据帧的到达时间是否在预定范围内，响应于所述到达时间在所述预定范围之内，所述时间确定模块依照原有周期确定当前下行数据帧的产生时间。响应于所述到达时间超出所述预定范围，所述时间确定模块至少根据所述前一下行数据帧的产生时间以及所述前一下行数据帧的到达时间重新计算当前下行数据帧的产生时间。

12. 根据权利要求10的基带处理单元，其中所述时间确定模块还配置为，在所确定的所述当前下行数据帧的产生时间，向下行应用发出触发信号，使其产生当前下行数据帧。

13. 根据权利要求9的基带处理单元，其中所述标志管理模块配置为指定所述帧标签的产生规则，其中所述下行帧标签产生模块配置根据所述产生规则来产生下行数据帧的帧标签。

14. 根据权利要求9-13中任一项的基带处理单元，还包括模式切换模块，配置为确定通信模式，并发出模式通知信号。

15. 根据权利要求14的基带处理单元，其中所述模式切换模块配置为将确定的通信模式通知所述适配器。

16. 根据权利要求14的基带处理单元，其中所述模式通知信号为FDD模式通知信号，其中所述时间同步模块配置为，响应于所述FDD模式通知信号，进入空闲状态。

17. 一种基站系统，包括：射频单元；权利要求1-8中任一项所述的适配器，连接到所述射频单元；以及权利要求9-16中任一项所述的基带处理单元，连接到所述适配器。

18. 一种在基站系统的适配器和基带处理单元之间针对TDD通信模式进行时间同步的方法，包括：由权利要求9-16中任一项所述的基带处理单元生成下行数据帧，并将该下行数据帧发送到权利要求1-8中任一项所述的适配器；适配器接收到所述下行数据帧，并将下行数据帧的到达时间反馈到基带处理单元；以及基带处理单元至少基于反馈的下行数据帧的到达时间确定下一下行数据帧的生成时间。
适配器、基带处理单元和基站系统

技术领域
[0001] 本发明涉及通信基站，更具体地，涉及基于通用IT平台的基站系统及其中的适配器和基带处理单元。

背景技术
[0002] 近年来，无线电通信技术发展非常迅速。为了实现基站信号的高效处理，提出了软件定义的无线平台SDR（Software defined radio）或称软基站来进行信号的处理。
[0003] 图1A示出基于传统SDR平台的基站系统的结构示意图。如图1所示，基站系统包括射频单元10和基带处理系统20。射频单元10用于发射和接收射频信号，从而与移动终端通信。具体地，射频单元10从移动终端接收上行信号，传送给基带处理系统20；并从基带处理系统20获得经过处理的下行数据，传送给移动终端。基带处理系统20包括射频接口201和基带处理单元202，射频接口201在一方通过光纤或硬件插槽与射频单元10连接，在另一方通过适当的专用接口与基带处理单元202连接，从而在射频单元10和基带处理单元202之间传递和转换数据。基带处理单元202使用专用的硬件板来进行所有信号的处理。具体地，基带处理单元202在物理硬件层包括多种专用的硬件，例如DSP、FPGA，嵌入式CPU等。在这些专用硬件之上，安装有专用的实时操作系统。进一步地，在操作系统上安装有软件形式的无线栈，用以进行基带信号的处理。
[0004] 由于图1A所示的SDR系统通过专用硬件平台来进行信号处理，因此，对于不同的通信标准和工作模式，在大多数情况下需要使用不同型号或数量的专用芯片。在对无线标准进行升级时，也需要更改已有的硬件平台。因此，这样的系统的灵活性和可扩展性并不理想，硬件和软件的开发和运营维护成本非常高昂。
[0005] 考虑到传统SDR基站中存在的这些问题，提出了一种基于通用IT平台的SDR系统。图1B示出基于通用IT平台的基站系统的结构示意图。如图1B所示，基站系统包括射频单元10、适配器20和基带处理单元30。图1B的射频单元10与图1A的相似。适配器20用于在射频单元20和基带处理单元30之间进行数据传递和转换；但是与图1A的射频接口相比，适配器20从基带处理系统中分离出来，作为一个单独的（硬件）部件。基带处理单元30通过通用的IT平台来进行信号处理。具体地，基带处理单元30在物理硬件层上包括通用处理器，其上可以安装有通用的操作系统。在通用的操作系统之上，可以依次安装需要的软件框架和无线协议栈。由于基带处理单元30表现为通用的IT计算平台，因此可以对外提供通用的标准IT接口，例如网口、PCIe接口等。相应地，适配器20可以通过这些标准接口与基带处理单元30相连接。
[0006] 在图1B所示的基站系统中，基带处理单元30基于通用IT平台来实现。随着多核技术的实施和推广，通用IT平台更多地采用多核芯片来实现，这使得IT平台的计算能力得到快速增长。另一方面，由于采用了通用的IT平台，有可能通过修改软件来使得基站适合于不同的通信标准和工作模式，而不必更换物理部件。由此，提高了基站的灵活性和可扩展性，并降低了开发成本和运营成本。然而，图1B所示的基站系统仍然面临一些技术挑战。
[0007] 本领域技术人员了解，基站在移动终端之间可以采用FDD（频分双工）和TDD（时分双工）两种模式进行通信。在FDD模式下，基站和移动终端在分别的两个对称频率信道上进行数据的接收和发送，用不同的频段来分离接收和发送信道。在TDD模式下，基站和移动终端之间的上行和下行通信使用同一频率信道（载波）的不时隙，用时间来分离接收信道和发送信道。也就是说，在某个时间段由基站发送信号给移动终端，在另外的时间由移动终端发送信号给基站。在图1B所示的SDR系统用于TDD模式时，由于接收信道和发送信道用时间来分离，因此基站系统中的时间是非常关键的一个因素。时间的同步在传统的基于专用硬件平台的SDR系统中并不会成为一个问题，因为在例如图1A所示的系统中，所有信号采用专用硬件来进行处理，处理的延时是固定的。并且，基带处理系统中的所有时间均由GPS模块提供。在这种情况下，基带处理与射频单元之间的时间同步很容易实现。然而，在例如图1B所示的基于通用IT平台的SDR基站中，仅仅是适配器20直接连接到提供基准时间的GPS模块，而基带处理单元30并不能直接获得该基准时间。并且，基于通用IT平台的基带处理单元30并不支持专用硬件所实现的实时操作，相反，通用IT平台上常用的大容量缓冲器以及通用操作系统中的任务调度等常常造成不可预定的长时间往返延迟。此外，运行在通用IT平台上的系统常常会出现抖动，导致信号处理时延的不稳定性。以上诸多因素使得基于通用IT平台的基带处理单元30难以提供准确的时间，无法与适配器20达成时间上的同步。

[0008] 为了解决这一问题，现有技术提出了一些方案。在一个方案中，利用上行数据的时间信息来计算发送下行数据的时间。然而，在这个方案中，上行数据的抖动会累积到下行，从而导致较大的往返延迟。因此，如何使得基于通用IT平台的SDR系统实现时间同步，从而更好地适用于TDD模式，是一项有待解决的问题。

[0009] 进一步地，利用上述基于通用IT平台的SDR系统，有可能通过修改软件来分别适应TDD和FDD两种模式。然而，如果能够使得同一SDR系统同时适应这两种工作模式，也就是说，使得现有SDR系统能够适用于TDD和FDD双模接入网络，那么运营成本就可以得到进一步降低。因此，还希望能够提供适用于双模的基站系统。

发明内容

[0010] 鉴于以上提出的问题，提出本发明，旨在解决上述问题中的至少一个方面。

[0011] 根据本发明一个实施例，提供一种适配器，连接在基站系统的射频单元和基带处理单元之间，包括：帧获取逻辑单元，配置为基于接收的无线帧获取上行数据帧；帧同步逻辑单元，配置为管理所述上行数据帧的帧标签；以及时间反馈逻辑单元，配置为向所述基带处理单元反馈从所述基带处理单元接收的下行数据帧的到达时间。

[0012] 根据本发明另一实施例，提供一种基于通用IT平台的基带处理单元，连接到适配器，所述基带处理单元包括：时间同步模块，配置为至少根据从所述适配器反馈的前一下行数据帧的到达时间，确定当前下行数据帧的产生时间；以及帧同步模块，配置为管理所产生的当前下行数据帧的帧标签。

[0013] 根据本发明另一实施例，提供一种基站系统，包括射频单元，前述实施例的适配器和基带处理单元。

[0014] 根据本发明又一实施例，提供一种在基站系统的适配器和基带处理单元之间针对TDD通信模式进行时间同步的方法，包括：由基带处理单元生成下行数据帧，并将该下行数
说明书

据帧发送到适配器；适配器接收到所述下行数据帧，并将下行数据帧的到达时间反馈到基带处理单元；以及基带处理单元至少基于反馈的下行数据帧的到达时间确定下一下行数据帧的生成时间。

【0015】利用本发明的实施例，基于通用IT平台的基站系统能够在适配器和基带处理单元之间实现时间同步，从而更好地工作于TDD模式，进一步地，还可以使得基站系统能够在TDD模式和FDD模式之间进行切换，从而适用于双模接入网络。

附图说明

【0016】通过结合附图对本公开示例性实施方式进行更详细的描述，本公开的上述以及其他目的、特征和优势将变得更加明显，其中，在本公开示例性实施方式中，相同的参考标志通常代表相同部件。

【0017】图1A示出基于传统SDR平台的基站系统的结构示意图；
【0018】图1B示出基于通用IT平台的基站系统的结构示意图；
【0019】图2示出基于示例性计算系统100的框图；
【0020】图3示出根据本发明一个实施例的SDR基站系统的结构示意图；
【0021】图4示出根据本发明一个实施例的适配器的结构示意图；
【0022】图5示出根据本发明一个实施例的基带处理单元的结构示意图；
【0023】图6示出TDD模式下上行处理和下行处理的时序的一个例子；
【0024】图7示出根据本发明一个实施例的双模适配器的结构示意图；
【0025】图8示出根据本发明一个实施例的基带处理单元的结构示意图；以及
【0026】图9示出根据本发明一个实施例的方法的流程图。

具体实施方式

【0027】下面将参照附图更详细地描述本公开的优选实施方式。虽然附图中显示了本公开的优选实施方式，然而应该理解，可以以各种形式实现本公开而不应被这里阐述的实施方式所限制。相反，提供这些实施方式是为了使本公开更加透彻和完整，并且能够将本公开的范围完整的传达给本领域的技术人员。

【0028】图2示出了适于用来实现本发明实施方式的示例性计算系统100的框图。如图2所示，计算机系统100可以包括：CPU（中央处理单元）101、RAM（随机存取存储器）102、ROM（只读存储器）103、系统总线104、硬盘控制器105、键盘控制器106、串行接口控制器107、并行接口控制器108、显示控制器109、硬盘110、键盘111、串行外部设备112、并行外部设备113和显示器114。在这些设备中，与系统总线104耦合的有CPU 101、RAM 102、ROM 103、硬盘控制器105、键盘控制器106、串行控制器107、并行控制器108和显示控制器109。硬盘110与硬盘控制器105耦合，键盘111与键盘控制器106耦合，串行外部设备112与串行接口控制器107耦合，并行外部设备113与并行接口控制器108耦合，以及显示器114与显示控制器109耦合。应当理解，图2所示的结构框图仅仅是为了示例的目的，而不是对本发明范围的限制。在某些情况下，可以根据具体情况增加或减少某些设备。

【0029】所属技术领域的技术人员应该知道，本发明可以实现为系统、方法或计算机程序产品。因此，本公开可以具体实现为以下形式，即：可以是完全的硬件、也可以是完全的软件（包括
固件、驻留软件、微代码等），还可以是硬件和软件结合的形式，本文一般称为“电路”、“模块”或“系统”。此外，在一些实施例中，本发明还可以实现为在一个或多个计算机可读介质中的计算机程序产品的形式，该计算机可读介质中包含计算机可读的程序代码。

[0030] 可以采用一个或多个计算机可读的介质的任意组合。计算机可读介质可以是计算机可读信号介质或者计算机可读存储介质。计算机可读存储介质例如可以是——但不限于——电、磁、光、电磁、红外线或半导体的系统、装置或器件，或者任一以上的组合。计算机可读存储介质的更具体的例子（非穷举的列表）包括：具有一个或多个导线的电连接、便携式计算机磁盘、硬盘、随机存取存储器（RAM）、只读存储器（ROM）、可擦式可编程只读存储器（EPROM或闪存）、光纹、便携式紧凑磁盘只读存储器（CD-ROM）、光存储器件、磁存储器件或者上述的任意合适的组合。在本发明中，计算机可读存储介质可以是任何包含或存储程序的有形介质，该程序可以被指令执行系统、装置或器件使用或者与其结合使用。

[0031] 计算机可读的信号介质可以包括在基带中或者作为载波一部分传播的数据信号，其中承载了计算机可读的程序代码，这种传播的数据信号可以采用多种形式，包括——但不限于——电磁信号、光信号或上述的任意合适的组合。计算机可读的信号介质还可以是计算机可读存储介质以外的任何计算机可读介质，该计算机可读介质可以发送、传播或者传输用于由指令执行系统、装置或器件使用或者与其结合使用的程序。

[0032] 计算机可读介质上包含的程序代码可以用任何适当的介质传输。包括——但不限于——无线电、电信、光缆、RF等等，或者上述的任意合适的组合。

[0033] 可以以一种或多种程序设计语言或其组合来编写用于执行本发明操作的计算机程序代码，所述程序设计语言包括面向对象的程序设计语言，诸如Java、Smalltalk、C++，还包括常规的程式化语言或类似的程序设计语言。程序代码可以完全地在用户计算机上执行、部分地在用户计算机上执行、作为一个独立的软件包执行、部分在用户计算机上部分在远程计算机上执行、或者完全在远程计算机或服务器上执行。在涉及远程计算机的情形中，远程计算机可以通过任何种类的网络——包括局域网（LAN）或广域网（WAN）——连接到用户计算机，或者，可以连接到外部计算机（例如利用因特网服务提供商来通过因特网连接）。

[0034] 下面将参照本发明实施例的方法、装置（系统）和计算机程序产品的流程图和/或框图描述本发明。应当理解，流程图和/或框图的每个方框以及流程图和/或框图中各方框的组合，都可以由计算机程序指令实现。这些计算机程序指令可以提供给通用计算机、专用计算机或其它可编程数据处理装置的处理器，从而生产出一种机器。这些计算机程序指令通过计算机或其它可编程数据处理装置执行，产生了实现流程图和/或框图中的方框中规定的功能/操作的装置。

[0035] 也可以把这些计算机程序指令存储在能使计算机或其它可编程数据处理装置以特定方式工作的计算机可读介质中，这样，存储在计算机可读介质中的指令就产生出一个包括实现流程图和/或框图中的方框中规定的功能/操作的指令装置（instruction means）的制造品（manufacture）。

[0036] 也可以把计算机程序指令加载到计算机、其它可编程数据处理装置、或其它设备上，使得在计算机、其它可编程数据处理装置或其它设备上执行一系列操作步骤，以产生计算机实现的过程，从而使得在计算机或其它可编程装置上执行的指令能够提供实现流程图
和/或框图中的方框中规定的功能/操作的过程。

【0037】现在参看图3，其示出根据本发明一个实施例的SDR基站系统的结构示意图。如图3所示，基站系统包括射频单元30，适配器40和基带处理单元50。射频单元30配置为向移动终端发送数据，并从其接收数据。进一步地，射频单元30一般地通过光纤连接到适配器40，向适配器40提供来自移动终端的上行数据，并从其获得经过处理的下行数据。

【0038】适配器40连接在射频单元30和基带处理单元50之间，对通信数据进行传递和转换。具体地，适配器40包括射频接口41，IT接口42，基准时钟生成器43以及同步处理逻辑400。射频接口41直接与射频单元30相连接，与其交换数据。具体地，射频接口41可以是CPRI接口或1R接口。在另一侧，IT接口42与基带处理单元50直接相连，与其交换数据。具体地，IT接口42可以是各种IT接口，例如PCI-E，以太网接口，USB接口等。基准时钟生成器43连接到外部的时钟源，基于时钟源提供的时钟生成基站系统的基准时间。上述时钟源可以是任何能够提供标准时钟的部件，典型地，时钟源为GPS时钟源。以上所述的射频接口41，IT接口42和基准时钟生成器43在现有的适配器中也有提供，因此不再对其进行详细描述。为了对TDD模式下的通信数据进行传递和转换，适配器40进一步包括同步处理逻辑400。该同步处理逻辑400协助进行上行数据帧与下行数据帧的帧同步处理以及适配器50与基带处理单元50之间的时间同步处理。

【0039】基带处理单元50基于通用的IT平台，因此在物理层包含通用处理器。为了协助进行基带处理，基带处理单元50在操作系统中的无线栈之下包含同步模块500。该同步模块500与适配器40中的同步处理逻辑400协同工作，从而实现TDD模式下上行数据帧与下行数据帧的帧同步，以及适配器40与基带处理单元50之间的时间同步。以下具体描述同步处理逻辑400和同步模块500的结构和实施方式。

【0040】图4示出根据本发明一个实施例的适配器的结构示意图。图4中的适配器除包含与图3相同的射频接口41，IT接口42，基准时钟生成器43之外，进一步示出了同步处理逻辑400的结构。具体地，同步处理逻辑400包括帧获取逻辑单元401，帧同步逻辑单元402和时间反馈逻辑单元403。其中帧获取逻辑单元401配置为基于接收的无线帧数据获取上行数据帧；帧同步逻辑单元402配置为管理所述上行数据帧的帧标签；时间反馈逻辑单元403配置为向基带处理单元50反馈下行数据帧的到达时间。

【0041】帧获取逻辑单元401与射频接口41进行无线帧数据交换，执行解帧和成帧。具体地，帧获取逻辑单元401通过对接收的无线帧数据解帧获得上行数据帧，并且帧获取逻辑单元401还从基带处理单元获得下行动数据帧，基于上行动数据帧和下行动数据帧构成要发送的无线帧。如本领域技术人员所知，在TDD模式下，上行数据和下行数据在不同时隙中进行传输。相应地，TDD模式下的无线帧同时包含上行数据和下行数据。根据LTE（长期演进）系统的规定，TDD模式下的每个无线帧时长为10ms，并进一步包括2个长度为5ms的半帧。每个半帧由4个数据子帧和1个特殊子帧组成。在这些数据子帧中，一部分用于上行数据的传输，另一部分用于下行数据的传输。上下行数据子帧的比例可以根据上下行的业务量来进行更改和配置。基于这样的TDD无线帧，帧获取逻辑单元401根据预定的无线帧结构进行时隙切换，从而获取用于上行传输的子帧中的数据，在此基础上称为上行动数据帧。上行动数据帧从帧获取逻辑单元401继续向基带处理单元传输，经过同步处理，最终进入基带处理单元50。基带处理单元50产生下行动数据帧。下行数据帧经过同步处理最终到达帧获取逻辑单元401。对于经过同步
的上行数据帧和下行数据帧，帧获取逻辑单元401可以根据预定帧结构，将数据放入相应的时隙（或子帧），从而构成无线帧。进一步地，帧获取逻辑单元401将构成的无线帧发送给射频接口41，进而经由射频单元进行无线传送。

【0042】来自帧获取逻辑单元401的上行数据帧可以暂存在上行数据缓冲器408中，来自上游的基带处理单元的下行数据帧可以暂存在下行数据缓冲器409中；通常地，上行数据帧和下行数据帧之间需要维持特定的对应关系，例如一个下行数据帧中可能包含对特定上行数据帧的确认，反之亦然。这就需要根据上述特定的对应关系来安排上行数据帧和下行数据帧，也就是实现上行数据帧和下行数据帧的帧同步。为此，帧同步逻辑单元402从上行数据缓冲器408获取上行数据帧，并从下行数据缓冲器409获取下行数据帧，通过管理上行数据帧的帧标签来协助实现上行数据帧和下行数据帧的对应。以上所述的帧标签是附加到数据帧的一种标识，该标识可以表现为数字、字符、代码等能够标记出特定数据帧的标识。具体地，帧同步逻辑单元402包括下行帧标签检测器404以及上行帧标签管理器405。一般地，首先由基带处理单元50为下行数据帧添加帧标签。因此，适配器40中的下行数据缓冲器409中存储的下行数据帧已经具有帧标签。于是，下行帧标签检测器404可以通过帧检测到的下行数据帧的帧标签。上行帧标签管理器405连接到下行帧标签检测器404，基于其检测到的下行数据帧的帧标签，为上行数据帧添加对应的帧标签。在另一个实施例中，对于每一个下行数据帧，下行帧标签检测器404检测到帧标签，然后上行帧标签管理器405基于检测到的帧标签为上行数据帧添加对应的帧标签。在另一个实施例中，帧标签具有固定的生成规则，例如是递增的数字。此时，在一个例子中，在下行帧标签检测器404检测到第一个下行数据帧的帧标签时，上行帧标签管理器405根据该帧标签为上行数据帧添加对应的帧标签；对于之后的上行数据帧，上行帧标签管理器405根据生成规则来生成新的帧标签，并将其添加到上行数据帧。在一个例子中，上行帧标签管理器405周期性地检查上行数据帧和下行数据帧的帧标签的对应性。这使得上行数据帧和下行数据帧之间能够维持特定的对应关系，从而实现帧同步。

【0043】除了帧同步之外，对于TDD模式，还需要实现适配器40与基带处理单元50之间的时间同步。为此，时间反馈逻辑单元403通过提供时间反馈的方式来辅助进行时间同步处理。具体地，时间反馈逻辑单元403包括时间提供逻辑406和时间记录逻辑407。时间提供逻辑406连接到基准时钟生成器43，根据基准时钟生成器43生成的时钟来提供基准时间。在一个实施例中，时间提供逻辑406可以周期性地将基准时间提供给上述的帧获取逻辑单元401，使得帧获取逻辑单元401能够根据基准时间来进行时间切换。由此，上行数据帧可以根据所提供的时间来进行。并且，时间提供逻辑406还将基准时间提供给时间记录逻辑407，时间记录逻辑407连接到下行数据缓冲器409，基于基准时间来记录下行数据帧到达下行数据缓冲器409的时间，即下行数据到达时间。进一步地，时间记录逻辑409将获取的基准时间和记录的下行数据到达时间一起作为时间数据传送给基带处理单元50，以协助基带处理单元50实现时间同步。

【0044】以上参考图4描述了包含同步处理逻辑400的适配器40。如前所述，适配器的同步处理逻辑400需要与基带处理单元50中的同步模块500协同工作，从而实现TDD数据的帧同步和时间同步。以下描述基带处理单元50及其同步模块500的执行方式。

【0045】图5示出根据本发明一个实施例的基带处理单元的结构示意图。图5中的基带处理
单元50通过通用IT接口与图4的适配器相连接，与其交换帧数据、标签数据和时间数据。具体地，基带处理单元50中的同步模块500包括时间同步模块501和帧同步模块502，其中时间同步模块501配置为至少根据从适配器反馈的前一下行数据帧的到达时间确定产生当前下行数据帧的时间，帧同步模块502配置为管理下行数据帧的帧标签。

【0046】 如前所述，经由IT接口，适配器中的时间反馈逻辑单元403将时间数据传送到基带处理单元50，这些时间数据包括基线时间和下行数据帧到达适配器的时间。由于下行数据帧是在基带处理单元50中产生并传送到适配器40中的，因此，基带处理单元50可以利用从适配器40接收到的前一下行数据帧的到达时间来预测接下来的下行数据帧到达适配器40的时间，并根据确定和调整接下来的下行数据帧的发送时间，从而达到时间同步。

【0047】 图6示出TDD模式下上行处理和下行处理的时序的一个例子。在图6的示意图中，上升沿表示上行时隙开始，在这个时隙中，射频单元从移动终端接收信号，并将信号向上传送到基带处理单元中进行处理；下降沿表示下行时隙开始，在这个时隙中，射频单元向移动终端发送信号。对于上行数据来说，假定在上升沿开始的时刻t₀p0，射频单元开始接收上行数据，在之后的时刻t₀p1，上行数据从射频单元经由适配器40传送到基带处理单元50开始进行处理。对于下行数据来说，由于射频单元需要在下降沿的开始时刻就开始发送下行数据，因此基带处理单元50必须提前生成下行数据。我们首先详细描述前一下行数据帧，也就是第0帧的产生和发送过程。假定在时刻t₀f0，经由下行应用接口触发软件协议栈中的下行应用产生第0帧下行数据；接着在时刻t₀f0，下行应用生产了下行数据并开始向适配器40传送下行数据；之后，在时刻t₀f0，下行数据经由IT接口到达适配器40。如前所述，时间t₀f0也就是从适配器反馈到基带处理单元50的下行数据到达时间。为了确保下行数据帧在射频单元开始发送射频信号之前到达，下行数据帧的到达时刻t₀f0和射频单元开始发送下行数据的时刻t₀f0之间的差Δt₀＝t₀f0−t₀f0需要在预定范围之内，例如位于区间[Δt₀min, Δt₀max]之内，其中Δt₀min, Δt₀max为预定的值。因此，在从适配器获得反馈的t₀f0的基础上，可以采用多种方法来计算和调整当前下行数据帧，也就是第1帧的触发时间t₁f1，使得当前下行数据帧能够在适当时刻到达适配器。

【0048】 为了确定产生当前下行数据帧的时间，在一个实施例中，时间同步模块501包括下行动态模块503和时间确定模块504，其中下行动态模块503配置为记录前一下行数据帧的时间，时间确定模块504配置为至少根据前一下行数据帧的产生时间以及反馈到的前一下行数据帧的到达时间来确定接下来的当前下行数据帧的产生时间。仍然参照图6的例子，下行动态模块503可以记录前一下行数据帧，也就是第0帧的产生时间t₀f0。时间确定模块504至少根据t₀f0和反馈的t₀f0，确定当前的第1帧下行数据帧的产生时间t₁f1。在本发明的实施例中，时间确定模块504可以采用多种方法确定时间t₁f1。例如，为了前述的时间差Δt₀满足Δt₀min≤Δt₀≤Δt₀max, t₀f0需满足：

\[ t₀f0−Δt₀min≤t₀f0≤t₀f0+Δt₀max \]

【0049】 其中，Δt₀min, Δt₀max为预定的值，t₀f0可以根据基准时间确定。因此，在一个例子中，时间确定模块504首先判断反馈得到的t₀f0是否在上述预定范围内。如果t₀f0在上述范围之内，则仍按照原有周期产生当前下行数据帧。如果t₀f0超出上述范围，则需要重新计算当前下行数据帧的产生时间。在一个例子中，如果反馈时间t₀f0使得Δt₀＞Δt₀max，那么时间确定模块504就将第1帧下行数据的触发时间设定为：

\[ t₁f1=t₀f0−Δt₀max−(t₀f0−t₀f0) \]

如果反馈时
间$\Delta t_{0} \leq \Delta t_{\text{min}}$，那么就可以第1帧下行数据的触发时间设定为：$t_{\text{tg1}} = t_{\text{d1n}} - \Delta t_{\text{min}} - (t_{\text{m0}} - t_{\text{tg0}})$。

[0051] 在另一个例子中，时间同步模块501还包括上行时间记录模块505，配置为记录上行数据帧到达基带处理单元50的时间。在这个例子中，时间确定模块504进一步还参照模块505记录的上行数据到达时间来确定下行数据帧产生时间。

[0052] 以上描述了利用反馈的下行数据帧到达时间来确定在何时产生接下的下行数据帧的具体例子。然而，可以理解，同时间同步模块501可以采用更多种方式，基于反馈时间来动态调整接下的下行数据帧产生时间，使得基带处理单元50产生的下行数据帧在适当时刻到达适配器40，也就是实现基带处理单元50和适配器40之间的时间同步。

[0053] 根据一个实施例，时间确定模块504在确定的下行动态数据帧产生时间（例如$t_{\text{tg1}}$），经由下行应用接口向下行应用发出触发信号，使其产生下行数据帧。

[0054] 发出的下行数据帧接着经过帧同步模块502，以进行数据帧的同步处理。该帧同步模块502与适配器中的帧同步逻辑单元402协同工作，通过管理数据帧的帧标签来实现帧同步。具体地，帧同步模块502包括下行帧标签产生模块506，上行帧标签检测模块507以及标签管理模块508。下行帧标签产生模块506配置为，为下行数据帧产生帧标签。上行帧标签检测模块507配置为，允许来适配器40的添加有帧标签的上行数据帧，检测所添加的帧标签。标签管理模块508配置为确保上行动态帧的帧标签和下行数据帧的帧标签的对应性。在一个实施例中，下行帧标签产生模块506根据预定的标签产生规则来产生下行数据帧的帧标签。上述标签产生规则可以通过标签管理模块508来指定和管理。在一个实施例中，如果检测到上行动态帧的帧标签和下行数据帧的帧标签出现不对应的情况，则标签管理模块508可以调整下行数据帧的顺序或改变下行数据帧的帧标签，以此确保调整或改变后的下行数据帧的帧标签与上行动态帧的帧标签相对应。

[0055] 如上所述，同步模块500中的时间同步模块501可以使得基于处理单元50适时地产生下行数据帧，而帧同步模块502可以管理下行数据帧的帧标签。该同步模块500与适配器40中的同步处理逻辑400相协作，就可以确保上行动态帧和下行数据帧的帧同步以及适配器40与基带处理单元50之间的时间同步。以上的适配器和基带处理单元的执行方式均适用于TDD通信模式。

[0056] 进一步地，还可以对图4所示的适配器40和图5所示的基带处理单元50进行修改，使其适用于TDD和FDD两种通信模式。

[0057] 图7示出根据本发明一个实施例的双模适配器的结构示意图。相比于图4所示的适配器，图7的适配器40还包括了模式切换逻辑45，通过发出模式通知信号来使得适配器在TDD模式和FDD模式之间进行模式切换。在一个实施例中，模式切换逻辑45配置为自动检测当前通信模式。通常，不同型号和配置的射频单元适用于不同的通信模式。因此，在一个例子中，模式切换逻辑45通过检测所连接的射频单元的型号来确定当前的通信模式。在另一实施例中，模式切换逻辑45可以接受设定，以此确定当前的通信模式。基于确定的通信模式，模式切换逻辑45可以向适配器40中的其他逻辑发出模式通知信号，以此通知其他逻辑在特定模式下工作。相应地，适配器40中的各个逻辑单元配置为响应于模式通知信号而切换到特定工作模式。

[0058] 根据一个实施例，模式切换逻辑45将模式通知信号发送到帧获取逻辑单元401，相
应地，帧获取逻辑单元401进一步配置为根据模式通知信号在不同模式下进行解帧和成帧。在TDD模式下，帧获取逻辑单元401对无线帧进行时隙切换，从而获取上行数据帧；此外，帧获取逻辑单元401还可以从上游获得下行数据帧，根据时隙安排将上行数据帧和下行数据帧构成为无线帧，如之前参照图4所进行的描述。而在FDD模式下，无线帧具有不同的特性和结构。如果本领域技术人员认知，其在FDD模式下，上行数据和下行数据在两个对称频率信道上进行传输，因此，一个无线帧仅仅包含上行数据或者下行数据。因此，帧获取逻辑单元401响应于FDD模式通知信号，切换到FDD工作模式，在此模式下，帧获取逻辑单元401直接从上行无线帧中获取数据，作为上行数据帧（而不需进行时隙切换）。类似地，对于从上游获得的下行数据帧，帧获取逻辑单元401可以直接将其构成为下行无线帧。

此外，模式切换逻辑45还将模式通知信号发送到时间反馈逻辑单元403。可以理解，时间反馈逻辑单元403设置用于解决TDD模式下适配器40和基带处理单元50之间的时间同步问题。而在FDD模式下，并不要求这样时间同步。因此，响应于TDD模式通知信号，时间反馈逻辑单元403提供下行数据到达时间的反馈以辅助进行时间同步处理，如参照图4所进行的描述；而响应于FDD模式通知信号，时间反馈逻辑单元403进入空闲状态，在该状态下，时间反馈逻辑单元403不进行任何工作。

此外，本领域技术人员可以理解，在TDD模式和FDD模式下，均需要进行帧同步处理。因此，帧同步逻辑单元402的执行方式没有变化，在此不再赘述。

与图7的适配器相对应地，基带处理单元50也可以扩展为适合于双模通信。图8示出根据本发明一个实施例的基带处理单元的结构示意图。相比于图5所示的基带处理单元，图8的基带处理单元50还包括了模式切换模块510，用于确定通信模式，发出模式通知信号，使得基带处理单元40和基带处理单元50的模式切换。

在一个实施例中，模式切换模块510可以作用为接口，接受用户对通信模式的设定，基于该设定确定通信模式。进一步地，模式切换模块510可以将确定的通信模式通知到适配器40中的模式切换逻辑45，使其获知当前通信模式。基于确定的通信模式，模式切换模块510可以向基带处理单元50中其他模块发出模式通知信号，以此通知其他模块在特定模式下工作。具体地，基带处理单元50中的时间同步模块501设置用于解决TDD模式下的时间同步问题，而在FDD模式下，并不要求这样的时间同步。因此，响应于TDD模式通知信号，时间同步模块501根据反馈时间控制下行数据的发送时间，如参照图5所进行的描述；而响应于FDD模式通知信号，时间同步模块501进入空闲状态，不进行任何工作。并且，如前所述，在TDD模式和FDD模式下，均需要进行帧同步处理。因此，帧同步模块502的执行方式没有变化，在此不再赘述。

因此，通过在适配器40和基带处理单元50中分别添加模式切换逻辑/模块，使得时间反馈逻辑单元403和时间同步模块501在FDD模式下不起作用，就可以使得适配器40和基带处理单元50适用于TDD和FDD两种通信模式。

以上所描述的适配器40中的各个逻辑可以通过FPGA，DSP等可编程硬件来实现。或者，在一个实施例中，适配器40中的逻辑可以通过软件来实现，或者通过软件和硬件的结合来实现。由于基带处理单元50是基于通用IT平台，其中的各个模块主要体现为软件模块的形式。可以理解，本领域技术人员在本说明书的教导下可以对以上实施例中描述的适配器40和基带处理单元50进行形式上的多种修改，例如合并某些逻辑或模块，或者拆分某些逻
辑或模块，这样的修改都应该涵盖在本发明构思之内。

[0065] 基于同一发明构思，本发明的实施例还提供了一种在基站系统中适配器和基带处理单元之间针对TDD通信模式进行时间同步的方法。图9示出根据本发明的一个实施例的方法的流程图。如图9所示，在步骤91，基带处理单元生成下行数据帧，并将该下行数据帧发送到适配器；在步骤92，适配器接收到所述下行数据帧，并将下行数据帧的到达时间反馈到基带处理单元；在步骤93，基带处理单元基于反馈的下行数据帧的到达时间确定生成下一个下行数据帧的时间。

[0066] 在一个实施例中，在步骤93，基带处理单元首先判断反馈得到的下行数据帧的到达时间是否在预定范围内。如果反馈时间在上述范围之内，则基带处理单元仍按照原有周期产生下一个下行数据帧。如果反馈时间超出上述预定范围，则基带处理单元至少基于反馈时间重新计算下一个下行数据帧的产生时间。

[0067] 图9所示的方法的具体执行方式可以参照针对图4的时间反馈逻辑单元、图5的时间确定模块以及图6的时序图进行的具体描述。

[0068] 可以理解，附图中的流程图和框图显示了根据本发明的多个实施例的系统、方法和计算机程序产品的可能实现的体系架构、功能和操作。在这点上，流程图或框图中的每个方框可以代表一个模块、程序段或代码的一部分，所述模块、程序段或代码的一部分包含一个或多个用于实现规定的逻辑功能的可执行指令。也应注意到，所有作为替换的实现中，方框中所标注的功能也可以以不同于附图中所标注的顺序发生。例如，两个连续的方框实际上可以基本并行地执行，它们有时也可以按相反的顺序执行，这依所涉及的功能而定。也应注意的是，框图和/或流程图中的每个方框、以及框图和/或流程图中的方框的组合，可以用执行规定的功能或操作的专用的基于硬件的系统来实现，或者可以用专用硬件与计算机指令的组合来实现。

[0069] 以上已经描述了本发明的各实施例，上述说明是示例性的，并非穷尽性的，并且也不限于所披露的各实施例。在不偏离所说明的各实施例的范围和精神的情况下，对于本技术领域的普通技术人员来说，许多修改和变更都是显而易见的。本文中所用术语的选择，旨在最好地解释各实施例的原理、实际应用或对市场中的技术的技术改进，或者使本技术领域中其它普通技术人员能理解本文披露的各实施例。
图2
图3
图4
图5

图6
图7
图8

基带处理单元生成下行数据帧，并将其发送到适配器

适配器接收到下行数据帧，并将下行数据帧的到达时间反馈到基带处理单元

基带处理单元基于反馈的到达时间确定生成下一下行数据帧的时间

图9