



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0035891
(43) 공개일자 2011년04월06일

(51) Int. Cl.

H01L 29/786 (2006.01) G02F 1/136 (2006.01)

(21) 출원번호 10-2010-0089849

(22) 출원일자 2010년09월14일

심사청구일자 없음

(30) 우선권주장

JP-P-2009-227013 2009년09월30일 일본(JP)

(71) 출원인

소니 주식회사

일본국 도쿄도 미나토구 코난 1-7-1

(72) 발명자

칸노 미치히로

일본국 도쿄도 미나토구 코난 1-7-1 소니 주식회사 내

카와무라 타카히로

일본국 도쿄도 미나토구 코난 1-7-1 소니 주식회사 내

(74) 대리인

최달용

전체 청구항 수 : 총 22 항

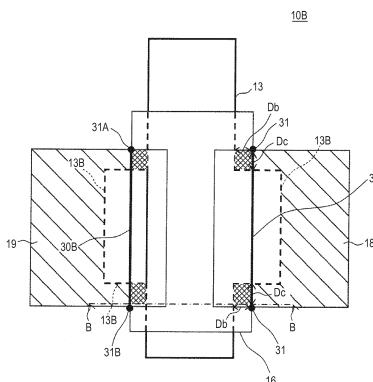
(54) 반도체 디바이스 및 표시 장치

(57) 요 약

본 발명의 박막 트랜지스터는, 절연막과, 상기 절연막의 표면부에 매입된 게이트 전극과, 상기 게이트 전극 및 상기 절연막상의 게이트 절연막과, 상기 게이트 절연막상의 반도체막과, 단면이 순(forward) 테이퍼 형상의 슬로우프인 상기 반도체막의 일부분상의 채널 보호막과, 상기 채널 보호막의 하나의 테이퍼 형상의 측면상에 장착된 상기 반도체막상의 제1의 전극과, 상기 채널 보호막의 다른 테이퍼형상의 측면상에 장착된 상기 반도체막상의 제2의 전극을 포함하고, 상기 제1의 전극에 가장 가까운 상기 게이트 전극의 에지는 상기 제1의 전극이 상기 반도체막에 접하는 지점으로부터 상기 제2의 전극을 향해 오프셋 배치된다.

대 표 도 - 도4

<제2 실시형태>



특허청구의 범위

청구항 1

박막 트랜지스터에 있어서,
절연막과,
평면으로 보아 주변부를 갖는 상기 절연막내의 게이트 전극과,
상기 절연막상의 반도체 박막과,
평면으로 보아 2개의 대향 에지를 갖는 주변부를 또한 갖는 반도체 기판상의 채널 보호층과,
상기 채널 보호층 중의 하나의 에지를 덮는 부분을 갖는 상기 반도체 박막상의 제1의 전극과,
상기 채널 보호층 중의 다른 하나의 에지를 덮는 부분을 갖는 상기 반도체 박막상의 제2의 전극을 포함하고,
평면으로 보아 상기 채널 보호층의 주변부를 따른 부분인 에지 포인트들은 상기 제1 또는 제2의 전극이 상기 채널 보호층의 상기 에지를 덮는 곳에 위치하고,
평면으로 보아 적어도 하나의 에지 포인트는 상기 게이트 전극의 상기 주변부의 외측에 위치하는 것을 특징으로 하는 박막 트랜지스터.

청구항 2

제1항에 있어서,
평면으로 보아 각각의 상기 제1 및 제2의 전극 중의 적어도 하나의 에지 포인트는 상기 게이트 전극의 상기 주변부의 외측에 위치하는 것을 특징으로 하는 박막 트랜지스터.

청구항 3

제1항에 있어서,
평면으로 보아 상기 채널 보호층의 적어도 하나의 에지는 절결부(cutout portion)를 갖는 것을 특징으로 하는 박막 트랜지스터.

청구항 4

제3항에 있어서,
평면으로 보아 각각의 상기 제1 또는 제2의 게이트 전극은 상기 적어도 하나의 절결부로 연장되는 것을 특징으로 하는 박막 트랜지스터.

청구항 5

제3항에 있어서,
평면으로 보아 상기 채널 보호층의 각각의 에지는 절결부를 포함하고, 상기 제1 및 제2의 게이트 전극은 그들 각각의 절결부에 연장되는 것을 특징으로 하는 박막 트랜지스터.

청구항 6

제1항에 있어서,
평면으로 보아 상기 게이트 전극은 상기 채널 보호층 보다 더 넓은 것을 특징으로 하는 박막 트랜지스터.

청구항 7

제 1항에 있어서,
상기 제1 및 제2의 전극은 저저항성 배선 물질로 이루어지는 것을 특징으로 하는 박막 트랜지스터.

청구항 8

제 1항에 있어서,

적어도 하나의 상기 제1 및 제2의 전극은 티타늄으로 제조되는 것을 특징으로 하는 박막 트랜지스터.

청구항 9

제1항에 있어서,

평면으로 보아 상기 게이트 전극의 중심은 상기 채널 보호막의 중심으로부터 오프셋 배치되는 것을 특징으로 하는 박막 트랜지스터.

청구항 10

제1항에 있어서,

상기 게이트 전극의 표면은 상기 절연막의 표면과 함께 플러싱(fushing)되는 것을 특징으로 하는 박막 트랜지스터.

청구항 11

박막 트랜지스터 제조 방법에 있어서,

절연막을 형성하는 스텝과,

평면으로 보아 주변부를 갖는 상기 절연막에 게이트 전극을 형성하는 스텝과,

상기 절연막상에 반도체 박막을 형성하는 스텝과,

평면으로 보아 2개의 대향 에지를 갖는 주변부를 또한 구비하는 채널 보호층을 상기 반도체 박막상에 형성하는 스텝과,

제1의 전극을 상기 채널 보호층 중의 하나의 에지를 덮는 부분을 갖는 상기 반도체 박막상에 형성하는 스텝과,

제2의 전극을 상기 채널 보호층 중의 다른 하나의 에지를 덮는 부분을 갖는 상기 반도체 박막상에 형성하는 스텝을 포함하고,

평면으로 보아 상기 채널 보호층의 상기 주변부를 따른 부분인 에지 포인트들은 상기 제1 또는 제2의 전극이 상기 채널 보호층의 상기 에지를 덮는 곳에 위치하고,

평면으로 보아 적어도 하나의 에지 포인트는 상기 게이트 전극의 상기 주변부의 외측에 위치하는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 12

제11항에 있어서,

평면으로 보아 각각의 상기 제1 및 제2의 전극 중의 적어도 하나의 에지 포인트는 상기 게이트 전극의 상기 주변부의 외측에 위치하는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 13

제11항에 있어서,

평면으로 보아 상기 채널 보호층의 적어도 하나의 에지는 절결부(cutout portion)를 갖는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 14

제13항에 있어서,

평면으로 보아 각각의 상기 제1 또는 제2의 게이트 전극은 상기 적어도 하나의 절결부로 연장되는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 15

제13항에 있어서,

평면으로 보아 상기 채널 보호층의 각각의 에지는 절결부를 포함하고, 상기 제1 및 제2의 게이트 전극은 그들 각각의 오목한 절결부에 연장되는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 16

제11항에 있어서,

평면으로 보아 상기 게이트 전극은 상기 채널 보호층 보다 더 넓은 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 17

제 11항에 있어서,

상기 제1 및 제2의 전극은 저저항성 배선 물질로 이루어지는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 18

제 11항에 있어서,

적어도 하나의 상기 제1 및 제2의 전극은 티타늄으로 제조되는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 19

제11항에 있어서,

평면으로 보아 상기 게이트 전극의 중심은 상기 채널 보호막의 중심으로부터 오프셋 배치되는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 20

제11항에 있어서,

상기 게이트 전극의 표면은 상기 절연막의 표면과 함께 플러싱(fushing)되는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 21

박막 트랜지스터에 있어서,

반도체 박막과,

평면으로 보아 주변부를 갖는 게이트 전극과,

상기 반도체 박막에 접속되고, 평면으로 보아 제1의 방향으로 상기 게이트 전극을 향하여 연장되는 부분을 갖는 제1의 전극과,

상기 반도체 박막에 접속되고, 평면으로 보아 상기 제1의 방향과 반대인 제2의 방향으로 상기 게이트 전극을 향하여 연장되고 상기 게이트 전극에 대향하는 에지를 갖는 제2의 전극을 포함하고,

평면으로 보아 상기 제1 및 제2의 전극의 하나의 에지의 적어도 한 부분은 상기 게이트 전극의 상기 주변부의 외측에 위치하는 것을 특징으로 하는 박막 트랜지스터.

청구항 22

제21항에 있어서,

평면으로 보아 상기 제1 및 제2의 전극의 각각의 에지의 한 부분은 상기 게이트 전극의 상기 주변부의 외측에 위치하는 것을 특징으로 하는 박막 트랜지스터.

명세서

기술분야

[0001] 본 발명은 기판과 절연된 상태에서 그 위에 적층된 반도체 박막에 대해, 채널의 형성을 제어하기 위한 게이트 전극이나 2개의 소스/드레인 전극을 갖는 박막 트랜지스터를 구비하는 반도체 디바이스에 관한 것이다. 또한, 본 발명은 박막 트랜지스터를 화소 회로 소자로서 이용하는 표시 장치에 관한 것이다.

배경기술

[0002] 박막 트랜지스터는 예를 들면 표시 장치의 화소 회로 내의 한 소자로서 이용하는 경우, 게이트 오프시에 소스/드레인 사이에 흐르는 전류가 크면 표시 화상에 멸점(flickering point)이나 휘점(glowing point)을 야기하고, 이것이 화소 특성 이상(abnormality)이 된다. 이 때문에, 박막 트랜지스터에 대해 오프 전류를 억제할 것이 요구된다. 그 한편으로, 휘도를 높게 하는 관점에서는 온 저항을 낮게 하여, 필요한 온 전류를 확보하는 것도 중요하다. 따라서 박막 트랜지스터의 온 전류와 오프 전류의 비(온-오프 비)를 향상시키는 것이 요구되고 있다. 또한, 박막 트랜지스터는 전류 제어의 응답성이 높은 즉 주파수 특성이 좋은 것도 요구된다.

[0003] 이러한 요구는 표시 장치의 화소 회로 소자 이외에서도, 사용된 회로의 특성에 의해 일반적으로 요구된다.

[0004] 동일한 반도체막안에 채널 형성 영역과, 그 양측에 2개의 소스/드레인 영역을 갖는 이른바 플레이너형의 TFT 구조가 알려져 있다, 예를 들면, JP-A-2002-313808호 공보 및 JP-A-2006-313776호 공보를 참조하라.

[0005] 상기 JP-A-2002-313808호 공보에서는 플레이너형의 박막 트랜지스터에 있어서, 온 전류를 저하시키지 않고서 오프 전류를 억제하는 방법으로서, 게이트 오버랩 LDD 구조가 제안되어 있다. 이 구조에서는 게이트 전극을 LDD 영역을 오버랩하는 2층구조로 하여, 2층의 게이트형성 과정에서 자기 정합적으로 저농도의 LDD 영역을 형성한다. 이 때 자기 정합적으로 LDD 유역이 형성될 수 있기 때문에, 소스/드레인 영역과 LDD 영역의 맞춤 어긋남이 무시할 수 있고, 제조시의 특성 편차를 억제할 수 있다.

[0006] 상기 구조에서는 2층째의 게이트 전극이 LDD 영역에 오버랩하고 있기 때문에, 온 동작시에 LDD 영역의 도전률이 향상하여 온 저항이 작아진다. 이와 같은 구조는 GOLDD(Gate Overlapped Lightly Doped Drain) 구조라고 불린다.

[0007] 또한, LDD 영역에 오버랩하는 상층의 제 2 게이트 전극을, 채널 형성 영역과 대향하는 하층의 제 1 게이트 전극 보다 고저항의 도전 재료를 이용함으로써 기생 용량을 저감한다.

[0008] 상기 JP-A-2006-313776호 공보에서는 LDD 영역 상부의 절연막을 두껍게 형성하여 게이트 전압으로부터의 전계 완화를 도모하고 있다. 이에 더하여 드레인 영역의 불순물 농도에도 구배를 갖게 하고 있다.

[0009] 한편, 이른바 스탠다드형이라고 말하는 TFT 구조가 알려져 있다. 예를 들면, JP-A-2008-258345호 공보 및 JP-A-5-275698호 공보를 참조하라.

[0010] 이러한 타입의 TFT는 채널이 형성되는 반도체 박막과는 다른 층(박막)에 소스/드레인 불순물 영역을 형성하는 구조를 채택한다. 이 경우, 게이트 전극이, 반도체 박막보다 하층에 배치되는 보텀 게이트 스탠다드형(inverted) 스탠다드형과, 상층에 배치되는 톱 게이트 스탠다드형(스탠다드형)의 2종이 존재한다.

[0011] 상기 JP-A-2008-258345호 공보는 보텀 게이트형 또는 톱 게이트형의 스탠다드 구조에 있어서, 오프 전류의 저감을 위해, 소스/드레인 영역의 불순물 층중의 농도를 채널층을 향하여 저농도로 형성하고 있다.

[0012] 또한, 상기 JP-A-5-275698호 공보에서는 오프 전류와 기생 용량을 함께 저감하는 것을 목적으로 하여, 게이트 전극에 평면으로 보아 요철의 단면(end surface) 형상을 형성하고, 그 요철의 단면에 대해 소스 전극 및 드레인 전극이 부분적이면서 이산적으로 겹쳐지는 레이아웃 형상을 제안하고 있다.

발명의 내용

해결하려는 과제

[0013] 상기 JP-A-2002-313808호 공보에 기재되어 있는 바와 같이, 리크 전류를 LDD 영역에 의해 저감하는 구조에서는 LDD 영역의 드레인 단(edge) 전계 완화에 의해 리크 전류를 어느 정도 저감할 수 있다. 그러나, 이 구조에서는 전류 경로에 일률적으로 형성된 LDD 영역에 의한 직렬 저항부가 전류 경로의 직렬 저항을 증대시키기 때문에,

그만큼 온 전류의 로스가 발생한다.

- [0014] 온 전류 확보의 관점에서, LDD 영역의 농도를 높게 하면(저항을 낮게하면), 채널 드레인 단의 고전계 영역에서 캐리어 발생률이 높아지고 오프 전류가 증대한다.
- [0015] 이와 같이, LDD 영역에 의한 해결으로는 오프 전류의 저감과, 온 전류의 확보에 트레이드 오프가 존재한다.
- [0016] 상기 JP-A-2006-313776호 공보 및 JP-A-2008-258345호 공보에서는 절연막 구조가 복잡하고, 또는 불순물 농도 구배가 흐트러지는 등의 불이익이 있다. 그 때문에, 오프 전류의 저감 효과가 충분히 얻어지지 않는다.
- [0017] 그 한편으로, 기생 용량의 저감도 중요하고, 상술한 JP-A-2002-313808호 공보, JP-A-2006-313776호 공보, 및 JP-A-2008-258345호 공보는 게이트 전극을 드레인 영역이나 소스 영역에 오버랩시키는데, 그 오버랩 면적이 넓으면 기생 용량이 증대하여 고속 동작을 저해한다.
- [0018] 상기 JP-A-5-275698호 공보에서는 기생 용량 저감과 리크 전류 저감의 트레이드 오프를 완화하는 것이다. 보다 상세하게, 상기 JP-A-5-275698호 공보는 보텀 게이트 스탠다드 형상에 있어서, 드레인 전극이 반도체 박막과 접촉하는 전극 에지에 대해 게이트 전극의 볼록부를 이산적으로 겹치는 레이아웃을 채용하고 있다.
- [0019] 그러나, 이 구조에서는 게이트 폭방향(채널 전류 방향과 직교하는 방향)에서, 게이트 전극의 전계 지배를 받는 채널 영역이 반감하기 때문에, 전류 구동 능력이 부족하고, 온 저항이 큰 경우와 같이 큰 전류를 흐릴 수가 없다. 즉, 이 구조에서는 기생 용량과 리크 전류의 트레이드 오프는 어느 정도 완화될 수 있어도, 외관상의 온 저항이 커지기 때문에 실용적이 될 수 없다.
- [0020] 상술한 바와 같이, JP-A-2002-313808호 공보, JP-A-2006-313776호 공보, JP-A-2008-258345호 공보, 및 JP-A-5-275698호 공보에 기재된 기술에서는 온 저항을 희생으로 하지 않고서 기생 용량과 리크 전류의 트레이드 오프를 해소 또는 완화될 수가 없다. 이 때문에, 이들의 기준의 박막 트랜지스터를 표시 장치의 화소 회로 소자로서 이 용하면, 휘점이나 멀접을 방지하면서 화상의 고속 표시를 할 수가 없다.
- [0021] 따라서, 본 발명은 온 저항을 희생으로 하지 않고서 기생 용량과 리크 전류의 트레이드 오프를 해소 또는 완화될 수 있는 박막 트랜지스터를 갖는 반도체 디바이스를 제공하는 것이다. 또한, 본 발명은 이러한 박막 트랜지스터를 화소 회로 소자에 이용한 표시 장치를 제공하는 것이다.

과제의 해결 수단

- [0022] 본 발명의 실시 형태의 박막 트랜지스터는 절연막과, 상기 절연막의 표면부에 매입된 게이트 전극과, 상기 게이트 전극 및 상기 절연막상의 게이트 절연막과, 상기 게이트 절연막상의 반도체막과, 단면이 순(forward) 테이퍼 형상의 슬로우파인 상기 반도체막의 일부분상의 채널 보호막과, 상기 채널 보호막의 하나의 테이퍼 형상의 측면상에 장착된 상기 반도체막상의 제1의 전극과, 상기 채널 보호막의 다른 테이퍼형상의 측면상에 장착된 상기 반도체막상의 제2의 전극을 포함하고, 상기 제1의 전극에 가장 가까운 상기 게이트 전극의 에지는 상기 제1의 전극이 상기 반도체막에 접하는 지점으로부터 상기 제2의 전극을 향해 오프셋 배치된다.
- [0023] 본 발명의 실시 형태에 있어서, 상기 제2의 전극에 가장 가까운 상기 게이트 전극의 에지는 상기 제2의 전극이 상기 반도체막에 접하는 지점으로부터 상기 제1의 전극을 향해 오프셋 배치된다.
- [0024] 본 발명의 실시 형태에 있어서, 제2의 전극에 접하는 채널 보호층의 하부는 드레인 에지를 형성하고, 상기 제1의 전극에 접하는 채널 보호층의 하부는 소스 에지를 형성한다.
- [0025] 본 발명의 실시 형태에 있어서, 상기 게이트 절연막은 단층막이다.
- [0026] 본 발명의 실시 형태에 있어서, 상기 반도체막은 미세결정질 실리콘으로 이루어진다.
- [0027] 본 발명의 실시 형태에 있어서, 주배선막은 저저항성 배선 재료로 이루어진다.
- [0028] 본 발명의 실시 형태에 있어서, 하부 전극은 티타늄으로 이루어진다.
- [0029] 본 발명의 실시 형태에 있어서, 게이트 전극의 중심은 채널 보호막의 중심으로부터 오프셋 배치된다.
- [0030] 본 발명의 실시 형태에 있어서, 게이트 전극의 표면은 절연막의 표면과 함께 플러싱된다.
- [0031] 본 발명의 다른 실시 형태의 박막 트랜지스터의 제조 방법은 절연막을 형성하는 스텝과, 상기 절연막의 표면부에 매입된 게이트 전극을 형성하는 스텝과, 상기 게이트 전극 및 상기 절연막상에 게이트 절연막을 형성하는 스

텝과, 상기 게이트 절연막상에 반도체막을 형성하는 스텝과, 단면이 순(forward) 테이퍼 형상의 슬로우프인 상기 반도체막상에 채널 보호막을 형성하는 스텝과, 상기 채널 보호막의 하나의 테이퍼 형상의 측면상에 제1의 전극을 형성하는 스텝과, 상기 채널 보호막의 다른 테이퍼형상의 측면상에 장착된 제2의 전극을 형성하는 스텝을 포함하고, 상기 제1의 전극에 가장 가까운 상기 게이트 전극의 에지는 상기 제1의 전극이 상기 반도체막에 접하는 지점으로부터 상기 제2의 전극을 향해 오프셋 배치된다.

[0032] 본 발명의 다른 실시 형태에 있어서, 상기 제2의 전극에 가장 가까운 상기 게이트 전극의 에지는 상기 제2의 전극이 상기 반도체막에 접하는 지점으로부터 상기 제1의 전극을 향해 오프셋 배치된다.

[0033] 본 발명의 다른 실시 형태에 있어서, 제2의 전극에 접하는 채널 보호층의 하부는 드레인 에지로서 작동하고, 상기 제1의 전극에 접하는 채널 보호층의 하부는 소스 에지로서 작동한다.

[0034] 본 발명의 다른 실시 형태에 있어서, 상기 게이트 절연막은 단층막이다.

[0035] 본 발명의 다른 실시 형태에 있어서, 상기 반도체막은 미세결정질 실리콘으로 이루어진다.

[0036] 본 발명의 다른 실시 형태에 있어서, 주배선막은 저저항성 배선 재료로 이루어진다.

[0037] 본 발명의 다른 실시 형태에 있어서, 하부 전극은 티타늄으로 이루어진다.

[0038] 본 발명의 다른 실시 형태에 있어서, 게이트 전극의 중심은 채널 보호막의 중심으로부터 오프셋 배치된다.

[0039] 본 발명의 다른 실시 형태에 있어서, 게이트 전극의 표면은 절연막의 표면과 함께 플러싱된다. 본 발명의 다른 시스템, 방법, 특성, 및 장점은 이하의 도면 및 상세한 설명으로부터 본 분야의 당업자에게는 자명하게 될 것이다. 본 발명은 추가적인 시스템, 방법, 특성, 및 장점은 상세한 설명에 포함되고, 본 발명의 범위내에 있고 첨부된 청구범위에 의해 보호될 것이다.

발명의 효과

[0040] 상기 구성의 TFT는 에지 포인트와 게이트 전극이 벌어져 있고, 그 때문에 낮은 오프 리크 전류, 낮은 온 저항, 및, 낮은 기생 용량이라는 특성을 균형있게 갖는다. 그 때문에, 디스플레이 장치에 이용되는 박막 트랜지스터에 있어서, 게이트 오프시에 소스와 드레인 전극 사이에 흐르는 리크 전류 증대에 기인하는 화소의 멀접이나 회접의 불량을 유효하게 방지할 수 있다. 또한, 높은 주파수에 추종하여 동작할 수 있기 때문에 높은 동화 표시 성능의 디스플레이에도 적용할 수 있다. 또한, 온 저항이 작기 때문에, 보다 휙도가 높은 표시를 가능하게 한다.

[0041] 또한, 오프 리크 전류가 억제되고, 온 저항이 작기 때문에 전류 로스가 작아서, 표시 장치의 소비 전력이 저감한다.

[0042] 또한, 유기 EL 소자(LED의 일종) 이외의 LED를 발광 소자로서 이용하는 LED 표시 장치, 또는 플라즈마 표시 장치 등에 있어서, 그 화소 회로 소자에, 상기 실시 형태의 TFT를 이용할 수 있다. 또한, 표시 장치 이외에서도, 저 리크 특성, 저 온 저항, 저 기생 용량을 동시에 만족시키는 용도라면, 상기 제 1 내지 제 16의 실시 형태의 TFT를 알맞게 응용할 수 있다.

도면의 간단한 설명

[0043] 도 1은 제 1의 실시 형태에 관한 TFT의 주요부의 평면도.

도 2는 도 1의 A-A에 따른 주요부의 단면 구조도.

도 3A 내지 도 3E는 제 1의 실시 형태에 관한 TFT 구조의 제조 도중의 단면도.

도 4는 제 2의 실시 형태에 관한 TFT의 주요부의 평면도.

도 5는 도 4의 B-B에 따른 주요부의 단면 구조도.

도 6은 제 3의 실시 형태에 관한 TFT의 주요부의 평면도.

도 7은 도 6의 C-C에 따른 주요부의 단면 구조도.

도 8A 및 도 8B는 제 4의 실시 형태에 관한 TFT의 간략화한 평면도와 종방향의 약식 구성도.

도 9A 내지 도 9C는 제 5 및 제 6의 실시 형태에 관한 TFT의 간략화한 평면도와 종방향의 약식 구성도.

도 10A 내지 도 10E는 제 5 및 제 6의 실시 형태에 관한 TFT의 제조 도중의 단면도.

도 11A 내지 도 11C는 제 7 및 제 8의 실시 형태에 관한 TFT의 간략화한 평면도와 종방향의 약식 구성도.

도 12A 내지 도 12C는 제 9 및 제 10의 실시 형태에 관한 TFT의 간략화한 평면도와 종방향의 약식 구성도.

도 13A 내지 도 13C는 제 11 및 제 12의 실시 형태에 관한 TFT의 간략화한 평면도와 종방향의 약식 구성도.

도 14A 내지 도 14E는 제 13 내지 제 16의 실시 형태에 관한 TFT의 간략화한 평면도와 종방향의 약식 구성도.

도 15A 및 도 15B는 비교예에 관한 TFT의 평면도와, 전계 분포의 시뮬레이션 결과를 도시하는 3D 그래프.

도 16은 비교예에 관한 TFT의 리크 특성의 그래프.

도 17은 제 17의 실시 형태에 관한 유기 EL 디스플레이의 블록도.

도 18은 도 17의 유기 EL 디스플레이의 화소 회로도.

발명을 실시하기 위한 구체적인 내용

[0044]

본 발명의 다양한 실시 형태의 설명에 있어서, 본 발명의 범위내에 해당하는 더 많은 실시 형태 및 구성예가 가능하다는 것은 당업자에게는 자명할 것이다. 따라서, 본 발명은 첨부된 청구범위에 한정되는 것이 아니고 그들의 등가 실시 형태에도 적용될 것이다.

[0045]

상기 구성에 의하면, 상기 2개의 소스/드레인 전극의 적어도 한쪽이 드레인 전극으로서 기능하는 때에, 해당 드레인이 되는 전극은 상기 반도체막과 접하는 영역의 윤곽 부분에 전류가 집중한다. 이 때, 윤곽 부분에 가까운 전극 영역부터는 그 전류 경로의 저항이 가장 작아지는 윤곽 부분의 개소를 통과하여 채널 형성 영역에 전류가 유입한다. 한편, 그 나머지의 전극 부분부터의 전류는 윤곽 부분의 양단, 즉 2개의 에지 포인트에 집중한다. 또한, 윤곽 부분의 길이와, 이 드레인이 되는 소스/드레인 전극의 폭(통상, 채널 폭방향의 길이)이 동일한 경우에도, 전극 에지는 응력이 집중하고 있기 때문에, 전류가 집중하기 쉽다. 어느 쪽이든, 2개의 에지 포인트에는 다른 윤곽 부분의 영역보다 전류가 집중하기 쉽다.

[0046]

상기 현상은 해당 박막 트랜지스터가 온 상태일 때와 마찬가지로, 오프 상태일 때에도 생긴다. 즉, N채널형을 예로 하면, 오프 상태에서는 통상, 소스와 드레인이 바이어스되는데, 게이트 전극은 온 상태보다 낮은 0[V] 또는 부전압으로 바이어스 된다. 그 때 소스와 드레인 사이의 바이어스에 의해 전류가 흐를려고 한다. 그러나, 게이트 바이어스로 채널이 강제적으로 오프 되기 때문에, 그 전류가 저지되지만, 드레인 전극이나 기판 심부(deep part) 등을 통과하는 경로 등의 리크 패스를 통과하여 오프 전류가 흐른다. 그 경우, 온 전류와 마찬가지로, 드레인이 되는 소스/드레인 전극의 상기 윤곽 부분의 양단(2개의 에지 포인트)에 오프 전류가 집중한다. 이 전류 집중은 상기 윤곽 부분에 대해 전극면적이 크면 클수록 강해지고, 심지어, 2개의 에지 포인트가 전극총의 에지인 경우에도 강해진다.

[0047]

본 발명에서는 상기 2개의 에지 포인트를 게이트 전극 패턴의 외측에, 보다 바람직하게는 일정 거리 이상 벌려서 위치시킨 레이아웃 패턴으로 되어 있다.

[0048]

N채널형인 경우에, 일반적으로, 오프 전류는 드레인 단 부근의 채널부의 고 전계 영역에서 이온 임팩트화에 의해 생긴 캐리어중, 전자가 드레인 전극에 유입하고, 흘러 기판 심부 등의 패스를 통과하여 흐름으로써 발생한다. 그리고, 이 현상은 게이트 부(negative) 바이어스, 또한, 드레인 정(positive)의 고 바이어스시에 있어서, 게이트와 드레인 사이의 전압이 커지는 동작 영역에서 보다 현저하게 나타난다.

[0049]

리크 전류에는 트랜지스터의 채널 폭에 의존하는 성분과 의존하지 않는 성분을 갖고 있다. 채널 폭에 의존하지 않는 성분은 채널 폭을 정하고 있는 반도체막과 드레인 전극이 접하는 에지에 기인한 리크 성분으로 되어 있다. 그리고, 상기한 이유 때문에, 이 채널 폭에 의존하지 않는 성분은 2개의 에지 포인트를 통과하는 패스를 흐르는 전류가 지배적이 된다. 그래서, 본 발명에서는 게이트 전극을, 이 2개의 에지 포인트로부터 멀리한다. 이 때, 임팩트 이온화가 생기는 캐리어 발생 개소와, 리크 전류가 집중하기 쉬운 전극 에지 개소와의 거리를 조금 벌릴 뿐으로, 오프 전류는 현격한 차이로 저감한다.

[0050]

본 발명의 실시 형태에 관한 박막 트랜지스터(TFT)는 적어도 표면부가 절연성인 기판에 적층된 적층 구조 내에, 게이트 전극, 채널이 형성되는 반도체 박막, 게이트 절연막, 및, 2개의 소스/드레인 전극을 적층시킨 구조를 갖는다.

- [0051] 반도체막 재료에 다결정 실리콘을 이용한 박막 트랜지스터에서는 비교적 고온의 열처리를 사용할 수 있기 때문에, 이온 주입과 불순물 활성화가 제조 공정에서 사용된다. 그 때문에, 알맞게는 반도체막중에 채널 형성 영역과 2개의 소스/드레인 영역을 형성하는 이른바 플레이너형의 TFT 구조가 사용된다. 2개의 소스/드레인 영역은 평면으로 보아 채널 영역을 끼우는 위치에 역도전형의 불순물을 비교적 고농도로 도입된 반도체막의 일부 영역으로서 형성된다.
- [0052] 플레이너형의 TFT 구조는 반도체막 박막에 대해, 게이트 전극이 톱(반(反)기판)측에 오는지 보텀(기판)측에 오는지로, 각각 톱 게이트형과 보텀 게이트형이 있다. 본 발명이 실시 가능한 타입은 반도체막 재료가 다결정 실리콘인 것을 고려하면 보텀 게이트 플레이너형이 알맞다. 또한, 이 기재는 톱 게이트 플레이너형 예의 본 발명의 적용을 배제하는 것이 아니다.
- [0053] 한편, 비정질 실리콘이나 미결정 Si에서는 저온에서 반도체막을 형성할 필요가 있기 때문에, 채널 형성 영역과 소스/드레인 영역이 다른 반도체막에 형성되는 이른바 스태거형이 알맞게 사용된다. 또한, 소스/드레인 영역에 대해 게이트 전극이 보텀 측에 오는 TFT 구조를 보텀 게이트 스태거형, 소스/드레인 영역에 대해 게이트 전극이 톱 측에 오는 TFT 구조를 톱 게이트 스태거형이라고 부른다. 보텀 게이트 스태거형인 것을 역스태거형이라고 부르는 일도 있다.
- [0054] 본 발명의 적용에 즈음하여서는 2개의 소스/드레인 전극의 적어도 한쪽이, 채널이 형성되는 반도체막과 접하는 영역에 주목한다. 이 영역은 소스/드레인 전극이 해당 반도체막과 면에서 접하는 경우의 평면 영역의 경우와, 측면에서 접하는 측면 영역의 경우가 있다.
- [0055] 그리고, 이 영역에서, 소스/드레인 전극의 윤곽 부분을 규정하고, 그 양단부의 점을, 예지 포인트라고 부른다.
- [0056] 이 전제하에, 본 발명의 적용 요건은 2개의 예지 포인트의 각각이, 평면으로 보아(즉, 레이아웃 패턴에서) 게이트 전극의 외측에 위치하는 것이다. 이 요건의 구체적인 양태는 후술하지만, 예지 포인트를 양단으로 한 상기 윤곽 부분에 대해 게이트 전극이 어떻게 겹쳐지는지에 응하여, 이하의 레이아웃 패턴의 종류(경우)가 있다.
- [0057] 게이트 전극과 윤곽 부분이 겹쳐지지 않는 경우(제 1의 경우)도 본 발명의 적용 범위이다.
- [0058] 이에 대해, 2개의 예지 포인트 사이의 윤곽 부분에 대해, 게이트 전극이 1개소에서 겹쳐지는 경우가 있다. 그 경우, 더욱 상세하게는 게이트 전극의 볼록부가 직선형상의 윤곽 부분과 겹쳐지는 제 2의 경우와, 역으로 윤곽 부분의 볼록부에 대해 직선형상의 게이트 전극 예지가 겹쳐지는 제 3의 경우가 있다. 또한, 게이트 폭 그 자체가 윤곽 부분의 폭보다) 작고, 게이트 전극은 그 전체 폭에서 윤곽 부분에 겹쳐지는 제 4의 경우가 있다.
- [0059] 또한, 예칭 스토퍼로서 기능하는 반도체 채널 보호막의 유무로도 상기 윤곽 부분의 규정의 방법이 변하여 오지만, 그 상세는 하기한 실시 형태에서 분명하게 한다.
- [0060] 제 1의 실시 형태는 보텀 게이트 스태거형이며, 또한, 상기 제 1의 경우, 즉 게이트 전극이 상기 윤곽 부분과 겹쳐지지 않는 경우에 관한 것이다.
- [0061] 도 1은 TFT부의 평면도이다. 또한, 도 2는 도 1의 A-A선에 따른 단면 구조도이다.
- [0062] 도 2에 도시하는 TFT부(10A)에 있어서, 유리 등으로 이루어지는 기판(11)에 하지층(절연층의 일종)을 통하여, 소정의 게이트 메탈층(GM), 예를 들면 몰리브덴(Mo) 등의 고용접 금속으로 이루어지는 게이트 전극(13)이 형성되어 있다. 게이트 전극(13)은 수십 nm, 예를 들면 65nm 정도의 막두께를 갖는다.
- [0063] 게이트 전극(13)은 예를 들면 표시 화소 회로 내의 다른 소자와 접속하는 내부 배선을 겸용한다. 그 때문에, 예를 들면 도 1에 도시하는 바와 같이 세로로 길다란 배선형상으로 형성된다.
- [0064] 도 2에 도시하는 바와 같이, 게이트 전극(13)은 절연층(12)의 표면부에 매입되도록 형성하는 것이 바람직하다. 이것은 절연층(12)과 게이트 전극(13)의 표면이 평탄화되기 때문이다. 이 표면이 평탄화되면, 게이트 단차가 없기 때문에, 그 부분에서 막 응력이 걸리지 않기 때문에, 상방의 반도체막이나, 그 전극 접촉부의 전계 접층 등이 완화될 수 있다. 또한, 그와 같은 부적합함이 없다면, 절연층(12)의 표면에, 게이트 전극막(Mo 등의 막)을 성막하여 가공하는 프로세스에서 게이트 전극(13)을 형성하여도 좋다.
- [0065] 게이트 전극(13) 및 그 주위의 절연층(12)의 표면을 덮도록, 게이트 절연막(14)이 형성되고, 그 위에, 어모퍼스 실리콘(α -Si) 또는 미결정 실리콘(μ -cSi)으로 이루어지는 반도체막(15)이 형성되어 있다.
- [0066] 게이트 절연막(14)은 단층의 산화 실리콘막이라도 좋지만, 다층막으로 하여도 좋다. 다층막인 경우, 하층의 질

화 실리콘(SiN)막과 그 위의 산화 실리콘(SiO₂)막이 알맞다. 막두께에 관해서는 SiN막을 십 내지 수십 nm, 예를 들면 20nm, SiO₂막을 수십 및 백부터 수백 nm, 예를 들면 290nm로 한다.

[0067] 반도체막(15)은 TFT부마다 고립된 패턴을 가지며, 도 2의 단면에서는 게이트 절연막(14)의 윗면 전역에 형성되어 있다. 반도체막(15)은 미결정 실리콘으로 이루어지는 경우, 십 및 수십 nm, 예를 들면 15nm로 매우 얇은 막이다.

[0068] 반도체막(15)상에, 도 1에 도시하는 사각형 패턴의 비교적 두꺼운 절연막으로 이루어지는 반도체 채널 보호막(16)이 형성되어 있다. 또한, 반도체 채널 보호막(16)의 바람직한 단면은 도 2와 같이 완만한 슬로프를 갖는 순(forward)테이퍼 형상으로 가공되어 있다. 그리고, 채널 중앙부를 향하여 채널 방향(도면의 단면 방향)의 좌우 양측부터, 제 1 소스/드레인(SD) 전극(18)과, 제 2 소스/드레인(SD)(19)이, 해당 반도체 채널 보호막(16)의 슬로프를 올라타도록 형성되어 있다.

[0069] 여기서 제 1 소스/드레인 전극(18)이 드레인 전극, 제 2 소스/드레인 전극(19)이 소스 전극으로서 기능한다. 이 경우, 이른바 드레인 단은 반도체막(15)과 제 1 소스/드레인 전극(18)과의 접촉 영역의 채널 중앙 가까이의 에지를 가리킨다. 이 접촉 영역은 제 1의 실시 형태의 경우, 도 1에 굽은 실선으로 도시하는 바와 같이, 채널 방향(이른바 채널 길이 방향)과 직교하는 이른바 채널 폭방향의 라인이 된다. 도 1에서, 반도체막(15)과 제 1 소스/드레인 전극(18)이 접촉하는 접촉 영역이 사선을 붙여서 도시하고 있다. 따라서 이 굽은 실선으로 도시하는 라인은 제 1 소스/드레인 전극(18)과 반도체막(15)이 접하는 영역의 윤곽 부분에 해당한다. 이하, 접촉 영역의 채널 중앙 가까이의 에지를 윤곽 부분(30)이라고 부른다. 또한, 윤곽 부분(30)의 양단을 에지 포인트(31)라고 부른다.

[0070] 또한, 제 2 소스/드레인 전극(19)에 관해서도, 도 1에 도시하는 바와 같이, 윤곽 부분(30)과 에지 포인트(31)가 규정된다.

[0071] 제 1 소스/드레인 전극(18) 및 제 2 소스/드레인 전극(19)은 본 예에서는 각각 4층으로 형성된다. 즉, 하층부터, 소스/드레인 영역이 형성되는 소스/드레인 반도체막(17A), 하부 전극막(17B), 주배선막(17C) 및 상부 전극막(17D)으로, 제 1 및 제 2 소스/드레인 전극(18, 19)의 각각이 구성되어 있다.

[0072] 소스/드레인 반도체막(17A)은 예를 들면 N형 불순물이 고농도로 첨가된 반도체막이다. 스테거 구조에서는 이와 같이 소스/드레인 영역의 형성을 위한 반도체막을 채널이 형성되는 반도체막(15)과 다른 막으로서 형성하고 있다. 소스/드레인 반도체막(17A)의 막두께는 수십 nm, 예를 들면 50nm이다.

[0073] 두꺼운 주배선막(17C)은 저저항 배선 재료, 예를 들면 Al로 형성된다. 이 경우에 하지층과의 반응 방지나 포토리소그래피에서의 반사 방지를 위해, 그 상하에 얇은 고용점 금속 등의 막을 개재시킨다. 여기서는 주배선막(17C)이 수백부터 천 및 백 nm, 예를 들면 900nm의 Al막으로 형성하고, 하부 전극막(17B)을 예를 들면 50nm 정도의 Ti막으로 형성하고 있다. 또한, 상부 전극막(17D)을 예를 들면 50nm 정도의 Mo막으로 형성하고 있다.

[0074] 반도체 채널 보호막(16)은 이 제 1 및 제 2 소스/드레인 전극(18, 19)을 가공할 때의 에칭으로부터, 채널 형성 영역을 보호하고 있다. 제 1 및 제 2 소스/드레인 전극(18, 19)은 그 보호를 위한 두께를 갖는데, 이것은 제 1 및 제 2 소스/드레인 전극(18, 19)과의 종합적인 응력 밸런스를 유지하기 위해서도 도움이 되고 있다.

[0075] 반도체 채널 보호막(16)으로 피복된 반도체막(15)의 영역이 채널 형성 영역이 되고, 반도체 채널 보호막(16)의 슬로프 하단이 드레인 단과 소스 단이 된다. 도 2는 도 1에 도시하는 A-A선의 단면을 도시하기 때문에, 반도체 채널 보호막(16)의 슬로프 단 부근이 에지 포인트(31)로 되어 있다.

[0076] 본 실시 형태에서는 이 2개의 에지 포인트(31)가, 평면으로 보아 게이트 전극(13)의 외측에 위치한다는 특징이 있다.

[0077] 본 실시 형태에서는 그 때문에, 특히 전계가 집중하는 드레인측의 에지 포인트(31)(도 1, 도 2의 우측의 에지 포인트(31))가, 게이트 전극(13)으로부터 떨어지도록 오프셋 게이트 구조로 하고 있다. 즉, 게이트 전극(13)은 그 폭 중심이 채널 형성 영역의 중앙부터 소스측으로 어긋나도록 오프셋 배치되어 있다.

[0078] 여기서, 에지 포인트(31)로부터 제 1 소스/드레인 전극(18)까지의 거리(Da)(도 1)는 소정 거리(D0) 이하로 하는 것이 바람직하다.

[0079] 그런데, 반도체 채널 보호막(16)과 제 1 소스/드레인 전극(18)이 윤곽끼리가 겹쳐지는 에지 포인트(31)에서는 그 하방의 반도체막(15)에 관련된 응력도 크고, 그 것이 매우 얇은 반도체막(15)에 있어서 리크 증대의 하나의

원인이 되어 있다. 즉, 예를 들면, 제 2 소스/드레인 전극(19)을 0[V]로 하고, 제 1 소스/드레인 전극(18)에 정의 전압을 인가한 경우, 제 1 소스/드레인 전극(18)의 저항률이 낮기 때문에, 채널 형성 영역에 가장 가까운 도 1의 윤곽 부분(30)에 전류가 집중한다. 그 중에서도 예지 포인트(31)는 응력의 관계로 전계가 집중하기 쉽고, 이 예지 포인트(31)를 통과하여 많은 전류가 흐른다.

[0080] 이 현상은 해당 TFT가 온 상태일 때와 마찬가지로, 오프 상태일 때에도 생긴다. 즉, N채널형을 예로 하면, 오프 상태에서는 통상, 소스와 드레인(제 1 소스/드레인 전극(18)과 제 2 소스/드레인 전극(19))이 바이어스되는데, 게이트 전극(13)은 온 상태보다 낮은 0[V] 또는 부전압으로 바이어스된다. 그 때 소스와 드레인 사이의 바이어스에 의해 전류가 흐르려고 한다. 그러나, 게이트 바이어스로 채널이 강제적으로 오프 되기 때문에, 그 전류가 저지되지만, 드레인 전극(제 1 소스/드레인 전극(18))이나 기판 심부 등을 통과하는 경로 등의 리크 패스를 통과하여 오프 전류가 흐른다. 그 경우, 온 전류와 마찬가지로, 드레인에 되는 소스/드레인 전극(제 1 소스/드레인 전극(18))의 윤곽 부분(30)의 양단(2개의 예지 포인트(31))에 오프 전류가 집중한다. 이 전류 집중은 윤곽 부분(30)에 대해 전극 면적이 크면 클수록 강해지고, 또는 2개의 예지 포인트가 전극총의 예지인 경우(본 실시 형태의 경우)라도 강해진다.

[0081] 본 실시 형태에서는 이 2개의 예지 포인트(31)를 게이트 전극(13)의 외측에, 보다 바람직하게는 일정 거리(D0) 이상 벌려서 위치시킨 레이아웃 패턴으로 되어 있다.

[0082] N채널형인 경우, 일반적으로, 오프 전류는 드레인 단 부근의 채널부의 고 전계 영역에서 이온 임팩트화에 의해 생긴 캐리어중, 전자가 드레인 전극(제 1 소스/드레인 전극(18))에 유입하고, 흘러 기판 심부 등의 패스를 통과하여 흐름으로써 발생한다. 그리고, 이 현상은 게이트 부(negative) 바이어스, 또한, 드레인 정(positive)의 고 바이어스시에 있어서, 게이트와 드레인 사이의 전압이 커지는 동작 영역에서 보다 현저하게 나타난다.

[0083] 한편, 리크 전류에는 TFT의 채널 폭에 의존하는 성분이라고 의존하지 않는 성분을 갖고 있다. 채널 폭에 의존하지 않는 성분은 채널 폭을 정하고 있는 반도체막(15)과 드레인 전극(제 1 소스/드레인 전극(18))이 접하는 예지(윤곽 부분(30))에 기인한 리크 성분으로 되어 있다. 그리고, 상기한 이유 때문에, 이 채널 폭에 의존하지 않는 성분은 2개의 예지 포인트(31)를 통과하여 흐르는 전류가 지배적이 된다. 그래서, 본 실시 형태에서는 게이트 전극(13)을, 이 2개의 예지 포인트(31)로부터 멀리한다. 이 때, 임팩트 이온화가 생기는 캐리어 발생 개소와, 리크 전류가 집중하기 쉬운 전극 예지 개소와의 거리를 조금 뗄 뿐으로, 오프 전류는 현격한 차이로 저감한다.

[0084] 구체적으로, 소정 거리(D0)는 리소그래피 기술에 있어서의 패턴의 맞춤 어긋남을 고려하여, 최대의 막 응력이, 예를 들면 제 1 소스/드레인 전극(18)의 중심부 하방의 반도체막(15)과 동일한 정도로 간주할 수 있는 정상의 막 응력 부근까지 작아지는 범위에서 이 거리를 규정하면 좋다.

[0085] 또한, 오프셋 게이트 배치는 2개의 소스/드레인 전극의 적어도 한쪽에 대해, 그 외측에 2개의 예지 포인트를 위치시킨다는 요건을 충족시키기 위한 한 수단에 지나지 않다. 이 점에서, 본 실시 형태에서의 도시한 구조 및 레이아웃은 단순한 오프셋 게이트 구조와는 본질적으로 다르다.

[0086] 또한, 제 1 및 제 2 소스/드레인 전극(18, 19)에서, 소스와 드레인의 역할이 반대인 경우는 도 1의 레이아웃은 미리 대칭 배치가 되고, 예를 들면 오프셋 게이트 구조에서는 게이트 전극(13)이, 그 폭 중앙이 채널 중앙에 대해 제 1 소스/드레인 전극(18) 가까이에 시프트시킨 레이아웃을 취하는 것이 가능하다.

[0087] 도 3A 내지 도 3E에, 상기 구조를 갖는 TFT부의 제조 도중의 단면도를 도시한다. 도 3A 내지 도 3E에서는 주로, 반도체 채널 보호막의 형성과, 이에 계속된 배선 가공의 프로세스까지를 개시한다. 또한, 도 3A 내지 도 3E는 TFT부와, 그것에 근접하는 다른 부분(예를 들면 용량 소자나 배선부)을 도시하고 있다. 이 배선 가공의 프로세스를 특히, 에칭 스토퍼형 프로세스라고 한다.

[0088] 보텀 게이트형 TFT로 형성하기 위해, 우선, 유리 등으로 이루어지는 기판(9)의 절연면의 위에, 게이트 메탈(GM)을 성막하고, 이것을 가공하는 등의 공정에 의해 패터닝된 게이트 전극(13)을 형성한다(도 3(A)).

[0089] 이 때, 근처의 영역에는 용량 소자의 전극 또는 배선의 뒷받침층 등이 되는 게이트 메탈층(13A)이 동시 형성된다.

[0090] 다음 도 3B의 공정에서는 우선, 게이트 전극(13)을 덮는 산화 실리콘 또는 질화 실리콘으로 이루어지는 게이트 절연막(14)이 형성되고, 그 위에 트랜지스터의 채널 형성 영역이 되는 어모퍼스 실리콘 또는 미결정 실리콘으로 이루어지는 반도체막(15)을 형성한다.

[0091] 그 후, 질화 실리콘 등을 두껍게 성막하고, 이것을 패터닝함에 의해, 반도체 채널 보호막(16)을 게이트 전극

(13)의 상층에 일부 겹쳐서 형성한다. 이 때, 도 1의 오프셋 구조로 하는데는 게이트 전극(13)에 대해, 반도체 채널 보호막(16)을 일방향으로 비키여서 형성한다.

[0092] 도 2에도 도시하는 소스/드레인 반도체막(17A)과 하부 전극막(17B)을, 각각의 성막 방향으로 겹쳐서 형성하고, 이들의 막을 패터닝한다. 이 때의 에칭에서는 계속해서, 소스/드레인 반도체막(17A)과 하부 전극막(17B)에 보호 받은 영역 이외의 반도체막(15)을 제거한다. 이에 의해, 반도체막(15)은 반도체 채널 보호막(16) 또는 소스/드레인 반도체막(17A)의 아래에 자기 정합적으로 형성된다.

[0093] 도 3C의 공정에서는 표출한 게이트 절연막(14)의 상층막(예를 들면 SiO₂막(14B))의 윗면에, 소정의 위치에서 개공하는 레지스트(도시 생략)를 형성하여, SiO₂막(14B)과, 그 아래의 SiN막(14A)을 에칭하여, 콘택트 구멍(14C)을 개공한다.

[0094] 도 3D의 공정에서는 제 1 및 제 2 소스/드레인 전극(18, 19)으로 이루어지는 주배선막(17C)과 상부 전극막(17D)을 성막하고, 이들을 순차적으로 에칭하여, 소망하는 패턴을 형성한다. 이에 의해, 제 1 소스/드레인 전극(18) 및 제 2 소스/드레인 전극(19)이, 채널 형성 영역의 상방에서 분리하여 형성되고, 또한, 다른 영역에서는 콘택트 구멍(14C)을 통과하여 하층의 게이트 메탈층(13A)에 접속하는 배선(20)이 형성된다.

[0095] 이 때의 에칭에서는 도 3C의 공정에서 패터닝한 소스/드레인 반도체막(17A)과 하부 전극막(17B)을, 채널 형성 영역의 상방에서 에치 오프하여도 좋지만, 도 1과 같이 남아도 좋다. 에칭시의 데미지가 두꺼운 반도체 채널 보호막(16)에서 저지되어, 반도체막(15)의 채널 형성 영역이 보호된다.

[0096] 본 실시 형태는 보텀 게이트 스탠드Off TFT로서, 반도체 채널 보호막(16)을 가지며, 또한, 직선형상의 윤곽 부분(30)에 대해 게이트 전극의 볼록부가 1개소에서 겹쳐지는 (상기 제 2의) 경우의 실시 형태이다.

[0097] 도 4에 평면도, 도 5에 도 4의 B-B선의 단면도를 도시한다.

[0098] 본 실시 형태가 제 1의 실시 형태(도 1)와 다른 점은 소스와 드레인의 레이아웃이 채널 중심으로부터 좌우에 대칭이 되어 있는 점을 첫번째로 들 수 있다. 두번째로, 게이트 전극(13)이 소스 측과 드레인측의 각각에 평면으로 보아 돌출한 볼록부(13B)를 갖고 있다. 그리고, 이 볼록부(13B)가 윤곽 부분(30)에 대해 겹쳐져 있다. 이 때, 볼록부(13B)와 에지 포인트(31)와의 거리(Dc)는 전술한 일정 거리(D0) 이상으로 하는 것이 바람직하다. 또한, 에지 포인트(31)는 게이트 전극(13)의 스트레이트 부분에 대해서도 거리(Db)를 두고 있는데, 이 거리(Db)도 일정 거리(D0) 이상이 바람직하다.

[0099] 본 실시 형태에서, 게이트 전극(13)에 전계 지배되는 채널 형성 영역이, 게이트 전극(13)으로부터 벌어짐으로써 오프 전류가 대폭적으로 저감되는 점에서는 제 1의 실시 형태와 같은 효과를 이룬다.

[0100] 이에 덧붙여, 볼록부(13B)가 최대한의 폭으로 윤곽 부분(30)과 겹쳐져 있기 때문에, 윤곽 부분(30)의 대부분의 부분에서 채널 형성 영역이 제 1 또는 제 2 소스/드레인 전극(18, 19)과 거의 직결한다. 그 때문에, 단순한 오프셋 구조보다도 소스 저항 또는 드레인 저항이 현격하게 작게 할 수 있는 이익을 얻을 수 있다.

[0101] 한편, 제 1의 실시 형태에 비하면, 게이트와 드레인 또는 소스 사이의 오버랩 용량(기생 용량)이 증가하지만, 온 저항 저감의 효과가 크고, 유용하다.

[0102] 또한, 특히 기생 용량을 크게 하는 영역은 도 4의 망을 그어서 나타내는 부분이다. 이 부분은 게이트 전극(13)의 윤곽보다 내측이기 때문에, 게이트 전계와 전기적으로 직접 결합하는 영역이고, 게다가, 반도체 채널 보호막(16)의 외측에서, 이것에 전극이 올라타지 않는 영역이다. 이 때문에, 이 영역에서는 단면 구조를 상정하면, 게이트 전극(13)이, 얇은 게이트 절연막(14)과 반도체막(15)을 통하여 제 1 또는 제 2 소스/드레인 전극(18, 19)과 직접, 용량 결합하고 있다.

[0103] 그러나, 도 4로부터 분명한 바와 같이, 이 영역은 4개가 작은 면적밖에 갖지 않는다. 게이트 전극(13)과 에지 포인트(31)의 거리를 리크가 증대하지 않는 범위에서 가능한 한 작게 하면, 즉, 이 거리가 상기 소정 거리(D0)인 경우에, 이 4개의 영역의 면적이 최소가 되어 기생 용량도 작아진다.

[0104] 본 실시 형태에서는 오프 리크와 기생 용량을 함께 저감하는 의미에서, 에지 포인트(31)와 게이트 전극(13)의 거리를 상기 소정 거리(D0)로 하는 것이 바람직하다.

[0105] 또한, 본 실시 형태의 TFT는 소스와 드레인의 기능이 전위 관계에서 교체되는 예를 들면 스위치 소자로서 유용하다.

- [0106] 또한, 드레인의 기능이 고정되어 있는 경우, 게이트 전극의 볼록 구조를 제 1 소스/드레인 전극(18)측에만 형성하는 것도, 본 실시 형태의 범주에 속한다.
- [0107] 그런데, 소스 또는 드레인의 편측에서 윤곽 부분(30)을 가로지르는 볼록부(13B)를 복수 마련하거나 또는 과형(wave shape)으로 하면, 본 실시 형태에서 얻어지는 효과가 격감한다. 즉, 에지 포인트(31)의 길이중, 볼록부(13B)가 가로지른 부분이 저저항 영역이 되기 때문에, 사각형 또는 과형의 볼록부(13B)가 복수 있으면, 그 공간사이 부분 만큼 고저항인 채이고, 온 저항의 저감이 충분히 될 수가 없다. 또한, 볼록부(13B)의 이간 부분에서는 도 4의 망을 그어 나타내는 영역과 마찬가지로 오버랩 용량이 커지기 때문에, 기생 용량이 증대한다. 따라서 이 2중의 의미에서, 윤곽 부분(30)을 복수의 볼록부가 가로지르는 레이아웃 구조는 바람직하지 않다.
- [0108] 이에 대해, 레이아웃은 윤곽 부분(30)의 양단의 에지 포인트(31)의 각각부터, 전술한 리크 저감만에 필요한 최소의 거리(소정 거리(D0)만큼 벌어진 최대폭으로, 또한 단일한 볼록부(13B)를 마련하는 것이, 제 1의 실시 형태에서는 가장 바람직하다
- [0109] 도 4에서 $Db=Dc=D0$ 로 하면, 기생 용량을 증가시키는 망을 그은 부의 면적이 최소가 되기 때문에, 더욱 바람직하다. 또한, $Db=Dc>D0$ 로 하여도, 기생 용량 저감 효과가 있다.
- [0110] 이상으로부터, 본 실시 형태에서 바람직한 적용 요건의 제 2는 에지 포인트(31)의 각각은 게이트 전극(13)의 복수의 변에 근접하는 경우, 해당 복수의 변부터 등거리를 두고 벌어져 있는 것이다.
- [0111] 본 실시 형태는 보텀 게이트 스탠드Off TFT로서, 반도체 채널 보호막(16)을 가지며, 또한, 윤곽 부분(30)의 오목부에 대해, 게이트 전극의 직선 에지가 1개소에서 겹쳐지는 (상기 제 3의) 경우의 실시 형태이다.
- [0112] 도 6에 평면도, 도 7에 도 6의 C-C선의 단면도를 도시한다.
- [0113] 제 1의 실시 형태(도 1)에서는 게이트 전극을 볼록형상으로 하여, 이것에 직선형상의 윤곽 부분(30)이 겹쳐지는 레이아웃 형상을 나타내는 것이었다.
- [0114] 이에 대해, 본 제 3의 실시 형태에 관한 TFT부(10C)는 볼록부를 윤곽 부분(30)이 갖도록 하여, 직선형상의 게이트 전극(13)의 에지에, 이 볼록부가 겹쳐지는 레이아웃 형상을 나타낸다.
- [0115] 보다 상세하게, 도 6에서 반도체 채널 보호막(16)이, 드레인과 소스의 양측에 오목부를 갖는다. 이 반도체 채널 보호막(16)의 에지는 도 7에 도시하는 슬로프 하단에서 제 1 또는 제 2 소스/드레인 전극(18, 19)이 반도체막(15)과 접촉하는 윤곽 부분(30)을 규정한다. 이 때문에, 윤곽 부분(30)은 채널 중심축에 돌출하는 볼록부(30A)를 가지며 4회 절곡한 도 6에 도시하는 굴절 라인 모양이 된다. 제 1 또는 제 2 소스/드레인 전극(18, 19)의 패턴 외곽과, 이 굴절 라인(윤곽 부분(30))이 교차하는 2점이 접촉 영역(슬로프의 사선부분)과 비접촉 영역의 경계이고, 이곳이 에지 포인트(31)가 된다.
- [0116] 이 레이아웃은 제 2의 실시 형태와 마찬가지로, 소스/드레인 전극이 반도체층과 접촉하는 영역의 윤곽 부분에 대해, 게이트 전극이 단일한 개소에서 겹쳐져 있는 형태의 한 예를 구성한다.
- [0117] 이 때문에, TFT는 큰 볼록부(30A)의 폭 전역에서 채널 형성 영역이 제 1 또는 제 2 소스/드레인 전극(18, 19)과 거의 접하게 되고, 온 저항이 저감되어 있다. 이 효과는 제 2의 실시 형태에서의 게이트 전극(13)의 볼록부(13B)의 폭(도 4의 종방향의 사이즈)과, 제 3의 실시 형태에서의 반도체 채널 보호막(16)의 오목부(윤곽 부분(30)의 볼록부)의 폭이 같다면, 거의 동등하게 얻어진다.
- [0118] 한편, 도 6에 도시하는 망을 그은 부분은 게이트 전극(13)이 얇은 반도체막(15) 등을 통하여 제 1 또는 제 2 소스/드레인 전극(18, 19)과 용량 결합하는 부분이다. 이 면적은 도 4의 경우보다 큰 경향으로 되기 쉽다. 따라서, 제 3의 실시 형태는 제 2의 실시 형태보다 기생 용량이 큰 경향이 있다.
- [0119] 그러나, 도 4에서의 거리(Db) 등은 리크 저감을 위한 제한을 받아, 그다지 작게 할 수가 없는 경우에도, 도 6에 도시하는 거리(Dd)는 얼라인먼트 어긋남만 고려하면 좋기 때문에, 보다 작게 할 수 있다. 따라서, 기생 용량을 제 2의 실시 형태와 제 3의 실시 형태에서 동등 레벨까지 억제하는 것은 가능하다.
- [0120] 또한, 거리(Dd)를 설계 센터에서 제로로 하는 것도 가능하다. 그 경우, 얼라인먼트 어긋남량이 크면, 볼록부(30A)가 게이트 전극(13)의 에지에 근접하지만 겹쳐지지 않는 경우도 발생한다. 그 경우에도, 그 근접 이간 길이에 응하여 온 저항치가 올라가지만, 그 대신 기생 용량은 극히 작게 할 수 있는 이점이 있다.
- [0121] 온 저항을 다소 희생으로 하여서도 기생 용량을 작게 하고 싶은 경우는 이와 같은 레이아웃 설계도 가능하다.

- [0122] 이상, 보텀 게이트 스태거형을 예로 하여, 주로 레이아웃 패턴의 틀림에 주목하여 3개의 실시 형태를 설명하였지만, 이것을 기본으로 하여, 보텀 게이트 스태거형이나 플레이너형에도 본 발명이 마찬가지로 적용 가능하다.
- [0123] 레이아웃의 상세에 관해서는 이미 기술하였기 때문에, 이하, 간략화한 평면도와 단면으로 본 구성도를 이용하여, 그 밖의 예를 설명한다.
- [0124] 도 8A에 간략화한 평면도, 도 8B에 종방향의 약식 구성도를 도시한다. 이 약식 구성도는 채널이 형성되는 반도체막과 소스/드레인 전극의 채널 길이 방향의 대강의 겹침 상태를 나타내고 있다. 그리고, 그 에지 포인트에 대해 게이트 전극이 최단 거리에서 근접하는 양상을, 도 8B에는 아울러서 도시하고 있다.
- [0125] 제 4의 실시 형태는 보텀 게이트 스태거형 TFT로서, 반도체 채널 보호막(16)을 가지며, 또한, 게이트 전극(13)이 폭방향의 전폭에서 윤곽 부분(30)과 겹쳐지는 (상기 제 4의) 경우에 관한 것이다.
- [0126] 도 8A에 도시하는 바와 같이, 게이트 전극(13)은 그 폭이, 윤곽 부분(30)의 길이보다 짧고, 게이트 전극(13)이 전폭에서 윤곽 부분(30)과 겹쳐져 있다. 게이트 전극(13)은 반도체막(15)보다 하층에 배치되고, 에지 포인트(31)에 대해 거리(De)로 근접하고 있다. 이 거리(De)는 상기 소정 거리(D0) 이상이 바람직하고, 이에 의해 오프리크가 대폭적으로 저감된다.
- [0127] 또한, 게이트 전극(13)의 면적이 작지만, 소스와 게이트 사이의 기생 용량을 크게 하여도 좋은 것이라면, 소스 측에 게이트 전극(13)을 연장하고 추출 배선으로 하여도 좋다.
- [0128] 이 레이아웃도, 소스/드레인 전극이 반도체막에 접촉하는 영역의 윤곽 부분에 대해, 게이트 전극이 단일한 개소에서 겹쳐져 있는 형태의 한 예이다.
- [0129] 도 9A에 제 5의 실시 형태에 관한 간략화한 평면도, 도 9B에 제 6의 실시 형태에 관한 간략화한 평면도를 도시한다. 도 9C는 제 5 및 제 6의 실시 형태에 공통된 종방향의 약식 구성도이다.
- [0130] 제 5 및 제 6의 실시 형태는 보텀 게이트 스태거형 TFT로서, 반도체 채널 보호막이 없는 경우에 관한 것이다. 특히 제 5의 실시 형태는 제 1의 실시 형태와 마찬가지로 게이트 전극(13)이 윤곽 부분(30)과 겹쳐지지 않는 (제 1의) 경우에 관한 것이다. 또한, 제 6의 실시 형태는 상기 제 4의 실시 형태와 마찬가지로, 게이트 전극(13)이 폭방향의 전폭에서 윤곽 부분(30)과 겹쳐지는 (상기 제 4의) 경우에 관한 것이다.
- [0131] 도 9A 및 도 9B에 도시하는 바와 같이, 반도체 채널 보호막이 없기 때문에, 제 1 및 제 2 소스/드레인 전극(18, 19)이, 반도체막(15)에 올라타서, 일부에서 겹쳐져 있다. 따라서 윤곽 부분(30)은 이 겹침 부분의 게이트 윤곽에 상당하고, 2회 절골된 굴절 라인 모양이 되어 있다.
- [0132] 에지 포인트(31)는 이 윤곽 부분(30)의 양단, 즉 반도체막(15)의 외곽과 제 1 또는 제 2 소스/드레인 전극(18, 19)의 외곽의 교점에 상당한다.
- [0133] 제 5의 실시 형태에서는 게이트 전극(13)은 윤곽 부분(30)에 근접하지만 겹쳐져 있지 않다. 고치고 근접하기 때문에 온 저항의 증대는 극력 억제되어 있다. 드레인측의 기생 용량이 극히 작은 것도 이점의 하나기 된다. 무엇보다도, 에지 포인트(31)가 게이트 전극(13)의 외측에 위치하기 때문에 오프 리크가 극히 작다.
- [0134] 제 6의 실시 형태에서는 제 4의 실시 형태와 마찬가지로, 게이트 전극(13)의 폭이, 윤곽 부분(30)의 길이보다 짧고, 게이트 전극(13)이 전폭에서 윤곽 부분(30)과 겹쳐져 있다.
- [0135] 제 5 및 제 6의 실시 형태에서는 게이트 전극(13)과 에지 포인트(31)의 거리가, 각각 Df와 Dg로 나타나 있다. 이들의 거리(Df와 Dg)는 상기 소정 거리(D0) 이상이 바람직하고, 이에 의해 오프 리크가 대폭적으로 저감된다.
- [0136] 제 1 내지 제 4의 실시 형태에서 필요한 반도체 채널 보호막이 생략된 제조 프로세스를, 다음에 예시한다.
- [0137] 도 10A 내지 도 10E에, 제 5 및 제 6의 실시 형태에 관한 TFT부의 제조 도중의 단면도를 도시한다. 도 10A 내지 도 10E에 도시하는 배선 가공의 프로세스를 특히, 백 채널 에칭형 프로세스 라고 한다.
- [0138] 게이트 전극(13)(및 게이트 메탈층(13A))의 형성(도 10A), 그 후의 SiN막(14A)과 SiO₂막(14B)의 형성, 및, 반도체막(15)의 형성(도 10B)은 도 3에 도시하는 에칭 스토퍼형 프로세스와 마찬가지이다.
- [0139] 도 10B에서는 계속해서, 반도체 채널 보호막을 형성하는 일 없이, 소스/드레인 반도체막(17A)과 하부 전극막(17B)의 성막을 행한다.
- [0140] 그리고, 도 10C에서, 성막한 막을 가공하여 도시한 바와 같이 패터닝한다.

- [0141] 그 후, 도 3과 마찬가지로 콘택트 구멍(14C)을 형성하고(도 10D), 제 1 소스/드레인 전극(18), 제 2 소스/드레인 전극(19) 및 배선(20)으로 이루어지는 막(주배선막(17C)과 상부 전극막(17D))을 성막하고, 포토 리소그래피와 에칭에 의해 전극 사이 분리를 행한다.
- [0142] 상기 에칭에서는 바람직하게는 소스/드레인 반도체막(17A)이, 그 상층의 막의 에칭 스토퍼가 된다. 단, 소스/드레인 반도체막(17A)과 그 하지의 반도체막(15)은 모두 반도체 재료로 이루어지고, 선택비가 취해지지 않는 경우, 소스/드레인 반도체막(17A)은 신중히 에칭하여 반도체막(15)이 필요 이상으로 박막화하지 않도록 한다.
- [0143] 도 11A에 제 7의 실시 형태에 관한 간략화한 평면도, 도 11B에 제 8의 실시 형태에 관한 간략화한 평면도를 도시한다. 도 11C는 제 7 및 제 8의 실시 형태에 공통된 종방향의 약식 구성도이다.
- [0144] 제 7 및 제 8의 실시 형태는 제 5 및 제 6의 실시 형태의 변형이고, 그들의 실시 형태에서 도 10E의 에칭할 때에 반도체막(15)에 데미지가 들어가는 것을 회피하는 구조를 개시한다.
- [0145] 그 때문에, 제 7 및 제 8의 실시 형태에서는 우선 (하층에) 제 1 및 제 2 소스/드레인 전극(18, 19)을 분리한 상태에서 형성하고 나서, 그 분리한 부분을 포함하는 제 1 및 제 2 소스/드레인 전극(18, 19)에 겹쳐서 반도체막(15)을 형성한다. 즉, 도 11에서는 제 1 및 제 2 소스/드레인 전극(18, 19)과 반도체막(15)의 상하의 관계가, 도 9A 및 도 9B의 경우와 반대가 되어 있다.
- [0146] 레이아웃 패턴에서의 게이트 전극(13)과 윤곽 부분(30)의 관계는 제 7의 실시 형태는 제 5의 실시 형태에 대응하고, 제 8의 실시 형태는 제 6의 실시 형태에 대응한다.
- [0147] 제 7 및 제 8의 실시 형태에서는 제 1 및 제 2 소스/드레인 전극(18, 19)에 얇은 반도체막(15)을 겹치는 관계상, 제 1 및 제 2 소스/드레인 전극(18, 19)의 에지는 순차형으로 하는 것이 바람직하다. 그러나, 반도체막(15)을 성막하고, 에칭 가공할 때에는 하지의 소스/드레인 전극에 데미지가 들어가도, 두꺼운 도전층이기 때문에 불이익으로 되지 않는다. 또한, 이 때 이미 소스/드레인 전극의 가공은 종료하고 있기 때문에, 소스/드레인 전극 가공의 영향을 반도체막(15)이 받지 않는다.
- [0148] 또한, 이 구성은 반도체막(15)이 다결정 실리콘 등의 막이라도 좋지만, 반도체막(15)이 유기 반도체막인 경우에 알맞다.
- [0149] 도 12A에 제 9의 실시 형태에 관한 간략화한 평면도, 도 12B에 제 10의 실시 형태에 관한 간략화한 평면도를 도시한다. 도 12C는 제 9 및 제 10의 실시 형태에 공통된 종방향의 약식 구성도이다.
- [0150] 제 9 및 제 10의 실시 형태는 제 7 및 제 8의 실시 형태의 변형이고, 그 변경점은 게이트 전극(13)을 반도체막(15)의 더욱 상층에 배치한 톱 게이트형으로 한 것이고, 그 밖의 구성은 제 7 및 제 8의 실시 형태와 공통된다.
- [0151] 레이아웃 패턴에서의 게이트 전극(13)과 윤곽 부분(30)의 관계는 제 9의 실시 형태는 제 7의 실시 형태에 대응하고, 제 10의 실시 형태는 제 8의 실시 형태에 대응한다.
- [0152] 도 13A에 제 11의 실시 형태에 관한 간략화한 평면도, 도 13B에 제 12의 실시 형태에 관한 간략화한 평면도를 도시한다. 도 13C는 제 11 및 제 12의 실시 형태에 공통된 종방향의 약식 구성도이다.
- [0153] 제 11 및 제 12의 실시 형태는 보텀 게이트 플레이너형으로, 반도체 채널 보호막이 없고, 또한, 윤곽 부분(30)이 소스/드레인 전극의 접촉 영역의 에지가 아닌 경우에 관한 것이다. 구체적으로, 반도체막(15) 내에는 채널 형성 영역(CH)(15a)과, 그 양측에 형성되고 역도전형의 불순물을 고농도로 포함하는 2개의 소스/드레인 영역(S/D)(15b, 15c)을 갖는다. 이 경우, 2개의 소스/드레인 영역(15b, 15c)은 제 1 또는 제 2 소스/드레인 전극(18, 19)의 일부로서 기능한다. 따라서, 소스/드레인 영역과 채널이 형성되는 반도체막이 접촉한 영역이란, 채널 형성 영역(15a)과, 소스/드레인 영역(15b 또는 15c)이 접촉하는 반도체막(15)의 내부면을 가리킨다. 그리고, 그 접촉 영역이 그대로 윤곽 부분(30)에 상당한다. 윤곽 부분(30)의 양단이 에지 포인트(31)인 것은 다른 실시 형태와 공통된다.
- [0154] 게이트 전극(13)은 이와 같은 반도체막(15)의 하방에 배치되어 있다.
- [0155] 레이아웃 패턴에서의 게이트 전극(13)과 윤곽 부분(30)의 관계는 제 11의 실시 형태는 제 7 및 제 9 실시 형태에 대응하고, 제 12의 실시 형태는 제 8 및 제 10의 실시 형태에 대응한다.
- [0156] 도 14A에 제 13의 실시 형태에 관한 간략화한 평면도, 도 14B에 제 16의 실시 형태에 관한 간략화한 평면도를 도시한다. 또한, 도 14D에 제 14의 실시 형태에 관한 간략화한 평면의 일부를 나타내고, 도 14E에 제 15의 실시

형태에 관한 간략화한 평면의 일부를 도시한다. 도 14C의 종방향의 약식 구성도는 제 13 내지 제 16의 실시 형태에 공통된다.

[0157] 제 13 내지 제 16의 실시 형태는 보텀 게이트 플레이너형으로, 제 11 및 제 12의 실시 형태의 변형을 나타내는 것이다.

[0158] 도 14에 도시하는 바와 같이 반도체 채널 보호막(16)이 채널 형성 영역(15a)을 피복하여 배치되어 있다. 이 반도체 채널 보호막(16)은 반도체막(15)에 고농도의 불순물을 첨가할 때의 마스크층으로서 이용할 수 있고, 제 13 내지 제 16의 실시 형태에서는 그 마스크층을 그대로 반도체 채널 보호막(16)으로서 남겨 둘 수 있다.

[0159] 이들의 실시 형태에서는 그 마스크 층의 에지 형상에 의해 윤곽 부분(30)의 평으로 본 형상을 정할 수 있다. 예를 들면, 제 14의 실시 형태(도 14(D))에서 반도체 채널 보호막(16)에 볼록부를 갖는 패턴을 형성하고, 그 패턴을 반영하여 채널측을 향하여 오목형상의 윤곽 부분(30)을 형성할 수 있다. 이와는 역으로, 제 15의 실시 형태(도 14E)에서는 반도체 채널 보호막(16)에 오목부를 갖는 패턴을 형성하고, 그 패턴을 반영하여 채널측을 향하여 볼록형상의 윤곽 부분(30)을 형성할 수 있다. 또한, 제 16의 실시 형태는 반도체 채널 보호막(16)을 단순한 사각형으로 한 경우이다.

[0160] 제 14 내지 제 16의 실시 형태에서는 게이트 전극(13)이, 그 전폭에서 윤곽 부분(30)과 겹쳐지고, 제 13의 실시 형태에서는 게이트 전극(13)이 윤곽 부분(30)과 겹쳐지지 않는 경우를 나타낸다.

[0161] 다음에, 본 발명의 효과를 보다 명확하게 하기 위한 비교예를 설명한다.

[0162] [비교예의 구조]

[0163] 도 15A는 비교예의 레이아웃 패턴을 도시한다.

[0164] 이 비교예로는 반도체 채널 보호막(16)이 제 1 소스/드레인 전극(18)(드레인 전극)과 교차하는 에지에서 규정된 윤곽 부분(30)과, 그 양단의 2개의 에지 포인트(31)가, 게이트 전극(13)에 덮히여 있다.

[0165] 이것은 소스측의 제 2 소스/드레인 전극(19)과 같다.

[0166] 이 비교예의 구조인 경우, 드레인 부근의 가장 고 전계가 되는 영역, 즉 제 1 소스/드레인 전극(18)에 덮히는 반도체 채널 보호막(16)의 윤곽선으로 규정되는 윤곽 부분(30)에서 오프 전류가 증대한다. 특히, 에지 포인트(31)에서의 리크가 TFT의 드레인 리크의 지배적인 요인이 된다.

[0167] 도 15B는 이것을 전계 분포로 뒷받침하기 위한 시뮬레이션 결과를 도시하는 3D 그래프이다.

[0168] 도 15B에 도시하는 바와 같이, 가장 전계가 높은 영역이 제 1 소스/드레인 전극(18)의 에지부의 저면에 집중하고 있고, 특히 에지 포인트(31)에서 급격하게 전계가 높아지고 있는 것을 알 수 있다. 또한, 윤곽 부분(30)도 전계가 높지만, y방향의 윤곽 부분(30)에 따라 에지 포인트(31)에 근접함에 따라, 어느 개소로부터 전계가 급격하게 높아진다.

[0169] 이 결과로부터, 에지 포인트(31)로부터 채널 형성 영역(게이트 전극(13)에서 전계 지배를 받는 영역)을 멀리하는 것이 리크 삭감에 유효한 것을 알 수 있다.

[0170] 또한, y방향에서 말하면, 윤곽 부분(30)의 정상적인 전계 분포로부터 급격하게 전계가 높아지는 개소에서 에지 포인트(31)까지의 거리를, 리크 삭감을 위해 게이트 전극(13)을 벌려야 할 최소의 거리, 즉 소정 거리(D0)로 추정할 수 있다.

[0171] 도 16은 동작 전압을 파라미터로 한 오프 열광자 전류의 실측치를 도시하는 그래프이다.

[0172] 이 그래프로부터는 동작 전압(드레인 전압(Vds))을 올려 가면, 동작 전류(온 전류)의 증가의 비율에 비하여, 오프 리크 전류의 증가의 비율이 커지고 있다. 이것은 상기한 에지 포인트 등의 전계가 집중하기 쉬운 위크 포인트의 존재가 오프 리크 전류의 주원인이 되어 있는 것을 시사하는 것이다.

[0173] 상술한 제 1 내지 제 16의 실시 형태에서는 이 비교예에 대해, 그 전계 분포의 시뮬레이션 결과에 의거하여 리크 개선을 나타내는 것이고, 게이트 전극(13)을 에지 포인트(31)로부터 벌려서 형성함으로써 오프 리크를 대폭적으로 억제할 수 있다. 그리고, 그 이간 거리는 마스크 맞춤 어긋남에 배려하여 최저라도 도 15(B)로부터 얻어지는 소정 거리(D0)를 얻을 수 있도록 설계하면 좋다.

[0174] 이상의 제 1 내지 제 16의 실시 형태에 의하면, 이하의 이익을 얻을 수 있다.

- [0175] 첫번째로, 드레인측의 반도체막 영역을 게이트 전극(13)이 덮지 않는 구조로 함으로써, 전계 완화가 가능해지고, 온 전류의 저하 없이 게이트 오프(0[V] 또는 부바이어스)시의 리크 전류를 줄일 수 있다.
- [0176] 두번째로, 게이트를 덮지 않는 영역을 채널 에지(에지 포인트(31))로 한정함에 의해, 소스/드레인 대칭의 레이아웃으로 할 수가 있고, 소스/드레인을 교체하여 사용하는 회로에도 적용할 수 있다. 또한, 이 이익은 제 1의 실시 형태 등의 비대칭 레이아웃에서는 얻어지지 않는다.
- [0177] 세번째로, 게이트를 덮지 않는 영역을 채널 에지로 한정함에 의해, 드레인 전극의 가공 편차 등에 의한 트랜지스터가 온 하고 있는 때의 전류 능력 편차를 억제하면서, 리크 전류를 줄일 수 있다.
- [0178] 네번째로, 채널 에지 부분을 게이트 전극(13)이 덮지 않는 구조로 하여, 게이트의 레이아웃을 채널 에지 부분만큼 노치를 넣는 형상으로 함으로써, 채널 에지의 프린지 용량을 저감할 수 있고, 회로의 기생 용량 저감에 의한 고속 동작이 가능해진다.
- [0179] 다음에, 상술한 구조의 TFT를 표시 장치의 화소 회로 소자로서 이용하는 경우의 실시 형태를, 유기 EL 디스플레이를 예로 하여 설명한다.
- [0180] 플랫 디스플레이의 표시 장치로서 유기 EL 디스플레이가 주목받고 있다. 이 장치는 유기 발광 소자의 발광 현상을 이용하고 있기 때문에, 시야각이 폭넓게, 소비 전력이 낮은 등이 우수한 특징이 있다. 또한, 높은 응답 속도를 갖는 이점이 있다.
- [0181] 표시 장치의 구동 방식으로서 패시브 매트릭스 방식에 비하여 고속의 응답이 가능한 액티브 매트릭스 방식이 바람직하다.
- [0182] 액티브 매트릭스 방식을 이용한 유기 EL 디스플레이에는 적어도 유기 재료를 이용한 발광 소자, 그 발광 소자를 구동한 구동 소자, 화소의 명암을 제어하기 위한 스위칭 소자가 필요해지고, 구동 소자와 스위칭 소자로서, 상술한 제 1 내지 제 16의 박막 트랜지스터를 이용한다. 이 때, 스위칭 소자에는 예를 들면 제 1 또는 제 2의 실시 형태 등의 대칭 레이아웃 TFT를 이용할 필요가 있다. 구동 소자는 대칭 레이아웃 TFT라도 비대칭 레이아웃 TFT의 어느것도 좋다.
- [0183] 이하, 보다 상세한 표시 장치 구성과 회로를 설명한다.
- [0184] [표시 장치 및 화소 회로의 구성례]
- [0185] 도 17는 본 발명의 실시 형태에 관한 유기 EL 디스플레이의 주요 구성을 도시한다.
- [0186] 도시하는 유기 EL 디스플레이(1)는 복수의 화소 회로(PXLC)(3)가 매트릭스형상으로 배치되어 있는 화소 어레이(2)와, 화소 어레이(2)를 구동하는 수직 구동 회로(V스캐너)(4) 및 수평 구동 회로(H셀렉터 : HSEL)(5)를 포함한다.
- [0187] V스캐너(4)는 화소 회로(3)의 구성에 의해 복수 마련되어 있다. 여기서는 V스캐너(4)가, 수평 화소 라인 구동 회로(DSCN)(41)와, 기록 신호 주사 회로(WSCN)(42)를 포함하여 구성되어 있다. 또한, V스캐너(4)와 H셀렉터(5) 외에, 이들에 클록 신호를 주는 회로나 제어 회로(CPU 등) 등, 도시하지 않은 회로도 마련되어 있다.
- [0188] 도 18의 회로도에, 유기 발광 다이오드와, 그 제어를 위해 화소마다 마련되어 있는 화소 회로를 도시한다.
- [0189] 도 4에 도시하는 화소 회로(3)는 전기 광학 소자로서의 유기 발광 다이오드(OLED), NMOS 트랜지스터로 이루어지는 샘플링 트랜지스터(ST), PMOS 트랜지스터로 이루어지는 구동 트랜지스터(DT), 및, 보정부(3A)를 갖는다.
- [0190] 유기 발광 다이오드(OLED)의 캐소드가 제 2 전원 전압(VSS1)에 접속되어 있다.
- [0191] 구동 트랜지스터(DT)는 유기 발광 다이오드(OLED)의 애노드와 제 1 전원 전압(VDD1) 사이에 접속되어 있다. 구동 트랜지스터(DT)는 제 1 전원 전압(VDD1)과 제 2 전원 전압(VSS1)의 전위차에 응하여 흐르는 구동 전류량을 제어한다.
- [0192] 구동 트랜지스터(DT)의 특성, 특히 임계치 전압(Vt)은 유기 발광 다이오드(OLED)의 구동 전류량에 직접적으로 영향을 주고, 이 임계치 전압(Vt)이 흐트러지면, 유기 발광 다이오드(OLED)의 발광 휘도도 흐트러진다. 또한, 더욱 발광 휘도의 균일성을 올리는데는 이른바 이동도(μ)라고 불리고 있는 디바이스 특성의 편차도 억제할 필요가 있다. 보정부(3A)는 이들의 편차 보정을 위해 마련되고, 그 구성은 임의이다.
- [0193] 보정부(3A)는 샘플링 트랜지스터(ST)의 소스와 드레인의 한쪽과, 구동 트랜지스터(DT)의 게이트와의 사이에 접

속되어 있다. 단, 도시하는 이 접속은 일반적으로 나타내는 것으로, 보다 정확하게는 유기 발광 다이오드(OLED)의 애노드와 구동 트랜지스터(DT)의 게이트 사이 등에 접속되는 소자(커패시터나 트랜지스터 등)가, 이 보정부(3A)에 포함된다.

[0194] 샘플링 트랜지스터(ST)의 소스와 드레인의 또한 한쪽은 신호 입력선(SIG)에 접속되어 있다. 신호 입력선(SIG)에 데이터 전압(Vsig)이 인가된다. 샘플링 트랜지스터(ST)는 이 데이터 전압 인가 기간의 적정한 타이밍에서, 해당 화소 회로에서 표시하여야 할 레벨의 데이터를 샘플링한다.

[0195] 또한, 샘플링 트랜지스터(ST)는 보정부(3A) 내의, 예를 들면 오프셋 레벨(초기 레벨)을 받아들이는 트랜지스터와 겸용되는 일이 있다. 그 경우, 신호 입력선(SIG)에, 이 오프셋 레벨과 데이터 전압(Vsig)을 교대로 인가할 필요가 있다.

[0196] 이 때문에, 샘플링 트랜지스터(ST)는 보정부(3A)측의 노드와 신호 입력선(SIG)측의 노드에 있어서, 소스와 드레인의 기능이 빈번하게 교체된다.

[0197] 따라서, 샘플링 트랜지스터(ST)로서, 전술한 제 1 내지 제 16의 실시 형태에 관한 TFT중, 대칭 레이아웃 TFT를 이용하면 좋다.

[0198] 액티브 매트릭스 구동에서는 샘플링 트랜지스터(ST)에 의한 데이터 기록 및 발광 시작을, 화소 배열에 있어서의 각 화소에 대해 배열순으로 행하고, 발광 종료에 관해서는 다른 화소의 구동 기간에 겹쳐서 임의로 제어할 수 있다. 그 때문에 액티브 매트릭스 구동에서는 저 전류 구동으로 고휘도를 얻을 수 있다.

[0199] 그 발광 제어에 이용하는 구동 트랜지스터(DT)는 소스가 유기 발광 다이오드(OLED)의 애노드에 접속되고, 드레인이 정전원에 접속되기 때문에, 소스와 드레인의 기능이 교체되는 일은 통상 없다. 그 때문에, 구동 트랜지스터(DT)로서, 전술한 제 1 내지 제 16의 실시 형태에 관한 TFT중, 대칭 레이아웃 TFT 외에, 비대칭 레이아웃 TFT를 이용하는 것도 가능하다.

[0200] 또한, 샘플링 트랜지스터(ST)를 PMOS 트랜지스터, 구동 트랜지스터(DT)를 NMOS 트랜지스터로 할 수도 있다.

[0201] 본 실시의 형태에서는 도 16에 도시하는 구동 트랜지스터(DT)나 샘플링 트랜지스터(ST)에, 제 1 내지 제 16의 실시 형태에서 기술한 TFT를 이용함으로써, 이하의 이익을 얻을 수 있다.

[0202] 상기 구성의 TFT는 예지 포인트와 게이트 전극이 벌어져 있고, 그 때문에 낮은 오프 리크 전류, 낮은 온 저항, 및, 낮은 기생 용량이라는 특성을 균형있게 갖는다. 그 때문에, 디스플레이 장치에 이용되는 박막 트랜지스터에 있어서, 게이트 오프시에 소스와 드레인 전극 사이에 흐르는 리크 전류 증대에 기인하는 화소의 멀점이나 휙점의 불량을 유효하게 방지할 수 있다. 또한, 높은 주파수에 추종하여 동작할 수 있기 때문에 높은 동화 표시 성능의 디스플레이에도 적용할 수 있다. 또한, 온 저항이 작기 때문에, 보다 휙도가 높은 표시를 가능하게 한다.

[0203] 또한, 오프 리크 전류가 억제되고, 온 저항이 작기 때문에 전류 로스가 작아서, 표시 장치의 소비 전력이 저감 한다.

[0204] 또한, 유기 EL 소자(LED의 일종) 이외의 LED를 발광 소자로서 이용하는 LED 표시 장치, 또는 플라즈마 표시 장치 등에 있어서, 그 화소 회로 소자에, 상기 실시 형태의 TFT를 이용할 수 있다. 또한, 표시 장치 이외에서도, 저 리크 특성, 저 온 저항, 저 기생 용량을 동시에 만족시키는 용도라면, 상기 제 1 내지 제 16의 실시 형태의 TFT를 알맞게 응용할 수 있다.

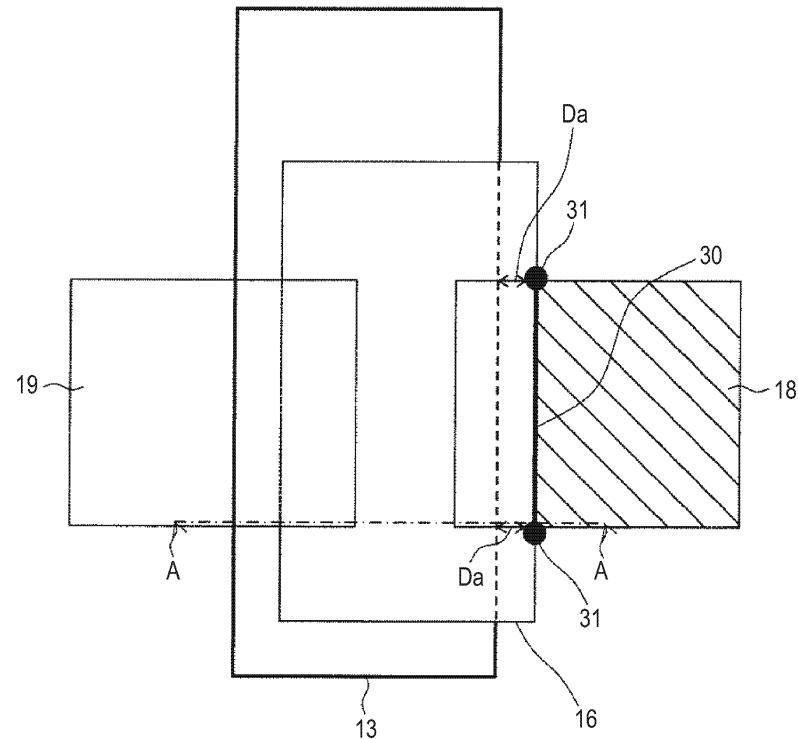
[0205] 본 발명에서 개시된 실시의 형태는 모든 점에서 예시이고 제한적인 것이 아니라고 생각하여야 할 것이다. 본 발명의 범위는 상기한 설명이 아니라 특허청구의 범위에 의해 나타나고 특허청구의 범위와 균등한 의미 및 범위 내에서의 모든 변경이 포함되는 것이 의도된다.

도면

도면1

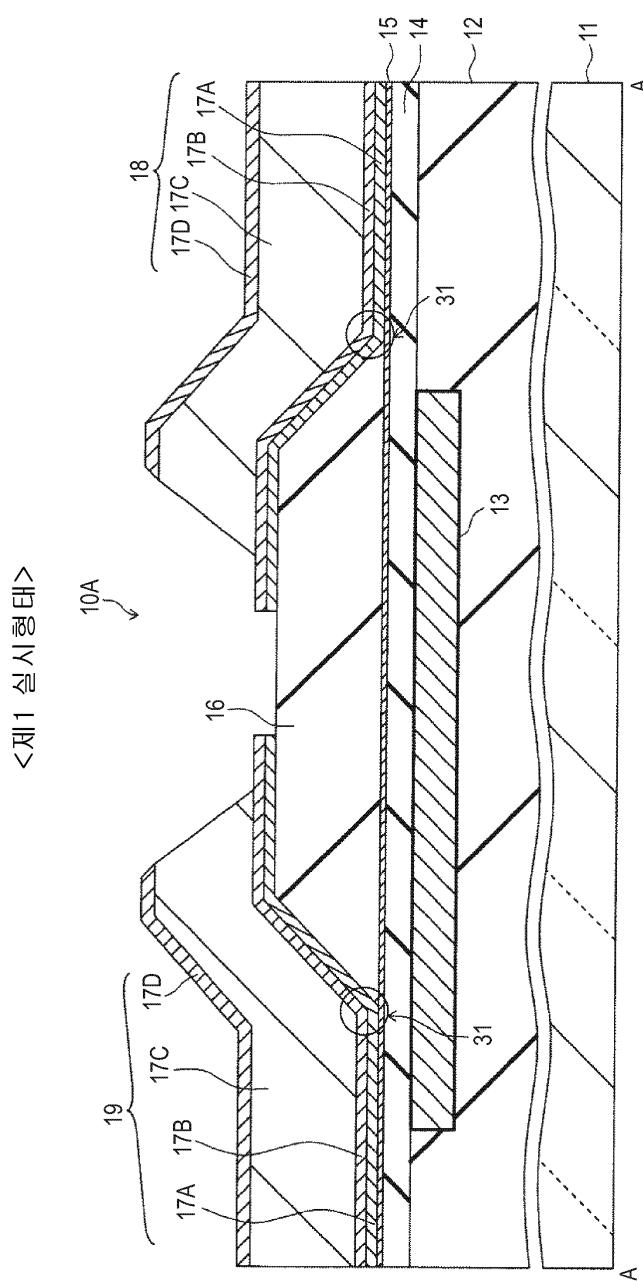
<제1 실시형태>

10A



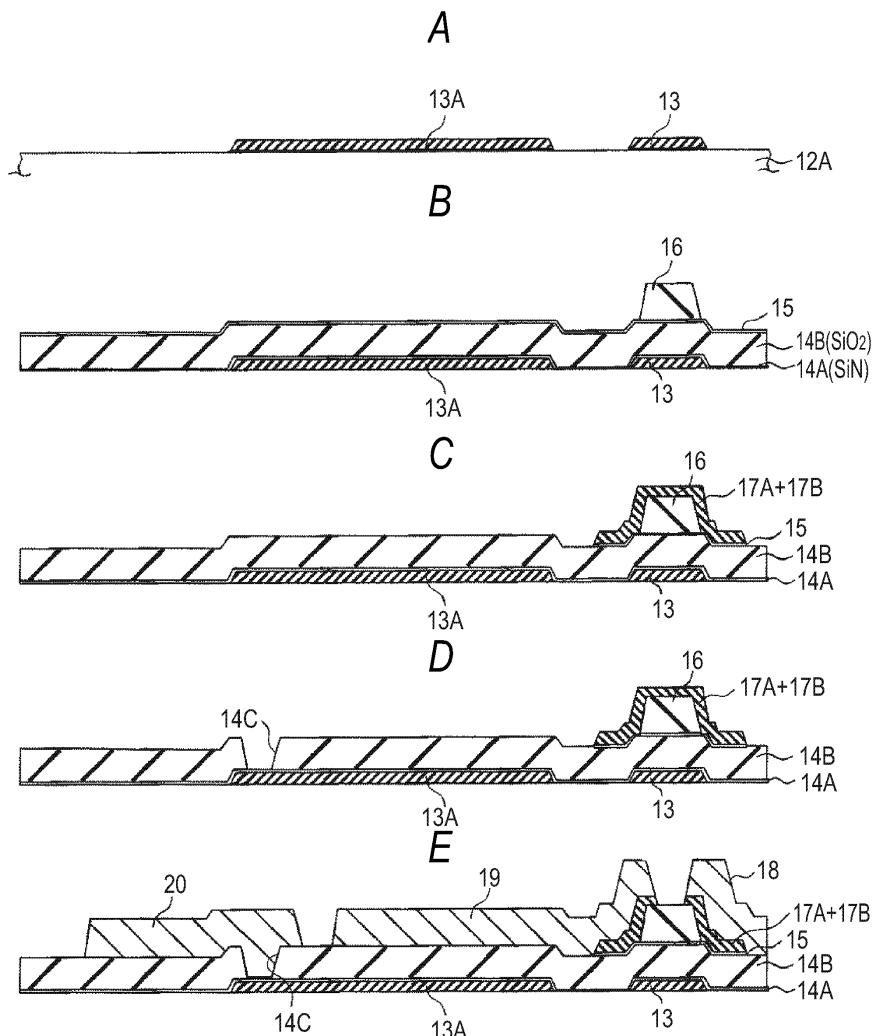
반도체막(15)상에서
소스/드레인 전극(18)이
접하는 영역

도면2



도면3

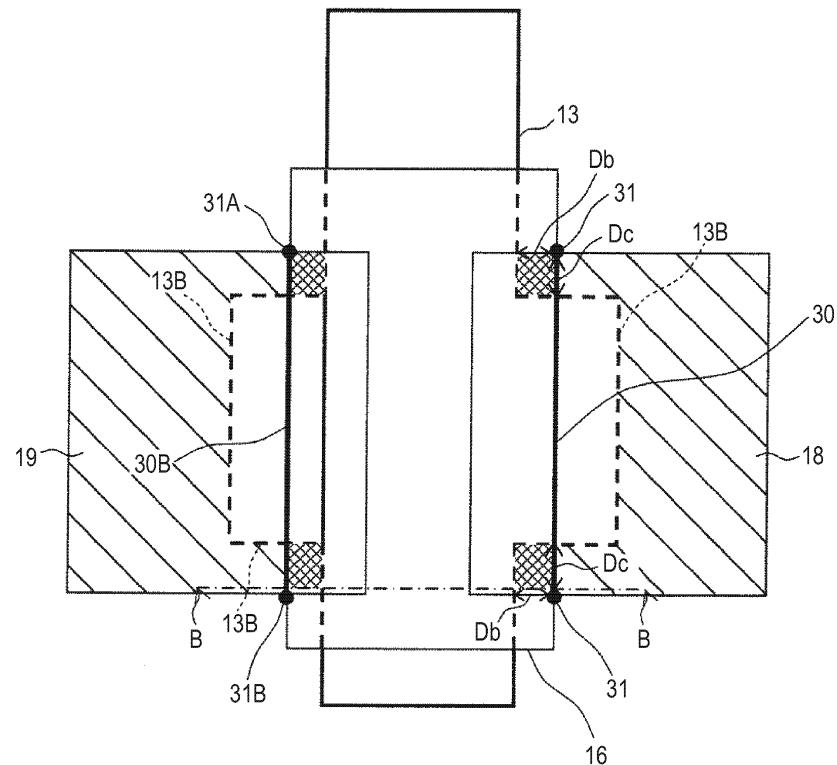
<제1 실시형태>



도면4

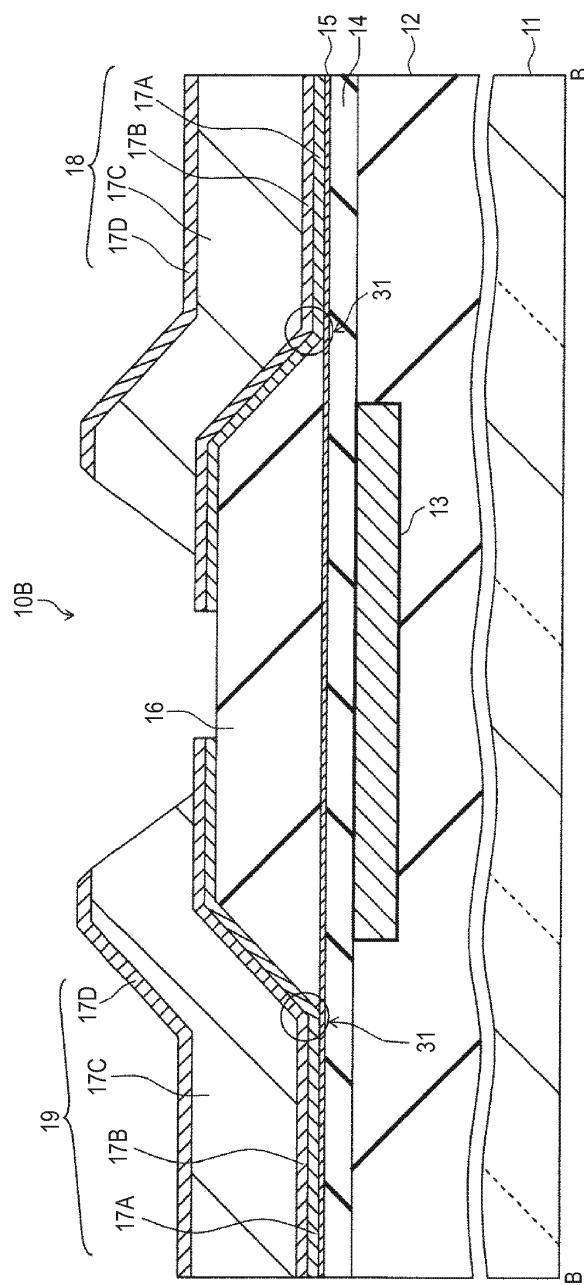
<제2 실시형태>

10B



도면5

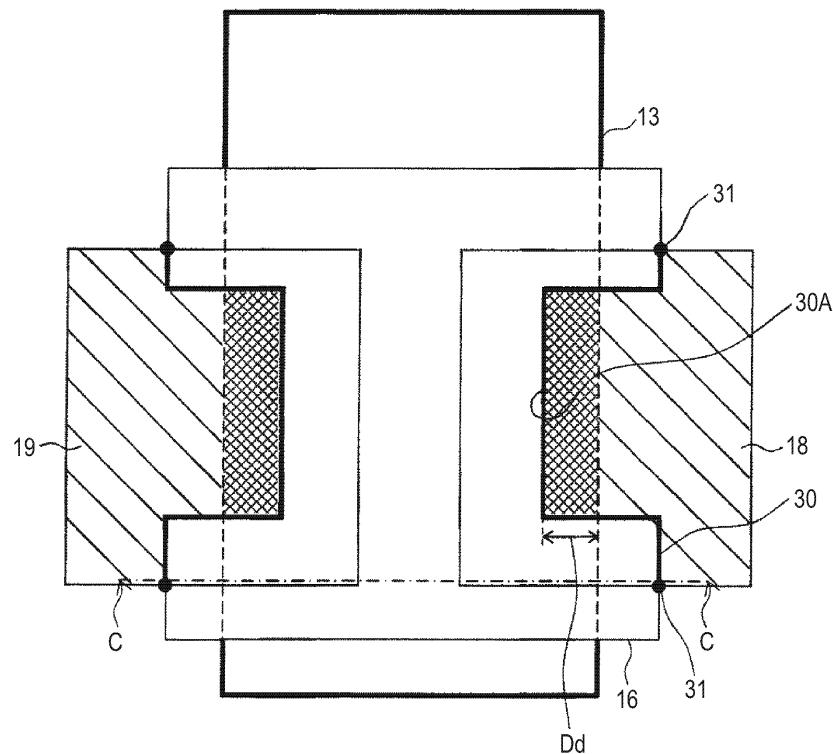
<제2 실시형태>



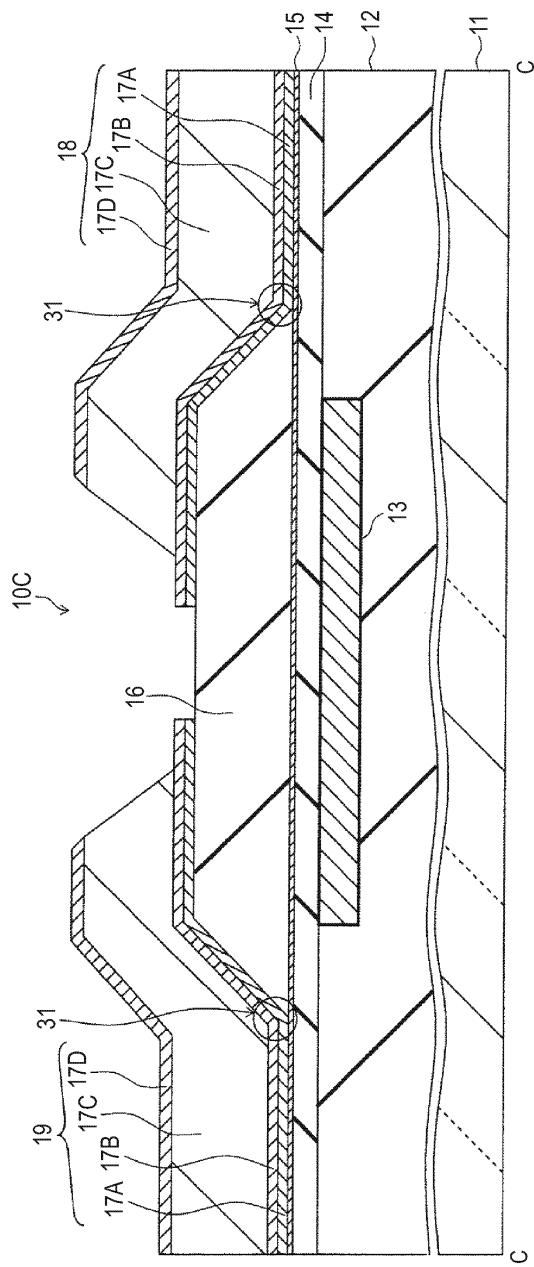
도면6

<제3 실시형태>

10C



도면7

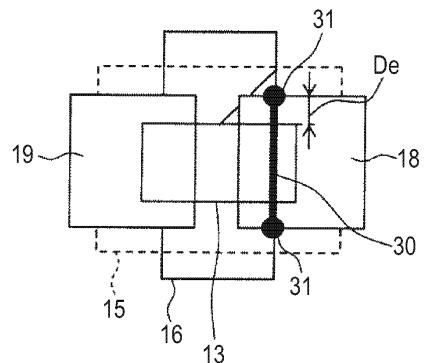


<제3 실시형태>

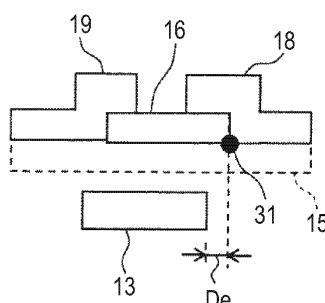
도면8

<제4 실시형태>

A



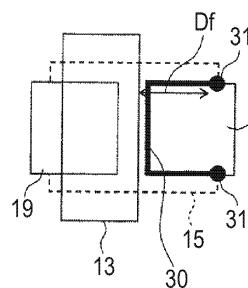
B



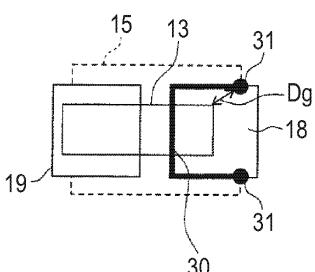
도면9

<제5 실시형태>

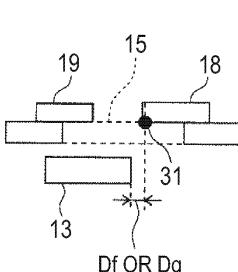
A



B

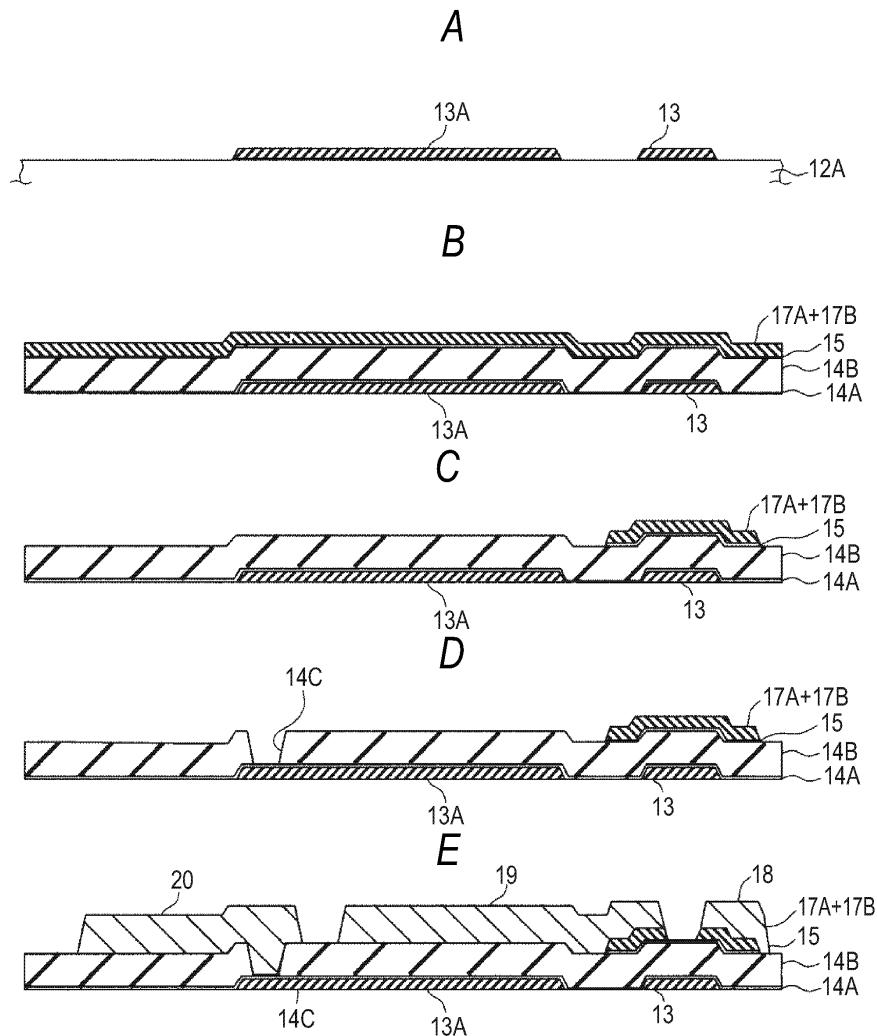


C



도면10

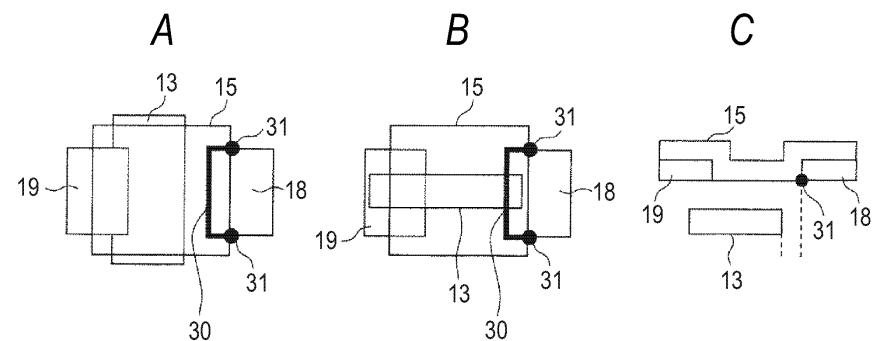
<제5 및 제6 실시형태>



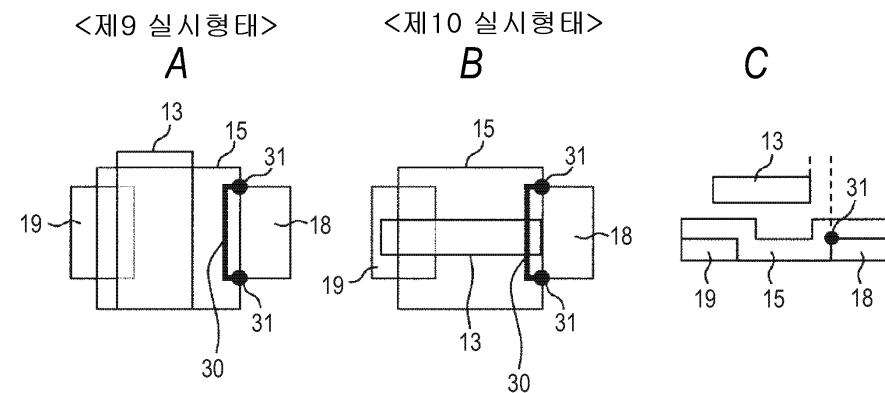
도면11

<제7 실시형태>

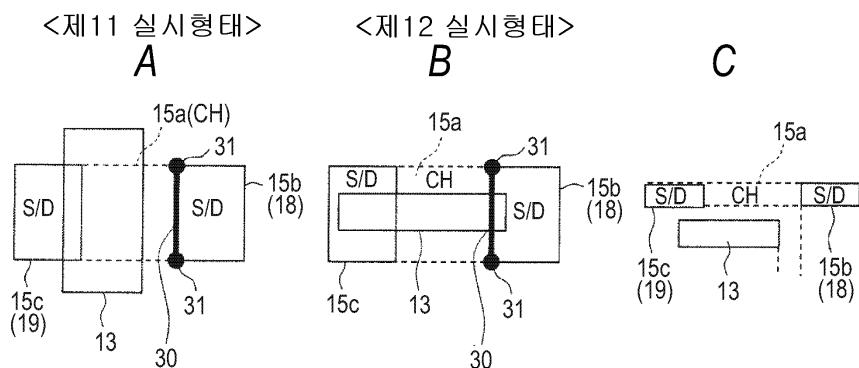
<제8 실시형태>



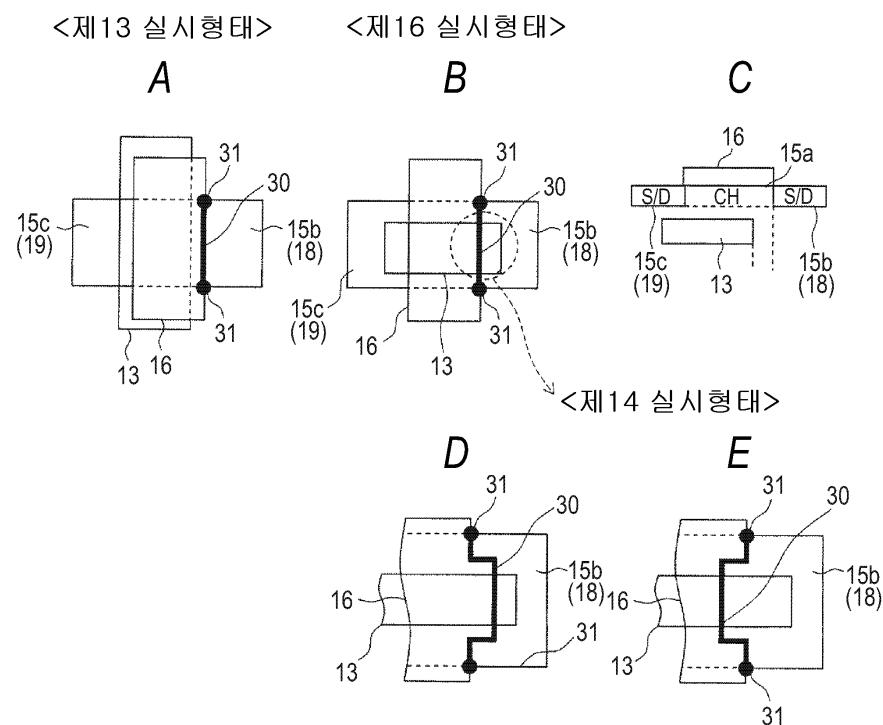
도면12



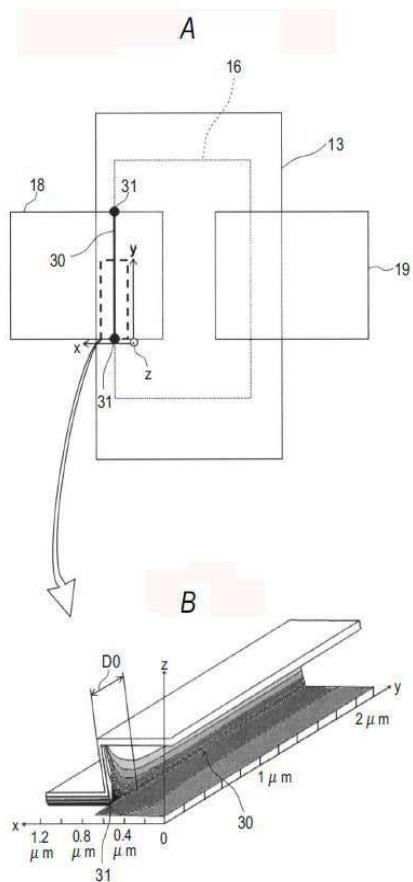
도면13



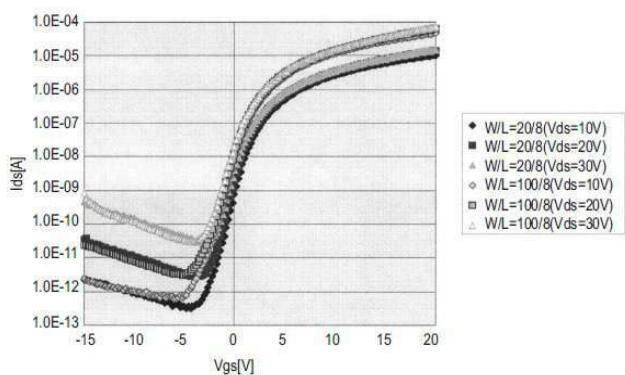
도면14



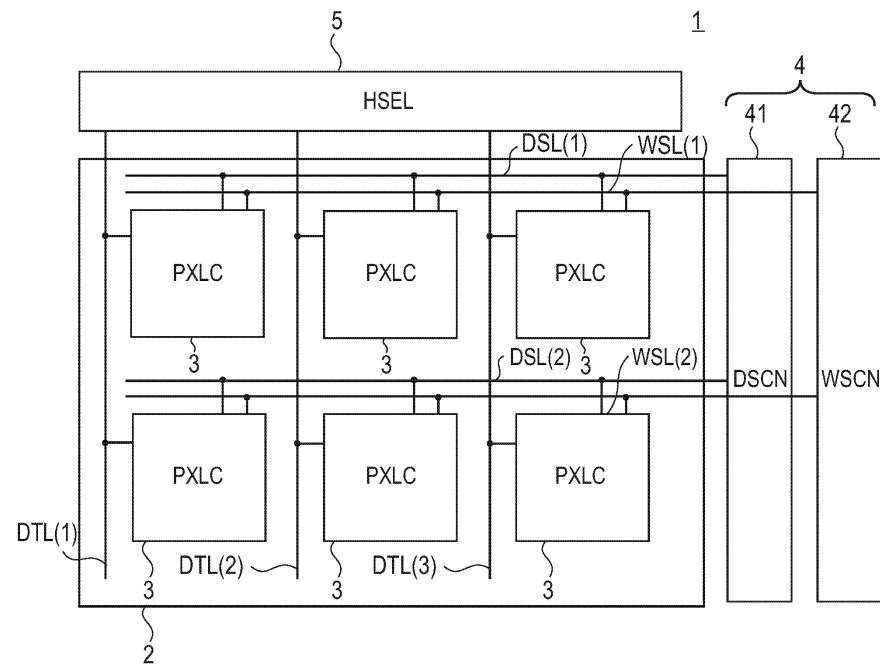
도면15



도면16



도면17



도면18

