

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7617113号  
(P7617113)

(45)発行日 令和7年1月17日(2025.1.17)

(24)登録日 令和7年1月8日(2025.1.8)

(51)国際特許分類	F I			
G 1 1 C 19/28 (2006.01)	G 1 1 C	19/28	2 3 0	
G 0 9 G 3/20 (2006.01)	G 0 9 G	3/20	6 2 2 E	
G 0 9 G 3/3233(2016.01)	G 0 9 G	3/20	6 2 2 B	
G 0 9 G 3/3266(2016.01)	G 0 9 G	3/3233		
H 1 0 K 59/12 (2023.01)	G 0 9 G	3/3266		
請求項の数 20 (全37頁) 最終頁に続く				

(21)出願番号	特願2022-540526(P2022-540526)	(73)特許権者	510280589
(86)(22)出願日	令和3年4月22日(2021.4.22)		京東方科技集團股 ぶん 有限公司
(65)公表番号	特表2023-522803(P2023-522803 A)		BOE TECHNOLOGY GROU P CO., LTD.
(43)公表日	令和5年6月1日(2023.6.1)		中華人民共和國 1 0 0 0 1 5 北京市朝陽 區酒仙橋路 1 0 號
(86)国際出願番号	PCT/CN2021/089081		No. 10 Jiuxianqiao R d., Chaoyang Distri ct, Beijing 100015, CHINA
(87)国際公開番号	WO2021/218779	(74)代理人	100103894
(87)国際公開日	令和3年11月4日(2021.11.4)		弁理士 家入 健
審査請求日	令和6年4月16日(2024.4.16)	(72)発明者	シャン グエンリアン
(31)優先権主張番号	202010356184.0		中華人民共和國 1 0 0 1 7 6  베이징 , पी-डी-ए-ए, डी-ज़े- रो-ड
(32)優先日	令和2年4月29日(2020.4.29)		最終頁に続く
(33)優先権主張国・地域又は機関	中国(CN)		

(54)【発明の名称】 シフトレジスタ回路及びその駆動方法、ゲート駆動回路、表示装置

(57)【特許請求の範囲】

【請求項 1】

シフトレジスタ回路であって、  
ノイズ除去制御サブ回路と、ノイズ除去サブ回路とを含み、  
前記ノイズ除去制御サブ回路は、第1電圧端子、第1クロック信号端子、第2クロック信号端子、及び第1ノイズ除去制御ノードに結合され、  
前記ノイズ除去制御サブ回路は、前記第1クロック信号端子の信号にตอบสนองして、前記第1電圧端子の電圧と第2クロック信号端子の信号から交番電圧信号を生成し、前記交番電圧信号を整流して信号を前記第1ノイズ除去制御ノードに出力することにより、前記第1ノイズ除去制御ノードの電圧を、前記ノイズ除去サブ回路をオンさせる電圧に保持するように構成され、前記ノイズ除去サブ回路は、前記第1ノイズ除去制御ノードと走査信号出力端子に結合され、  
前記ノイズ除去サブ回路は、前記第1ノイズ除去制御ノードの電圧が前記ノイズ除去サブ回路をオンさせる電圧であることにตอบสนองして、前記走査信号出力端子に対してノイズ除去を行うように構成される、シフトレジスタ回路。

【請求項 2】

前記ノイズ除去制御サブ回路は、  
前記第1クロック信号端子、前記第2クロック信号端子、前記第1電圧端子、及び第2ノイズ除去制御ノードに結合される第1オン制御サブ回路であって、前記第1クロック信号端子の信号にตอบสนองして、周期的に前記第1電圧端子の電圧を前記第2ノイズ除去制御ノ

ードに出力し、前記第 2 クロック信号端子の信号に基づいて、周期的に前記第 2 ノイズ除去制御ノードの電圧を調節することにより、前記第 2 ノイズ除去制御ノードに交番電圧信号を供給させるように構成される第 1 オン制御サブ回路と、

前記第 1 ノイズ除去制御ノードと前記第 2 ノイズ除去制御ノードに結合される第 2 オン制御サブ回路であって、前記第 2 ノイズ除去制御ノードが供給した前記交番電圧信号に応答して、前記交番電圧信号を整流して信号を前記第 1 ノイズ除去制御ノードに出力するように構成される第 2 オン制御サブ回路とを含む、請求項 1 に記載のシフトレジスタ回路。

【請求項 3】

第 1 オン制御サブ回路は、

制御電極が前記第 1 クロック信号端子に結合され、第 1 電極が前記第 1 電圧端子に結合され、第 2 電極が第 2 ノイズ除去制御ノードに結合される第 1 トランジスタと、

第 1 端子が前記第 2 クロック信号端子に結合され、第 2 端子が前記第 2 ノイズ除去制御ノードに結合される第 1 コンデンサと、を含み、

及び/又は、

第 2 オン制御サブ回路は、

制御電極が前記第 2 ノイズ除去制御ノードに結合され、第 1 電極が前記第 1 ノイズ除去制御ノードに結合され、第 2 電極が前記第 2 ノイズ除去制御ノードに結合される第 2 トランジスタと、

第 1 端子が第 1 信号端子に結合され、第 2 端子が前記第 1 ノイズ除去制御ノードに結合される第 2 コンデンサと、を含む、請求項 1 又は 2 に記載のシフトレジスタ回路。

【請求項 4】

前記ノイズ除去制御サブ回路は、さらにカスケード信号出力端子と第 2 信号端子に結合され、さらに前記カスケード信号出力端子の電圧に応答して、前記第 2 信号端子の信号に基づいて、前記ノイズ除去サブ回路をオフに制御するように構成される、請求項 1 ~ 3 のいずれか 1 項に記載のシフトレジスタ回路。

【請求項 5】

前記ノイズ除去制御サブ回路は、

前記第 1 クロック信号端子、前記第 2 クロック信号端子、前記第 1 電圧端子、及び第 2 ノイズ除去制御ノードに結合される第 1 オン制御サブ回路であって、前記第 1 クロック信号端子の信号に応答して、周期的に前記第 1 電圧端子の電圧を前記第 2 ノイズ除去制御ノードに出力し、前記第 2 クロック信号端子の信号に基づいて、周期的に前記第 2 ノイズ除去制御ノードの電圧を調節することにより、前記第 2 ノイズ除去制御ノードに交番電圧信号を供給させるように構成される第 1 オン制御サブ回路と、

前記第 1 ノイズ除去制御ノードと前記第 2 ノイズ除去制御ノードに結合される第 2 オン制御サブ回路であって、前記第 2 ノイズ除去制御ノードが供給した前記交番電圧信号に応答して、前記交番電圧信号を整流して前記信号を前記第 1 ノイズ除去制御ノードに出力するように構成される第 2 オン制御サブ回路と、

カスケード信号出力端子と第 2 信号端子に結合されたオフ制御ユニットと、を含み、前記オフ制御ユニットは、

制御電極が前記カスケード信号出力端子に結合され、第 1 電極が前記第 2 信号端子に結合され、第 2 電極が第 2 ノイズ除去制御ノードに結合される第 3 トランジスタと、

制御電極が前記カスケード信号出力端子に結合され、第 1 電極が前記第 2 信号端子に結合され、第 2 電極が前記第 1 ノイズ除去制御ノードに結合される第 4 トランジスタと、を含む、請求項 4 に記載のシフトレジスタ回路。

【請求項 6】

前記第 1 オン制御サブ回路は、

第 5 トランジスタをさらに含み、前記第 1 コンデンサの第 1 端子は、前記第 5 トランジスタを介して前記第 2 クロック信号端子に結合され、

前記第 5 トランジスタの制御電極は、前記走査信号出力端子に結合され、前記第 5 トランジスタの第 1 電極は、前記第 2 クロック信号端子に結合され、前記第 5 トランジスタの

10

20

30

40

50

第 2 電極は、前記第 1 コンデンサの第 1 端子に結合される、請求項 3 に記載のシフトレジスタ回路。

【請求項 7】

前記第 1 信号端子は、前記第 1 電圧端子又は前記第 1 クロック信号端子に結合される、請求項 3 に記載のシフトレジスタ回路。

【請求項 8】

前記ノイズ除去サブ回路は、

制御電極が前記第 1 ノイズ除去制御ノードに結合され、第 1 電極が前記第 1 電圧端子に結合され、第 2 電極が前記走査信号出力端子に結合される第 6 トランジスタを含む、請求項 1 ~ 7 のいずれか 1 項に記載のシフトレジスタ回路。

10

【請求項 9】

入力サブ回路と前記ノイズ除去制御サブ回路はいずれもカスケード信号出力端子に結合され、前記入力サブ回路はさらに出力サブ回路に結合され、前記ノイズ除去制御サブ回路が前記ノイズ除去サブ回路をオン又はオフさせるために前記カスケード信号出力端子の電圧を制御するように構成され、さらに、前記出力サブ回路にオン信号を伝送するように構成される入力サブ回路と、

第 2 電圧端子又は第 5 クロック信号端子に結合され、さらに前記走査信号出力端子に結合され、前記入力サブ回路から伝送されるオン信号にตอบสนองして、前記第 2 電圧端子又は前記第 5 クロック信号端子の信号を前記走査信号出力端子に伝送するように構成される出力サブ回路と、をさらに含む、請求項 1 ~ 8 のいずれか 1 項に記載のシフトレジスタ回路。

20

【請求項 10】

前記入力サブ回路は、

制御電極が第 3 クロック信号端子に結合され、第 1 電極が入力信号端子に結合され、第 2 電極が第 1 ノードに結合される第 7 トランジスタと、

制御電極が前記第 1 ノードに結合され、第 1 電極が前記第 3 クロック信号端子に結合され、第 2 電極が第 2 ノードに結合される第 8 トランジスタと、

制御電極が前記第 3 クロック信号端子に結合され、第 1 電極が前記第 1 電圧端子に結合され、第 2 電極が前記第 2 ノードに結合される第 9 トランジスタと、

制御電極が前記第 2 ノードに結合され、第 1 電極が前記第 2 電圧端子に結合され、第 2 電極が前記カスケード信号出力端子に結合される第 10 トランジスタと、

30

第 1 端子が前記第 2 ノードに結合され、第 2 端子が前記第 10 トランジスタの第 1 電極と前記第 2 電圧端子に結合される第 3 コンデンサと、

制御電極が第 3 ノードに結合され、第 1 電極が第 4 クロック信号端子に結合され、第 2 電極が前記カスケード信号出力端子に結合される第 11 トランジスタと、

第 1 端子が前記第 3 ノードに結合され、第 2 端子が前記第 11 トランジスタの第 2 電極と前記カスケード信号出力端子に結合される第 4 コンデンサと、

制御電極が前記第 1 電圧端子に結合され、第 2 電極が前記第 3 ノードに結合され、第 1 電極が前記第 1 ノードに結合される第 12 トランジスタと、

制御電極が前記第 4 クロック信号端子に結合され、第 1 電極が前記第 1 ノードに結合され、第 2 電極が第 4 ノードに結合される第 13 トランジスタと、

40

制御電極が前記第 2 ノードに結合され、第 1 電極が前記第 2 電圧端子に結合され、第 2 電極が前記第 4 ノードに結合される第 14 トランジスタと、を含み、

前記出力サブ回路は、

制御電極が前記カスケード信号出力端子又は前記第 3 ノードに結合され、第 1 電極が前記第 2 電圧端子又は第 5 クロック信号端子に結合され、第 2 電極が前記走査信号出力端子に結合される第 15 トランジスタを含む、請求項 9 に記載のシフトレジスタ回路。

【請求項 11】

前記第 2 信号端子は、前記第 2 電圧端子に結合され、又は、前記第 2 信号端子は第 2 ノードに結合される、請求項 10 に記載のシフトレジスタ回路。

【請求項 12】

50

前記第 3 クロック信号端子は前記第 1 クロック信号端子に結合され、前記第 4 クロック信号端子は前記第 2 クロック信号端子に結合される、請求項 10 に記載のシフトレジスタ回路。

【請求項 13】

制御電極が第 1 クロック信号端子に結合され、第 1 電極が第 1 電圧端子に結合され、第 2 電極が第 2 ノイズ除去制御ノードに結合される第 1 トランジスタと、

第 1 端子が第 2 クロック信号端子に結合され、第 2 端子が前記第 2 ノイズ除去制御ノードに結合される第 1 コンデンサと、

制御電極が前記第 2 ノイズ除去制御ノードに結合され、第 1 電極が第 1 ノイズ除去制御ノードに結合され、第 2 電極が前記第 2 ノイズ除去制御ノードに結合される第 2 トランジスタと、

10

第 1 端子が第 1 信号端子に結合され、第 2 端子が前記第 1 ノイズ除去制御ノードに結合される第 2 コンデンサと、

制御電極が前記第 1 ノイズ除去制御ノードに結合され、第 1 電極が前記第 1 電圧端子に結合され、第 2 電極が走査信号出力端子に結合される第 6 トランジスタとを含む、シフトレジスタ回路。

【請求項 14】

制御電極がカスケード信号出力端子に結合され、第 1 電極が第 2 信号端子に結合され、第 2 電極が前記第 2 ノイズ除去制御ノードに結合される第 3 トランジスタと、

制御電極が前記カスケード信号出力端子に結合され、第 1 電極が前記第 2 信号端子に結合され、第 2 電極が前記第 1 ノイズ除去制御ノードに結合される第 4 トランジスタと、をさらに含む、請求項 13 に記載のシフトレジスタ回路。

20

【請求項 15】

複数のカスケード接続されたシフトレジスタ回路を含むゲート駆動回路であって、

前記シフトレジスタ回路は、請求項 1 ~ 14 のいずれか 1 項に記載のシフトレジスタ回路である、ゲート駆動回路。

【請求項 16】

複数本のゲート線と、

請求項 15 に記載のゲート駆動回路とを含む表示装置であって、

前記ゲート駆動回路における各シフトレジスタ回路は、少なくとも 1 本のゲート線に結合される、表示装置。

30

【請求項 17】

前記ゲート駆動回路における各シフトレジスタ回路の走査信号出力端子は、少なくとも 1 本のゲート線に結合される、請求項 16 に記載の表示装置。

【請求項 18】

前記複数本のゲート線は、複数本の第 1 ゲート線と、複数本の第 2 ゲート線とを含み、

前記ゲート駆動回路における各シフトレジスタ回路の走査信号出力端子は、少なくとも 1 本の第 1 ゲート線に結合され、且つ、前記ゲート駆動回路における各シフトレジスタ回路のカスケード信号出力端子は、少なくとも 1 本の第 2 ゲート線に結合される、請求項 16 に記載の表示装置。

40

【請求項 19】

請求項 1 ~ 14 のいずれか 1 項に記載のシフトレジスタ回路の駆動方法であって、

保持段階において、

前記シフトレジスタ回路のノイズ除去制御サブ回路が、第 1 クロック信号端子の信号にตอบสนองして、第 1 電圧端子の電圧と第 2 クロック信号端子の信号から交番電圧信号を生成し、生成された前記交番電圧信号を整流して前記信号を第 1 ノイズ除去制御ノードに出力することにより、前記第 1 ノイズ除去制御ノードの電圧を、ノイズ除去サブ回路をオンさせる電圧に保持することと、

前記ノイズ除去サブ回路が、前記第 1 ノイズ除去制御ノードの電圧が前記ノイズ除去サブ回路をオンさせる電圧であることにตอบสนองして、走査信号出力端子に対してノイズ除去を

50

行うこととを含む、駆動方法。

【請求項 20】

前記シフトレジスタ回路が入力サブ回路をさらに含む場合、前記入力サブ回路と前記ノイズ除去制御サブ回路はいずれもカスケード信号出力端子に結合され、前記方法は、

入力段階において、

前記入力サブ回路が、それに結合された第 3 クロック信号端子の信号に応答して、前記カスケード信号出力端子の電圧を第 1 制御電圧に制御することにより、前記ノイズ除去制御サブ回路が前記ノイズ除去サブ回路をオンさせることと、

出力段階において、

前記入力サブ回路が、カスケード信号出力端子の電圧を第 2 制御電圧に制御することにより、前記ノイズ除去制御サブ回路が前記ノイズ除去サブ回路をオフさせることとをさらに含む、請求項 19 に記載の駆動方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

この出願は、2020年4月29日に提出された出願番号が202010356184.0である中国特許出願を基礎出願とする優先権を主張し、その内容の全てが参照によって本出願に取り込まれる。

【0002】

本開示は、表示技術分野に関し、特にシフトレジスタ回路及びその制御方法、ゲート駆動回路、表示装置に関するものである。

20

【背景技術】

【0003】

表示技術の進歩に伴い、表示装置の中核である半導体素子技術も大きく進歩してきた。有機発光ダイオード(Organic Light Emitting Diode、OLED)は、電流発光素子の一種として、自発光可能であり、応答が速く、視野角が広く、フレキシブル基板上に作製可能であるなどの特徴を有するため、高性能の表示装置への適用が増加するようになる。

【発明の概要】

【課題を解決するための手段】

30

【0004】

第 1 の態様では、シフトレジスタ回路を提供する。前記シフトレジスタ回路は、ノイズ除去制御サブ回路と、ノイズ除去サブ回路とを含む。ここで、ノイズ除去制御サブ回路は、第 1 電圧端子、第 1 クロック信号端子、第 2 クロック信号端子、及び第 1 ノイズ除去制御ノードに結合される。ノイズ除去制御サブ回路は、前記第 1 クロック信号端子の信号に応答して、前記第 1 電圧端子の電圧と第 2 クロック信号端子の信号から交番電圧信号を生成し、交番電圧信号を整流して信号を第 1 ノイズ除去制御ノードに出力することにより、第 1 ノイズ除去制御ノードの電圧を、ノイズ除去サブ回路をオンさせる電圧に保持する。ノイズ除去サブ回路は、第 1 ノイズ除去制御ノードと走査信号出力端子に結合される。ノイズ除去サブ回路は、第 1 ノイズ除去制御ノードの電圧がノイズ除去サブ回路をオンさせる電圧であることに応答して、走査信号出力端子に対してノイズ除去を行うように構成される。

40

【0005】

幾つかの実施例において、ノイズ除去制御サブ回路は、第 1 オン制御サブ回路と、第 2 オン制御サブ回路とを含む。ここで、第 1 オン制御サブ回路は、前記第 1 クロック信号端子、前記第 2 クロック信号端子、前記第 1 電圧端子、及び第 2 ノイズ除去制御ノードに結合され、前記第 1 クロック信号端子の信号に応答して、周期的に第 1 電圧端子の電圧を第 2 ノイズ除去制御ノードに出力し、第 2 クロック信号端子の信号に基づいて、周期的に第 2 ノイズ除去制御ノードの電圧を調節することにより、第 2 ノイズ除去制御ノードに交番電圧信号を供給させるように構成され、第 2 オン制御サブ回路は、前記第 1 ノイズ除去制

50

御ノードと前記第2ノイズ除去制御ノードに結合され、前記第2ノイズ除去制御ノードが供給した前記交番電圧信号にตอบสนองして、前記交番電圧信号を整流して前記信号を第1ノイズ除去制御ノードに出力するように構成される。

【0006】

幾つかの実施例において、第1オン制御サブ回路は、第1トランジスタと第1コンデンサとを含み、及び/又は、第2オン制御サブ回路は、第2トランジスタと第2コンデンサとを含む。第1トランジスタの制御電極は、前記第1クロック信号端子に結合され、第1トランジスタの第1電極は、前記第1電圧端子に結合され、第1トランジスタの第2電極は、第2ノイズ除去制御ノードに結合される。第1コンデンサの第1端子は、第2クロック信号端子に結合され、第1コンデンサの第2端子は、第2ノイズ除去制御ノードに結合される。第2トランジスタの制御電極は、前記第2ノイズ除去制御ノードに結合され、第2トランジスタの第1電極は、前記第1ノイズ除去制御ノードに結合され、第2トランジスタの第2電極は、前記第2ノイズ除去制御ノードに結合される。第2コンデンサの第1端子は、第1信号端子に結合され、第2コンデンサの第2端子は、前記第1ノイズ除去制御ノードに結合される。

10

【0007】

幾つかの実施例において、ノイズ除去制御サブ回路は、さらにカスケード信号出力端子と第2信号端子に結合され、さらに、カスケード信号出力端子の電圧にตอบสนองして、前記第2信号端子の信号に基づいて、ノイズ除去サブ回路をオフに制御するように構成される。

【0008】

幾つかの実施例において、前記ノイズ除去制御サブ回路は、第1オン制御サブ回路と、第2オン制御サブ回路と、オフ制御ユニットとを含む。前記第1オン制御サブ回路は、前記第1クロック信号端子、前記第2クロック信号端子、前記第1電圧端子、及び第2ノイズ除去制御ノードに結合され、前記第1クロック信号端子の信号にตอบสนองして、周期的に前記第1電圧端子の電圧を前記第2ノイズ除去制御ノードに出力し、前記第2クロック信号端子の信号に基づいて、周期的に前記第2ノイズ除去制御ノードの電圧を調節することにより、前記第2ノイズ除去制御ノードに交番電圧信号を供給させるように構成される。前記第2オン制御サブ回路は、前記第1ノイズ除去制御ノードと前記第2ノイズ除去制御ノードに結合され、前記第2ノイズ除去制御ノードが供給した前記交番電圧信号にตอบสนองして、前記交番電圧信号を整流して前記信号を前記第1ノイズ除去制御ノードに出力するように構成される。前記オフ制御ユニットは、カスケード信号出力端子と第2信号端子に結合され、且つ、第3トランジスタと第4トランジスタをさらに含む。第3トランジスタの制御電極は、カスケード信号出力端子に結合され、第3トランジスタの第1電極は、第2信号端子に結合され、第3トランジスタの第2電極は、第2ノイズ除去制御ノードに結合される。第4トランジスタの制御電極は、カスケード信号出力端子に結合され、第4トランジスタの第1電極は、第2信号端子に結合され、第4トランジスタの第2電極は、第1ノイズ除去制御ノードに結合される。

20

30

【0009】

幾つかの実施例において、第1オン制御サブ回路は、第5トランジスタをさらに含む。第1コンデンサの第1端子は、前記第5トランジスタを介して前記第2クロック信号端子に結合される。前記第5トランジスタの制御電極は、前記走査信号出力端子に結合され、前記第5トランジスタの第1電極は、前記第2クロック信号端子に結合され、前記第5トランジスタの第2電極は、前記第1コンデンサの第1端子に結合される。

40

【0010】

幾つかの実施例において、前記第1信号端子は、前記第1電圧端子又は前記第1クロック信号端子に結合される。

【0011】

幾つかの実施例において、前記ノイズ除去サブ回路は、第6トランジスタを含む。前記第6トランジスタの制御電極は、前記第1ノイズ除去制御ノードに結合され、前記第6トランジスタの第1電極は、前記第1電圧端子に結合され、前記第6トランジスタの第2電

50

極は、前記走査信号出力端子に結合される。

【0012】

幾つかの実施例において、シフトレジスタ回路は、入力サブ回路と出力サブ回路をさらに含む。ここで、前記入力サブ回路と前記ノイズ除去サブ回路は、いずれもカスケード信号出力端子に結合され、前記入力サブ回路は、さらに出力サブ回路に結合され、前記ノイズ除去制御サブ回路が前記ノイズ除去サブ回路をオン又はオフさせるためにカスケード信号出力端子の電圧を制御するように構成され、さらに、出力サブ回路にオン信号を伝送するように構成される。前記出力サブ回路は、さらに前記第2電圧端子又は第5クロック信号端子に結合され、前記出力サブ回路は、さらに前記走査信号出力端子に結合される。出力サブ回路は、入力サブ回路から伝送されるオン信号にตอบสนองして、前記第2電圧端子又は第5クロック信号端子の信号を走査信号出力端子に伝送するように構成される。

10

【0013】

幾つかの実施例において、入力サブ回路は、第7トランジスタ、第8トランジスタ、第9トランジスタ、第10トランジスタ、第3コンデンサ、第11トランジスタ、第4コンデンサ、第12トランジスタ、第13トランジスタ、及び第14トランジスタを含む。第7トランジスタの制御電極は、第3クロック信号端子に結合され、第7トランジスタの第1電極は、入力信号端子に結合され、第7トランジスタの第2電極は、第1ノードに結合される。

【0014】

第8トランジスタの制御電極は、第1ノードに結合され、第8トランジスタの第1電極は、第3クロック信号端子に結合され、第8トランジスタの第2電極は、第2ノードに結合される。

20

【0015】

第9トランジスタの制御電極は、第3クロック信号端子に結合され、第9トランジスタの第1電極は、第1電圧端子に結合され、第9トランジスタの第2電極は、第2ノードに結合される。

【0016】

第10トランジスタの制御電極は、第2ノードに結合され、第10トランジスタの第1電極は、第2電圧端子に結合され、第10トランジスタの第2電極は、カスケード信号出力端子に結合される。

30

【0017】

第3コンデンサの第1端子は、第2ノードに結合され、第3コンデンサの第2端子は、第10トランジスタの第1電極と第2電圧端子に結合される。

【0018】

第11トランジスタの制御電極は、第3ノードに結合され、第11トランジスタの第1電極は、第4クロック信号端子に結合され、第11トランジスタの第2電極は、カスケード信号出力端子に結合される。

【0019】

第4コンデンサの第1端子は、第3ノードに結合され、第4コンデンサの第2端子は、第11トランジスタの第2電極とカスケード信号出力端子に結合される。

40

【0020】

第12トランジスタの制御電極は、第1電圧端子に結合され、第12トランジスタの第2電極は、第3ノードに結合され、第12トランジスタの第1電極は、第1ノードに結合される。

【0021】

第13トランジスタの制御電極は、第4クロック信号端子に結合され、第13トランジスタの第1電極は、第1ノードに結合され、第13トランジスタの第2電極は、第4ノードに結合される。

【0022】

第14トランジスタの制御電極は、第2ノードに結合され、第14トランジスタの第1

50

電極は、第 2 電圧端子に結合され、第 1 4 トランジスタの第 2 電極は、第 4 ノードに結合される。

【 0 0 2 3 】

出力サブ回路は、第 1 5 トランジスタを含む。第 1 5 トランジスタの制御電極は、カスケード信号出力端子又は第 3 ノードに結合され、第 1 5 トランジスタの第 1 電極は、第 2 電圧端子又は第 5 クロック信号端子に結合され、第 1 5 トランジスタの第 2 電極は、走査信号出力端子に結合される。

【 0 0 2 4 】

幾つかの実施例において、第 2 信号端子は、第 2 電圧端子に結合され、又は第 2 信号端子は第 2 ノードに結合される。

【 0 0 2 5 】

幾つかの実施例において、前記第 3 クロック信号端子は、前記第 1 クロック信号端子に結合され、前記第 4 クロック信号端子は、前記第 2 クロック信号端子に結合される。

【 0 0 2 6 】

第 2 の態様では、ゲート駆動回路を提供する。前記ゲート駆動回路は、複数のカスケード接続されたシフトレジスタ回路を含む。前記シフトレジスタ回路は、上記いずれか 1 つの実施例に記載のシフトレジスタ回路である。

【 0 0 2 7 】

第 3 の態様では、表示装置を提供する。前記表示装置は、複数本のゲート線と、上記第 2 の態様に記載のゲート駆動回路とを含む。前記ゲート駆動回路における各シフトレジスタ回路は、少なくとも 1 本のゲート線に結合される。

【 0 0 2 8 】

幾つかの実施例において、ゲート駆動回路における各シフトレジスタ回路の走査信号出力端子は、少なくとも 1 本のゲート線に結合される。

【 0 0 2 9 】

幾つかの実施例において、前記複数本のゲート線は、複数本の第 1 ゲート線と、複数本の第 2 ゲート線とを含み、ゲート駆動回路における各シフトレジスタ回路の走査信号出力端子は、少なくとも 1 つの第 1 ゲート線に結合され、且つ、ゲート駆動回路における各シフトレジスタ回路のカスケード信号出力端子は、少なくとも 1 本の第 2 ゲート線に結合される。

【 0 0 3 0 】

第 4 の態様では、上記いずれか 1 つの実施例に記載のシフトレジスタ回路の駆動方法を提供する。前記駆動方法は、保持段階において、シフトレジスタ回路のノイズ除去制御サブ回路が、第 1 クロック信号端子の信号にตอบสนองして、第 1 電圧端子の電圧と第 2 クロック信号端子の信号から交番電圧信号を生成し、生成された交番電圧信号を整流して前記信号を第 1 ノイズ除去制御ノードに出力することにより、第 1 ノイズ除去制御ノードの電圧を、ノイズ除去サブ回路をオンさせる電圧に保持することと、ノイズ除去サブ回路が、第 1 ノイズ除去制御ノードの電圧がノイズ除去サブ回路をオンさせる電圧であることにตอบสนองして、走査信号出力端子に対してノイズ除去を行うこととを含む。

【 0 0 3 1 】

幾つかの実施例において、前記駆動方法は、シフトレジスタ回路が入力サブ回路と出力サブ回路をさらに含む場合、前記入力サブ回路と前記ノイズ除去制御サブ回路は、いずれもカスケード信号出力端子に結合され、入力段階において、入力サブ回路が、それに結合された第 3 クロック信号端子の信号にตอบสนองして、カスケード信号出力端子の電圧を第 1 制御電圧に制御することにより、ノイズ除去制御サブ回路がノイズ除去サブ回路をオンさせ、且つ出力サブ回路にオン信号を伝送することと、出力段階において、入力サブ回路が、カスケード信号出力端子の電圧を第 2 制御電圧に制御することにより、ノイズ除去制御サブ回路がノイズ除去サブ回路をオフさせ、且つ出力サブ回路にオン信号を伝送し続けることとをさらに含む。

第 5 の態様では、第 1 トランジスタと、第 1 コンデンサと、第 2 トランジスタと、第 2 コ

10

20

30

40

50

ンデンサと、第 6 トランジスタとを含むシフトレジスタ回路を提供する。前記第 1 トランジスタの制御電極は、第 1 クロック信号端子に結合され、前記第 1 トランジスタの第 1 電極は、第 1 電圧端子に結合され、前記第 1 トランジスタの第 2 電極は、第 2 ノイズ除去制御ノードに結合される。前記第 1 コンデンサの第 1 端子は、第 2 クロック信号端子に結合され、前記第 1 コンデンサの第 2 端子は、前記第 2 ノイズ除去制御ノードに結合される。前記第 2 トランジスタの制御電極は、前記第 2 ノイズ除去制御ノードに結合され、前記第 2 トランジスタの第 1 電極は、第 1 ノイズ除去制御ノードに結合され、前記第 2 トランジスタの第 2 電極は、前記第 2 ノイズ除去制御ノードに結合される。前記第 2 コンデンサの第 1 端子は、第 1 信号端子に結合され、前記第 2 コンデンサの第 2 端子は、前記第 1 ノイズ除去制御ノードに結合される。前記第 6 トランジスタの制御電極は、前記第 1 ノイズ除去制御ノードに結合され、前記第 6 トランジスタの第 1 電極は、前記第 1 電圧端子に結合され、前記第 6 トランジスタの第 2 電極は、走査信号出力端子に結合される。

10

幾つかの実施例において、前記シフトレジスタ回路は、第 3 トランジスタと第 4 トランジスタをさらに含む。前記第 3 トランジスタの制御電極は、カスケード信号出力端子に結合され、前記第 3 トランジスタの第 1 電極は、第 2 信号端子に結合され、前記第 3 トランジスタの第 2 電極は、前記第 2 ノイズ除去制御ノードに結合される。前記第 4 トランジスタの制御電極は、前記カスケード信号出力端子に結合され、前記第 4 トランジスタの第 1 電極は、前記第 2 信号端子に結合され、前記第 4 トランジスタの第 2 電極は、前記第 1 ノイズ除去制御ノードに結合される。

20

【図面の簡単な説明】

【0032】

本開示における技術案をより明確に説明するために、以下は、本開示の幾つかの実施例において使用される必要がある添付図面を簡単に説明する。自明なことに、以下の説明における図面は、本開示の幾つかの実施例の添付図面に過ぎず、当業者であれば、それらの図面に基づき、他の図面を取得することもできる。また、以下の説明における図面は、概略図と見なすことができ、本開示の実施例に係る製品の実際の寸法、方法の実際のプロセス、信号の実際のシーケンスなどを制限するものではない。

【0033】

【図 1 A】本開示の実施例に係る表示パネルの構成図である。

【0034】

【図 1 B】本開示の実施例に係る表示パネルのゲート駆動アーキテクチャ図である。

30

【0035】

【図 2】関連技術に係る画素回路の構成図である。

【0036】

【図 3】関連技術に係るシフトレジスタ回路の部分構成図である。

【0037】

【図 4】関連技術に係るシフトレジスタ回路の部分駆動シーケンス図である。

【0038】

【図 5】関連技術に係るシフトレジスタ回路の出力ノイズを示す図である。

【0039】

40

【図 6】本開示の実施例に係るシフトレジスタ回路の構成図である。

【0040】

【図 7】本開示の実施例に係る別のシフトレジスタ回路の構成図である。

【0041】

【図 8】本開示の実施例に係る更に別のシフトレジスタ回路の構成図である。

【0042】

【図 9】本開示の実施例に係る更に別のシフトレジスタ回路の構成図である。

【0043】

【図 10】本開示の実施例に係る更に別のシフトレジスタ回路の構成図である。

【0044】

50

【図11】本開示の実施例に係る更に別のシフトレジスタ回路の構成図である。

【0045】

【図12】本開示の実施例に係るシフトレジスタ回路の駆動シーケンス図である。

【0046】

【図13】本開示の実施例に係る更に別のシフトレジスタ回路の構成図である。

【0047】

【図14】本開示の実施例に係る更に別のシフトレジスタ回路の構成図である。

【0048】

【図15】本開示の実施例に係るシフトレジスタ回路の駆動シーケンス図である。

【発明を実施するための形態】

【0049】

以下、図面を参照しながら、本開示の幾つかの実施例における技術案を明確かつ完全に説明する。説明される実施例は、本開示の実施例の一部に過ぎず、すべての実施例ではないことは明らかである。本開示に係る実施例に基づいて、当業者が得られた他の全ての実施例は、いずれも本開示の保護範囲に含まれるものとする。

【0050】

文脈上別段の解釈を要しない限り、本明細書及び特許請求の範囲全体において、用語「含む (comprise)」及びその他の形式、例えば、第三人称の単数形である「含む (comprises)」及び現在分詞の形式である「含む (comprising)」は、開放、包括的な意味、即ち「含むが、これらに限定されない」と解釈されるべきである。明細書の説明において、用語「1つの実施例 (one embodiment)」、「幾つかの実施例 (some embodiments)」、「例示的な実施例 (exemplary embodiments)」、「例 (example)」、「特定の例 (specific example)」又は「幾つかの例 (some examples)」などは、その実施例又は例に関連する特定の特徵、構造、材料又は特性が本開示の少なくとも1つの実施例又は例に含まれることを示すことが意図される。上記の用語の概略的な表現は、必ずしも同じ実施例又は例を指すわけではない。さらに、説明された特定の特徵、構造、材料、又は特性は、任意の適切な態様で、任意の1つ又は複数の実施例又は例に含まれ得る。

【0051】

以下、用語「第1」、「第2」は説明の目的だけに用いられ、相対的な重要性を明示又は暗示する、又は示される技術的特徴の数を暗黙的に示すものとは理解されない。従って、「第1」、「第2」で限定されている特徴は、1つ又は複数の該特徴を明示的又は暗黙的に含むことができる。本開示の実施例の説明では、特に説明がない限り、「複数」は、2つ以上を意味する。

【0052】

幾つかの実施例を説明する際に、「結合」、「接続」及びそれらに由来する表現を使用する場合がある。例えば、幾つかの実施例を説明する際に、2つ以上の構成要素が互いに直接的な物理的又は電氣的に接触していることを示すために、「接続」という用語を使用する場合がある。また例えば、幾つかの実施例を説明する際に、2つ以上の構成要素が互いに直接的な物理的又は電氣的に接触していることを示すために、「結合」という用語を使用する場合がある。しかしながら、「結合」又は「通信可能に結ばれる (communicatively coupled)」という用語は、2つ以上の構成要素が互いに直接接触していないが、依然として互いに協働又は相互作用することを示す場合もある。ここに開示された実施例は、必ずしも本明細書の内容に限定されるものではない。

【0053】

「A、B及びCのうちの少なくとも1つ」は、「A、B又はCのうちの少なくとも1つ」と同じ意味であり、いずれもAのみ、Bのみ、Cのみ、A及びBの組合せ、A及びCの組合せ、B及びCの組合せ、並びにA、B及びCの組合せを含む。

【0054】

10

20

30

40

50

「A及び/又はB」は、Aのみ、Bのみ、及びAとBの組合せの3つの組合せを含む。

【0055】

本明細書で使用される場合、「・・・と」という用語は、文脈に応じて、「・・・とき」又は「・・・際」又は「ことが決定されたことに応答して」又は「ことが検出されたことに応答して」を意味すると任意選択的に解釈される。同様に、文脈に応じて、「・・・が決定された場合」又は「[記載された条件又はイベント]が検出された場合」という語句は、「・・・が決定されるとき」又は「・・・が決定されたことに応答して」又は「[記載された条件又はイベント]が検出されたとき」又は「[記載された条件又はイベント]が検出されたことに応答して」を意味すると任意選択的に解釈される。

【0056】

本明細書において、「・・・に適用する」又は「・・・ように構成される」の使用は、追加のタスク又はステップを実行するように適用又は構成される装置を排除しない開放的且つ包括的な言語を意味する。

【0057】

また、「に基づいて」の使用は、1つ又は複数の前記条件又は値に「基づいて」行われるプロセス、ステップ、計算、又は他の動作が、実際には、追加の条件又は前記値を超えることに基づき得るため、開放的且つ包括的であることを意味する。

【0058】

本明細書で使用されるように、「約」、「おおよそ」、又は「近似」は、記載された値、及び特定値の許容可能な偏差範囲内の平均値を含み、ここで、前記許容可能な偏差範囲は、当業者によって検討されている測定及び特定量の測定に関連する誤差（即ち、測定システムの制限）を考慮して決定される。

【0059】

本明細書では理想化された例示的な図面である断面図及び/又は平面図を参照して例示的な実施形態を説明している。図面において、層及び領域の厚さは、明確性のために誇張されている。したがって、例えば製造技術及び/又は公差に起因する、図面に対する形状の変動が想定され得る。したがって、例示的な実施形態は、ここで例示した領域の形状に限定されるものではなく、製造に起因する形状の偏差などを含むものと解釈されるべきである。例えば、矩形として示されるエッチング領域は、通常、湾曲した特徴を有する。したがって、図面に示される領域は、本質的に例示的なものであり、且つそれらの形状は、装置の領域の実際の形状を示すことを意図するものではないし、例示的な実施形態の範囲を限定することを意図するものではない。

【0060】

本開示の幾つかの実施例は、表示装置を提供する。表示装置は、画像表示機能を有する製品を意味し、例示的に、この表示装置は、テレビ、携帯電話、コンピュータ、ノート型パソコン、タブレット、パーソナルデジタルアシスタント（personal digital assistant、PDA）、車載コンピュータ、ディスプレイ、看板、デジタルフォトフレーム、表示機能を有するレーザープリンター、電話、デジタルカメラ、携帯型のビデオレコーダ、ビューファインダー、モニター、ナビゲーション装置、車両、大面積の壁、家電、情報照会装置（例えば、電子政府、銀行、病院、電力などの部門の業務照会装置、モニターなど）などであり得る。表示装置は、フレーム、フレーム内に設けられた表示パネル、回路基板、表示駆動集積回路（integrated circuit、略称：IC）及びその他の電子部品などを含む。

【0061】

上記表示パネルは、液晶表示パネル（Liquid Crystal Display、略称：LCD）、有機発光ダイオード（Organic Light Emitting Diode、略称：OLED）表示パネル、量子ドット発光ダイオード（Quantum Dot Light Emitting Diodes、略称：QLED）表示パネル、マイクロLED（miniLED又はmicroLEDを含む）表示パネルなどであってもよく、本開示は、これを具体的に限定しない。

10

20

30

40

50

## 【0062】

本開示の以下の実施例は、上記表示パネルがOLED表示パネルである場合を例にして説明する。

## 【0063】

図1Aに示すように、上記表示パネル100は、表示領域AA(Active Area、有効表示領域)と、表示領域AAの少なくとも一側に位置する周辺領域BBとを含む。図1Aでは、周辺領域BBが表示領域AAを一回りすることを示している。

## 【0064】

上記表示パネル100は、表示領域AAに設置された複数色のサブ画素(sub pixel)Pを含み、該複数色のサブ画素は、第1色のサブ画素、第2色のサブ画素、及び第3色のサブ画素を少なくとも含み、第1色、第2色、及び第3色は、3原色(例えば、赤色、緑色、青色)であってもよい。

10

## 【0065】

説明の便宜上、本開示では、上記複数のサブ画素Pがマトリクス状に配列されている場合を例にして説明する。この場合、水平方向Xに一行に並ぶサブ画素Pを同一行のサブ画素と呼び、垂直方向Yに一列に並ぶサブ画素Pを同一列のサブ画素と呼ぶ。

## 【0066】

図1Bに示すように、各サブ画素Pには、複数のトランジスタ(図1Bでは2つのトランジスタを含むことを示している)を含む画素回路(画素駆動回路ともいう)Sが設けられている。この画素回路Sは、発光素子Lに結合されており、発光素子Lを発光するように駆動するためのものである。ここで、同一行に位置する画素回路Sは、同一のゲート線GL(Gate Line)に接続され(即ち、結合され)、同一列に位置する画素回路Sは、同一のデータ線DL(Data Line)に接続される。また、上記複数のサブ画素Pの配列態様は、サブ画素Pにおける発光素子Lの位置に関わらず、複数のサブ画素Pにおける画素回路Sの配列態様に依存する。

20

## 【0067】

画素回路Sに含まれるトランジスタは、いずれもN型トランジスタであってもよいし、いずれもP型トランジスタであってもよいし、N型とP型トランジスタの両方を含んでもよく、実際の必要に応じて設計され得る。

## 【0068】

また、画素回路Sは、低温ポリシリコン(Low Temperature Polysilicon、略称:LTPS)トランジスタと酸化物(Oxide)トランジスタのうちの少なくとも一方を含んでもよく、例えば、画素回路Sにおけるトランジスタは、いずれもLTPSトランジスタであってもよいし、いずれも酸化物トランジスタであってもよいし、LTPSトランジスタと酸化物トランジスタとを同時に含んでもよい。

30

## 【0069】

幾つかの実施例において、サブ画素の輝度を制御する電圧が画素回路Sにおけるトランジスタのリーク電流により経時変化するため、サブ画素の輝度変動を適正範囲に保つために、静止画を表示する際に、依然としてデータをリフレッシュする必要がある。静止画を表示するときの消費電力を低減するために、リフレッシュ頻度を低くすることが有効であるが、リフレッシュ頻度を低くすると同時に表示品質を維持する必要があるため、画素回路Sにおけるトランジスタのリーク速度を下げる必要がある。酸化物半導体は超低リーク特性を有するため、画素回路Sにおけるトランジスタを酸化物トランジスタにすることで、表示パネルが画面を表示する過程において画素回路Sにおけるトランジスタのリークを低減することができる。低温ポリシリコンは、キャリア移動度が高い。画素回路SにLTPSトランジスタを使用する場合、トランジスタの応答速度を大幅に向上させることで、サブ画素の充電速度を確保することができる。また、LTPSトランジスタのソース・ドレインは、イオン注入の方式により自動アライメントして形成されるため、ゲートとソース・ドレインとの間に生成される寄生容量は、アモルファスシリコントランジスタよりも大幅に小さく、さらに、容量結合効果が大幅に低減する。画素回路におけるトランジスタ

40

50

のリークを低減しつつ、サブ画素の充電速度及び小さい寄生容量を確保するために、LTPSとOxideの利点を組み合わせて、低温多結晶酸化物(Low Temperature Polycrystalline Oxide、略称:LTPO)プロセスを採用してもよく、例示的に、画素回路Sは、LTPSトランジスタと酸化物トランジスタの両方を含み、例えば、画素回路Sは、P型LTPSトランジスタとN型酸化物トランジスタを含む。

#### 【0070】

図1Aと図1Bを引き続き参照すると、表示装置は、ゲート駆動回路01と、データ駆動回路02をさらに含んでもよい。例示的に、ゲート駆動回路01は、表示パネル100の周辺領域BBに設けられてもよく、例えば、周辺領域BBにおいてゲート線GLの一端に位置する側辺(例えば、図1Aにおける周辺領域BBの左側辺)に設けられてもよい。例示的に、データ駆動回路02は、表示パネル100の周辺領域BBに設けられてもよい。例えば、データ駆動回路02を、周辺領域BBにおいてデータ線DLの一端に位置する側辺(例えば、図1Aにおける周辺領域BBの下側辺)に設ける。これにより、表示パネル100における画素回路Sを駆動し、さらに、発光素子Lを発光するように駆動することで、相応なサブ画素Pに表示すべき色を表示させることができる。

10

#### 【0071】

幾つかの実施例において、上記ゲート駆動回路01は、表示パネル100におけるアレイ基板(駆動バックプレーンともいう)にボンディングされたゲート駆動ICであってもよい。他の幾つかの実施例において、上記ゲート駆動回路01は、GOA(Gate Driver on Array、ゲートドライバがアレイ基板上に集積される)回路であってもよく、表示パネル100に含まれてもよい。この場合、上記ゲート駆動回路01は、表示パネル100のアレイ基板に直接集積される。ここで、ゲート駆動回路01をアレイ基板に設けることは、ゲート駆動ICの方式でアレイ基板にボンディングすることよりも、表示パネル100の製作コストを低減することができ、また、表示装置の額縁幅を狭くすることも可能である。以下の実施例では、いずれもゲート駆動回路01がGOA回路である場合を例にして説明する。

20

#### 【0072】

なお、図1A及び図1Bは、表示パネル100の周辺領域BBの片側にのみゲート駆動回路01を設け、片側から各ゲート線GLを行ごとに駆動し、即ち、片側駆動を例にして示す。他の幾つかの実施例において、表示パネル100の周辺領域BBにおいてゲート線GLの延在方向の2つの側辺に沿ってそれぞれゲート駆動回路を設置し、2つのゲート駆動回路によって同時に両側から各ゲート線GLを行ごとに駆動し、即ち、両側駆動してもよい。他の幾つかの実施例において、表示パネル100の周辺領域BBにおいてゲート線GLの延在方向の2つの側辺に沿ってそれぞれゲート駆動回路を設置し、2つのゲート駆動回路によって交互に両側から各ゲート線GLを行ごとに駆動し、例えば、一つのゲート駆動回路が奇数行のゲート線GLを駆動し、もう一つのゲート駆動回路が偶数行のゲート線GLを駆動し、即ち、交互駆動してもよい。本開示の以下の実施例は、いずれも片側駆動を例にして説明する。

30

#### 【0073】

本開示の幾つかの実施例では、図1Bに示すように、ゲート駆動回路01は、N段(ここで、Nは正の整数)のカスケード接続されたシフトレジスタ回路(RS1, RS2, ..., RS(N))を含み、上記N段のカスケード接続されたシフトレジスタ回路(RS1, RS2, ..., RS(N))と、それぞれN本のゲート線(G1, G2, ..., G(N))とは一対一に対応して接続されている。

40

#### 【0074】

例示的に、上記各段のシフトレジスタ回路(RS1, RS2, ..., RS(N))の回路構造は、同じであってもよく、且つ、各段のシフトレジスタ回路が順次にオン電圧(走査信号におけるアクティブレベル、例えば、高レベルともいう)を出力するように、各段のシフトレジスタ回路(RS1, RS2, ..., RS(N))が順次に接続される。

50

それにより、表示パネルにおける複数本のゲート線を行ごとに走査することを実現し、ゲート線に結合された各行のサブ画素を充電する。

【0075】

例えば、図1Bに示すように、ゲート駆動回路01の1段のシフトレジスタ回路をRS(i)と記す(ここで $i = 1, 2, \dots, N$ )。シフトレジスタ回路RS(i)は、走査信号出力端子Output(以下の説明及び図面ではいずれもOutputをOp utと略す)を含む。それにより、走査信号出力端子Op utを介してそれに接続されたゲート線GLにゲート走査信号を出力する。

【0076】

ゲート駆動回路01の各段のシフトレジスタ回路RS(i)には、各段のシフトレジスタ回路RS(i)に開始信号を供給するように、信号入力端子Input(図面及び以下の説明ではいずれもI p u tと略す)がさらに設けられている。

10

【0077】

また、ゲート駆動回路01の各段のシフトレジスタ回路RS(i)は、カスケード信号出力端子GPをさらに含み、このカスケード信号出力端子GPは、次段のシフトレジスタ回路に接続可能であり、それにより、次段のシフトレジスタ回路の開始信号として、次段のシフトレジスタ回路にカスケード信号を伝送する。

【0078】

これに基づき、ゲート駆動回路01における各段のシフトレジスタ回路RS(i)のカスケード接続構成は、以下の構成であり得る。

20

【0079】

第1段のシフトレジスタ回路RS1の信号入力端子Inputは、開始信号端子STVに接続され、第1段のシフトレジスタ回路RS1を除く他のいずれかの段のシフトレジスタ回路RS(i)の信号入力端子Inputは、その前段に位置するシフトレジスタ回路RS(i-1)のカスケード信号出力端子GPに接続される。

【0080】

上記カスケード接続構成に基づき、各段のシフトレジスタ回路RS(i)の走査信号出力端子Op utは、いずれも少なくとも1本のゲート線GLに結合される。

【0081】

幾つかの実施例において、例えば、画素回路SにP型LTPSトランジスタが含まれるだけでなく、N型酸化物トランジスタも含まれる場合、カスケード信号出力端子GPは、ゲート線を介して画素回路SにおけるP型トランジスタに接続され、P型トランジスタに信号(この信号を制御信号と呼んでもよい)を伝送し、P型トランジスタのオン・オフを制御してもよい。

30

【0082】

これに基づき、ゲート駆動回路01における各段のシフトレジスタ回路(RS1, RS2, ..., RS(N))と複数本のゲート線GLとの接続関係は、以下の接続関係であり得る。

【0083】

同一行の画素回路は、少なくとも1本の第1ゲート線と、少なくとも1本の第2ゲート線とを含む少なくとも2本のゲート線に結合されてもよい。ゲート駆動回路における各シフトレジスタ回路の走査信号出力端子Op utは、少なくとも1本の第1ゲート線に結合され、且つ、ゲート駆動回路における各シフトレジスタ回路のカスケード信号出力端子GPは、少なくとも1本の第2ゲート線に結合される。ここで、走査信号出力端子Op utに接続されるゲート線と、カスケード信号出力端子GPに接続されるゲート線とは、同一の線ではないので、区別しやすいように、走査信号出力端子Op utに結合されるゲート線を第1ゲート線と称し、カスケード信号出力端子GPに結合されるゲート線を第2ゲート線と称する。

40

【0084】

図2に示す7T1C画素回路を参照し、この画素回路を例にしてLTPO型画素回路の

50

制御方法を説明する。図 2 に示すように、画素回路  $S'$  は、7 個のトランジスタ  $D1 \sim D7$  と、1 つのコンデンサ  $Cst$  とを含む。ここで、トランジスタ  $D3$ 、 $D4$  は、N 型トランジスタ、例えば N 型酸化物トランジスタであり、トランジスタ  $D2$ 、 $D7$  は、P 型トランジスタ、例えば P 型 LTPS トランジスタである。すると、 $i$  行目のいずれかの画素回路  $S'$  において、トランジスタ  $D3$ 、 $D4$  は、2 本の第 1 ゲート線を介して、それぞれ本段の走査信号出力端子  $Output(i)$ 、前段の走査信号出力端子  $Output(i-1)$  に結合可能であり、トランジスタ  $D2$ 、 $D7$  は、2 本の第 2 ゲート線を介して、それぞれ本段のカスケード信号出力端子  $GP(i)$ 、前段のカスケード信号出力端子  $GP(i-1)$  に結合可能である。

【0085】

第 1 ゲート線、第 2 ゲート線を介して、シフトレジスタ回路は、それぞれ LTPO 型画素回路における酸化物トランジスタと LTPS トランジスタを制御し、この制御プロセスの応答時間を大幅に向上させることができる。

【0086】

幾つかの関連技術において、1 フレーム期間内に 1 行のゲート線を駆動するプロセスにおいて、1 段のシフトレジスタ回路は、先ず、それに結合されたゲート線に走査信号におけるオン電圧（アクティブ電圧又は動作電圧ともいう）を出力して、このゲート線に結合された 1 行のサブ画素をオンさせる。この段階を出力段階という。その後、この段のシフトレジスタ回路は、それに結合されたゲート線に走査信号におけるオフ電圧（非動作電圧ともいう）を出力し、このゲート線に結合されたサブ画素がオフされることを確保する。即ち、保持段階に入る。しかしながら、保持段階において、シフトレジスタ回路においてゲート線に結合される走査信号出力端子のノイズが大きく、その結果、表示装置に表示される画面が不安定になる。

【0087】

本開示の発明者らは、検討により、上記問題が生じる原因の一つは次のことにあることを発見した。

【0088】

図 3 及び図 4 に示すように、図 3 は、関連技術におけるシフトレジスタ回路  $RS'$  の部分回路構成を示し、図 4 は、このシフトレジスタ回路  $RS'$  の部分駆動シーケンスを示す。図 3 において、 $30'$  はノイズ除去サブ回路であり、このノイズ除去サブ回路  $30'$  は、トランジスタ  $T03$  を含む。

【0089】

1 行のゲート線の駆動プロセスにおいて、出力段階  $P2'$  において、カスケード信号出力端子  $GP$  の電位は低電位であり、トランジスタ  $T04$  がオンし、走査信号出力端子  $Output$  が高レベルを出力し、即ち、走査信号を出力する。トランジスタ  $T02$  がオンし、ノード  $PD\_ox'$  の電位が高電位であり、それにより、ノイズ除去サブ回路  $30'$  におけるトランジスタ  $T03$  がオフする。

【0090】

保持段階  $P3'$  の期間  $P31'$  において、クロック信号端子  $CK1$  の電位が低電位であり、トランジスタ  $T01$  がオンし、ノード  $PD\_ox'$  の電位が低電位  $V_{s+} + |V_{th}|$  である（ここで、 $V_{th}$  は、トランジスタ  $T01$  の閾値電圧である）。それにより、ノイズ除去サブ回路  $30'$  におけるトランジスタ  $T03$  がオンし、走査信号出力端子  $Output$  の電位が低電位  $V_{s+} + |V_{th}|$  になり、走査信号出力端子  $Output$  のリセットが実現される。

【0091】

保持段階  $P3'$  の期間  $P32'$  において、クロック信号端子  $CK1$  の電位が高電位であり、トランジスタ  $T01$  がオフし、また、カスケード信号出力端子  $GP$  の電位が高電位であり、トランジスタ  $T02$  もオフするため、ノード  $PD\_ox'$  の電位は、浮き状態（floating）にある。クロック信号端子  $CB1$  の電位は低電位になり、コンデンサ  $C01$  のカップリング作用により、ノード  $PD\_ox'$  の電位はさらにプルダウンされ、ノイズ除

10

20

30

40

50

去サブ回路30'におけるトランジスタT03はさらにオンし、走査信号出力端子Outputの電位は低電位になり、走査信号出力端子Outputの更なるリセットが実現される。

【0092】

保持段階P3'の期間P33'において、クロック信号端子CK1の電位は低電位であるが、PD\_ox'も低電位であり、また、PMOS(Positive-channel Metal Oxide Semiconductor)トランジスタの閾値電圧 $V_{th}$ は一般的に負の値であるため、トランジスタT01のゲート・ソース間電圧差 $V_{gs} > V_{th}$ である。 $V_{gs} < V_{th}$ の場合、PMOSTランジスタがオンするため、このとき、トランジスタT01はオフする。また、カスケード信号出力端子GPの電位が高電位であり、トランジスタT02、T04もオフするため、ノードPD\_ox'は走査信号出力端子Outputの電位は浮き状態(floating)にある。クロック信号端子CB1の電位は高電位である。コンデンサC01のカップリング作用により、ノードPD\_ox'の電位が少しプルアップされ、それにより、ノイズ除去サブ回路30'におけるトランジスタT03はオフし、走査信号出力端子Outputのノイズ除去を行うことができない。

【0093】

このように、クロック信号CK1とCB1が交互に高レベルと低レベルになるため、その後、期間P32'と期間P33'が交互に現れる。よって、保持段階において、ほぼ半分に近い期間(即ち、保持段階P3'の期間P33')において、ノイズ除去サブ回路30'は、走査信号出力端子Outputのノイズ除去を行うことができず、それにより、外乱を受けた場合、シフトレジスタ回路RS'が保持段階P3'においてノイズ除去を適時に行うことができず、走査信号出力端子Outputに大きなノイズが発生する可能性がある。図5に示すように、シミュレーション試験した結果、保持段階P3'において、走査信号出力端子Outputのノイズが2Vに達することができる。

【0094】

本開示の幾つかの実施例は、保持段階において、シフトレジスタ回路においてゲート線に結合される走査信号出力端子のノイズが大きく、そのため、画面表示が不安定になるという問題を解決するシフトレジスタ回路を提供する。図6に示すように、シフトレジスタ回路RSは、ノイズ除去制御サブ回路20と、ノイズ除去サブ回路30とを含む。

【0095】

ここで、ノイズ除去制御サブ回路20は、第1電圧端子VSS、第1クロック信号端子CK1、第2クロック信号端子CB1、及び第1ノイズ除去制御ノードPD\_oxに結合される。ノイズ除去制御サブ回路20は、第1クロック信号端子CK1の信号の制御下で、第1電圧端子VSSの電荷を第1ノイズ除去制御ノードPD\_oxに整流するように構成される。それにより、第1ノイズ除去制御ノードPD\_oxの電圧を調整する(プルアップ又はプルダウンする)ことで、第1ノイズ除去制御ノードPD\_oxの電圧を、ノイズ除去サブ回路30をオンさせる電圧に保持することができる。具体的には、ノイズ除去制御サブ回路20は、第1クロック信号端子CK1の信号にตอบสนองして、第1電圧端子VSSの電圧と第2クロック信号端子CB1の信号から交番電圧信号(言い換えれば発振信号)を生成し、生成された交番電圧信号を整流して信号を第1ノイズ除去制御ノードPD\_oxに出力し、第1ノイズ除去制御ノードPD\_oxの電圧を、ノイズ除去サブ回路30をオンさせる電圧に保持するように構成される。例えば、第1ノイズ除去制御ノードPD\_oxの電圧を徐々に変化させ(徐々にプルアップ又はプルダウンする)、最終的に、例えば定常状態に到達させることができる。

【0096】

ここで、交番電圧信号は、電圧の大きさが周期的に変化する信号を指し、例示的に、交番電圧信号は、高電圧と低電圧が交互に現れる信号、例えば、方形波信号であり得る。ここで、1周期内における高電圧の持続時間と低電圧の持続時間とは、同じであってもよいし、異なってもよい。また、交番電圧信号の振幅値を一定に保持してもよく、例えば、複数の周期における高電圧が等しくてもよく、低電圧も等しくてもよい。

【0097】

10

20

30

40

50

整流とは、交番電圧信号を直流電圧信号として出力することを指す。本開示の実施例において、直流電圧信号は、交番電圧信号と比較して定義され、電圧が経時変化しない信号であってもよい。また、振幅値（電圧）が経時的に徐々に増加又は減少する信号を含んでもよく、この信号は、最終的には例えば定常状態（即ち、電圧がこれ以上変化しない）に達することができる。例えば、直流電圧信号は、複数の周期を含んでもよく、各周期における電圧の大きさが一定であり、いずれかの周期の電圧が前の周期の電圧の数値よりも高く、又はいずれかの周期の電圧が前の周期の電圧の数値よりも低い。

【0098】

なお、前述した「ノイズ除去サブ回路30をオンさせる電圧」とは、ノイズ除去サブ回路30を動作させることができる電圧を指し、この電圧は、具体的にはノイズ除去サブ回路30に含まれるトランジスタの種類に依存すると理解すべきである。例えば、ノイズ除去サブ回路30に含まれるトランジスタがP型であれば、この電圧は低レベルの電圧であり、ノイズ除去サブ回路30に含まれるトランジスタがN型であれば、この電圧は高レベルの電圧である。ノイズ除去サブ回路30は、第1ノイズ除去制御ノードPD - oxと走査信号出力端子Outputに結合される。ノイズ除去サブ回路30は、前記第1ノイズ除去制御ノードの電圧が前記ノイズ除去サブ回路をオンさせる電圧であることに応答して、走査信号出力端子Outputに対してノイズ除去を行うように構成される。

10

【0099】

上記シフトレジスタ回路RSにおいて、ノイズ除去制御サブ回路20は、第1クロック信号端子CK1の信号の制御下で、受信した信号（例えば、第1電圧端子VSSの信号と第2クロック信号端子CB1の信号などを含んでもよい）に基づいて、第1ノイズ除去制御ノードPD - oxの電圧が安定するように調整し、つまり、第1ノイズ除去制御ノードPD - oxの電圧を、ノイズ除去サブ回路30をオンさせる電圧（高レベル又は低レベル）に安定させることができる。ノイズ除去制御サブ回路20は、調整後の電圧をノイズ除去サブ回路30に出力し、ノイズ除去サブ回路30がオンし続ける状態を保持するように制御することにより、ノイズ除去サブ回路30が安定した非動作電圧を出力し続け、走査信号出力端子Outputに対してノイズ除去を行い続けることを実現し、画面表示の安定性を高めている。

20

【0100】

幾つかの実施例において、図7に示すように、上記ノイズ除去制御サブ回路20は、オン制御ユニット21と、オフ制御ユニット22とを含む。ここで、オン制御ユニット21は、第1電圧端子VSS、第1クロック信号端子CK1、第2クロック信号端子CB1、及び第1ノイズ除去制御ノードPD - oxに結合される。このオン制御ユニット21は、第1クロック信号端子CK1の信号の制御下で、第1電圧端子VSSの電荷と第2クロック信号端子CB1の電荷を第1ノイズ除去制御ノードPD - oxに整流するように構成される。それにより、第1ノイズ除去制御ノードPD - oxの電圧をプルアップ又はプルダウンすることで、第1ノイズ除去制御ノードPD - oxの電圧を、ノイズ除去サブ回路30をオンさせる電圧に保持することができる。

30

【0101】

具体的には、オン制御ユニット21は、第1クロック信号端子CK1の信号に応答して、第1電圧端子VSSの電圧と第2クロック信号端子CB1の信号から交番電圧信号を生成し、生成された交番電圧信号を整流して信号を第1ノイズ除去制御ノードPD - oxに出力することにより、第1ノイズ除去制御ノードPD - oxの電圧を、ノイズ除去サブ回路30をオンさせる電圧に維持する。例示的に、オン制御ユニット21は、第2ノイズ除去制御ノードPD - ox - iに結合されてもよく、生成された上記交番電圧信号は、第2ノイズ除去制御ノードPD - ox - iの信号である。

40

【0102】

ここで、第1電圧端子VSSは、例えば、直流・低レベル信号を伝送するように構成される。例えば、この第1電圧端子VSSは接地する。幾つかの実施例において、図8に示すように、ノイズ除去制御サブ回路20のオン制御ユニット21は、第1オン制御サブ回

50

路 2 1 1 と、第 2 オン制御サブ回路 2 1 2 とを含む。

【 0 1 0 3 】

ここで、第 1 オン制御サブ回路 2 1 1 は、第 1 クロック信号端子 C K 1、第 2 クロック信号端子 C B 1、第 1 電圧端子 V S S、及び第 2 ノイズ除去制御ノード P D - o x - i に結合され、第 1 クロック信号端子 C K 1 の信号に応答して、周期的に第 1 電圧端子 V S S の電圧を第 2 ノイズ除去制御ノード P D - o x - i に出力し、第 2 クロック信号端子 C B 1 の信号に基づいて、周期的に第 2 ノイズ除去制御ノード P D - o x - i の電圧を調節することにより、第 2 ノイズ除去制御ノード P D - o x - i に交番電圧信号を供給させるように構成される。

【 0 1 0 4 】

例示的に、図 8 を参照すると、第 1 オン制御サブ回路 2 1 1 は、第 1 トランジスタ T 1 と、第 1 コンデンサ C 1 とを含む。

【 0 1 0 5 】

ここで、第 1 トランジスタ T 1 の制御電極は、第 1 クロック信号端子 C K 1 に結合され、第 1 トランジスタ T 1 の第 1 電極は、第 1 電圧端子 V S S に結合され、第 1 トランジスタ T 1 の第 2 電極は、第 2 ノイズ除去制御ノード P D - o x - i に結合される。

【 0 1 0 6 】

第 1 コンデンサ C 1 の第 1 端子は、第 2 クロック信号端子 C B 1 に結合され、第 1 コンデンサ C 1 の第 2 端子は、第 2 ノイズ除去制御ノード P D - o x - i に結合される。

【 0 1 0 7 】

例示的に、第 1 クロック信号端子 C K 1 の信号制御により第 1 トランジスタ T 1 がオンされると、第 1 電圧端子 V S S の電圧は、第 1 トランジスタ T 1 を介して第 2 ノイズ除去制御ノード P D - o x - i に伝送される。第 1 クロック信号端子 C K 1 の信号制御により第 1 トランジスタ T 1 がオフされると、第 1 電圧端子 V S S の電圧は、第 2 ノイズ除去制御ノード P D - o x - i に伝送できないが、第 2 クロック信号端子 C B 1 の信号に**応答して**、且つ第 1 コンデンサ C 1 のカップリング作用により、第 2 ノイズ除去制御ノード P D - o x - i の電圧を更に調整することができる。例えば、第 1 クロック信号端子 C K 1 の信号制御により第 1 トランジスタ T 1 がオンされると、第 2 クロック信号端子 C B 1 は、低レベルを出力する。第 1 クロック信号端子 C K 1 の信号制御により第 1 トランジスタ T 1 がオフされると、第 2 クロック信号端子 C B 1 は、高レベルを出力し、それにより、第 2 ノイズ除去制御ノード P D - o x - i の電圧をプルアップする。第 1 クロック信号端子 C K 1 の信号制御により、第 1 トランジスタ T 1 が周期的にオン・オフされ、第 2 クロック信号端子 C B 1 は、第 2 ノイズ除去制御ノード P D - o x - i の電圧を周期的に調整するため、両者の共同作用により、第 2 ノイズ除去制御ノード P D - o x - i の電圧を交番電圧にする。

【 0 1 0 8 】

第 2 オン制御サブ回路 2 1 2 は、第 1 ノイズ除去制御ノード P D - o x と第 2 ノイズ除去制御ノード P D - o x - i に結合され、この交番電圧信号を整流して信号を前記第 1 ノイズ除去制御ノードに出力することにより、第 1 ノイズ除去制御ノード P D - o x の電圧を、ノイズ除去サブ回路 3 0 をオンさせる電圧に保持する。

【 0 1 0 9 】

例示的に、図 8 を参照すると、第 2 オン制御サブ回路 2 1 2 は、第 2 トランジスタ T 2 と、第 2 コンデンサ C 2 とを含む。

【 0 1 1 0 】

ここで、第 2 トランジスタ T 2 の制御電極は、第 2 ノイズ除去制御ノード P D - o x - i に結合され、第 2 トランジスタ T 2 の第 1 電極は、第 1 ノイズ除去制御ノード P D - o x に結合され、第 2 トランジスタ T 2 の第 2 電極は、第 2 ノイズ除去制御ノード P D - o x - i に結合される。

【 0 1 1 1 】

第 2 コンデンサ C 2 の第 1 端子は、第 1 クロック信号端子 S T に結合され、第 2 コンデ

10

20

30

40

50

ンサC 2の第2端子は、第1ノイズ除去制御ノードPD - oxに結合される。

【0112】

例示的に、第2ノイズ除去制御ノードPD - ox - iが供給する交番電圧信号は、第2トランジスタT 2をオンさせることができる。第1トランジスタT 1がオンされると、第1電圧端子VSSの電圧を第2ノイズ除去制御ノードPD - ox - iに伝送する。このとき、第1コンデンサC 1のカップリング作用が存在しないため、その第2端子上的電荷は変化しない。一方、第1トランジスタT 1がオフされると、第1電圧端子VSSの電圧を第2ノイズ除去制御ノードPD - ox - iに伝送することができない。このとき、第1コンデンサC 1のカップリング作用により、第1コンデンサC 1の第2端子の電圧が第2クロック信号端子CB 1によってプルダウンされるため、第1コンデンサC 1の第2端子上の電荷量は、第2コンデンサC 2の第2端子上的電荷量よりも小さい。すると、第2コンデンサC 2の第2端子上的電荷は、第2トランジスタT 2を介して第1コンデンサC 1の第2端子に伝送されることができる。また、上記プロセスが周期的に循環するため、第2コンデンサC 2の第2端子上的電荷が、絶えずに第1コンデンサC 1の第2端子に伝送される。それにより、第2コンデンサC 2の第2端子上的電荷は徐々に減少し、最終的に1つの固定値に安定する。例えば、第1コンデンサC 1の第2端子の電圧が第2クロック信号端子CB 1によりプルダウンされるとき第1コンデンサC 1の第2端子上的電荷と同じ値に安定し、さらに、第2コンデンサC 2に結合された第1ノイズ除去制御ノードPD - oxの電圧を1つの固定電圧に安定させ、この固定電圧により、ノイズ除去サブ回路30はオンし続ける。

10

20

【0113】

なお、本開示の実施例に係るシフトレジスタ回路RSにおいて、第1ノイズ除去制御ノードPD - ox、第2ノイズ除去制御ノードPD - ox - i、カスケード信号出力端子GP、及び、後述する第1ノードn 1、第2ノードn 2、第3ノードn 3、及び第4ノードn 4は、実際に存在する部材を表すものではなく、回路図における関連電氣的接続の接続点を表す。つまり、これらノードは、回路図における関連電氣的接続の接続点を等価的に表すノードである。なお、上記第1信号端子（定電圧信号端子ともいう）STは、第1電圧端子VSS又は第1クロック信号端子CK 1に結合されてもよい。

【0114】

例示的に、第1信号端子STが第1電圧端子VSSに結合される場合、第2コンデンサC 2の第1端子は、第1電圧端子VSSに接続される。それにより、第2コンデンサC 2は、第1ノイズ除去制御ノードPD - oxに電圧安定化機能を提供し、第1ノイズ除去制御ノードPD - oxにリークが発生することを防止する。

30

【0115】

例示的に、第1信号端子STが第1クロック信号端子CK 1に結合される場合、第2コンデンサC 2の第1端子は、第1クロック信号端子CK 1に接続される。それにより、第2コンデンサC 2が第1ノイズ除去制御ノードPD - oxの電圧を安定化させることができることに加えて、第2コンデンサC 2は、第1クロック信号端子CK 1の信号の電圧が変化したとき、第1ノイズ除去制御ノードPD - oxの電圧を更に調整することができ、第1ノイズ除去制御ノードPD - oxの電圧を速やかに、ノイズ除去サブ回路30をオンさせることができる電位に安定化させることができ、ノイズ除去サブ回路30のノイズ除去速度を向上させるのに有利となる。例えば、ノイズ除去サブ回路30をオンさせる電位が低電位である場合、第1クロック信号端子CK 1の信号の電圧が低くなると、第2コンデンサC 2は、第1ノイズ除去制御ノードPD - oxの電位をさらにプルダウンすることができ、ノイズ除去サブ回路30のノイズ除去速度を向上させるのに有利となる。

40

【0116】

上記オン制御ユニット21に含まれる第1トランジスタT 1、第1コンデンサC 1、第2トランジスタT 2、及び第2コンデンサC 2は、チャージポンプ構造を形成する。チャージポンプ構造による電圧に対する調節作用により、第1ノイズ除去制御ノードPD - oxの電圧は、ノイズ除去サブ回路30をオンさせることができる電圧に安定する。それに

50

より、ノイズ除去サブ回路 30 が 1 行のゲート線の駆動プロセスにおける保持段階においてオンし続け、走査信号出力端子 Output に対してノイズ除去を行い続けることを確保する。

【0117】

幾つかの実施例において、ノイズ除去制御サブ回路 20 のオフ制御ユニット 22 は、カスケード信号出力端子 GP、第 2 信号端子（制御信号端子ともいう）CN、第 1 ノイズ除去制御ノード PD - ox、及び第 2 ノイズ除去制御ノード PD - ox - i に結合される。このオフ制御ユニット 22 は、カスケード信号出力端子 GP の電圧に応答して、第 2 信号端子 CN の信号を第 1 ノイズ除去制御ノード PD - ox に伝送することにより、ノイズ除去サブ回路 30 をオフに制御するように構成される。

10

【0118】

例示的に、図 8 を引き続き参照すると、オフ制御ユニット 22 は、第 3 トランジスタ T3 と第 4 トランジスタ T4 を含む。

【0119】

ここで、第 3 トランジスタ T3 の制御電極は、カスケード信号出力端子 GP に結合され、第 3 トランジスタ T3 の第 1 電極は、第 2 信号端子 CN に結合され、第 3 トランジスタ T3 の第 2 電極は、第 2 ノイズ除去制御ノード PD - ox - i に結合される。

【0120】

第 4 トランジスタ T4 の制御電極は、カスケード信号出力端子 GP に結合され、第 4 トランジスタ T4 の第 1 電極は、第 2 信号端子 CN に結合され、第 4 トランジスタ T4 の第 2 電極は、第 1 ノイズ除去制御ノード PD - ox に結合される。

20

【0121】

なお、上記第 2 信号端子 CN は、第 2 電圧端子 VDD 又は第 2 ノード n2 に結合されてもよい。ここで、例えば、第 2 電圧端子 VDD は、直流・高レベル信号を伝送するように構成される。例えば、この直流・高レベル信号の電圧値は、第 1 電圧端子 VSS から伝送される直流・低レベル信号の電圧値よりも大きい。ここで、第 2 ノード n2 は、後述する入力サブ回路 10 における 1 つのノードであり、例えば、このノードの電圧は、1 行のゲート線の駆動過程における出力段階で高レベルであり、保持段階で低レベルである。

【0122】

例示的に、第 2 信号端子 CN が第 2 電圧端子 VDD に結合される場合、出力段階において、第 3 トランジスタ T3 と第 4 トランジスタ T4 は、カスケード信号出力端子 GP の電圧の制御下でオンし、第 1 ノイズ除去制御ノード PD - ox と第 2 ノイズ除去制御ノード PD - ox - i の電圧は、いずれも、第 2 電圧端子 VDD の電圧、即ち、高レベルとなる。それにより、ノイズ除去サブ回路 30 は、出力段階においてオフを保持し、走査信号出力端子 Output での走査信号の出力に影響を与えない。保持段階において、第 3 トランジスタ T3 と第 4 トランジスタ T4 は、カスケード信号出力端子 GP の電圧の制御下でオフ状態を保持するため、第 2 信号端子 CN の高レベルは、第 1 ノイズ除去制御ノード PD - ox と第 2 ノイズ除去制御ノード PD - ox - i の電圧にほぼ影響を与えない。

30

【0123】

例示的に、第 3 トランジスタ T3 と第 4 トランジスタ T4 がいずれも P 型トランジスタである場合を例にして、第 2 信号端子 CN が第 2 ノード n2 に結合される場合、第 2 ノード n2 の電圧は、出力段階で高レベルであり、保持段階で低レベルである。このため、出力段階において、第 3 トランジスタ T3 と第 4 トランジスタ T4 は、カスケード信号出力端子 GP の電圧の制御下でオンし、第 1 ノイズ除去制御ノード PD - ox と第 2 ノイズ除去制御ノード PD - ox - i の電圧は、いずれも第 2 ノード n2 の電圧、即ち、高レベルとなる。それにより、ノイズ除去サブ回路 30 は、出力段階でオフを保持し、走査信号出力端子 Output での走査信号の出力に影響を与えない。保持段階において、第 3 トランジスタ T3 と第 4 トランジスタ T4 は、カスケード信号出力端子 GP の電圧の制御下でオフ状態を保持するため、第 2 信号端子 CN の電圧は低レベルである。これは、第 3 トランジスタ T3 と第 4 トランジスタ T4 のリーク量を低減するのに有利となり、第 3 ト

40

50

ランジスタ T 3 と第 4 トランジスタ T 4 のリークが第 1 ノイズ除去制御ノード P D - o x の電圧に与える影響を低減して、第 1 ノイズ除去制御ノード P D - o x の電圧の調整速度を速くする。それにより、第 1 ノイズ除去制御ノード P D - o x の電圧がより短い時間で安定した電圧値に達するようにすることができ、さらに、ノイズ除去サブ回路 3 0 のノイズ除去速度を向上させる。

【 0 1 2 4 】

幾つかの実施例において、図 9 に示すように、第 1 オン制御サブ回路 2 1 1 は、第 5 トランジスタ T 5 をさらに含む。第 1 コンデンサ C 1 の第 1 端子は、第 5 トランジスタ T 5 を介して第 2 クロック信号端子 C B 1 に結合される。第 5 トランジスタ T 5 の制御電極は、走査信号出力端子 O p u t に結合され、第 5 トランジスタ T 5 の第 1 電極は、第 2 クロック信号端子 C B 1 に結合され、第 5 トランジスタ T 5 の第 2 電極は、第 1 コンデンサ C 1 の第 1 端子に結合される。

10

【 0 1 2 5 】

第 5 トランジスタ T 5 が P 型トランジスタである場合を例にして、上記第 5 トランジスタ T 5 の制御電極は走査信号出力端子 O p u t に結合されるため、出力段階において、第 5 トランジスタ T 5 は、走査信号出力端子 O p u t から出力される高レベル信号の制御下でオフすることで、第 2 クロック信号端子 C B 1 と第 1 コンデンサ C 1 との接続を遮断することにより、第 2 クロック信号端子 C B 1 の電位変化が第 1 コンデンサ C 1 に影響を与えないようにする。それにより、第 1 コンデンサ C 1 の、第 2 クロック信号端子 C B 1 の電位変化でのカップリング作用を無くし、それによる第 2 ノイズ除去制御ノード P D - o x - i の電位に対する影響をも無くす。

20

【 0 1 2 6 】

幾つかの実施例において、図 1 1 に示すように、ノイズ除去サブ回路 3 0 は、第 6 トランジスタ T 6 を含む。第 6 トランジスタ T 6 の制御電極は、第 1 ノイズ除去制御ノード P D - o x に結合され、第 6 トランジスタ T 6 の第 1 電極は、第 1 電圧端子 V S S に結合され、第 6 トランジスタ T 6 の第 2 電極は、走査信号出力端子 O p u t に結合される。

【 0 1 2 7 】

上記実施例において、保持段階において、ノイズ除去制御サブ回路 2 0 は、第 1 ノイズ除去制御ノード P D - o x の電圧を、ノイズ除去サブ回路 3 0 をオンさせる安定した電圧に保持することができる。このため、ノイズ除去サブ回路 3 0 の第 6 トランジスタ T 6 は、オンし続ける。それにより、第 1 電圧端子 V S S の電圧を走査信号出力端子 O p u t に伝送し続けることができ、走査信号出力端子 O p u t に対してノイズ除去を行い続けることを確保する。

30

【 0 1 2 8 】

幾つかの実施例において、図 1 0 に示すように、シフトレジスタ回路 R S は、入力サブ回路 1 0 と出力サブ回路 4 0 をさらに含む。

【 0 1 2 9 】

入力サブ回路 1 0 と前記ノイズ除去制御サブ回路 2 0 は、いずれもカスケード信号出力端子 G P に結合され、前記ノイズ除去制御サブ回路が前記ノイズ除去サブ回路をオン又はオフさせるためにカスケード信号出力端子 G P の電圧を制御するように構成される。入力サブ回路 1 0 は、さらに出力サブ回路 4 0 に結合され、且つ、さらに、出力サブ回路 4 0 にオン信号を伝送するように構成される。

40

【 0 1 3 0 】

例示的に、出力段階において、入力サブ回路 1 0 は、カスケード信号出力端子 G P の電圧を、オフ制御ユニット 2 2 をオンさせる電圧に制御することができる。カスケード信号出力端子 G P の電圧にตอบสนองして、オフ制御ユニット 2 2 は、第 2 信号端子 C N の信号を第 1 ノイズ除去制御ノード P D - o x に伝送することにより、ノイズ除去サブ回路 3 0 をオフさせ、走査信号出力端子 O p u t での走査信号の出力が影響を受けないことを確保する。保持段階において、入力サブ回路 1 0 は、カスケード信号出力端子 G P の電圧を、オフ制御ユニット 2 2 をオフさせる電圧に制御することにより、ノイズ除去サブ回路 3 0 をオ

50

ン制御ユニット 21 の作用によりオンし続けるようにすることができる。

【0131】

また、入力サブ回路 10 は、さらに、入力信号端子 Input、第 3 クロック信号端子 CK3、第 4 クロック信号端子 CB3、第 1 電圧端子 VSS、第 2 電圧端子 VDD に接合される。第 3 クロック信号端子 CK3 の信号の制御下で、入力サブ回路 10 は、入力信号端子 Input の信号を書き込むこともできる。また、第 1 電圧端子 VSS の電圧の制御下で、書き込まれた信号に応じて、出力サブ回路 40 にオン信号を伝送する。

【0132】

ここで、例示的に、入力サブ回路 10 に結合される第 3 クロック信号端子 CK3 が伝送する信号は、第 1 クロック信号端子 CK1 が伝送する信号と同じであってもよい。例えば、第 3 クロック信号端子 CK3 を第 1 クロック信号端子 CK1 に結合する。第 4 クロック信号端子 CB3 が伝送する信号は、第 2 クロック信号端子 CB1 が伝送する信号と同じであってもよい。例えば、第 4 クロック信号端子 CB3 を第 2 クロック信号端子 CB1 に結合する。この場合、図 13 に示すように、入力サブ回路 10 に結合される第 3 クロック信号端子 CK3 と第 4 クロック信号端子 CB3 がそれぞれ第 1 クロック信号端子 CK1 と第 2 クロック信号端子 CB1 に結合されてもよいとみなすことができる。

10

【0133】

例示的に、入力サブ回路 10 に結合される第 3 クロック信号端子 CK3 が伝送する信号は、第 1 クロック信号端子 CK1 が伝送する信号と異なり、第 4 クロック信号端子 CB3 が伝送する信号は、第 2 クロック信号端子 CB1 が伝送する信号と異なる。即ち、図 10 に示すように、入力サブ回路 10 に結合される第 3 クロック信号端子 CK3 と第 4 クロック信号端子 CB3 は、ノイズ除去制御サブ回路 20 に結合される第 1 クロック信号端子 CK1 と第 2 クロック信号端子 CB1 と異なる。つまり、入力サブ回路 10 とノイズ除去制御サブ回路 20 は、それぞれ異なるグループのクロック信号によって制御される。これにより、入力サブ回路 10 とノイズ除去制御サブ回路 20 の各々に対する独立した制御を実現することができ、ノイズ除去制御サブ回路 20 による第 1 ノイズ除去制御ノード PD-ox の電圧に対する有効な制御をさらに確保することができる。また、第 1 クロック信号端子 CK1 の信号の立ち下がり、第 4 クロック信号端子 CB3 の信号の立ち上がり、及び走査信号出力端子 Output の信号の立ち下がりには合わせることもできる。このように、走査信号出力端子 Output から走査信号を出力した後、走査信号出力端子 Output の電圧を適時にリセットすることを実現することができる。

20

30

【0134】

出力サブ回路 40 は、第 2 電圧端子 VDD 又は第 5 クロック信号端子 CK2 に結合される。図 10 では、出力サブ回路 40 が第 5 クロック信号端子 CK2 に結合されることを示している。出力サブ回路 40 は、さらに、走査信号出力端子 Output に結合されている。出力サブ回路 40 は、入力サブ回路 10 から伝送されるオン信号にตอบสนองして、第 2 電圧端子 VDD 又は第 5 クロック信号端子 CK2 の信号を走査信号出力端子 Output に伝送して、走査信号出力端子 Output に結合されたゲート線を走査するように構成される。

【0135】

例示的に、図 11 を参照して、入力サブ回路 10 は、第 7 トランジスタ T7、第 8 トランジスタ T8、第 9 トランジスタ T9、第 10 トランジスタ T10、第 3 コンデンサ C3、第 11 トランジスタ T11、第 4 コンデンサ C4、第 12 トランジスタ T12、第 13 トランジスタ T13、及び第 14 トランジスタ T14 を含む。

40

【0136】

ここで、第 7 トランジスタ T7 の制御電極は、第 3 クロック信号端子 CK3 に結合され、第 7 トランジスタ T7 の第 1 電極は、入力信号端子 Input に結合され、第 7 トランジスタ T7 の第 2 電極は、第 1 ノード n1 に結合される。

【0137】

第 8 トランジスタ T8 の制御電極は、第 1 ノード n1 に結合され、第 8 トランジスタ T8 の第 1 電極は、第 3 クロック信号端子 CK3 に結合され、第 8 トランジスタ T8 の第 2

50

電極は、第 2 ノード n 2 に結合される。

【 0 1 3 8 】

第 9 トランジスタ T 9 の制御電極は、第 3 クロック信号端子 C K 3 に結合され、第 9 トランジスタ T 9 の第 1 電極は、第 1 電圧端子 V S S に結合され、第 9 トランジスタ T 9 の第 2 電極は、第 2 ノード n 2 に結合される。

【 0 1 3 9 】

第 1 0 トランジスタ T 1 0 の制御電極は、第 2 ノード n 2 に結合され、第 1 0 トランジスタ T 1 0 の第 1 電極は、第 2 電圧端子 V D D に結合され、第 1 0 トランジスタ T 1 0 の第 2 電極は、カスケード信号出力端子 G P に結合される。

【 0 1 4 0 】

第 3 コンデンサ C 3 の第 1 端子は、第 2 ノード n 2 に結合され、第 3 コンデンサ C 3 の第 2 端子は、第 1 0 トランジスタ T 1 0 の第 1 電極と第 2 電圧端子 V D D に結合される。

【 0 1 4 1 】

第 1 1 トランジスタ T 1 1 の制御電極は、第 3 ノード n 3 に結合され、第 1 1 トランジスタ T 1 1 の第 1 電極は、第 4 クロック信号端子 C B 3 に結合され、第 1 1 トランジスタ T 1 1 の第 2 電極は、カスケード信号出力端子 G P に結合される。

【 0 1 4 2 】

第 4 コンデンサ C 4 の第 1 端子は、第 3 ノード n 3 に結合され、第 4 コンデンサ C 4 の第 2 端子は、第 1 1 トランジスタ T 1 1 の第 2 電極とカスケード信号出力端子 G P に結合される。

【 0 1 4 3 】

第 1 2 トランジスタ T 1 2 の制御電極は、第 1 電圧端子 V S S に結合され、第 1 2 トランジスタ T 1 2 の第 2 電極は、第 3 ノード n 3 に結合され、第 1 2 トランジスタ T 1 2 の第 1 電極は、第 1 ノード n 1 に結合される。

【 0 1 4 4 】

第 1 3 トランジスタ T 1 3 の制御電極は、第 4 クロック信号端子 C B 3 に結合され、第 1 3 トランジスタ T 1 3 の第 1 電極は、第 1 ノード n 1 に結合され、第 1 3 トランジスタ T 1 3 の第 2 電極は、第 4 ノード n 4 に結合される。

【 0 1 4 5 】

第 1 4 トランジスタ T 1 4 の制御電極は、第 2 ノード n 2 に結合され、第 1 4 トランジスタ T 1 4 の第 1 電極は、第 2 電圧端子 V D D に結合され、第 1 4 トランジスタ T 1 4 の第 2 電極は、第 4 ノード n 4 に結合される。

【 0 1 4 6 】

上記実施例に基づき、入力サブ回路 1 0 に結合される第 3 クロック信号端子 C K 3 が伝送する信号は、第 1 クロック信号端子 C K 1 が伝送する信号と同じであり、第 4 クロック信号端子 C B 3 が伝送する信号は、第 2 クロック信号端子 C B 1 が伝送する信号と同じである。即ち、入力サブ回路 1 0 に結合される第 3 クロック信号端子 C K 3 と第 4 クロック信号端子 C B 3 がそれぞれ第 1 クロック信号端子 C K 1 と第 2 クロック信号端子 C B 1 に結合される場合、図 1 4 に示すように、入力サブ回路 1 0 に含まれる第 7 トランジスタ T 7 の制御電極は、第 1 クロック信号端子 C K 1 に結合され、第 8 トランジスタ T 8 の第 1 電極は、第 1 クロック信号端子 C K 1 に結合され、第 9 トランジスタ T 9 の制御電極は、第 1 クロック信号端子 C K 1 に結合され、第 1 3 トランジスタ T 1 3 の制御電極は、第 2 クロック信号端子 C B 1 に結合される。また、上記トランジスタの他の電極と、入力サブ回路 1 0 に含まれる他のトランジスタとの接続関係は、図 1 1 に対応する上記実施例を参照することができる。

【 0 1 4 7 】

例示的に、図 1 1 を引き続き参照すると、出力サブ回路 4 0 は、第 1 5 トランジスタ T 1 5 を含む。第 1 5 トランジスタ T 1 5 の制御電極は、カスケード信号出力端子 G P 又は第 3 ノード n 3 に結合され（図 1 1 では第 1 5 トランジスタ T 1 5 の制御電極が第 3 ノード n 3 に結合される場合を示す）、第 1 5 トランジスタ T 1 5 の第 1 電極は、第 2 電圧端

10

20

30

40

50

子VDD又は第5クロック信号端子CK2に結合され(図11では第15トランジスタT15の制御電極が第5クロック信号端子CK2に結合される場合を示す)、第15トランジスタT15の第2電極は、走査信号出力端子Outputに結合される。

【0148】

なお、本開示の実施例に係るシフトレジスタ回路RSに用いられるトランジスタは、薄膜トランジスタ(Thin Film Transistor、略称:TFT)、電界効果トランジスタ(Field Effect Transistor、略称:FET)、又は他の同じ特性を有するスイッチング素子であってもよく、本開示の実施例では、いずれも薄膜トランジスタを例として説明する。

【0149】

シフトレジスタ回路RSに用いられる各薄膜トランジスタの制御電極は、トランジスタのゲートであり、第1電極は、薄膜トランジスタのソースとドレインのうち的一方であり、第2電極は、薄膜トランジスタのソースとドレインのうちの他方である。薄膜トランジスタのソース、ドレインは構造的に対称であってもよいので、そのソース、ドレインは構造的に区別がなくてもよい。つまり、本開示の実施例における薄膜トランジスタの第1電極と第2電極は、構造的に区別がなくてもよい。例示的に、薄膜トランジスタがP型トランジスタである場合、薄膜トランジスタの第1電極はソースであり、第2電極はドレインである。例示的に、薄膜トランジスタがN型トランジスタである場合、トランジスタの第1電極はドレインであり、第2電極はソースである。

【0150】

本開示の実施例に係るシフトレジスタ回路RSでは、いずれも薄膜トランジスタがP型トランジスタである場合を例にして説明する。なお、本開示の実施例は、上記の場合を含むが、それらに限定されない。例えば、本開示の実施例に係るシフトレジスタ回路RSにおける一つ又は複数の薄膜トランジスタは、N型トランジスタを用いてもよく、種類が選出された薄膜トランジスタの各電極は、本開示の実施例における対応な薄膜トランジスタの各電極を参照して対応に接続し、かつ、対応な電圧端子が対応する高レベル電圧又は低レベル電圧を提供するようにすればよい。

【0151】

本開示の実施例において、入力サブ回路10、ノイズ除去制御サブ回路20、ノイズ除去サブ回路30、及び出力サブ回路40の具体的な実装形態は、上述のものに限定されず、対応な機能を実現できることを確保できる限り、当業者に周知の通常の接続形態など、任意の用途の実装形態であってもよい。上記例は本開示の保護範囲を制限するためのものではない。実際の応用において、当業者は状況に応じて上記各回路のうちの一つ又は複数を使用するか、又は適用しないかを選択することができ、前記各回路の様々な組み合わせ・変形は、いずれも本開示の原理から逸脱することがなく、ここではこれ以上説明しない。

【0152】

また、本開示の実施例において、コンデンサ(例えば、図11における第1コンデンサC1、第2コンデンサC2、第3コンデンサC3、第4コンデンサC4)は、プロセス工程により個別に作製されたコンデンサ素子であってもよく、例えば、専用のコンデンサ電極を作製することによりコンデンサ素子を実現してもよく、該コンデンサの各コンデンサ電極を、金属層、半導体層(例えば、ドーフトポリシリコン)などにより実現してもよい。コンデンサは、トランジスタ間の寄生容量であってもよく、又はトランジスタ自身と他のデバイス、配線により実現されてもよく、又は回路自身の配線間の寄生容量により実現されてもよい。

【0153】

上記実施例に係るシフトレジスタ回路RSの構成に基づき、本開示の幾つかの実施例は、シフトレジスタ回路RSの駆動方法を提供する。

【0154】

図10と図12に示すように、1行のゲート線の駆動過程は、入力段階P1と、出力段階P2と、保持段階P3とを含む。

10

20

30

40

50

## 【 0 1 5 5 】

シフトレジスタ回路 R S が、入力サブ回路 1 0、ノイズ除去制御サブ回路 2 0、ノイズ除去サブ回路 3 0、及び出力サブ回路 4 0 を含む場合、入力段階 P 1 において、入力サブ回路 1 0 は、カスケード信号出力端子 G P の電圧を第 1 制御電圧に制御することで、ノイズ除去制御サブ回路 2 0 がノイズ除去サブ回路 3 0 をオンさせるようにする。ここで、第 1 制御電圧は、カスケード信号出力端子 G P がノイズ除去制御サブ回路 2 0 に対する制御によってノイズ除去サブ回路 3 0 をオンさせることができる電圧を意味し、例えば、第 1 制御電圧は、第 2 電圧端子が出力する電圧値と等しい。それにより、ノイズ除去制御サブ回路 2 0 は、第 1 ノイズ除去制御ノード P D - o x の電圧を、ノイズ除去サブ回路 3 0 をオンさせる電圧に制御することで、ノイズ除去サブ回路 3 0 をオンさせる。また、入力サブ回路 1 0 は、出力サブ回路 4 0 にオン信号をさらに伝送する。例えば、入力サブ回路 1 0 は、第 3 クロック信号端子 C K 3 の信号の制御下で、入力信号端子 I p u t の信号を書き込み、書き込まれた入力信号端子 I p u t の信号により、出力サブ回路 4 0 をオンさせる。

10

## 【 0 1 5 6 】

出力段階 P 2 において、入力サブ回路 1 0 は、カスケード信号出力端子 G P の電圧を第 2 制御電圧に制御することにより、ノイズ除去制御サブ回路 2 0 がノイズ除去サブ回路 3 0 をオフさせるようにする。ここで、第 2 制御電圧は、カスケード信号出力端子 G P がノイズ除去制御サブ回路 2 0 に対する制御によってノイズ除去サブ回路 3 0 をオフさせることができる電圧を意味し、例えば、第 2 制御電圧は、第 1 電圧端子が出力する電圧値と等しい。それにより、ノイズ除去制御サブ回路 2 0 は、第 1 ノイズ除去制御ノード P D - o x の電圧を、ノイズ除去サブ回路 3 0 をオフさせる電圧に制御する。また、入力サブ回路 1 0 は、出力サブ回路 4 0 にオン信号を伝送し続ける。

20

## 【 0 1 5 7 】

例示的に、出力段階において、出力サブ回路 4 0 は、このオン信号の制御下で、第 2 電圧端子 V D D 又は第 5 クロック信号端子 C K 2 ( 図 1 0 では、出力サブ回路 4 0 が第 5 クロック信号端子 C K 2 に結合される場合を示している ) の信号を走査信号出力端子 O p u t に伝送して、走査信号出力端子 O p u t に結合されたゲート線を走査することができる。

## 【 0 1 5 8 】

保持段階 P 3 において、ノイズ除去制御サブ回路 2 0 は、第 1 クロック信号端子 C K 1 の信号にตอบสนองして、第 1 電圧端子 V S S の電圧と第 2 クロック信号端子 C B 1 の信号から交番電圧信号を生成し、生成された交番電圧信号を整流して信号を第 1 ノイズ除去制御ノード P D - o x に出力することにより、第 1 ノイズ除去制御ノード P D - o x の電圧を、ノイズ除去サブ回路 3 0 をオンさせる電圧に保持する。ノイズ除去サブ回路 3 0 は、第 1 ノイズ除去制御ノード P D - o x の電圧の制御下でオンし続け、走査信号出力端子 O p u t に対してノイズ除去を行う。

30

## 【 0 1 5 9 】

例示的に、以下は図 1 2 を参照して、図 1 1 に示すシフトレジスタ回路 R S の 1 行のゲート線の駆動過程における具体的な動作過程を詳しく説明する。以下の説明では、シフトレジスタ回路 R S における各トランジスタが P 型トランジスタであり ( トランジスタの閾値電圧の影響を考慮しない )、第 1 電圧端子 V S S が伝送する電圧が低レベル電圧であり、第 2 電圧端子 V D D が伝送する電圧が高レベル電圧である場合を例にして説明する。

40

## 【 0 1 6 0 】

また、以下の説明では、第 1 5 トランジスタ T 1 5 の制御電極が第 3 ノード n 3 に結合され、第 1 5 トランジスタ T 1 5 の第 1 電極が第 5 クロック信号端子 C K 2 に結合される場合を例にして説明する。他の幾つかの実施例において、第 1 5 トランジスタ T 1 5 の制御電極と第 1 電極は、他のノード又は信号端子に結合されてもよく、例えば、第 1 5 トランジスタ T 1 5 の制御電極は、カスケード信号出力端子 G P に結合され、第 1 5 トランジスタ T 1 5 の第 1 電極は、第 2 電圧端子 V D D に結合される。

## 【 0 1 6 1 】

50

図 1 2 に示すように、1 行のゲート線の駆動過程は、少なくとも入力段階 P 1 と、出力段階 P 2 と、保持段階 P 3 とを含む。ここで、保持段階 P 3 は、少なくとも第 1 保持期間 P 3 1 と第 2 保持期間 P 3 2 とを含む。

【 0 1 6 2 】

例示的に、以下の説明において、「0」は低レベルを表し、「1」は高レベルを表す。

【 0 1 6 3 】

入力段階 P 1 において、 $I p u t = 0$ 、 $C K 1 = 0$ 、 $C B 1 = 1$ 、 $C K 2 = 0$ 、 $C K 3 = 0$ 、 $C B 3 = 1$  である。

【 0 1 6 4 】

この場合、第 7 トランジスタ T 7 は、第 3 クロック信号端子 C K 3 の低レベル信号の制御下でオンし、入力信号端子 I p u t は、低レベル信号を第 1 ノード n 1 に出力する。第 8 トランジスタ T 8 は、第 1 ノード n 1 の低レベル電圧の制御下でオンし、第 9 トランジスタ T 9 は、第 3 クロック信号端子 C K 3 の低レベル信号の制御下でオンする。従って、第 2 ノード n 2 の電圧は、低レベル電圧である。

10

【 0 1 6 5 】

第 1 0 トランジスタ T 1 0 は、第 2 ノード n 2 の低レベル電圧の制御下でオンし、第 2 電圧端子 V D D の高レベル電圧 V D D は、第 1 0 トランジスタ T 1 0 を介してカスケード信号出力端子 G P に伝送される。第 1 2 トランジスタ T 1 2 は、第 1 電圧端子 V S S の制御下でオンし、第 1 ノード n 1 の低レベル電圧を第 3 ノード n 3 及び第 1 1 トランジスタ T 1 1 の制御電極に伝送し、第 1 1 トランジスタ T 1 1 はオンする。それにより、第 1 1 トランジスタ T 1 1 は、第 4 クロック信号端子 C B 3 の高レベル信号をカスケード信号出力端子 G P に伝送する。従って、カスケード信号出力端子 G P の電圧は、高レベル電圧 V D D である。

20

【 0 1 6 6 】

このとき、第 4 コンデンサ C 4 は充電され、その第 3 ノード n 3 に結合された一端の電圧は低レベル電圧であり、その第 1 1 トランジスタ T 1 1 の第 1 電極に結合された一端の電圧は高レベル電圧であり、入力信号端子 I p u t に伝送される信号の書き込みが実現される。

【 0 1 6 7 】

第 3 トランジスタ T 3 と第 4 トランジスタ T 4 は、いずれも、カスケード信号出力端子 G P の高レベル電圧の制御下でオフする。

30

【 0 1 6 8 】

第 1 トランジスタ T 1 は、第 1 クロック信号端子 C K 1 から出力される低レベル信号の制御下でオンし、第 2 ノイズ除去制御ノード P D - o x - i の電圧は、低レベル電圧 V S S であり、第 2 トランジスタ T 2 は、第 2 ノイズ除去制御ノード P D - o x - i の低レベル電圧 V S S の制御下でオンし、第 1 ノイズ除去制御ノード P D - o x の電圧は、低レベル電圧 V S S である。これにより、第 6 トランジスタ T 6 がオンし、走査信号出力端子 O p u t の電圧が低レベル電圧 V S S であり、ノイズ除去サブ回路 3 0 による走査信号出力端子 O p u t に対するノイズ除去が実現される。

【 0 1 6 9 】

40

また、第 1 4 トランジスタ T 1 4 は、第 2 ノード n 2 の低レベル電圧 V S S の制御下でオンする。第 1 4 トランジスタ T 1 4 は、その第 1 電極に結合された第 2 電圧端子 V D D の高レベル電圧を第 4 ノード n 4 に伝送する。このとき、第 1 3 トランジスタ T 1 3 は、第 4 クロック信号端子 C B 3 の高レベル信号の制御下でオフする。それにより、第 4 ノード n 4 の電圧は、高レベル電圧 V D D である。

【 0 1 7 0 】

第 1 5 トランジスタ T 1 5 は、第 3 ノード n 3 の低レベル電圧の制御下でオンし、第 5 クロック信号端子 C K 2 から出力された低レベル電圧は、第 1 5 トランジスタ T 1 5 を介して走査信号出力端子 O p u t に伝送される。それにより、走査信号出力端子 O p u t から低レベルの走査信号が出力される。

50

## 【0171】

出力段階 P 2 において、 $I_{p u t} = 1$ 、 $C K 1 = 1$ 、 $C B 1 = 0$ 、 $C K 2 = 1$ 、 $C K 3 = 1$ 、 $C B 3 = 0$  である。

## 【0172】

この場合、第 7 トランジスタ T 7 は、第 3 クロック信号端子 C K 3 の高レベル信号の制御下でオフし、第 1 ノード n 1 の電圧は依然として低レベル電圧である。第 8 トランジスタ T 8 は、第 1 ノード n 1 の低レベル電圧の制御下でオンし、第 3 クロック信号端子 C K 3 の高レベル信号は、第 8 トランジスタ T 8 を介して第 2 ノード n 2 に伝送される。第 9 トランジスタ T 9 は、第 3 クロック信号端子 C K 3 の高レベル信号の制御下でオフする。従って、第 2 ノード n 2 の電圧は高レベル電圧である。

10

## 【0173】

第 10 トランジスタ T 10 は、第 2 ノード n 2 の高レベル電圧の制御下でオフする。第 12 トランジスタ T 12 は、第 1 電圧端子 V S S の制御下でオンし、第 1 ノード n 1 の低レベル電圧を第 3 ノード n 3 及び第 11 トランジスタ T 11 の制御電極に伝送し、第 11 トランジスタ T 11 はオンする。それにより、第 11 トランジスタ T 11 は、第 4 クロック信号端子 C B 3 の低レベル信号をカスケード信号出力端子 G P に伝送する。従って、カスケード信号出力端子 G P の電圧は、低レベル電圧である。

## 【0174】

このとき、第 4 コンデンサ C 4 の、第 11 トランジスタ T 11 の第 1 電極に結合された一端の電圧は低レベル電圧である。第 4 クロック信号端子 C B 3 の低レベル信号の電圧を V S S、高レベル信号の電圧を V D D とすると、第 4 コンデンサ C 4 の、第 11 トランジスタ T 11 の第 1 電極に結合された一端の電圧は、入力段階 P 1 の V D D から V S S に降下し、電圧降下量は V D D - V S S である。第 4 コンデンサ C 4 の容量ブートストラップ効果により、第 4 コンデンサ C 4 の他端子に結合された第 3 ノード n 3 の電圧は、さらに V D D - V S S 分でプルダウンされ、第 3 ノード n 3 の電圧は、入力段階 P 1 の V S S から  $2 V S S - V D D$  に降下する。

20

## 【0175】

第 15 トランジスタ T 15 は、第 3 ノード n 3 の低レベル電圧の制御下でオンし、第 5 クロック信号端子 C K 2 から出力された高レベル電圧は、第 15 トランジスタ T 15 を介して走査信号出力端子 O p u t に伝送される。それにより、走査信号出力端子 O p u t から高レベルの走査信号が出力され、ゲート線に対する走査が実現される。

30

## 【0176】

第 3 トランジスタ T 3 と第 4 トランジスタ T 4 は、いずれも、カスケード信号出力端子 G P の低レベル電圧の制御下でオンする。すると、第 2 信号端子 C N の信号は、第 3 トランジスタ T 3 を介して第 2 ノイズ除去制御ノード P D - o x - i に伝送され、第 4 トランジスタ T 4 を介して第 1 ノイズ除去制御ノード P D - o x に伝送される。第 2 信号端子 C N は第 2 電圧端子 V D D 又は第 2 ノード n 2 (第 2 ノード n 2 の出力段階 P 2 での電圧が高レベル電圧である) であるので、第 2 ノイズ除去制御ノード P D - o x - i と第 1 ノイズ除去制御ノード P D - o x の電圧はいずれも高レベル電圧である。それにより、第 6 トランジスタ T 6 はオフし、走査信号出力端子 O p u t から高レベルの走査信号を出力することに影響を与えない。

40

## 【0177】

このとき、第 1 トランジスタ T 1 は、第 1 クロック信号端子 C K 1 から出力される高レベル信号の制御下でオフし、第 2 トランジスタ T 2 も、第 2 ノイズ除去制御ノード P D - o x - i の高レベル電圧の制御下でオフする。

## 【0178】

また、第 14 トランジスタ T 14 は、第 2 ノード n 2 の高レベル電圧の制御下でオフする。第 13 トランジスタ T 13 は、第 4 クロック信号端子 C B 3 の低レベル信号の制御下でオンする。このため、第 4 ノード n 4 の電圧は、第 1 ノード n 1 の電圧に等しく、即ち、低レベル電圧である。

50

## 【0179】

保持段階P3の第1保持期間P31において、 $I_{p u t} = 1$ 、 $C K 1 = 0$ 、 $C B 1 = 1$ 、 $C K 2 = 0$ 、 $C K 3 = 0$ 、 $C B 3 = 1$ である。

## 【0180】

この場合、第7トランジスタT7は、第3クロック信号端子CK3の低レベル信号の制御下でオンし、入力信号端子Inputの高レベル信号は、第7トランジスタT7を介して第1ノードn1に伝送される。それにより、第1ノードn1の電圧を高レベル電圧にする。第8トランジスタT8は、第1ノードn1の高レベル電圧の制御下でオフする。第9トランジスタT9は、第3クロック信号端子CK3の低レベル信号の制御下でオンし、第1信号端子VSSの低レベル信号は、第9トランジスタT9を介して第2ノードn2に伝送される。それにより、第2ノードn2の電圧を低レベル電圧V<sub>SS</sub>にする。

10

## 【0181】

第10トランジスタT10は、第2ノードn2の低レベル電圧の制御下でオンし、第2電圧端子VDDの高レベル電圧は、第10トランジスタT10を介してカスケード信号出力端子GPに伝送される。第12トランジスタT12は、第1電圧端子VSSの制御下でオンし、第1ノードn1の高レベル電圧を第3ノードn3及び第11トランジスタT11の制御電極に伝送し、第11トランジスタT11はオフする。従って、カスケード信号出力端子GPの電圧は、高レベル電圧である。

## 【0182】

このとき、第3トランジスタT3と第4トランジスタT4は、いずれも、カスケード信号出力端子GPの高レベル電圧の制御下でオフする。

20

## 【0183】

第1トランジスタT1は、第1クロック信号端子CK1から出力される低レベル信号の制御下でオンする。すると、第2ノイズ除去制御ノードPD-ox-iの電圧は、低レベル電圧V<sub>SS</sub>である。第1コンデンサC1の、第2ノイズ除去制御ノードPD-ox-iに接続された一端の電圧は、低レベル電圧V<sub>SS</sub>であり、第1コンデンサC1の、第2クロック信号端子CB1に接続された一端の電圧は、第2クロック信号端子CB1の高レベル信号の電圧である。第2クロック信号端子CB1から出力される高レベル信号の電圧を高レベル電圧V<sub>DD</sub>とすると、第1コンデンサC1の、第2クロック信号端子CB1に接続された一端の電圧は、高レベル電圧V<sub>DD</sub>である。

30

## 【0184】

第2トランジスタT2は、第2ノイズ除去制御ノードPD-ox-iの低レベル電圧V<sub>SS</sub>の制御下でオンし、第1ノイズ除去制御ノードPD-oxの電圧は、低レベル電圧V<sub>SS</sub>である。これにより、第6トランジスタT6がオンし、走査信号出力端子Outputの電圧が低レベル電圧V<sub>SS</sub>であり、ノイズ除去サブ回路30による走査信号出力端子Outputに対するノイズ除去が実現される。

## 【0185】

また、第14トランジスタT14は、第2ノードn2の低レベル電圧V<sub>SS</sub>の制御下でオンする。第14トランジスタT14は、その第1電極に結合された第2電圧端子VDDの高レベル電圧V<sub>DD</sub>を第4ノードn4に伝送する。このとき、第13トランジスタT13は、第4クロック信号端子CB3の高レベル信号の制御下でオフする。それにより、第4ノードn4の電圧は、高レベル電圧V<sub>DD</sub>である。

40

## 【0186】

第15トランジスタT15は、第3ノードn3の高レベル電圧の制御下でオフする。

## 【0187】

保持段階P3の第2保持段階P32において、 $I_{p u t} = 1$ 、 $C K 1 = 1$ 、 $C B 1 = 0$ 、 $C K 2 = 1$ 、 $C K 3 = 1$ 、 $C B 3 = 0$ である。

## 【0188】

この場合、第7トランジスタT7は、第3クロック信号端子CK3の高レベル信号の制御下でオフし、第1ノードn1の電圧は依然として高レベル電圧である。第8トランジスタ

50

タ T 8 は、第 1 ノード n 1 の高レベル電圧の制御下で依然としてオフする。第 9 トランジスタ T 9 は、第 3 クロック信号端子 C K 3 の高レベル信号の制御下でオフし、第 2 ノード n 2 の電圧は依然として低レベル電圧である。

【 0 1 8 9 】

第 1 0 トランジスタ T 1 0 は、第 2 ノード n 2 の低レベル電圧の制御下でオンし、第 2 電圧端子 V D D の高レベル電圧は、第 1 0 トランジスタ T 1 0 を介してカスケード信号出力端子 G P に伝送される。第 1 2 トランジスタ T 1 2 は、第 1 電圧端子 V S S の制御下でオンし、第 1 ノード n 1 の高レベル電圧を第 3 ノード n 3 及び第 1 1 トランジスタ T 1 1 の制御電極に伝送し、第 1 1 トランジスタ T 1 1 はオフする。従って、カスケード信号出力端子 G P の電圧は、高レベル電圧である。

10

【 0 1 9 0 】

このとき、第 3 トランジスタ T 3 と第 4 トランジスタ T 4 は、いずれも、カスケード信号出力端子 G P の高レベル電圧の制御下でオフする。

【 0 1 9 1 】

第 1 トランジスタ T 1 は、第 1 クロック信号端子 C K 1 から出力される高レベル信号の制御下でオフし、第 2 ノイズ除去制御ノード P D - o x - i は、浮き状態にある。第 1 コンデンサ C 1 の、第 2 クロック信号端子 C B 1 に接続された一端の電圧は、第 2 クロック信号端子 C B 1 の低レベル信号の電圧であり、即ち、低レベル電圧 V S S である。すると、第 1 コンデンサ C 1 の、第 2 クロック信号端子 C B 1 に接続された一端の電圧は、第 1 保持期間 P 3 1 の V D D から低レベル電圧 V S S に降下し、電圧降下量は V S S - V D D である。

20

【 0 1 9 2 】

第 1 コンデンサ C 1 のカップリング作用により、第 2 ノイズ除去制御ノード P D - o x - i の電圧がシフトし、オフセット量は、

【数 1】

$$\frac{(V_{SS} - V_{DD}) \times C_1}{C_{PD-ox-i}}$$

30

$$C_{PD-ox-i}$$

である。

ここで、C P D - o x - i は、第 2 ノイズ除去制御ノード P D - o x - i に接続される各デバイス ( トランジスタ T 1、T 2、T 3 とコンデンサ C 1 を含む ) の総容量であり、C 1 は第 1 コンデンサ C 1 の容量である。それにより、第 2 ノイズ除去制御ノード P D - o x - i の電圧は、第 1 保持期間 P 3 1 での V S S から

40

【数 2】

$$V_{SS} + \frac{(V_{SS} - V_{DD}) \times C_1}{C_{PD-ox-i}}$$

10

まで降下する。

【数 3】

このとき、第 1 ノイズ除去制御ノード PD - ox の電圧は低レベル電圧  $V_{SS}$  であり、第 2 ノイズ除去制御ノード PD - ox - i の電圧は、

【数 3】

$$V_{SS} + \frac{(V_{SS} - V_{DD}) \times C_1}{C_{PD-ox-i}}$$

20

であるので、第 2 トランジスタ T2 はオンし、電荷の約半分が第 1 ノイズ除去制御ノード PD - ox から第 2 ノイズ除去制御ノード PD - ox - i へ流れ込む。即ち、第 1 ノイズ除去制御ノード PD - ox と第 2 ノイズ除去制御ノード PD - ox - i は、電圧を平均化する。それにより、第 1 ノイズ除去制御ノード PD - ox の電圧が、

30

【数 4】

$$\left[ 2V_{SS} + \frac{(V_{SS} - V_{DD}) \times C_1}{C_{PD-ox-i}} \right] / 2$$

40

になる。つまり、第 1 ノイズ除去制御ノード PD - ox の電圧は、第 1 保持期間 P31 での  $V_{SS}$  から

【数 5】

50

$$\left[ 2V_{SS} + \frac{(V_{SS} - V_{DD}) \times C_1}{C_{PD-ox-i}} \right] / 2$$

までプルダウンされる。

【0194】

その後、第1クロック信号端子CK1と第2クロック信号端子CB1の信号が交互に高レベル信号と低レベル信号になり、即ち、保持段階P3において、第1保持期間P31と第2保持期間P32が交互に行われるため、第1ノイズ除去制御ノードPD-oxと第2ノイズ除去制御ノードPD-ox-iのカップリングが複数回行われ、電圧が複数回平均化される。最終的には、第1ノイズ除去制御ノードPD-oxの電圧は、ある電圧付近で安定する。第1ノイズ除去制御ノードPD-oxの電圧変化の様子は、図12に示す波形の通りである。それにより、第6トランジスタT6は、保持段階P3においてオンし続け、走査信号出力端子Outputに対してノイズ除去を行い続ける。

【0195】

例えば、C1が十分に大きく、C<sub>PD-ox-i</sub> < C1と見なされる場合（C1がC<sub>PD-ox-i</sub>に占める割合が比較的大きく、例えば、割合が90%以上であると理解され得る）、上記の導出過程に係る数値は、以下の説明を参照することができる。

【0196】

第1コンデンサC1のカップリング作用により、第2ノイズ除去制御ノードPD-ox-iの電圧のオフセット量はV<sub>SS</sub> - V<sub>DD</sub>である。よって、第2ノイズ除去制御ノードPD-ox-iの電圧は、第1保持期間P31でのV<sub>SS</sub>からV<sub>SS</sub> + (V<sub>SS</sub> - V<sub>DD</sub>) = 2V<sub>SS</sub> - V<sub>DD</sub>まで降下する。

【0197】

このとき、第1ノイズ除去制御ノードPD-oxの電圧は低レベル電圧V<sub>SS</sub>であり、第2ノイズ除去制御ノードPD-ox-iの電圧は2V<sub>SS</sub> - V<sub>DD</sub>である。このため、第2トランジスタT2はオンし、電荷の約半分が第1ノイズ除去制御ノードPD-oxから第2ノイズ除去制御ノードPD-ox-iへ流れ込む。よって、第1ノイズ除去制御ノードPD-oxの電圧は、[(2V<sub>SS</sub> - V<sub>DD</sub>) + V<sub>SS</sub>] / 2 = (3V<sub>SS</sub> - V<sub>DD</sub>) / 2となり、即ち、第1ノイズ除去制御ノードPD-oxの電圧は、第1保持期間P31のV<sub>SS</sub>から(3V<sub>SS</sub> - V<sub>DD</sub>) / 2にプルダウンされる。

【0198】

その後、第1クロック信号端子CK1と第2クロック信号端子CB1の信号が交互に高レベル信号と低レベル信号になり、即ち、保持段階P3において、第1保持期間P31と第2保持期間P32が交互に行われる。このため、第1ノイズ除去制御ノードPD-oxと第2ノイズ除去制御ノードPD-ox-iのカップリングが複数回行われ、電圧が複数回平均化される。最終的には、第1ノイズ除去制御ノードPD-oxの電圧は、2V<sub>SS</sub> - V<sub>DD</sub>付近で安定する。それにより、第6トランジスタT6は、保持段階P3においてオンし続け、走査信号出力端子Outputに対してノイズ除去を行い続ける。

【0199】

また、第2保持期間P32において、第14トランジスタT14は、第2ノードn2の低レベル電圧の制御下でオンする。第14トランジスタT14は、その第1電極に結合された第2電圧端子V<sub>DD</sub>の高レベル電圧V<sub>DD</sub>を第4ノードn4に伝送する。このとき、第13トランジスタT13は、第4クロック信号端子CB3の低レベル信号の制御下でオンする。それにより、第4ノードn4の電圧は、高レベル電圧V<sub>DD</sub>である。このように

10

20

30

40

50

、第13トランジスタT13と第14トランジスタT14がいずれも第2電圧端子VDDを制御して第1ノードn1を充電することにより、第1ノードn1を高レベル電圧に保持し、第11トランジスタT11がオフ状態にあることを確保する。

【0200】

第15トランジスタT15は、第3ノードn3の高レベル電圧の制御下でオフする。

【0201】

他の幾つかの実施例において、図13及び図14に示すように、シフトレジスタ回路RSにおける入力サブ回路10に結合される第3クロック信号端子CK3と第4クロック信号端子CB3がそれぞれ第1クロック信号端子CK1と第2クロック信号端子CB1に結合される場合、このシフトレジスタ回路RSの駆動シーケンスは図15に示す通りであってもよく、回路の具体的な駆動過程は前の説明を参照することができるので、ここではこれ以上説明しない。

10

【0202】

上記は本開示の具体的な実施形態に過ぎず、本開示の保護範囲はこれに限定されず、本開示の技術的範囲内で当業者であれば想到できる変更又は置換は、すべて本開示の技術的範囲内に包含するものである。従って、本開示の保護範囲は、特許請求の範囲に記載された保護範囲を準拠するものとする。

20

30

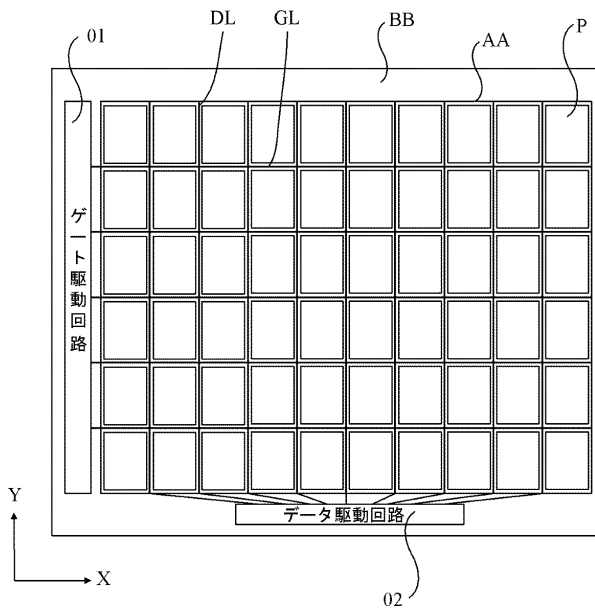
40

50

【図面】

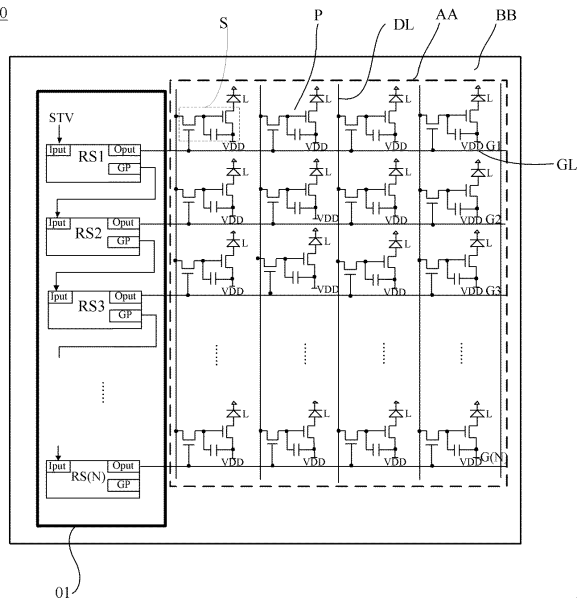
【図 1 A】

100



【図 1 B】

100

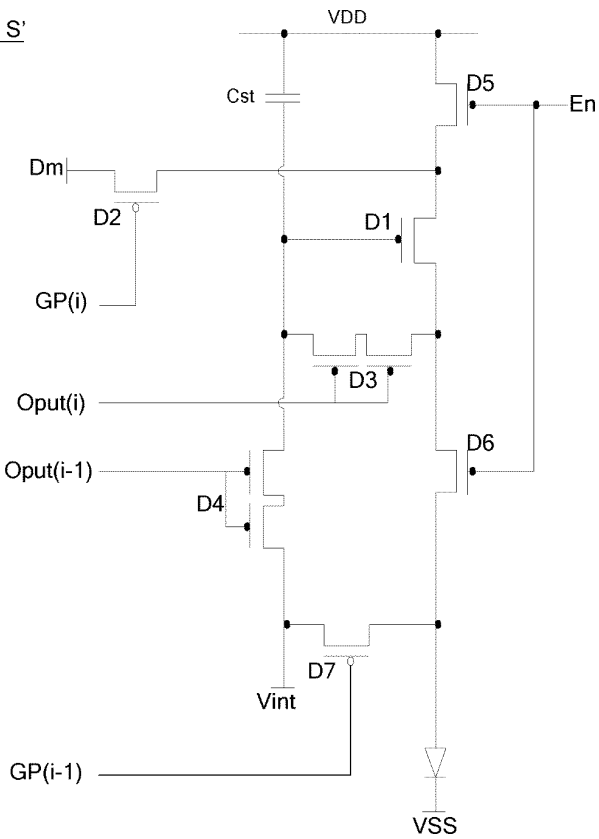


10

20

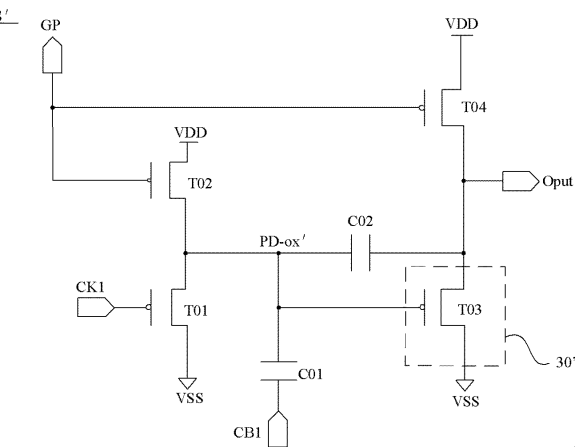
【図 2】

S'



【図 3】

RS'

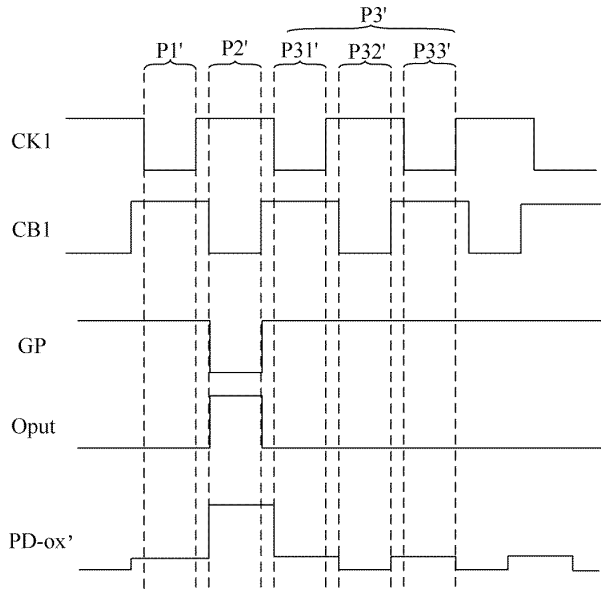


30

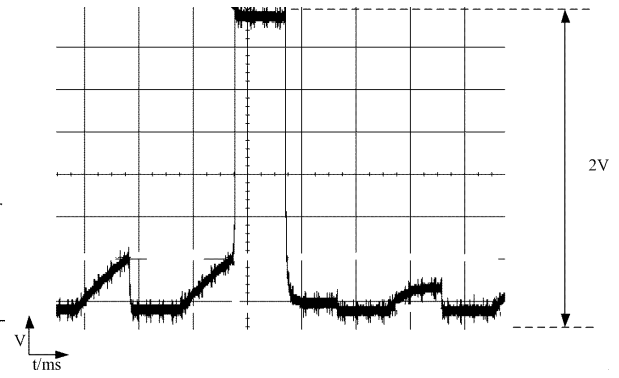
40

50

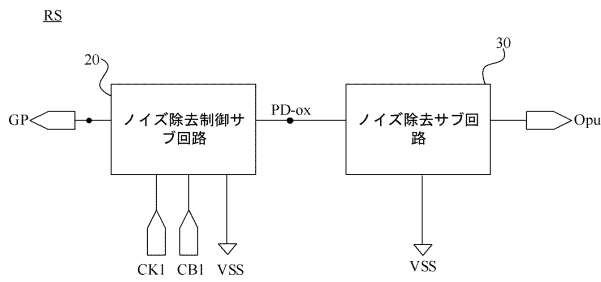
【図4】



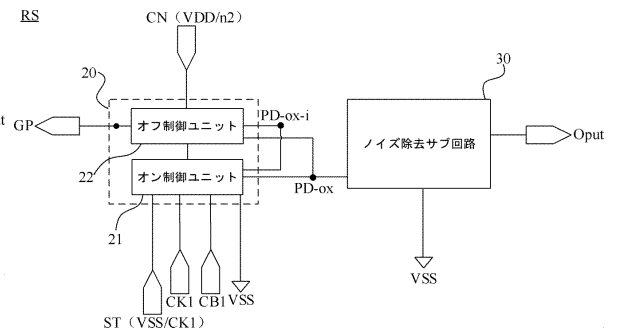
【図5】



【図6】



【図7】



10

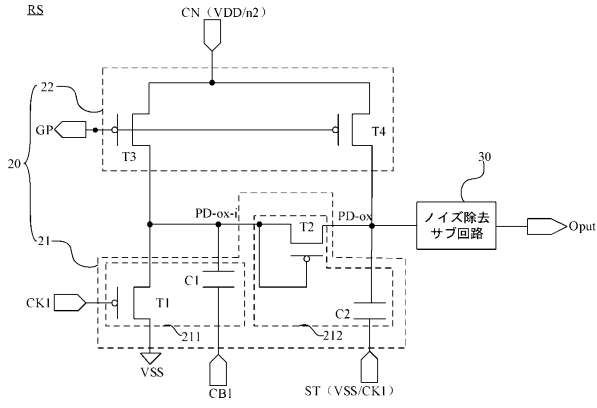
20

30

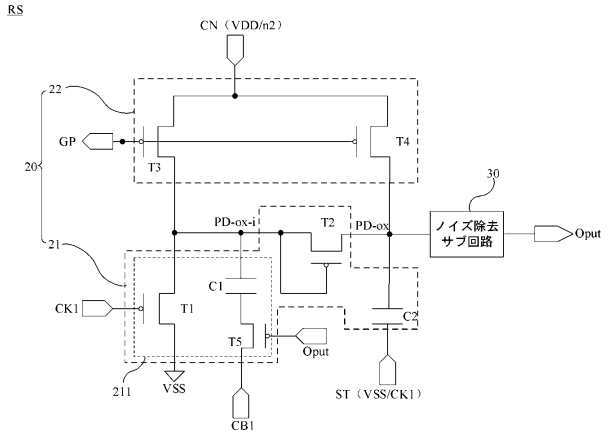
40

50

【図 8】

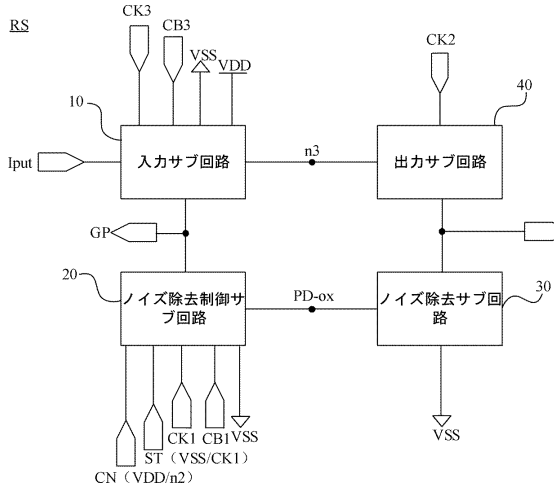


【図 9】

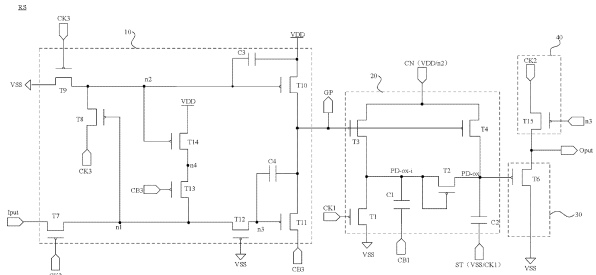


10

【図 10】



【図 11】



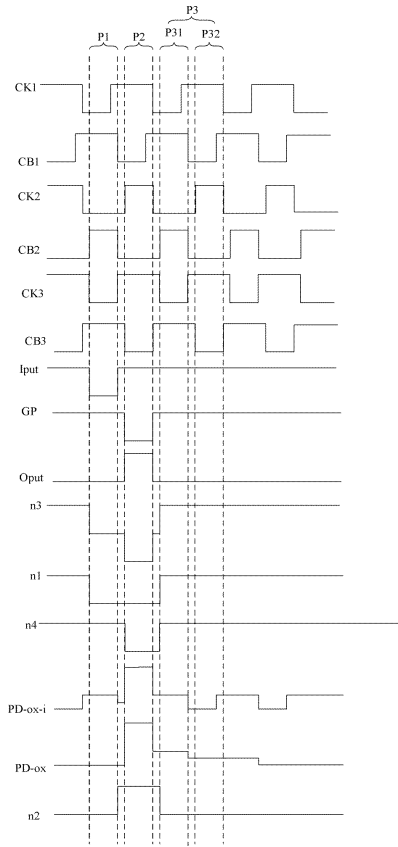
20

30

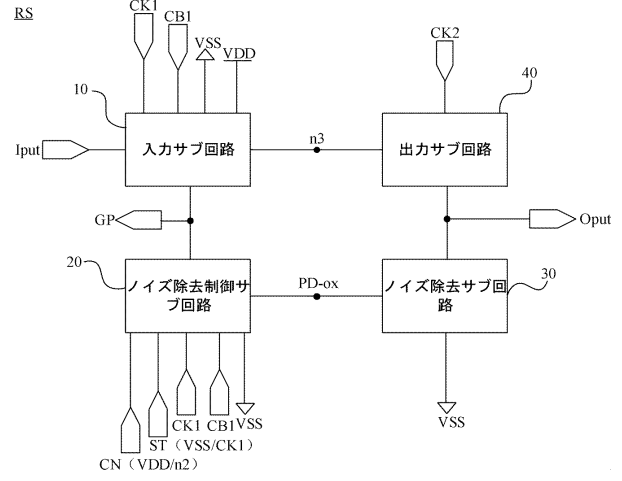
40

50

【図 1 2】



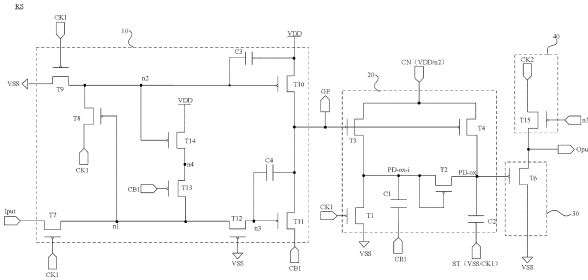
【図 1 3】



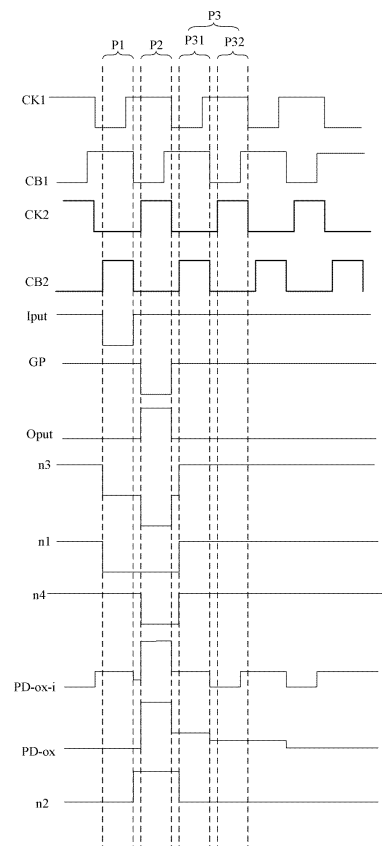
10

20

【図 1 4】



【図 1 5】



30

40

50

## フロントページの続き

## (51)国際特許分類

**H 1 0 K 59/131(2023.01)**

F I

H 1 0 K	59/12	
G 0 9 G	3/20	6 1 1 C
H 1 0 K	59/131	

ナンバー 9

## (72)発明者

ルー ジアンナン

中華人民共和国 1 0 0 1 7 6 ベイジン, ピーディーイー, ディーゼー ロード ナンバー 9

## (72)発明者

ジャン ジエ

中華人民共和国 1 0 0 1 7 6 ベイジン, ピーディーイー, ディーゼー ロード ナンバー 9

## (72)発明者

リウ リーピン

中華人民共和国 1 0 0 1 7 6 ベイジン, ピーディーイー, ディーゼー ロード ナンバー 9

## (72)発明者

シー シーミン

中華人民共和国 1 0 0 1 7 6 ベイジン, ピーディーイー, ディーゼー ロード ナンバー 9

## (72)発明者

ワン ダウエイ

中華人民共和国 1 0 0 1 7 6 ベイジン, ピーディーイー, ディーゼー ロード ナンバー 9

審査官

小林 紀和

## (56)参考文献

特開 2 0 1 5 - 0 0 2 3 4 7 ( J P , A )

特表 2 0 2 1 - 5 2 9 4 1 0 ( J P , A )

米国特許出願公開第 2 0 1 4 / 0 3 7 5 6 1 6 ( U S , A 1 )

米国特許出願公開第 2 0 1 7 / 0 1 9 3 9 2 7 ( U S , A 1 )

## (58)調査した分野

(Int.Cl., D B 名)

G 1 1 C 1 9 / 2 8

G 0 9 G 3 / 2 0

G 0 9 G 3 / 3 2 3 3

G 0 9 G 3 / 3 2 6 6

H 1 0 K 5 9 / 1 2

H 1 0 K 5 9 / 1 3 1