

公告本

F1000126TW00

申請日期	89.5.19
案 號	89109623
類 別	H01L 29/22

A4
C4

445649

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中 文	半導體記憶體及半導體記憶體之動作方法
	英 文	SEMICONDUCTOR MEMORY AND METHOD FOR OPERATING A SEMICONDUCTOR MEMORY
二、發明人	姓 名	1. 藤原英明 2. 周藤祥司 3. 廣島崇 4. 長澤秀治(長沢秀治)
	國 籍	日本國
三、申請人	住、居所	1. 日本國岐阜縣羽島市福壽町千代田 1-13-601 2. 日本國岐阜縣本巢郡穗積町稻里 670-802 3. 日本國岐阜縣安八郡安八町大森 180-5-526 4. 日本國大阪府高槻市黃金之里 1-7-3-402
	姓 名 (名稱)	三洋電機股份有限公司
代 表 人 姓 名	國 籍	日本國
	住、居所 (事務所)	日本國大阪府守口市京阪本通 2 丁目 5 番 5 號
代 表 人 姓 名		近藤定男

裝

訂

線

經濟部智慧財產局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

日本 國(地區) 申請專利，申請日期： 案號： 有 無主張優先權

1999年6月9日 特願平 11-162501(主張優先權)

2000年2月8日 特願 2000-030017(主張優先權)

2000年2月9日 特願 2000-031370(主張優先權)

2000年2月18日 特願 2000-041806(主張優先權)

2000年2月18日 特願 2000-041883(主張優先權)

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

[發明領域]

本發明係有關半導體記憶體及半導體之動作方法。

[發明背景]

近年來可用以取代硬碟及軟碟等磁性記憶體之半導體記憶體 EPROM (Erasable and Programmable Read Only Memory) 及 EEPROM (Electrically Erasable and Programmable Read Only Memory) 等非揮發性半導體記憶體備受矚目。

EPROM 及 EEPROM 之記憶單元 (MEMORY CELL) 係於浮動閘極聚積載子，藉由載子 (carrier) 之有無進行數據之記憶；同時藉由載子之有無檢測出臨限值電壓之變化進行數據之讀取。特別是 EEPROM 可以係將記憶單元陣列的全部數據消除，或者係將記憶單元陣列分成任意個區塊，以各區塊為單位進行數據消除的快閃 EEPROM。此種快閃 EEPROM 也可以稱作快閃記憶體，具有可以提升容量、降低耗電、加快速度以及高度的耐衝擊性等特徵，所以已經使用於種種行動機器。並且，快閃 EEPROM 之記憶單元係由單一電晶體構成，較之 EEPROM 更易於高度積體化，是其優點。

傳統上用來構成快閃 EEPROM 之記憶單元，有堆疊閘極型 (stacked gate) 以及分離閘極型 (split gate) 之提議。

堆疊閘極型記憶單元中，於浮動閘極聚積電子之寫入動作，係將半導體基板之通道中的電子以熱電子植入於浮動閘極。此時，必須在控制閘極加十數 V 之電壓。而且，

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明（2）

在堆疊閘極型記憶單元中，於進行抽除聚積在浮動閘極之電子的消除動作時，從汲極領域到浮動閘極有 Fowler-Nordheim 隧道電流（以下稱 FN 隧道電流）流過。此時，必須在汲極領域加十數 V 之電壓。

在分離閘極型記憶單元中，於進行將電子聚積於浮動閘極之寫入動作時，半導體基板之通道中的電子以熱電子植入於浮動閘極。此時，必須在汲極領域加十數 V 之電壓。而且，在分離閘極型記憶單元中，於進行從浮動閘極抽取電子之除去動作時，從控制閘極到浮動閘極有 FN 隧道電流流通。此時，必須在控制閘極加十數 V 之電壓。

因此，傳統的堆疊閘極型以及分離閘極型記憶單元在寫入動作中係利用熱電子植入於浮動閘極，在消除動作中係利用 FN 隧道電流將浮動閘極所聚積之電子抽除。

然而，要於長時間將載子保持聚積於浮動閘極時，圍繞浮動閘極之絕緣膜的厚度必須提高。但是，於浮動閘極植入或抽取電子時，係利用熱電子或 FN 隧道電流。因此，當圍繞浮動閘極之絕緣膜厚度愈高，則在寫入動作或消除動作中所施加於控制閘極以及汲極領域之電壓（以下稱記憶單元之動作電壓）也就必須愈高。

並且，記憶單元之動作電壓係由升壓電路所產生。在此情況下，實用上可以產生之電壓可以高達十數 V。另一方面，圍繞浮動閘極之絕緣膜或係矽之氧化膜，當記憶單元之動作電壓在十數 V 時，則該矽氧化膜之厚度不可超過 8 至 10 nm。因此，傳統上為將記憶單元之動作電壓壓低

五、發明說明(3)

到十數 V，則圍繞浮動閘極之絕緣膜若係使用矽氧化膜時，其厚度係在 8 至 10 nm 之間。而當矽氧化膜之厚度在 8 至 10 nm 之程度時，聚積於浮動閘極之電子也可以持留足夠長的時間而滿足實用上之要求。

而快閃記憶體之特徵係一旦共有字元線(word line)之所有單元(cell)在記憶消除之後，可以直接在那些已經消除之領域再行寫入。至於單元陣列之構成，由於採用接點雖少也能動作之構造，故積體程度終可獲得提升。

近年來，快閃 EEPROM 中，為能將聚積於浮動閘極之載子的持留時間加長以延長壽命，有必要設法比目前之產品更加降低電壓需求，提高動作速度以及積體密度。

如上述，傳統的使用矽氧化膜作為圍繞浮動閘極之絕緣膜時，因其膜厚在 8 至 10 nm，為延長壽命，該矽氧化膜之厚度必須避免低於 8 nm。

另一方面，若要降低記憶單元之動作電壓，將升壓所需時間(前置時間，Lead Time)縮短，即可提升寫入動作以及消除動作之速度，同時也能降低耗電量。

而且，用以產生記憶單元之動作電壓的升壓電路，如果其所產生之電壓愈高，則電路規模愈大。故構成快閃 EEPROM 之週邊電路(解碼器、讀測放大器、緩衝器等)的電晶體愈耐高電壓，則其在基板上所占面積(電晶體尺寸)愈大。因此，若能降低記憶單元之動作電壓，則可以縮小升壓電路之電路規模，並得以縮小構成週邊電路之電晶體的大小，即能達到高度積體化之目標。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(4)

因此，藉由記憶單元之動作電壓的低電壓化，即可同時一併達到動作之高速化、低耗電化、以及高度積體化。

但是，傳統的堆疊閘極型及分離閘極型記憶單元，在浮動閘極之電子植入或抽取時係利用熱電子或FN隧道電流。因而當使用矽氧化膜作為圍繞浮動閘極之絕緣膜時，其厚度如果依然維持目前的8至10nm不變，則要將記憶單元之動作電壓比目前的降低會有困難。總之，只要傳統的堆疊閘極型及分離閘極型記憶單元之構造不變，要繼續維持目前的壽命水準而謀求動作電壓之低電壓化，是有其困難的。

而如上述之快閃記憶體之特徵，係其共有字元線之記憶單元在一併消除記憶之後，可以在消除領域直接寫入。因此，共有字元線之記憶單元，在不須改寫數據時也必須作消除與寫入。在此情況下，改寫數據係以消除及寫入之二個步驟為之。因此，一併消除之區塊內的組成記憶單元群，要在一併消除之同時進行寫入，或要如磁碟所進行之所謂蓋過寫入，是有其困難的。因此之故，也就難以達到寫入及消除動作之高速化。

[發明詳細說明]

本發明之目的，其一在提供可以達到長壽命化、低電壓化、動作高速化、低耗電化、高度積體化之半導體記憶體。

本發明之另一目的，在以簡單的構造實現上述之半導體記憶體。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(5)

本發明之又一目的，在將上述半導體記憶體中之第一開極以及第二開極予以相當程度之微細化的同時，對於開極的長度之偏差分散度加以抑制。

本發明之又另一目的，係要在上述半導體記憶體中同時進行消除及寫入之動作。

本發明之又一目的，係在提供可以使上述之半導體單元容易動作之半導體單元的動作方法。

在本發明之一個形態中之半導體記憶體，係具有第一開極、第二開極、半導體領域、形成於半導體領域之一部份的表面之第一絕緣膜以及形成於半導體領域之另一部份的表面之第二絕緣膜，載子則透過第一絕緣膜、半導體領域以及第二絕緣膜植入於第二開極。在此情況下，較佳者為半導體領域係由形成於第一導電型半導體所構成之第一層的第二導電型之摻雜用物領域所構成。而更佳者為半導體領域係包括形成於第一導電型之半導體所構成之第一層上的第二導電型之半導體膜。在此一情況下，第一開極以及第二開極，也可以係以自行對準(self-alignment)方式形成者。

本發明之另一樣態的半導體記憶體，係具有形成於第一導電型之半導體所構成的第一層上之第二導電型的第一領域及第二領域、形成於該第一層上之第一領域及第二領域之間的第一開極以及第二開極、形成於第一層上之第一開極與第二開極之間的第二導電型之第三領域、形成於第一開極與第三領域之間的第一絕緣膜、以及形成於第二開

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

極以及第三領域之間的第二絕緣膜。

因此，根據本發明，僅只在第二領域加以選定之電壓，即可提升第三領域之電位，而使第三領域及第一閘極之間的電場易於產生。其結果，透過第一閘極以及第三領域之間的絕緣膜之阻障的載子，經第三領域所產生之電場加速，即可越過第三領域及第二閘極間之絕緣膜的阻障而植入第二閘極並聚積。因此，藉由聚積於第二閘極之載子的有無，即可進行數據之記憶，以非揮發性半導體記憶體進行動作。

該另一形態之半導體記憶體中，第三領域係以第二導電型之摻雜用物領域構成者為佳。而且，第三領域也可以包含第二導電型之導電性膜。在此一情況下，第一閘極及第二閘極係以自行對準方式形成者為佳。

再者，第一閘極係隔著相對於第一層之第一閘極絕緣膜而形成，第二閘極係隔著相對於第一層之第二閘極絕緣膜而形成者為理想。

而第二領域及第二閘極之間的靜電容量，係設定為大於第三領域及第二閘極之間的靜電容量，第二領域所加之電壓，藉由與第二閘極間之靜電耦合而傳導於第二閘極；因此，隔著第二領域及第一層而相連接之第三領域的電位，以與第二領域相當者為理想。如此，僅只控制第二領域之電位，即可簡單地控制第二閘極之電位。

而第三領域之厚度，理想上係設定在透過第一閘極及第三領域間的第一絕緣膜之阻障的載子具有得以越過第二

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(7)

絕緣膜之阻障所需的必要能量時之概略平均自由行程以下。

如此一來，透過第一閘極及第三領域間的第一絕緣膜之阻障的幾乎所有載子於獲得可以越過第二絕緣膜之阻障的能量之後成為熱載子，不致停留於第三領域中，以極高之機率植入第二閘極。因此，可以相當確定獲致上述本發明之作用。

而第二閘極係以隔著第三絕緣膜而形成於第二領域之側壁為佳。如此構成的話，可以使第二領域及第二閘極之重疊部份面積容易增加，其結果是第二領域及第二閘極之間的靜電容量也就得以增加。

在此情況下，第二閘極也可以於第一層形成溝槽之後，在溝槽內隔著第三絕緣膜形成於第二領域之側壁。如此一來，即可容易地將第二閘極形成於第二領域之側壁。

而上述另一形態之半導體記憶體中，較佳者係於第二導電型之第二領域上形成有第一導電型之第四領域，並且第二領域係形成於第一層及第四領域之間的全部領域。

如此構成的話，由於第二領域及第四領域構成二極體，即可不必使用傳統的諸如三重基板之複雜構造，而可以簡便地在二極體構造之第二領域及第四領域加上負電壓。藉此，消除及寫入動作所使用之電壓即可分正負，而以升壓電路產生之最高電壓得以降低約一半。由此即可達到低電壓化，同時，升壓電路之規模也能縮小，有利於積體化。而且，第四領域可以用通常的摻雜用物的離子植入

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

程序簡便形成，製程上無負擔。

又，本發明之不使用二極體構造而於第二領域加上負電壓時，第二領域及第一層之間有可能會有過大的電流流過，同時，消除時不使第一領域或第二領域之一浮動的話，消除後即可能於第一領域及第二領域之間(源極-汲極間)有過大的電流流過。在此一情況下，該過大電流會有超越升壓電路之容許電流量之失當情形。本發明因係利用二極體構造，可以有效防止此類過大電流之流過。

並且，在此情況下，第四領域係以通過第三絕緣膜於第二閘極有容量結合者為佳。如此構成的話，從電源而來通過配線以直接電壓加於第四領域之電壓，藉由電容量結合，可以高效率地傳達於第二閘極。

而上述之另一形態的半導體記憶體中，第一閘極係以包含以自行對準形式形成之相對於第三領域的側壁為佳。如此構成的話，遮罩(mask)製程中不致有遮罩重合不齊之問題的發生，而可形成第一閘極。

在此情況下，側壁膜係以於第三領域之側面堆積第一導電性膜之後，藉由回蝕刻形成者為佳。如此構成的話，第一閘極之閘極長度可以藉由第一導電性膜之膜厚加以控制，而閘極長度可以小於遮罩製程之下限尺寸(最小曝光尺寸)，同時，閘極之長度可以控制到高於遮罩製程之精確度。其結果，除第一閘極得以相當程度之微細化之外，同時閘極長度之偏差分散度也能獲得抑制。

又，上述之另一形態的半導體記憶體之中，進而具有

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(9)

連接第一領域之配線，該配線係以相對於第一領域以自行對準之形式形成者為佳。如此構成的話，遮罩製程中之遮罩重合不齊之問題不致發生，而可形成配線。

在此情況下，配線係以於隔著第四絕緣膜在第一開極之側面堆積第二導電性膜之後，藉由將該第二導電性膜加以回蝕刻而形成者為佳。如此構成的話，可以在第一開極之側邊，容易地以自行對準形式形成與第一開極絕緣之配線。

而且，上述之另一形態的半導體記憶體中，第三領域係以當於第一開極之側面以自行對準方式形成側壁絕緣膜之後，利用該側壁絕緣膜藉由第一層之回蝕刻而形成者。如此構成的話，使用以自行對準形式形成之側壁絕緣膜，可以在遮罩製程中不產生遮罩重合不齊之問題，而以自行對準之形式形成第三領域。而藉由控制用以形成側壁絕緣膜之絕緣膜的厚度，可以形成具有遮罩製程之下限尺寸以下的微細寬度之第三領域。並且，藉由控制用以形成側壁絕緣膜之絕緣膜的厚度，也可以高精確度地控制側壁絕緣膜之寬度，故可以高精確度地控制利用側壁絕緣膜形成的第三領域之寬度。其結果，除可將第三領域加以相當程度之微細化之外，第三領域之寬度的偏差分散度也可以獲得抑制。

再者，較佳者為第一開極及第二開極係形成於第一層之主要表面上；而導電性膜所構成之第三領域係於第一層之主要表面上，形成於第一開極以及第二開極之間者。如

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(10)

此之於第一層上形成第一閘極、第二閘極以及第三領域，則可不必於第一層形成用以埋入第一閘極、第二閘極以及第三領域之溝槽。因此，較之形成溝槽的情況其構造得以簡化，其結果係得以實現構造簡單的本發明之半導體記憶體。而因不必於第一層形成溝槽之故，包含有第一閘極、第三領域及第二閘極之構造可以用簡單的製程來形成。並且，也不必於第一層之側面形成隧道絕緣膜等以避免受到用來形成溝槽之蝕刻的損壞，也就不致於有隧道絕緣膜之膜質惡化的發生。

在此情況下，較佳者為第三領域之最少一部份係形成於第二閘極之頂面上，而第一閘極之至少一部份，係形成於第三領域之頂面上。如此，由於第一閘極、第二閘極以及第三領域係以縱向配置之故，可以容易製得不必於第一層設置溝槽的構造。

而第三領域以包括單結晶矽膜為佳。如此構成的話，藉由該單結晶矽膜之氧化，即可形成第一絕緣膜，可以製得高品質的第一絕緣膜。

並且，第三領域也可以包括以自行對準形式形成的第一導電性膜所構成之第一側壁膜。如此構成的話，遮罩製程中沒有遮罩重合不齊之問題發生，而可以形成由第一導電性膜所構成的第三領域。

在此情況下，較佳之由第一導電性膜所構成之第一側壁膜係包括於第二閘極之側面隔著第二絕緣膜形成的第二導電性膜所構成的第二側壁膜，以及於該第二側壁膜之側

(請先閱讀背面之注意事項再填寫本頁)

訂 線

五、發明說明（11）

面及接觸第一層之表面而形成的第三導電性膜所構成的第三側壁膜。如此構成的話，則藉由第三側壁膜第三領域及第一層得以接通；藉此，通過第一層，第三領域亦得以與第二領域接通。因此，可以相當確定獲致上述本發明之作用。

再者，在此情況下，較佳之第二側壁膜，係於第二閘極之側面隔著第二絕緣膜堆積第二導電性膜之後，藉由回蝕刻而形成；而較佳之第三側壁膜，係於覆蓋第一層及第二側壁膜而堆積第三導電性膜之後，藉由回蝕刻於第二側壁膜之側面及與第一層之表面接觸而形成者。

如此構成的話，第二側壁膜及第三側壁膜之厚度可以個別藉由第二導電性膜及第三導電性膜之厚度加以控制，而第二側壁膜及第三側壁膜所構成的第三領域之寬度，可以形成為遮罩製程之下限尺寸（最小曝光尺寸）以下的微細寬度。並且，藉由控制第二及第三導電膜之厚度，第二及第三側壁膜之寬度可得以高精確度控制，因而由第二及第三側壁膜所構成的第三領域之寬度也可得以高精確度地加以控制。其結果，第三領域得以相當之予以微細化之同時，第三領域的寬度之偏差分散度也可以獲得抑制。

而較佳之第二領域，係包括於第二閘極之側面隔著第三絕緣膜以自行對準之形式形成的第四導電膜所構成之第四側壁膜。如此構成的話，藉由該第四側壁膜，即可以增加第二領域及第二閘極之相對面積。藉此，第二領域及第二閘極之間的靜電容量可以容易地增加。其結果，可以容

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(12)

易地使第二領域及第二開極之間的靜電容量大於第三領域及第二開極之間的靜電容量。因此，藉由改變所加於第二領域之電壓，即可以容易地控制第二開極之電位。

此情況下，較佳之第四側壁膜係包括於第二開極之側壁隔著第三絕緣膜而形成的第五導電性膜所構成之第五側壁膜，以及接觸該第五側壁膜之側面及第一層之表面而形成的第六導電性膜所構成的第六側壁膜。如此構成的話，即可藉由第六側壁膜而與第一層接通，藉此，第五及第六側壁膜就可以容易地與形成於第一層的摻雜用物領域所構成的第二領域。其結果，就是可以容易地將第五及第六側壁膜用作第二領域之一部份。

並且，構成第二領域之第四側壁膜，係以與構成第三領域之第一側壁膜同時形成者為佳。如此構成的話，即使有第四側壁膜之設置，製程也不致於複雜化。

再者，較佳之第一領域及第二領域，係個別露出側面而形成於第一層之上者；而第一開極包括於第一領域之側面隔著第三絕緣膜以自行對準形式形成之第七側壁膜；且第二開極包括於第二領域之側面隔著第四絕緣膜以自行對準之形式形成的第八側壁膜。

如此構成的話，第一開極以及第二開極之開極長度可以藉由導電性膜之堆積膜厚加以控制，而開極長度可以小於遮罩製程之下限尺寸(最小曝光尺寸)，同時，開極長度也可以控制於比遮罩製程更高之精確度。其結果，可以將第一開極及第二開極加以相當之微細化，同時，開極之長

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (13)

度的偏差分散度也可以獲得抑制。

此情況下，較佳者為，第七側壁膜及第八側壁膜，係以全面覆蓋式地堆積第七導電性膜之後，藉由回蝕刻同時形成。如此構成的話，第一閘極以及第二閘極係同時形成，製造程序得以簡化。

而且，導電性膜所構成的第三領域，也可以是相對於第一閘極以及第二閘極的以自行對準形式形成者。如此構成的話，遮罩製程中的遮罩重合不齊之問題不會發生，除第一閘極以及第二閘極加上第三領域也得以形成。

此情況下，較佳者為，第三領域係埋入第七側壁膜及第八側壁膜之間而形成。如此構成的話，第三領域即可以容易地以自行對齊之形式形成。

再者，第一絕緣膜之厚度，以低於第二絕緣膜之厚度為佳。如此構成的話，抽除載子之第一閘極側之第一絕緣膜之阻障壁可以變薄，可以容易地從第一閘極抽出載子。而且，藉由第二閘極側之較厚第二絕緣膜，聚積於第二閘極之載子得以長時間持留。

此情況下，較佳者為，第一絕緣膜及第二絕緣膜，係於第一閘極抑制氧化並導入摻雜用物，同時，於第二閘極促進氧化並導入摻雜用物之後，藉由第一閘極以及第二閘極之氧化而個別形成。如此構成的話，第二絕緣膜以及較薄之第一絕緣膜即可以同時於一回合之氧化程序中形成。

而較佳者係於第一閘極以及第二閘極之間的第三領域之頂面，以及第一閘極以及第二閘極之上部側面之間形成

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明(14)

第五絕緣膜。如此構成的話，第一閘極以及第二閘極，及第三領域可以藉由第五絕緣膜切實地絕緣。

本發明之又另一形態之半導體記憶體，係具有第一導電型之半導體所構成的第一層上所形成之第二導電型之領域，及閘極，及在第二導電型之領域及閘極之間之分別隔著絕緣膜設置之半導體領域。然後，從第二導電型領域將載子透過絕緣膜、半導體領域植入閘極。在此，所謂載子之植入，係不僅指將電子植入，也包括抽取電子。此情況下，較佳者為，上述半導體領域，係於上述第一導電型之半導體所構成的第一層上所形成的第二導電型之摻雜用物領域所構成。

本發明之又另一形態中之半導體記憶體，係具有於第一導電型之半導體所構成的第一層上所形成的第一領域及第二領域，及形成於第一層上之第一閘極，及於第一層的第一領域及第二領域之間所形成的第二閘極，及第一層上之第一閘極及第二領域之任一與第二閘極之間所形成的第二導電型之第三領域，及第三領域之一部份的表面上所形成的第一絕緣膜，及第三領域之另一部份的表面上所形成的第二絕緣膜。

因此，根據本發明，藉由將選定之電壓加於第一閘極或第二領域，使第三領域之電位提升，藉此使第三領域及第一閘極或者第二領域之間的電場可以容易地產生。其結果，透過第一閘極或者第二領域與第三領域之間的絕緣膜之阻障的載子，經由產生於第三領域之電場的加速，越過

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (15)

第三領域及第二閘極之間的絕緣膜之阻障而植入(寫入)於第二閘極並聚積。因此，藉由在第二閘極之有無載子的聚積，即可進行記憶，以非揮發性半導體進行動作。

此情況下，更具備有形成於第二閘極及第一領域之間的第三絕緣膜，而第一閘極係形成於相對於第一領域及第二領域的交錯方向之延伸處，且第一絕緣膜係形成於第三領域及第二領域之間，而第二絕緣膜係以形成於第三領域及第二閘極之間者為宜。以下稱如此之結構為結構 1。

若如結構 1 所構成的話，藉由在第一領域及第一閘極加正電壓，在第二領域加負電壓，使第三領域之電位上升，藉此，使於第三領域及第二領域之間容易地產生電場。其結果，透過第二領域及第三領域之間的第一絕緣膜之阻障的載子，經由產生於第三領域之電場的加速，越過第三領域及第二閘極之間的第二絕緣膜之阻障於第二閘極植入(寫入)並聚積。因此，藉由聚積於第二閘極的載子之有無可以進行數據之記憶，而以非揮發性記憶體進行動作。並且，關於消除後之記憶單元，藉由在第一閘極加負電壓，可以將聚積於第二閘極之電子於第一領域抽取而進行消除動作。

若依照結構 1，則寫入及消除動作可以僅由加於第一閘極的電壓之正負加以控制。藉此，相對於傳統的快閃記憶體之一併消除後進行寫入，多數的第一閘極個別接通有 1000 至 4000 個的記憶單元，可以同時消除及寫入而進行一併的換寫動作。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(16)

上述結構 1 所構成的半導體記憶體中，理想之第二閘極，係隔著相對於第一層之閘極絕緣膜而形成者。如此地構成的話，在寫入動作中第二閘極可以當作電晶體之閘極使其進行動作。

並且，上述結構 1 所構成之半導體記憶體中，第一閘極及第二閘極之間的靜電容量，係設定為大於其他部份之靜電容量，所加於第一閘極之電壓，藉由第一閘極及第二閘極之間的靜電容量結合而傳導於第二閘極；藉此，通過第一層與第一領域相連接之第三領域的電位於是成為與第一領域相當。因此，僅只控制第一閘極之電位，即能簡單地控制第二閘極之電位。

再者，上述結構 1 所構成之半導體記憶體中，較佳之第三領域及第二領域，係通過 pn 結合或蕭特基阻障 (schottky barrier) 等之二極體而接通。如此構成的話，寫入時在第二領域加負電壓、第三領域加正電壓或接地當中，即能保持第二領域及第三領域之電位差。而且，讀取時在第二領域加正電壓當中，第二領域及第三領域之間無電阻或低電阻，電流可以流過。

又，上述結構 1 所構成之半導體記憶體中，第二領域也可以包括矽之外的含有蕭特基阻障之材料。如此構成的話，第三領域及第二領域之間因有蕭特基阻障之故，寫入時電位差得以維持，藉此，電子可得以加速。而因蕭特基阻障約在 0.5eV 是屬較低之故，即使在第二領域與第三領域之電位差小的情況下，仍然可以從第二領域抽出大量電

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明 (17)

子。此情況下，較佳之第一絕緣膜厚度，係在能使第二領域與第三領域之界面得以安定化的範圍內之薄的厚度。如此構成的話，因為第一絕緣膜之厚度低，可以使第一絕緣膜之阻障變小，故可防止第一絕緣膜受到蕭特基阻障特性之影響。與此同時，易於產生大量界面位準位而變成不安定的第二領域及第三領域之界面藉由第一絕緣膜而可以容易地安定化。

再者，蕭特基阻障之厚度，可以藉由第三領域之摻雜用物的濃度加以高精確度控制。此情況下，藉由降低第三領域的摻雜用物之濃度，即可以於第三領域造成電位偏斜。如此一來，從第二領域抽出之電子被緩緩加速，可以在即將注入第二閘極之前賦予足以越過氧化膜阻障之能量。藉此，電子被以平均自由行程之距離、在低能量狀態下輸送到第二閘極附近，再進一步加速之後注入第二閘極電子，故在途中其能量不易消失。其結果，電子被以高機率植入於第二閘極。

此情況下，位於第二領域及第一層之間的絕緣膜，係以足能使第二領域與第一層絕緣之厚度為佳。如此構成的話，當第三領域與第二領域之間形成蕭特基阻障的逆偏壓之關係時，即使第二領域與第一層之間係成正偏壓之關係，藉由該絕緣膜第二領域與第一層仍得以充分絕緣。

並且，上述結構 1 所構成的半導體記憶體中，理想的第三領域之厚度宜設定在透過第二領域及第三領域之間的第一絕緣膜之阻障的載子於具有越過第二絕緣膜之阻障所

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(18)

需之能量時的概略平均自由行程以下。如此構成的話，幾乎所有的透過第二領域及第三領域之間的第一絕緣膜之阻障的載子，在獲得足以越過第二絕緣膜之阻障的能量之後成為熱載子，不僅限於第三領域，而得以在極高之機率下植入於第二閘極。因此，可以相當確定獲致本發明之作用。

再者，根據本發明之另一形態的半導體記憶體之動作方法，係具備有於第一導電型半導體所構成之第一層所形成的第二導電型之第一領域以及第二領域，及在第一層上的第一領域及第二領域之間的相對於第一層隔著第一閘極絕緣膜而形成之第一閘極，及在第一層上的第一領域及第二領域之間的相對於第一層隔著第二閘極絕緣膜而形成之第二閘極，及在第一層上之第一閘極以及第二閘極之間所形成的第二導電型之第三領域，及形成於第一閘極與第三領域之間的第一絕緣膜，及形成於第二閘極以及第三領域之間的第二絕緣膜之半導體記憶體的動作方法，係從第一閘極透過第一絕緣膜、第三領域及第二絕緣膜往第二閘極，以熱載子植入進行數據之寫入。

易言之，寫入動作開始時，由於在第一閘極與第三領域之間以及第一閘極與第二閘極之間產生有選定之電位差，可以持續進行寫入。於是，伴隨寫入動作之進行，在第二閘極因有熱載子繼續植入，第二閘極之電位乃由初期之值逐步降低。配合第二閘極之電位的降低，第三領域之電位亦逐步降低，終於使第一閘極以及第三領域之間的電位差降到選定值之下。藉此，第一閘極中之熱載子雖能透

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (19)

過第一絕緣膜之阻障，卻無法越過第二絕緣膜之阻障，寫入動作自動終止。

根據該另一形態之半導體記憶體的動作方法中，也可以藉由使第一閘極及第三領域之間的初期電場強度異動，藉著控制植入於第二閘極的熱載子之量，而進行三個以上之數據的寫入。如此一來，就能使單一半導體記憶體記憶多個數據。

而理想上，係從第二閘極透過第二絕緣膜往第三領域將熱載子加以抽取而進行數據之消除。

再者，理想上第二領域及第二閘極之間的靜電容量係設定為大於第三領域及第二閘極之間的靜電容量，藉由加於第二領域之電壓與第二閘極之間的靜電耦合傳導於第二閘極，藉此，透過第一層與第二領域相連接之第三領域之電位變成與第二領域相當。如此一來，僅只控制第二領域之電位，即可簡單地控制第二閘極之電位。

並且，理想上第三領域之厚度，係設定在透過第一閘極與第三領域之間的第一絕緣膜之阻障的載子，在具有越過第二絕緣膜之阻障所需之能量時的概略平均自由行程以下。

如此一來，幾乎全部的透過第一閘極與第三領域之間的第一絕緣膜之阻障的載子，獲得足以越過第二絕緣膜之阻障的能量之後成為熱載子，不僅限於第三領域中，可在極高之機率下植入第二閘極。因此，可以相當確定獲致本發明之作用。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(20)

再者，理想上在進行數據的消除時，一旦將與第二閘極耦合之第二領域的電壓設定為選定值之後，宜將該第二領域保持開放狀態。

易言之，消除動作開始時，由於在第二閘極與第三領域之間產生有選定之電位差，可以持續進行消除。於是，伴隨消除動作之進行，第二閘極之電位逐步上升。然後，當第二閘極與第三領域之間的電位差低於選定值時，第二閘極中之電子變成無法透過第二絕緣膜之阻障，無法進一步進行消除動作。藉此，消除動作即自動終止。

並且，根據本發明之另一形態的半導體記憶體之動作方法，係具備有形成於第一導電型半導體所構成之第一層上的第二導電型之第一領域及第二領域，及形成於第一層上之第一閘極，及位於第一層上的第一領域及第二領域之間的、相對於第一層隔著絕緣膜所形成的第二閘極，及第一層上的第一閘極或第二領域之任一與第二閘極之間形成的第二導電型之第三領域，及第三領域之一部份的表面上所形成之第一絕緣膜，以及形成於第三領域之另一部份的表面上之第二絕緣膜之半導體記憶體之動作方法，係從第一閘極或第二領域之任一透過第一絕緣膜、第三領域或第二絕緣膜往第二閘極，藉由將熱載子植入以進行寫入。

易言之，在寫入動作開始時，由於在第一閘極或第二領域及第三領域之間以及第一閘極或第二領域及第二閘極之間產生有選定之電位差，可以繼續進行寫入。於是，伴隨寫入動作之進行，由於在第二閘極繼續以熱載子注入，

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明 (21)

第二閘極之電位即由初期值逐步下降。配合第二閘極的電位之下降，第三領域之電位也逐步下降，終於，第一閘極或第二領域與第三領域之間的電位差變成低於選定值。藉此，雖然第一閘極或第二領域中之熱載子可以透過第一絕緣膜之阻障，卻無法越過第二絕緣膜之阻障，寫入動作自動終止。

根據該另一形態之半導體記憶體的動作方法中，係以從第二閘極透過第三絕緣膜往第一領域抽取熱載子而進行數據之消除為理想。

而根據上述另一形態之半導體記憶體的動作方法中，第一閘極與第二閘極之間的靜電容量，係設定為大於其它部份之靜電容量，加於第一閘極之電壓藉由第一閘極及第二閘極之間的靜電耦合傳導於第二閘極。藉此，透過第一層與第一領域相連接之第三領域之電位就變成與第一領域相當。如此構成的話，僅只控制第一閘極之電位，即可以簡單地控制第二閘極之電位。

並且，根據上述的另一形態的半導體記憶體之動作方法中，理想的第三領域之厚度，係設定在透過第二領域及第三領域之間的第一絕緣膜之阻障的載子於具有越過第二絕緣膜之阻障所需之能量時的概略平均自由行程以下。

如此構成的話，幾乎全部的透過第二領域及第三領域之間的第一絕緣膜之阻障的載子，於獲得足以越過第二絕緣膜之阻障的能量之後成為熱載子，不僅限於第三領域中，可以在極高之機率下植入於第二閘極。因此，可以相

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(22)

當確定獲致本發明之作用。

而且，根據上述的另一形態的半導體記憶體之動作方法中，較佳者為在進行數據換寫之際，個別於第一領域加正電壓、於第二領域加負電壓之同時，藉由個別於消除後之記憶單元的第一閘極加負電壓、於寫入後之記憶單元的第一閘極加正電壓，同時進行對於個別接通於多數個第一閘極之多數個記憶單元之消除與寫入，並且，對於無變更數據之必要的記憶單元則將上述資料予以保留。

如此構成的話，相對於傳統的快閃記憶體之在一併消除後進行寫入之後，於多數個第一閘極個別接通有1000至4000個的記憶單元，將消除與寫入動作同時進行之併換寫成為可能。而對於無換寫之必要的記憶單元，不須進行消除再以相同數據改寫回去，而是自動將數據就原狀予以保留之故，隧道絕緣膜之應力降低。藉此，隧道絕緣膜的壽命延長；其結果，可以增加換寫之次數。

再者，根據上述之另一形態的半導體記憶體之動作方法中，也可以在進行數據的消除之際，與第二閘極耦合之第一閘極之電壓一旦被設定為選定之負電位後，將該第一閘極之電位設定為接地或中性以恢復電位。

如此構成的話，即可以引起微弱寫入以修正過度消除。易言之，在第二閘極達到超過臨限值電壓之正電位而被過度消除之情況下，將第一閘極設定為接地(0V)或中性以恢復電位，則首先第二閘極及第一領域之間的電位差降低，消除終止。於是，第二閘極下之電晶體即成為ON之

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (23)

狀態。藉此，第三領域之電位上升。在此情況下，由於在第二領域加有負電壓，第三領域及第二領域之間有電位差產生；其結果，電子從第二領域植入第二閘極進行微弱寫入。藉此，可以修正過度消除。

[圖式之簡單說明]

第 1 圖係本發明之具體化的第一實施形態之記憶單元的部份剖視圖。

第 2 圖係本發明之具體化的第一實施形態之半導體記憶體的區塊電路圖。

第 3 圖係用以說明第一實施形態之記憶單元的製造方法之製程俯視圖。

第 4 至第 11 圖係用以說明第一實施形態之記憶單元的製造方法之製程剖視圖。

第 12 圖係本發明之具體化的第三實施形態之記憶單元的部份剖視圖。

第 13 及第 14 圖係用以說明第三實施形態之製造方法的剖視圖。

第 15 圖係本發明之具體化的第四實施形態之記憶單元的部份剖視圖。

第 16 至 20 圖係用以說明第四實施形態之記憶單元的製造方法之剖視圖。

第 21 圖係本發明之具體化的第五實施形態之記憶單元的部份剖視圖。

第 22 至 36 圖係用以說明第五實施形態之記憶單元的

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明 (24)

製造方法之 X 方向及 Y 方向之剖視圖。

第 37 圖係顯示第五實施形態之記憶單元的變化例之部份剖視圖。

第 38 圖係本發明之具體化的第六實施形態之記憶單元的部份剖視圖。

第 39 至 46 圖係用以說明第六實施形態之記憶單元的製造方法之俯視圖及剖視圖。

第 47 圖係本發明之具體化的第七實施形態之記憶單元的俯視圖。

第 48 圖係沿第 47 圖之 200-200 線的剖視圖。

第 49 圖係沿第 47 圖之 300-300 線的剖視圖。

第 50 至第 60 圖係用以說明第七實施形態之記憶單元的製造方法之俯視圖及剖視圖。

[發明之較佳實施形態]

以下參照圖式說明本發明之具體化的實施形態。

(第一實施形態)

以下參照第 1 圖說明第一實施形態之記憶單元 1 之構造。

本第一實施形態之記憶單元 1，係於 p 型單結晶矽基板 2 之表面上隔著預定之間隔形成有 n 型之源極領域 3 及 n 型之汲極領域 4。基板 2 之表面的源極領域 3 以及汲極領域 4 之間的通道領域 5，依次形成有矽之氧化膜所構成的第一閘極絕緣膜 6，摻雜多晶矽膜所構成之控制閘極 7，矽氧化膜所構成之第一隧道絕緣膜 8，n 型之摻雜用物領域 9，

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明 (25)

矽氧化膜所構成之第二隧道絕緣膜 10，摻雜多晶矽膜所構成之浮動閘極 11，以及矽氧化膜所構成之第三絕緣膜 12，浮動閘極 11 及通道領域 5 係藉由第二隧道絕緣膜 10 及矽氧化膜所形成的第二閘極絕緣膜 13 作絕緣分離。

而浮動閘極 11，係埋入形成於 p 型單結晶矽基板 2 之汲極，同時於汲極領域 4 之側壁則形成有第三絕緣膜 12 加以隔開。

源極領域 3，係與由摻雜多晶矽膜所構成之源極 14 接通。源極 14 及控制閘極 7，係以矽氧化膜所構成之第四絕緣膜 15 絕緣分離。

在此，上述各部份材料之厚度係設定如下：

- 第一閘極絕緣膜 6 之膜厚：3 至 4 nm
- 第一通道絕緣膜 8 之膜厚：3 至 4 nm
- 第二通道絕緣膜 10 之膜厚：8 至 10 nm
- 第三絕緣膜 12 之膜厚：8 至 10 nm
- 第二閘極絕緣膜 13 之膜厚：8 至 10 nm
- 第四絕緣膜 15 之膜厚：30 至 40 nm
- n 型摻雜用物領域 9 之寬度(第一通道絕緣膜 8 及第二通道絕緣膜 10 之間的距離)：20 至 40 nm (此外，本 n 型摻雜用物領域 9 之寬度，為能使寫入時所使用之具有 3 至 5 eV 能量的電子有數%以上到達浮動閘極 11，係以 20 至 30 nm 為最理想。)

在此，位於汲極領域 4 與浮動閘極 11 之間的第三絕緣膜 12 之面積，係大於位在 n 型摻雜用物領域 9 與浮動閘極

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (26)

11 之間的第二隧道絕緣膜 10 之面積。因此，本實施形態中之記憶單元 1，係使汲極領域 4 與浮動閘極 11 之間的靜電容量大於 n 型摻雜用物領域 9 與浮動閘極之間的靜電容量而成者。藉此，n 型摻雜用物領域 9 與浮動閘極 11 之間的耦合比於是大於汲極領域 4 以及浮動閘極 11 之間的耦合比。其結果，汲極領域 4 之電位可以容易地傳導於浮動閘極 11。

第 2 圖顯示使用記憶單元 1 之非揮發性半導體記憶體 50 之整體結構。

記憶單元陣列 51，如第 2 圖所示，係將多數記憶單元 1 以矩陣狀配置而構成(第 2 圖係為簡化圖式，只顯示四個記憶單元)。

配列於列(Row)方向之各記憶單元 1，各控制閘極 7 係接通於共同之字元線 WL_1 至 WL_n 。

配列於行(Column)方向之各記憶單元 1，在汲極領域 4 者係接通於共同之位元線 BL_1 至 BL_n ；在源極電極 14 者係接通於共同之源極線 SL。

各字元線 WL_1 至 WL_n 係接通於列解碼器 52，各位元線 BL_1 至 BL_n 則接通於行解碼器 53。

由外部所指定之列位址及行位址，係由位址接腳 54 輸入。該列位址以及行位址，係從位址接腳 54 轉送到位址栓鎖(address latch)55。位址栓鎖 55 所栓鎖之各位址之中，列位址係通過位址緩衝器 56 向列解碼器 52 轉送；行位址係通過位址緩衝器 56 向行解碼器 53 轉送。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (27)

列解碼器 52 係從各字元線 WL_1 至 WL_n 之中，選擇位址栓鎖 55 所鎖定之列位址所對應之字元線，同時，根據從閘極電壓控制電路 57 而來之訊號，對應於下述之各種動作模式控制各字元線 WL_1 至 WL_n 之電位。

行解碼器 53 係從各位元線 BL_1 至 BL_n 之中，選擇位址栓鎖 55 所鎖定之行位址所對應之位元線；並根據從汲極電壓控制電路 58 而來之訊號，對應於下述之各種動作模式控制各位元線 BL_1 至 BL_n 。

由外部所指定之數據，係於數據接腳 59 輸入。該數據係從數據接腳 59 通過輸入緩衝器 60 轉送於行解碼器 53。行解碼器 53 係將各位元線 BL_1 至 BL_n 之電位，對應於該數據如下述加以控制。

從任意記憶單元 1 讀出之數據，係從各位元線 BL_1 至 BL_n ，通過行解碼器 53，向檢測放大器群 61 轉送。檢測放大器 61 係電流檢測放大器。經檢測放大器群 61 判別之數據，則從輸出緩衝器 62 通過數據接腳 59 向外部輸出。

源極電壓控制電路 63，係將源極線 SL 之電位對應於下述之各動作模式加以控制。

此外，上述各電路 (52 至 63) 之動作，係藉由控制核心電路 64 加以控制。

以下，就如上述構成之記憶單元 1 之各動作 (寫入動作、消除動作、讀出動作) 加以說明。源極領域 3 (源極電極 14) 係通過源極線 SL 加有源極電壓 V_s 。汲極領域 4 係通過位元線 BL_1 至 BL_n 加有汲極電壓 V_d 。控制閘極 7 則通過

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明 (28)

字元線 WL_1 至 WL_n 加有控制閘極電壓 V_{cg} 。基板 2 則加有基板電壓 V_{sub} 。

(寫入動作)

進行寫入動作之前，浮動閘極 11 係處於消除狀態(電子已經被抽取之狀態)。在第一實施形態中，清除狀態中之浮動閘極 11 係保持有約 2V 之電位。而第一實施形態係將以浮動閘極 11 作為閘極之電晶體，以及以控制閘極 7 作為閘極之電晶體之個別臨限值電壓 V_t 均設定為 0.5V。

寫入動作中，係將記憶單元之動作電壓設定為源極電壓 V_s : 0V，汲極電壓 V_d : 3V，控制閘極電壓 V_{cg} : -3V，基板電壓 V_{sub} : 0V。

如上述，汲極領域 4 及浮動閘極 11 係靜電容量上的強耦合之故，加上汲極電壓(3V)之約 2/3 係浮動閘極 11 之消除狀態之電位(約 2V)，其結果，浮動閘極 11 之電位上升到約 4V。藉此，以浮動閘極 11 作為閘極之電晶體狀態形成，n 型摻雜用物領域 9 之電位變成與汲極領域 4 之電位相當。

易言之，n 型摻雜用物領域 9 之電位成為 3V (汲極電壓之上限，係從浮動閘極 11 之電位變成經上述臨限電壓 V_t 之位準轉移後之電壓)，n 型摻雜用物領域 9 及控制閘極 7 之間產生高電場。其結果，有 FN 隧道電流流過，電子從控制閘極 7 往 n 型摻雜用物領域 9 移動。透過控制閘極 7 及 n 型摻雜用物領域 9 之間的第一隧道絕緣膜 8 之阻障(穿透作用)之後電子被產生於 n 型摻雜用物領域 9 與控制閘極

(請先閱讀背面之注意事項再填寫本頁)

裝 · · · · · 訂 · · · · · 線

五、發明說明 (29)

之間的高電場加速，通過第二隧道絕緣膜 10 植入於浮動閘極 11。其結果，於浮動閘極有電子聚積而進行數據之寫入。

在此，電子越過矽氧化膜所構成之第二隧道絕緣膜 10 之阻障所需之能量為 3.2 eV；為獲得該能量，所需之電位差為 3.2V。因此，為使控制閘極 7 及 n 型摻雜用物領域 9 之間，以及控制閘極 7 與浮動閘極 11 之間各有 3.2V 以上之電位差產生，乃有上述的寫入動作電壓之設定。

總之，汲極電壓設定為 3V，控制閘極電壓 V_{cg} 設定為 -3V 時，如上述，藉由汲極領域 4 及浮動閘極 11 之間的靜電耦合，浮動閘極 11 之電壓成為大約 4V，而 n 型摻雜用物領域 9 之電位成為 3V。因此，控制閘極 7 與 n 型摻雜用物領域 9 之間產生當初的 6V 之電位差，而控制閘極 7 及浮動閘極 11 之間則產生當初的大約 7V 之電位差。

並且，當電子能量為 3.2 eV 時其平均自由行程(電子前進距離之平均值)約在 30 至 40 nm。在此，n 型摻雜用物領域 9 之寬度係設定在低於平均自由行程之 30 nm。因此，透過控制閘極 7 及 n 型摻雜用物領域 9 之間的第一隧道絕緣膜 8 之阻障的電子，在平均自由行程(=約 30 至 40 nm)以下之短距離內即被加速到 3.2 eV 以上。

因此，大約全體透過第一隧道絕緣膜 8 之阻障的電子，獲得越過第二隧道絕緣膜 10 之阻障(= 3.2 eV)所需之能量而成為熱電子，不僅限於 n 型摻雜用物領域 9 中，可以在極高之機率植入於浮動閘極 11 之內。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (30)

此外，電子之能量，以及透過第一隧道絕緣膜 8 之阻障的機率，可以藉由源極電壓 V_s ，汲極電壓 V_d ，以及控制閘極電壓 V_g 加以調整。因此，當熱電子獲得適足以越過第二隧道絕緣膜 10 之能量時，熱電子就可以植入浮動閘極 11。

而如上述，本實施形態之中，在寫入動作之初，由於在控制閘極 7 與 n 型摻雜用物領域 9 之間，以及控制閘極 7 與浮動閘極 11 之間產生有 3.2V 以上之電位差，可以繼續進行寫入(於浮動閘極 11 植入電子)。另一方面，由於伴隨寫入動作之進行，於浮動閘極 11 繼續有電子植入，浮動閘極 11 之電位於是從 4V 逐步降低。如上述，n 型摻雜用物領域 9 之電位，係以汲極電壓 V_d 為上限，從浮動閘極 11 之電位變成經上述臨限電壓為止之位準移轉後之電位。因此，配合浮動閘極 11 之電位下降，n 型摻雜用物領域 9 之電位亦逐步下降，控制閘極 7 以及 n 型摻雜用物領域 9 之間的電位差於是小於 3.2V。之後，控制閘極 7 中之電子，雖能透過第一隧道絕緣膜 8 之阻障，但已無法越過第二隧道絕緣膜 10 之阻障，終於無法再進一步進行寫入動作。

易言之，本實施形態中，因為已有藉由浮動閘極 11 之電位變化即可自動終止寫入動作之構造，不需要另外的用來檢測出寫入動作之終止的電路。藉此，可以實現週邊電路之構造的簡化，面積之縮小，以及耗電之減少。再者，本實施形態中，並非於一定寫入時間之內終止寫入動作，

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (31)

而係藉由浮動閘極 11 之電位變化以自動終止寫入動作之故，對於各記憶單元 1 之間的寫入位準之偏差分散度的產生可以有效防止。其結果，可以使各記憶單元 1 之寫入位準大致相等。

(消除動作)

消除動作之中，記憶單元 1 之動作電壓，係設定為源極電壓 V_s : 8V，汲極電壓 V_d : 0V，控制閘極電壓 V_{cg} : 9V，基板電壓 V_{sub} : 0V。此情況下，汲極領域 4 以及浮動閘極 11 因有靜電容量的強耦合之故，浮動閘極基板 11 之電壓變成接近於 0V。

另一方面，由於控制閘極 7 之電位係 9V 之故，以控制閘極 7 為閘極之電晶體係成 ON 之狀態。藉此，n 型摻雜用物領域 9 之電位與源極領域 3 之電位相當。易言之，n 型摻雜用物領域 9 之電位為 8V (以源極電壓 V_s 為上限，從控制閘極 7 之電位經上述臨限值電壓 V_t 作位準移轉之後的電壓)。藉此，位於 n 型摻雜用物領域 9 與浮動閘極 11 之間的第二隧道絕緣膜有約 10 MV 之高電場的產生。其結果，FN 隧道電流流通，從浮動閘極 11 於 n 型摻雜用物領域 9 抽取電子，進行數據之消除。

(讀出動作)

讀出動作之中，記憶單元 1 之動作電壓，係設定為源極電壓 V_s : 0V，汲極電壓 V_d : 3V，控制閘極電壓 V_{cg} : 3V，基板電壓 V_{sub} : 0V。

在浮動閘極 11 沒有電子聚積之狀態(消除狀態)時，因

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明（32）

為浮動閘極 11 係帶正電（本實施形態中，浮動閘極 11 係有 2V 之電位）之故，浮動閘極 11 之下的通道領域 5 係成 ON 之狀態。並且，於浮動閘極 11 聚積有電子之狀態（寫入狀態），由於浮動閘極 11 係帶負電之故，浮動閘極 11 下之通道領域 5 係成 OFF 之狀態。

由於通道領域 5 係成 ON 狀態，比在 OFF 狀態下更容易有電流於源極領域 3 及汲極 4 之間流動。因此，藉由檢測出流過源極領域 3 以及汲極 4 之間的電流（單元電流），即可以判別在浮動閘極 11 是否有電子聚積。藉此，就可以於記憶單元 1 讀出所記憶之數據。

此外，上述讀出動作之中，即使將源極電壓 V_s 及汲極電壓 V_d 之電位關係反轉，也還是可以進行相同的讀出動作。

根據本第一實施形態，可以獲致以下之作用與效果。

(1) 記憶單元 1 之構造係與傳統的堆疊閘極型或分離閘極型之記憶單元完全不同。具體來說，記憶單元 1 係於控制閘極 7 以浮動閘極 11 之間隔著絕緣膜（第一隧道絕緣膜 8、第二隧道絕緣膜 10）設有 n 型摻雜用物領域 9。此外，在寫入動作中，藉由在 n 型摻雜用物領域 9 及控制閘極 7 之間產生強電場，使電子由控制閘極 7 往 n 型摻雜用物領域 9 移動之同時，更使電子於第一隧道絕緣膜 8 及 n 型摻雜用物領域 9 加速而植入浮動閘極 11。

因此，可以在高效率下將電子從控制閘極 7 植入浮動閘極 11。藉此，可以提升寫入特性（根據本發明人[等]之實

五、發明說明 (33)

驗，將電子從控制閘極 7 植入浮動閘極之效率，可達傳統的通道熱電子寫入方式之堆疊閘極型或分離閘極型的 10 至 100 倍)。其結果，寫入時間可以比傳統的短，可以達到寫入動作之高速化。並且，由於可以達到寫入電壓之降低，有助於削減半導體記憶體之耗電。

(2) n 型摻雜用物領域 9 之電位，在寫入動作中，係與汲極領域 4 相等或近似；在消除動作中，則與源極領域 3 相等或近似。

因此，就無需 n 型摻雜用物領域 9 之電位的控制電路，配置面積可得以縮小，耗電得以削減。

再者，由於與上述(1)之相乘效果，在寫入動作中，可以將記憶單元 1 之動作電壓(源極電壓 V_s 、汲極電壓 V_d 、控制閘極電壓 V_{cg})設定在 $\pm 3V$ 之範圍內。藉此，記憶單元 1 之動作電壓可以降低到傳統的堆疊閘極型或分離閘極型之記憶單元的動作電壓的幾分之一以下。其結果，可以削減寫入動作時之耗電。

(3)在消除動作中，藉由對源極電壓 V_s 及控制閘極電壓 V_{cg} 之控制，就可以控制 n 型摻雜用物領域 9 之電位而與浮動閘極 11 之電位無關。

因此，就無需 n 型摻雜用物領域 9 之電位的控制電路，其結果，配置面積可得以縮小，耗電得以削減。並且，在消除動作中，記憶單元 1 之動作電壓可以設定在 9V 以下之範圍內。

(4)由於 n 型摻雜用物領域 9 之寬度，係設定在寫入動

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (34)

作時電子之平均自由行程(30至40 nm)以下，大約全體的透過第一隧道絕緣膜 8 之阻障的電子，於獲得足以越過第二隧道絕緣膜 10 之阻障的能量成為熱電子之同時，該電子不僅限於 n 型摻雜用物領域 9 中，可以在高效率下植入於浮動閘極 11 之內。其結果，可以獲致高寫入效率。

(5)由於具有寫入動作自動終止之構造，也就不需要另外的用來檢測出寫入動作之終止的電路。藉此，週邊電路之構造得以簡化，面積得以縮小，耗電得以削減。再者，於多數的記憶單元 1 寫入之際，並非與各記憶單元 1 之寫入位準無關，只於經過一定的寫入時間之後將寫入動作強制終止；而係藉由各記憶單元 1 之浮動閘極 11 的電位變化，使寫入動作自動終止之故，各記憶單元 1 之間的寫入位準之分散不易產生。其結果，係可以使各記憶單元 1 之寫入位準大致相等。

(6)汲極領域 4 與浮動閘極 11 之間的靜電容量，係大於 n 型摻雜用物領域 9 及浮動閘極 11 之間的靜電容量。

因此，藉由變化汲極電壓 V_d ，即可以容易地控制浮動閘極 11 之電位。

(7)浮動閘極 11 係埋入於 p 型單結晶矽基板 2 之溝槽，於汲極領域 4 之側壁隔著第三絕緣膜 12 而形成，故汲極領域 4 與浮動閘極 11 之重疊部份之面積易於增加，其結果，汲極領域 4 與浮動閘極 11 之間的靜電容量也易於增加。

其次，就第 3 至第 11 圖說明本第一實施形態的記憶單元 1 之製造方法。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (35)

步驟 1(參照第 3 圖)：利用溝槽隔離法或 LOCOS 法，於 p 型單結晶矽基板 2 之上形成由矽氧化膜所構成之場絕緣膜 20。然後，進行用以調整基板 2 之表面的臨限電壓之離子植入。接著，於基板 2 之表面形成矽氧化膜 21 之後，利用光微影程序以及蝕刻程序，對矽氧化膜 21 作橫向排列的條紋狀加工。此外，p 型單結晶矽基板 2，係相當於本發明中之「第一層」。

以下之步驟中，係利用與第 3 圖中之 100-100 切面相當的圖式加以說明。

步驟 2(參照第 4 圖)：在基板上全面形成矽之氮化膜 22 後，藉由異向性回蝕刻，將矽氮化膜 22 嵌入矽氧化膜 21 之間。

步驟 3(參照第 5 圖)：將每條矽氧化膜 21 以抗蝕膜 23 遮罩之後，去除矽氧化膜之未以抗蝕膜 23 覆蓋之部份。再藉由過蝕刻將未以抗蝕膜 23 及矽氮化膜 22 覆蓋之場絕緣膜 20 向下刻深。

然後，更換蝕刻氣體，將基板 2 之未以抗蝕膜 23 及矽氮化膜 22 覆蓋之部份向下刻深，於此部份形成溝槽 24。

步驟 4(參照第 6 圖)：去除抗蝕膜 23 之後，利用熱氧化法，於溝槽 24 之內面形成約 3 nm 厚的熱氧化膜。該熱氧化膜中，形成於溝槽 24 底部之部份構成第一閘極絕緣膜 6，形成於溝槽 24 側壁之部份則構成第一隧道絕緣膜 8。而，第一隧道絕緣膜 8 係相當於本發明之「第一絕緣膜」。

步驟 5(參照第 7 圖)：形成有溝槽 24 之基板 2 在全面

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明 (36)

導入磷等之 n 型摻雜用物形成摻雜多晶矽膜之後，藉由該摻雜多晶矽膜之全面異向性回蝕刻，從溝槽 24 一直到矽氮化膜 22 形成由側壁間隔物所構成之控制閘極 7。藉此，即可將控制閘極 7 相對於矽氮化膜 22 以自行對準之形式形成。藉此，可以在遮罩製程中不發生遮罩重合不齊之問題的情況下形成控制閘極 7。

並且，控制閘極 7 之閘極長度，由於可以藉由摻雜多晶矽膜之膜厚加以控制之故，可以將閘極長度降低到遮罩製程的下限尺寸(最小曝光尺寸)以下，同時，閘極長度也可以藉由遮罩製程作高精確度的控制。其結果，可以將控制閘極 7 予以相當之微細化，同時，也可以抑制閘極長度之偏差分散度。還有，控制閘極 7 即相當於本發明中之「第一閘極」。

在此，摻雜多晶矽膜之形成方法如下。

方法 1：在利用 LPCVD 法形成多晶矽膜之際，於原料氣體混入含有摻雜用物之氣體。

方法 2：在利用 LPCVD 法形成無摻雜多晶矽膜之後，於多晶矽膜上形成摻雜用物擴散源層(POCl_3 等)，使摻雜用物從該摻雜用物擴散源層擴散於多晶矽膜。

方法 3：在利用 LPCVD 法形成無摻雜多晶矽膜之後，將摻雜用物離子植入。

再者，藉由離子植入法，將控制閘極 7 遮罩，於溝槽 24 之底部植入磷離子之後，以熱處理形成源極領域 3。之後，在形成有溝槽 24 之基板 2 上全面形成矽氧化膜。然後，

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (37)

藉由該矽氧化膜之全面異向性回蝕刻，於控制閘極 7 之側壁形成由寬度 30 nm 之側壁間隔物所構成之第四絕緣膜 15。還有，源極領域 3 係相當於本發明中之「第一領域」。

步驟 6(參照第 8 圖)：於形成有溝槽 24 之基板 2 全面導入磷等之 n 型摻雜用物形成摻雜多晶矽膜。之後，藉由將該摻雜多晶矽膜全面進行異向性回蝕刻，於溝槽 24 之內形成與源極領域 3 接通之源極 14。藉此，可以於夾在以自行對準方式形成的控制閘極 7 之領域內，以自行對準方式形成源極 14。藉此，在不發生遮罩製程中的遮罩重合不齊之問題的情況下，即可形成源極電極 14。還有，該源極 14 係相當於本發明中之「配線」。並且，摻雜多晶矽之形成方法，係如上述步驟 5 所示者。

然後，藉由熱氧化法，於控制閘極 7 及源極 14 之頂面形成厚度 30 至 50 nm 之熱氧化膜 25。藉由該熱氧化膜 25 及第四絕緣膜 15，可以作控制 7 及源極 14 之導電絕緣。

步驟 7(參照第 9 圖)：將矽氮化膜 22 去除之後，再於基板 2 全面形成矽氮化膜。然後，藉由將該矽氮化膜以異向性全面回蝕刻，於矽氧化膜 21 及控制閘極 7 之側壁形成側壁間隔物 26。

然後，藉由離子植入法，將側壁間隔物 26 予以遮罩，將磷離子植入基板 2 之外露部份，藉由熱處理，形成 n 型摻雜用物領域 27。

步驟 8(參照第 10 圖)：藉由將側壁間隔物 26、熱氧化膜 25、及場絕緣膜 20 加以遮罩，作基板 2 (n 型摻雜用

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (38)

物領域 27) 之蝕刻，於該部份形成深 200 nm 之溝槽 28。藉由該溝槽 28 將 n 型摻雜用物領域 27 分割為二。藉此，溝槽 28 及控制閘極 7 之間的 n 型摻雜用物領域 27，係具有 n 型摻雜用物領域 9 之機能。藉此，於控制閘極之側壁將側壁間隔物 26 以自行對準形式形成之後，藉由利用該側壁間隔物 26 將基板 2 加以蝕刻以形成 n 型摻雜用物領域 9，可以在遮罩製程中不發生遮罩重合不齊之情況下，以自行對準之形式形成 n 型摻雜用物領域 9。

而且，藉由控制用以形成側壁間隔物 26 之矽氮化膜之厚度，可以形成具有遮罩製程之下限以下的微細寬度之 n 型摻雜用物領域 9。並且，藉由控制用以形成側壁間隔物 26 之矽氮化膜之厚度，可以於高精確度下控制側壁間隔物 26 的寬度之故，利用側壁間隔物 26 所形成之 n 型摻雜用物領域 9 之寬度也得以控制在高精確度之下。

如此，可以將 n 型摻雜用物領域 9 予以相當之微細化，而 n 型摻雜用物領域之寬度的偏差分散度也得以抑制。還有，n 型摻雜用物領域 9 係相當於本發明中之「第三領域」。

該 n 型摻雜用物領域 9 之寬度(溝槽 28 與第一隧道絕緣膜 8 之間的距離)係 30nm。還有，該 n 型摻雜用物領域 9 之寬度範圍以在 50nm 以下為宜，較佳者係在載子的平均自由行程以下之 30 至 40nm 以下，更佳者係在 20 至 30nm。

若 n 型摻雜用物領域 9 之寬度高於 50 nm，則寫入效率以及消除效率有降低之趨勢。

然後，利用熱氧化法，於溝槽 28 之內面形成厚約 8 nm

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (39)

之熱氧化膜。在該熱氧化膜之中，於溝槽 28 之底部形成的部份構成第二閘極絕緣膜 13，於溝槽 28 之 n 型摻雜用物領域側 9 之側壁形成之部份構成第二隧道絕緣膜 10，而於溝槽 28 之汲極領域 4 側之側壁形成之部份則構成第三絕緣膜 12。還有第二隧道絕緣膜 10 係相當於本發明中之「第二絕緣膜」。

之後，將形成有溝槽 28 之基板 2 全面導入磷等之 n 型摻雜用物形成摻雜多晶矽膜之後，對該摻雜多晶矽膜全面進行異向性回蝕刻。然後，將側壁間隔物 26、熱氧化膜 25、及場絕緣膜 20 予以遮罩，藉由將該摻雜多晶矽膜蝕刻至基板 2 之表面，形成埋入於溝槽 28 內之浮動閘極 11。此外，浮動閘極係相當於本發明中之「第二閘極」。

摻雜多晶矽膜之形成，係如上述步驟 5 所示。

然後，利用熱氧化法，於浮動閘極 11 之頂面形成熱氧化膜 29。在此一階段，各記憶單元 1 之浮動閘極 11，係藉由場絕緣膜於每一記憶單元 1 獨立形成。

步驟 9(參照第 11 圖):於全面形成矽氮化膜 30 之後，將該矽氮化膜 30 回蝕刻。然後，將矽氧化膜 21 以外之領域覆蓋抗蝕膜 31 之後，將矽氧化膜 21 蝕刻去除，使基板 2 露出。之後，利用離子植入法，於露出之基板 2 植入離子後，藉由熱處理形成汲極領域 4。此時，已使 n 型摻雜用物領域 27 與汲極領域 4 成為一體。藉此，構成隔著第三絕緣膜 12 而形成於汲極領域 4 的側壁之浮動閘極 11。而，n 型之汲極領域 4 係相當於本發明中之「第二領域」。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (40)

至此，記憶單元 1 已經完成。

之後，於各記憶單元 1 上形成層間絕緣膜(圖式未顯示)。然後，藉由形成接通各控制閘極 7 之字元線 WL_0 至 WL_n ，及接通各汲極領域 4 之位元線 BL_0 至 BL_n ，及接通各源極 14 之源極線 SL ，而建構完成記憶單元陣列 50。

(第二實施形態)

以下說明將本發明具體化後之第二實施形態。該第二實施形態係於第一實施形態之記憶單元 1 構造中，記憶有四個數據(「00」、「01」、「10」、「11」)。因此，本第二實施形態與第一實施形態之不同，僅在於寫入時之動作電壓，其它構造與第一實施形態相同。

首先，在寫入動作中，將記憶單元 1 之動作電壓於個別之數據「01」、「10」、「11」係如表 1 所示設定其動作電壓。而數據「00」係表示消除狀態。

[表 1]

數據	源極電壓 V_s	控制閘極電壓 V_{cg}	汲極電壓 V_d
01	0	-3	3
10	0	-3	4
11	0	-3	5

(基板電壓 $V_{sub} : 0V$)

汲極電壓 V_d 係因數據之類別而異。如上述，在寫入動作中，當控制閘極 7 及 n 型摻雜用物領域 9 之間的電位差低於 3.2V 之時寫入終止。另一方面，若汲極電壓 V_d 高時，

(請先閱讀背面之注意事項再填寫本頁)

(裝

訂

線

五、發明說明 (41)

由於初期 n 型摻雜用物領域 9 之電壓高，則到控制閘極 7 及 n 型摻雜用物領域 9 之間的電位差低於 3.2V 所經之時間長，隨之有多數電子植入浮動閘極 11。易言之，藉由改變汲極電壓 V_d ，就可以變動電子往浮動閘極 11 之聚積量。於是，藉由將寫入之數據與各聚積量相對應，即可以寫入多個(4 個)不同數據。

並且，在讀出動作中，於浮動閘極 11 聚積有愈多電子，則流過源極領域 3 及汲極 4 之間的電流(單元電流)愈難流通，其值變小。藉此，使此電流值與 4 個不同數據相對應，即可將記憶於記憶單元 1 之數據讀出。

(第三實施形態)

參照第 12 圖，本第三實施形態，係預先形成有第 1 圖所示的第一實施形態之記憶單元 1 之構造，而將汲極領域 4 形成二極體構造。其它構造則均與第一實施形態之記憶單元 1 相同。

具體來說，本第三實施形態，係如第 12 圖所示，藉由 n 型汲極領域 4a 及 p 型之汲極領域 4b，以及 p 型之多晶矽膜所構成的汲極領域 4c，構成二極體構造之汲極領域。並且，n 型汲極領域 4a 係形成於 p 型單結晶矽基板 2 以及 p 型汲極領域 4b 之間的全部領域。還有，p 型汲極領域 4b 及 p 型多晶矽膜所構成之汲極領域 4c，構成本發明之「第四領域」。並且，由 p 型多晶矽膜構成之汲極領域 4c，係埋入 p 型之汲極領域 4b 而形成。而且，n 型之汲極領域 4a 及 p 型之汲極領域 4b，係隔著第三絕緣膜 12 於浮動閘極

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (42)

11 作容量結合。

並且，本第三實施形態之寫入動作及讀出動作，係與上述第一實施形態相同。然而，本第三實施形態於消除動作之中的動作電壓，與第一實施形態不同，係於汲極領域施加負電壓。

具體來說，在消除動作中，記憶單元 1 之動作電壓，係設定為源極電壓 V_s : 5.5V，汲極電壓 V_d : -4V，控制閘極電壓 V_{cg} : 5.5V，基板電壓(電位阱電壓) V_{sub} : 0V。此情況下，由於汲極領域 4 及浮動閘極 11 在靜電容量上係有強耦合之故，浮動閘極電位約達 -3V。

另一方面，由於控制閘極 7 之電位係 5.5V 之故，以控制閘極為閘極之電晶體係處於 ON 之狀態。藉此，n 型摻雜用物領域 9 之電位即成與源極領域 3 的電位相當之程度。易言之，n 型摻雜用物領域 9 之電位係為 5V (以源極電壓為上限，從控制閘極 7 之電位經上述臨限值電壓 V_t 作位準移轉之後的電壓)。藉此，在位於 n 型摻雜用物領域 9 與浮動閘極 11 之間的第二隧道絕緣膜 10 產生約 10MV 之高的電場。其結果，FN 隧道電流流過，從浮動閘極 11 於 n 型摻雜用物領域 9 抽取電子，進行數據之消除。

第三實施形態除上述第一及第二實施形態之作用、效果之外，尚可得以下之作用與效果。

(8)藉由以 n 型之汲極領域 4a 及 p 型之汲極領域 4b 以及 4c 構成二極體，即使不用如傳統的三重電位阱構造之複雜構造，也得以容易地於汲極領域 4b 以及 4c 施加負電壓。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (43)

藉此，可以將消除及寫入動作所用之電壓分為正負，利用升壓電路所產生之最高電壓可以降低約一半。具體來說，在消除動作中，記憶單元 1 之動作電壓均可落於 $\pm 6V$ 以下。藉此，相較於傳統的堆疊閘極型或分離閘極型記憶單元，其動作電壓及消除動作時之耗電量可以降低。而且，升壓電路之規模得以縮小，有利於積體化之達成。

並且，由於不在基板 2 導入負電壓即可將負電壓用於單元領域之故，也就不必形成當於基板 2 導入負電壓時所需之三重電位阱構造；也因而形成該構造之高能量離子植入之程序也沒有必要。第三實施形態中，由於 p 型之汲極領域 4b，係可以利用平常的摻雜用物離子植入程序而簡易形成之故，在製程上不造成負擔。

而且，有如第三實施形態之不用二極體構造，而於汲極領域 4b 施加負電壓，以及在汲極領域 4a 及 p 型單結晶矽基板 2 之間有可能會有過大電流流過，同時，消除時源極領域 3 或汲極領域之一不予浮動之情況下，消除後源極領域 3 以及汲極領域之間也可能有過大電流流過。在此情況下，該過大電流會有超越升壓電路之容許電流量之缺失。而本第三實施形態因利用二極體構造，即可有效防止如此之過大電流之流過。

(9) 並且，由於 n 型之汲極領域 4a 及 p 型之汲極領域 4b 係隔著第三絕緣膜 12 於浮動閘極 11 作容量結合之故，通過配線從電源施加有直接電壓之 p 型汲極領域 4b 之電壓，藉由容量結合，可以高效傳導於浮動閘極 11。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (44)

(10)在消除動作中，藉由控制源極電壓 V_s 及控制閘極電壓 V_{cg} ，與浮動閘極無關的 n 型摻雜用物領域 9 之電位亦得以控制。因此，就可以不必 n 型摻雜用物領域之電位的控制電路，其結果，配置面積得以縮小，消耗電力得以削減。

其次，參照第 13 及第 14 圖，說明第三實施形態之記憶單元的製造方法。本第三實施形態之記憶單元製造程序，首先係利用如第 2 至第 10 圖所示之第一實施形態的製造程序完成第 10 圖所示之構造後，進行以下之步驟 10 以及步驟 11。

步驟 10(參照第 13 圖)：於全面形成矽之氮化膜 30 之後，對該矽氮化膜 30 作回蝕刻。然後，將矽氧化膜 21(參照第 10 圖)以外之領域以抗蝕膜 31 披覆之後，將矽氧化膜 21 蝕刻去除，露出基板 2。之後更將基板 2 向下蝕刻。再利用離子植入法，於露出之基板 2 植入磷離子。藉此，形成 n 型之汲極領域 4a。

步驟 11(參照第 14 圖)：全面沉積多晶矽膜之後，以 p 型之摻雜用物作離子植入。然後，在熱處理之後，將多晶矽膜予以回蝕刻。藉由該熱處理，可將 n 型之汲極領域 4a 活性化，同時，經由來自多晶矽膜的 p 型摻雜用物之擴散，形成 p 型之汲極領域 4b。並且，藉由將多晶矽膜作回蝕刻，形成由 p 型之多晶矽膜所構成之 p 型汲極領域 4c。

如此一來，就形成了包括由 n 型之汲極領域 4a，及 p 型之汲極領域 4b，及 p 型之多晶矽膜所構成之汲極領域 4c

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (45)

之汲極領域。還有，n型摻雜用物領域 27(參照第 10 圖)，因其後擴散而來之 p 型摻雜用物多之故，為 p 型層所取代，而與 p 型汲極領域 4b 合而為一。此外，n 型之汲極領域 4a，係相當於本發明之「第二領域」，而 p 型之汲極領域 4b 及 4c，係相當於本發明之「第四領域」。

至此，記憶單元 1 已經完成。

然後，如同第一實施形態，形成各記憶單元 1 上的層間絕緣膜(圖式中省略)。之後，藉由形成接通各控制閘極 7 之字元線 WL_0 至 WL_n ，及接通各汲極領域之位元線 BL_0 至 BL_n ，以及將各源極 14 共同接通之源極線 SL，建構完成記憶單元陣列 50。

(第四實施形態)

以下參照第 15 圖說明第四實施形態之記憶單元 101 之構造。

本第四實施形態之記憶單元 101，係於 p 型單結晶矽基板 102 之表面隔著通道領域 105 於相隔選定之間隔形成 n 型之源極領域 103 以及 n 型之汲極領域 104。於通道領域 105 上及汲極領域 104 之部份表面上，隔著矽氧化膜所構成之第二閘極絕緣膜 112a 及第三絕緣膜 112b 形成由 n 型多晶矽膜所構成之浮動閘極 111。

並且，於浮動閘極 111 之側面及頂面，隔著第二隧道絕緣膜 110，形成由 n 型單結晶矽膜所構成之內閘極 109。該內閘極 109 之底部，係通過開口部 115 與 p 型單結晶矽基板 102 之表面接觸。在內閘極 109 與 p 型單結晶矽基板

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(46)

102 之接觸面的下方，形成有 n 型擴散層 114。

在內閘極 109 之側面及頂面上，隔著第一隧道絕緣膜 108，形成有由 n 型多晶矽膜所構成之控制閘極 107。控制閘極 107 之底部，係隔著由矽氧化膜所構成之第一閘極絕緣膜 106 形成在通道領域 105 之上。

在此，本第四實施形態中上述各構成材料之膜厚係設定如下。

- 第一閘極絕緣膜 106 之膜厚：16 至 20nm
- 第一隧道絕緣膜 108 之膜厚：3 至 4nm
- 第二隧道絕緣膜 110 之膜厚：8 至 20nm
- 第三絕緣膜 112b 之膜厚：8 至 10nm
- 第二閘極絕緣膜 112a 之膜厚：8 至 10nm
- 內閘極 109 之寬度(第一隧道絕緣膜 108 及第二隧道絕緣膜 110 之間的距離)：20 至 40nm (還有，該內閘極 109 之寬度，為能使寫入時所使用之具有 3 至 5 eV 能量之電子有數%以上到達浮動閘極 111，以 20 至 30 nm 為最理想。)

在此，位於汲極領域 104 與浮動閘極 111 之間的第三絕緣膜 112b 之面積，係大於位在內閘極 109 及浮動閘極 111 之間的第二隧道絕緣膜 110 之面積，同時，第三絕緣膜 112b 之膜厚，係小於第二隧道絕緣膜 110 之膜厚。

因此，在本實施形態中之記憶單元 101，汲極領域 104 與浮動閘極 111 之間的靜電容量，並不大於內閘極 109 與浮動閘極 111 之間的靜電容量。藉此，內閘極 109 與浮動閘極 111 之間的耦合比，於是大於汲極領域 104 及浮動閘

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(47)

極 111 之間的耦合比。其結果，可以使汲極領域 104 之電位易於傳導至浮動閘極 111。

還有，本第四實施形態之記憶單元 101 之各動作(寫入動作、消除動作、讀出動作)係與第一實施形態相同。

本第四實施形態中，除上述第一至第三實施形態之作用、效果外，可得以下之作用與效果。

(11)由於浮動閘極 111、內閘極 109 以及控制閘極 107，係形成於 p 型單結晶矽基板 102 之上，沒有必要於 p 型單結晶矽基板 102 形成用以埋入浮動閘極 111 等的溝槽之故，也可以簡單地形成包含控制閘極 107、內閘極 109 以及浮動閘極 111 之構造。而且，因為不必在 p 型單結晶矽基板 102 之側面形成隧道絕緣膜等以免受到形成溝槽時之蝕刻波及，也就不致於有隧道絕緣膜之膜質惡化的問題。

(12)內閘極 109 因係由單結晶矽膜所形成之故，藉由將該單結晶矽膜氧化，即可以形成第一隧道絕緣膜 108。藉此，可得膜質良好的第一隧道絕緣膜 108。

其次，就第 16 至第 20 圖說明本第四實施形態之記憶單元 101 的製造方法。

步驟 12(參照第 16 圖):於 p 型單結晶矽基板 102 上，利用熱氧化法，形成厚度在 8nm 至 10nm 之程度的矽氧化膜 112。於矽氧化膜 112 上，利用 LPCVD 法，在約 620°C 之堆積溫度下，形成厚度在 200nm 程度之植入有磷等 n 型摻雜用物的摻雜多晶矽膜。再於該摻雜多晶矽膜上，堆積

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (48)

矽氧化膜。然後，利用光微影技術及乾式蝕刻技術，藉由將該矽氧化膜及摻雜多晶矽膜形成圖案，形成由 n 型之摻雜多晶矽膜所構成之浮動閘極 111 以及其上之矽氧化膜 121。還有，p 型單結晶矽基板 102，係相當於本發明之「第一層」，而浮動閘極 111 係相當於本發明之「第二閘極」。

在此，摻雜多晶矽膜之形成方法係如下述。

方法 1：在利用 LPCVD 法形成多晶矽膜之際，於原料氣體混入含有摻雜用物之氣體。

方法 2：利用 LPCVD 法形成未摻雜之多晶矽膜後，在多晶矽膜上形成摻雜用物擴散源層 (POCl_3 等)，從該摻雜用物擴散源層將摻雜用物擴散於多晶矽膜。

方法 3：利用 LPCVD 法形成未摻雜之多晶矽膜之後，植入摻雜用物離子。

步驟 13(參照第 17 圖)：形成披覆於源極形成領域之抗蝕膜 122。以該抗蝕膜 122 為遮罩，在 p 型單結晶矽基板 102 之表面，藉由在磷離子以 50keV、 $1\text{E}15$ 程度之條件下作離子植入，形成汲極領域 104。該汲極領域 104，為使與浮動閘極 111 之重疊部份面積加大，係形成為延伸到浮動閘極 111 之下方約一半之處。矽氧化膜 112 之中，浮動閘極 111 及 p 型單結晶矽基板 102 之間所夾之部份，係構成第二閘極絕緣膜 112a，而浮動閘極 111 及汲極領域 104 之間所夾的部份，則構成第三絕緣膜 112b。而，汲極領域 104 即相當於本發明之「第二領域」。

步驟 14(參照第 18 圖)：去除抗蝕膜 122 之後，將浮動

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

結

五、發明說明 (49)

開極上之矽氧化膜 121 去除。然後，去除第二開極絕緣膜 112a 及第三絕緣 112b 以外之矽氧化膜 112。利用熱氧化法，在浮動開極之頂面及側面，以及 p 型單結晶矽基板 102 之表面，形成厚度在 16nm 至 20nm 程度之矽氧化膜。該矽氧化膜之中，形成於浮動開極 111 之形成有內開極 109 之側面及頂面之部份，係構成第二隧道絕緣膜 110，而位於 p 型單結晶矽基板 102 及形成有控制開極 107 之間的部份，則構成第一開極絕緣膜 106。還有，第二隧道絕緣膜 110 係相當於本發明之「第二絕緣膜」。

步驟 15(參照第 19 圖):利用光微影技術及乾式蝕刻技術，形成開口部 115。利用 LPCVD 法，於 560°C 之程度的堆積溫度，全面形成厚度在約 20nm 至約 40nm 之非晶狀矽膜 109a。於該非晶狀矽膜 109a，將磷離子在 3keV. 1E14 之條件下作離子植入。

步驟 16(參照第 20 圖):藉由將非晶狀矽膜 109a 圖案化，形成內開極 109。然後，藉由在約 600°C 以 2 小時進行熱處理，使內開極 109 單結晶化，同時，於 p 型單結晶矽基板 102 形成 n 型擴散層 144。而，內開極 109 即本發明之「第三領域」或「半導體領域」。

然後，利用熱氧化法，在由單結晶矽膜所構成之內開極 109 之側面及頂面形成厚度為 3nm 至 4nm 之程度的第一隧道絕緣膜 108。而第一隧道絕緣膜 108，係相當於本發明中之「第一絕緣膜」。然後再於全面沉積而披覆摻雜多晶矽膜或矽化鎢 (Wsi) 膜。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (50)

還有，內閘極 109 之寬度(第一隧道絕緣膜 108 與第二隧道絕緣膜 110 之間的距離)，係 30nm。該內閘極 9 之寬度範圍以在 50nm 以下為適當，較理想者係在載子的平均自由行程以下，即 30 至 40nm 以下，最佳者為在 20 至 30nm。內閘極 109 之寬度若大於 50nm，則寫入效率及消除效率趨於低落。

之後，如第 15 圖所示，藉由將摻雜多晶矽膜或 Wsi 膜圖案化而形成控制閘極 107。然後，在形成披覆於汲極領域 104 之抗蝕膜(圖式未顯示)之後，以該抗蝕膜為遮罩，藉由在 p 型單結晶矽基板 102 以磷等之 n 型摻雜用物作離子植入，形成源極領域 103。而，控制閘極 107，係相當於本發明中之「第一閘極」，源極領域 103 則相當於本發明中之「第一領域」。

至此，第四實施形態之記憶單元 101 已經完成。

然後，於各記憶單元 101 上形成層間絕緣膜(圖式中省略)。之後，藉由形成連接各控制閘極 107 之字元線 WL_0 至 WL_n ，及連接各汲極領域 104 之位元線 BL_0 至 BL_n ，以及共同連接各源極領域 103 之源極線 SL，完成記憶單元陣列 50 之建構。

(第五實施形態)

參照第 21 圖，於本第五實施形態之記憶單元 171，與第四實施形態不同，內閘極係由二側壁膜以自行對準之方式形成，同時，汲極領域之一部份係由二側壁膜以自行對準之方式所形成。其它之基本構造，係與第四實施形態之

(請先閱讀背面之注意事項再填寫本頁)

訂 · 線

五、發明說明 (51)

記憶單元 101 大致相同。以下作具體說明。

首先，於本第五實施形態之記憶單元 171，如第 21 圖所示，在 p 型單結晶矽基板 172 之表面，隔著通道領域 175 於選定之間隔形成有 n 型之源極領域 173 以及 n 型之汲極領域 174。在通道領域 175 上以及汲極領域 174 之一部份之上，隔著矽氧化膜構成之第二閘極絕緣膜 183a 以及第三絕緣膜 183b，形成由摻雜多晶矽膜所構成之浮動閘極 182。並且，於浮動閘極 182 之側面，隔著第二隧道絕緣膜 184a，形成由 n 型多晶矽膜所構成之內閘極 181a。

該內閘極 181a 係由 n 型多晶矽膜所構成之側壁膜 179a 以及 n 型多晶矽膜所構成之側壁膜 180a 構成。側壁膜 180a 之底部則與 p 型單結晶矽基板 102 之表面接觸。

並且，於汲極領域 174 之上，利用多晶矽膜構成之側壁膜 179b 以及側壁膜 180b，形成汲極領域 181b。側壁膜 180b 以及汲極領域 174 之間係成通電狀態。汲極領域 181b 以及浮動閘極 182 之間，則形成有第三絕緣膜 184b。也就是說，在汲極領域 174 以及 181b 與浮動閘極 182 之間，係形成有第三絕緣膜 183b 及 184b。

在內閘極 181a 之側面，隔著第一隧道絕緣膜 178，形成有由 n 型多晶矽膜所構成之控制閘極 177。控制閘極 177 之底部，係於通道領域 175 之上隔著由矽氧化膜所構成之第一閘極絕緣膜 176a 所形成。

而且，披覆著以上全體，形成有層間絕緣膜 191。在設置於層間絕緣膜 191 之接觸孔內，形成有栓塞電極 192。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (52)

延伸在層間絕緣膜 191 之上，與栓塞電極 192 連接，形成有位元線 193。

還有，本第五實施形態之寫入動作、消除動作、以及讀出動作，係與上述之第一實施形態相同。

第五實施形態，除上述第一至第四實施形態之作用、效果之外，尚可獲致以下之作用與效果。

(13)因為內閘極 181a 係以自行對準方式，由側壁膜 179a 及 180a 所構成，所以藉由控制其形成時的多晶矽膜之厚度，即可以個別控制側壁膜 179a 及 180a 之膜厚。因此，由側壁膜 179a 及 180a 構成之內閘極 181a 之寬度，可以形成為小於遮罩製程之下限尺寸(最小曝光尺寸)的微細寬度。

並且，藉由控制多晶矽膜之膜厚，側壁膜 179a 及 180a 之寬度可獲高精確度之控制，故由側壁膜 179a 及 180a 所構成之內閘極 181a 之寬度亦可得高精確度之控制。其結果，內閘極 181a 之寬度的偏差分散度亦可以抑制。

(14)而且，於汲極領域 174 之上，由於汲極領域 181b 係以多晶矽膜構成之側壁膜 179b 及 180b 形成之故，由汲極領域 181b 所構成之汲極領域與浮動閘極 182 之相對部份的面積得以加大。由此，汲極領域 174 及 181b 與浮動閘極 182 之間的靜電容量就能容易地增大。其結果，汲極領域 174 及 181b 與浮動閘極 182 之間的靜電容量，就可以容易地大於內閘極 181a 與浮動閘極 182 之間的靜電容量。因此，藉由改變汲極電壓 V_d ，就能容易地控制浮動閘極 182

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (53)

之電位。

(15)又，在下述之製程中，構成汲極領域 181b 之側壁膜 179b 及 180b，與構成內閘極 181a 之側壁膜 179a 及 180a 係同時形成之故，即使有汲極領域 181b 之設置，製程也不致於複雜化。

以下，參照第 22 至第 36 圖說明第五實施形態的記憶單元之製造方法。

步驟 17(參照第 22 以及第 23 圖)：利用 STI(Shallow Trench Isolation)法，於 p 型單結晶矽基板 172 之表面形成元件分離絕緣膜 185。該 p 型單結晶矽基板 172 係相當於本發明中之「第一層」。遇有，元件分離絕緣膜 185 也可以利用 LOCOS 法等之其它方法形成。

步驟 18(參照第 24 圖)：利用熱氧化法於 p 型單結晶矽基板 172 上形成厚度在 8nm 至 10nm 之程度的矽氧化膜 183。在矽氧化膜 183 之上，利用 LPCVD 法形成厚度約 150nm 之 n 型摻雜多晶矽膜 182。而摻雜多晶矽膜 182 之形成方法係與步驟 5 相同。

步驟 19(參照第 25 圖)：於摻雜多晶矽膜 182 之上，沉積膜厚約 200nm 之矽氧化膜 190。

步驟 20(參照第 26 圖)：於矽氧化膜 190 之上，利用光微影技術選擇性形成抗蝕膜 194 之後，以該抗蝕膜 194 為遮罩，將矽氧化膜 190 及摻雜多晶矽膜 182 作選擇性蝕刻。藉此，圖案化後即形成由 n 型之摻雜多晶矽膜所構成之浮動閘極 182，以及其上之矽氧化膜 190。而浮動閘極，係相

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (54)

當於本發明之「第二閘極」。

步驟 21(參照第 27 圖): 去除抗蝕膜 194 之後, 將浮動閘極 182 底下以外之矽氧化膜 183 利用氫氟酸以濕式蝕刻法去除。此時少許位於浮動閘極 182 之上的矽氧化膜 190 之側面亦被去除。之後, 在浮動閘極 182 之側面形成厚度約 10nm, 由矽氧化膜構成之第二隧道絕緣膜 184a 以及第三絕緣膜 184b, 再利用 LPCVD 法形成膜厚約在 25nm 之摻雜多晶矽膜 79。而摻雜多晶矽膜 79 之形成方法係與步驟 5 相同。並且, 第二絕緣膜 184a 係相當於本發明之「第二絕緣膜」。

步驟 22(參照第 28 圖): 利用 RIE(Reactive Ion Etching) 法將摻雜多晶矽膜 79 全面回蝕刻, 以於浮動閘極 182 之側面形成由摻雜多晶矽膜所構成之側壁膜 179。

步驟 23(參照第 29 圖): 以側壁膜 179 為遮罩, 藉由對矽氧化膜 183 進行蝕刻, 選擇性去除矽氧化膜 183。然後, 利用 LPCVD 法形成厚度約 25nm 之未摻雜多晶矽膜 80。

步驟 24(參照第 30 圖): 利用 RIE 法作未摻雜多晶矽膜 80 之全面回蝕刻, 以於側壁膜 179 之側面, 形成由未摻雜多晶矽膜所構成之側壁膜 180。藉由之後的熱處理步驟, 使側壁膜 179 之內的 n 型摻雜用物向側壁膜 180 擴散而賦予側壁膜 180 導電性。藉此, 側壁膜 179 及側壁膜 180 就被一體化。

在此, 不以摻雜多晶矽膜形成側壁膜 180, 係基於如下之理由。亦即, 在第 29 圖所示之步驟中, 若以摻雜多晶

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (55)

矽膜形成用來形成側壁膜 180 之多晶矽膜 80，則由於多晶矽膜 80 係與 p 型單結晶矽基板 172 之表面接觸之故，多晶矽膜 80 之內之摻雜用物會有往 p 型單結晶矽基板 172 之表面擴散的缺失之發生。因此，在本第五實施形態，於形成未摻雜之多晶矽膜之後，形成由該未摻雜之多晶矽膜所構成之側壁膜 180，再藉由熱處理步驟使側壁膜 179 內之 n 型摻雜用物擴散於側壁膜 180，而賦予側壁膜 180 導電性。

再者，藉由多晶矽膜 79 及 80 之回蝕刻，其個別形成之側壁膜 179 及側壁膜 180 之膜厚，係成為多晶矽膜 79 及 80 之沉積膜厚(各 25nm)之約 60%。因此，側壁膜 179 及側壁膜 180 之膜厚，係各約 15nm，而合計約 30nm。

步驟 25(參照第 31 及第 32 圖):如第 31 圖所示，在矽氧化膜 190 之上，使浮動閘極 182 在 Y 方向之兩端外露，以形成抗蝕膜 195。以抗蝕膜 195 為遮罩，選擇性去除位於浮動閘極 182 在 Y 方向之兩端的側壁膜 179 及側壁膜 180。藉此，如第 32 圖所示，在 X 方向之剖面中，由側壁膜 179a 及側壁膜 180a 所構成之中間閘極 181a 與由側壁膜 179b 及側壁膜 180b 所構成之汲極領域 181b 係成電之分離。藉此，互成電之分離的中間閘極 181a 以及汲極領域 181 同時形成。之後，於 p 型單結晶矽基板 172 之表面形成用來構成第一閘極絕緣膜之矽氧化膜 176。

而中間閘極 181a 係相當於本發明之「第三領域」、「半導體領域」或「第一側壁膜」。而且，側壁膜 179a 及側壁膜 180a 係各相當於本發明中之「第二側壁膜」及「第三側

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (56)

壁膜」。並且，汲極領域 181b 係相當於本發明中之「第二領域」或「第四側壁膜」。再者，側壁膜 179b 及側壁膜 180b，係各相當於本發明中之「第五側壁膜」及「第六側壁膜」。

步驟 26(參照第 33 圖): 去除抗蝕膜 195 之後，形成披覆於源極領域之抗蝕膜 196。以抗蝕膜 196 為遮罩，於 p 型單結晶矽基板 172 之表面，藉由例如砷離子於 40keV、約 $5E15/cm^2$ 之條件下進行離子植入，以形成 n 型之汲極領域 174。該汲極領域 174 係形成為延伸到浮動閘極 182 之下方約半之處，以增加與浮動閘極 182 重疊部份之面積。

矽氧化膜 183 之中，浮動閘極 182 以及 p 型單結晶矽基板 172 之間的部份構成第二閘極絕緣膜 183a；而浮動閘極與汲極領域 174 之間的部份則構成第三絕緣膜 183b。而汲極領域 174 係相當於本發明之「第二領域」。並且，第三絕緣膜 183b 係與上述第三絕緣膜 184b 共同用作汲極領域 174 以及 181b 與浮動閘極 182 之間的絕緣膜。

步驟 27(參照第 34 圖): 去除抗蝕膜 196 之後，形成厚度在 3nm 至 4nm 之程度的矽氧化膜。該矽氧化膜之中，形成於側壁膜 179a 及側壁膜 180a 之側面的部份，構成第一隧道絕緣膜 178。而，第一隧道絕緣膜 178 係構成本發明之「第一絕緣膜」。之後，全面形成摻雜多晶矽膜 77。而該摻雜多晶矽膜 77 之形成方法，係與步驟 5 相同。例如，在沉積未摻雜多晶矽之後，於該未摻雜多晶矽膜，用磷離子以 $4E15/cm^2$ 之程度植入以賦予導電性，形成摻雜多晶矽膜 77。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (57)

步驟 28(參照第 35 圖): 於摻雜多晶矽膜 77 之選定領域上形成抗蝕膜 197 之後, 以該抗蝕膜 197 為遮罩蝕刻摻雜多晶矽膜 77 以形成控制閘極 177。該控制閘極 177, 係於 p 型單結晶矽基板 172 上隔著第一閘極絕緣膜 176a 而形成。而, 控制閘極 177 係相當於本發明之「第一閘極」。

步驟 29(參照第 36 圖): 去除抗蝕膜 197 之後, 形成披覆於汲極領域 174 之抗蝕膜 198。以該抗蝕膜 198 及控制閘極為遮罩, 於 p 型單結晶矽基板 172 以 n 型之摻雜用物進行離子植入, 以形成 n 型之源極領域 173, 而源極領域 173 係相當於本發明之「第一領域」。之後, 去除抗蝕膜 198。

然後, 如第 21 圖所示, 於形成層間絕緣膜 191 之後, 形成通過栓塞電極 192 連接各汲極領域 174 之位元線 193(BL₀ 至 BL_n)。

至此, 第五實施形態之記憶單元 171 已經完成。
(第六實施形態)

以下參照第 38 圖說明第六實施形態之記憶單元 201 之構造。

本實施形態之記憶單元 201, 係於 p 型單結晶矽基板 202 之表面所形成之溝槽的二側面, 各形成 n 型之源極領域 203 以及 n 型之汲極領域 204。該源極領域 203 以及汲極領域 204 係隔著通道領域 205 於選定之間隔形成。在 p 型單結晶矽基板 202 之溝槽內部, 則隔著選定之間隔形成有 n 型多晶矽膜所構成之控制閘極 207 以及 n 型多晶矽膜

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (58)

所構成之浮動閘極 211。控制閘極 207 係由以自行對準隔著第三絕緣膜 214 形成於源極領域 203 之側面的第一側壁膜所構成。而且，控制閘極 207 係隔著矽氧化膜所構成之第一絕緣膜 206，形成於通道領域 205 之上。

並且，浮動閘極係由以自行對準隔著第四絕緣膜 212 形成於汲極領域 204 之側面的第二側壁膜所構成。而，浮動閘極係隔著矽氧化膜所構成之第二閘極絕緣膜 213 形成於通道領域 205 之上。

而且，在控制閘極 207 與浮動閘極 211 之間，形成有 n 型多晶矽膜所構成之中間閘極 209。該中間閘極 209 之底部則與 p 型單結晶矽基板 202 之表面相接觸。在中間閘極 209 與控制閘極 207 之間，形成有第一隧道絕緣膜 208。在中間閘極 209 與浮動閘極 211 之間，則形成有第二隧道絕緣膜 210。而在控制閘極與浮動閘極 211 之間，在中間閘極 209 之頂面上則形成有第五絕緣膜 215。

在此，上述各構件之膜厚係設定如下。

- 第一閘極絕緣膜 206 之膜厚：8 至 10nm
- 第一隧道絕緣膜 208 之膜厚：3 至 4nm
- 第二隧道絕緣膜 310 之膜厚：8 至 10nm
- 第四絕緣膜 212 之膜厚：8 至 10nm
- 第二閘極絕緣膜 213 之膜厚：8 至 10nm
- 第三絕緣膜 214 之膜厚：8 至 10nm
- 中間閘極 209 之寬度(第一隧道絕緣膜 208 與第二隧道絕緣膜 210 之間的距離)：20 至 40nm(而，為使寫入時所

(請先閱讀背面之注意事項再填寫本頁)

裝、訂、線

五、發明說明 (59)

使用之具有 3 至 5eV 之能量的電子，能有數%以上到達浮動閘極 211，該中間閘極 209 之寬度以 20 至 30nm 為最理想)

在此，位在汲極領域 204 與浮動閘極 211 之間的第四絕緣膜 212 之面積，係大於位在中間閘極 209 與浮動閘極之間的第二隧道絕緣膜之面積。

因而，本第六實施形態中之記憶單元 201，其汲極領域 204 與浮動閘極 211 之間的靜電容量係大於中間閘極與浮動閘極之間的靜電容量。藉此，中間閘極 209 與浮動閘極 211 之間的耦合比，係大於汲極領域 204 與浮動閘極之間的耦合比。其結果，汲極領域 204 之電位即能容易地傳導至浮動閘極 211。

其次，上述第六實施形態之記憶單元 201 的各動作(寫入動作、消除動作、讀出動作)係與第一實施形態相同。

藉由第六實施形態，除上述第一至第五實施形態之作用、效果之外，尚可獲致以下之作用與效果。

(16)浮動閘極 211 係埋入形成於 p 型單結晶矽基板 202 之溝槽，並且係在汲極領域 204 之側壁隔著第四絕緣膜 212 而形成之故，汲極領域 204 與浮動閘極 211 之重疊部份的面積得以容易地增加，其結果，汲極領域 204 與浮動閘極 211 之間的靜電容量也可以容易地增加。

(17)由於控制閘極 207 以及浮動閘極 211 係相對於源極領域 203 以及汲極領域 204 個別以自行對準形成之故，控制閘極 207 與浮動閘極 211 之閘極長度就可以藉由摻雜

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (60)

多晶矽膜之沉積厚度來加以控制。因此，閘極長度可以小於遮罩製程之下限尺寸(最小曝光尺寸)，同時，也可以將閘極長度控制在比遮罩製程高之精確度。其結果，除能使控制閘極 207 及浮動閘極 211 予以相當之微細化之外，對於閘極長度之分散度也能加以控制。

(18)並且，如下述，控制閘極 207 以及浮動閘極 211 係同時形成之故，製程得以簡化。

(19)由於中間閘極 209 係相對於控制閘極 207 以及浮動閘極 211 以自行對準形成，可以不發生遮罩製程中的遮罩重合不齊之問題，而形成中間閘極 209。

(20)在控制閘極 207 與浮動閘極 211 之間，中間閘極 209 之頂面，因形成有第五絕緣膜 215 之故，可以將控制閘極 207 以及浮動閘極 211 與中間閘極之間切實予以絕緣。

步驟 30(參照第 39 圖):在 p 型單結晶矽基板 202 之表面，利用 STI 法或 LOCOS 法形成以矽氧化膜構成之場絕緣膜 216。該 p 型單結晶矽基板 202 係相當於本發明之「第一層」。

以下利用沿第 39 圖之 100-100 線之剖視圖作說明。

步驟 31(參照第 40 圖):在全面沉積厚約 150nm 之矽氧化膜 217 之後，利用光微影技術，在矽氧化膜 217 之上選擇性形成抗蝕膜 218。以抗蝕膜 218 為遮罩，將矽氧化膜 217 作異向性蝕刻，以去除未披覆抗蝕膜 218 之矽氧化膜 217。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (61)

步驟 32(參照第 41 圖): 去除抗蝕膜 218 之後, 以矽氧化膜 217 作遮罩, 於 p 型單結晶矽基板 202 將 n 型摻雜用物(例如 $31P^+$)以 $100keV$ 、 $5.0E15/cm^2$ 之條件作離子植入。藉此, 形成 n 型源極領域 203 以及 n 型汲極領域 204。而源極領域 203 係相當於本發明之「第一領域」, 而汲極領域 204 係相當於本發明之「第二領域」。

步驟 33(參照第 42 圖): 在全面沉積厚約 $150nm$ 之矽氮化膜 219 之後, 利用 CMP(Chemical Mechanical Polishing) 法, 將矽氮化膜 219 研磨至矽氮化膜 219 底下之矽氧化膜 217 外露。

步驟 34(參照第 43 圖): 在去除矽氧化膜 217 之後, 以矽氮化膜 219 為遮罩, 將 p 型單結晶矽基板 202 向下刻深至 $150nm$ 之程度以形成溝槽。然後, 利用濕式蝕刻法去除矽氮化膜 219 之後, 在 p 型單結晶矽基板 202 之表面以及溝槽之內面, 形成膜厚約在 $10nm$ 之熱氧化膜。該熱氧化膜之中, 形成於源極領域 203 之側面的部份, 係構成第三絕緣膜, 而形成於汲極領域 204 之側面的部份, 則構成第四絕緣膜 212。

步驟 35(參照第 44 圖): 在全面形成厚約 $200nm$ 而導入有磷等之 n 型摻雜用物之摻雜多晶矽膜之後, 對該摻雜多晶矽膜作異向性全面回蝕刻, 以同時形成側壁膜構成之控制閘極 207 以及浮動閘極 211。藉此, 可以相對於源極領域 203 以及汲極領域 204 個別以自行對準形成控制閘極 207 以及浮動閘極 211。而控制閘極 207 係相當於本發明之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (62)

「第一閘極」，而浮動閘極 211 係相當於本發明之「第二閘極」。

而且，摻雜多晶矽膜之形成方法，係與步驟 5 相同。

步驟 36(參照第 45 圖):在除場絕緣膜 216 以外的浮動閘極 211 上形成抗蝕膜(圖式中未顯示)之後，以該抗蝕膜作遮罩，將浮動閘極 211 作異向性蝕刻。藉此，去除浮動閘極 211 之中的位於場絕緣膜 216 上之部份，並於各記憶單元各形成獨立之浮動閘極 211。

步驟 37(參照第 46 圖):利用熱氧化法，於控制閘極 207 以及浮動閘極 211 之側面形成膜厚在 10nm 之程度的熱氧化膜。該熱氧化膜之中，形成於控制閘極 207 之側面的部份構成第一隧道絕緣膜 208，而形成於浮動閘極 211 之側面的部份則構成第二隧道絕緣膜 210。然後，將形成於控制閘極 207 與浮動閘極 211 之間的熱氧化膜藉由回蝕刻予以去除。藉此，形成第一閘極絕緣膜 206 以及第二閘極絕緣膜 213。

並且，由於該回蝕刻處理，第一隧道絕緣膜 208 以及第二隧道絕緣膜 210 也有多少去除，厚度各成為 8nm 之程度。並且，將第一隧道絕緣膜 208 以外之部份遮罩之後，藉由對第一隧道絕緣膜 208 作回蝕刻，將第一隧道絕緣膜 208 之厚度減低至 3nm 之程度。而第一隧道絕緣膜 208 係相當於本發明之「第一絕緣膜」，而第二隧道絕緣膜 210 係相當於本發明之「第二絕緣膜」。

然後，在全面沉積導入有磷等之 n 型摻雜用物之摻雜

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (63)

多晶矽膜之後，利用回蝕刻法或 CMP 法，將該摻雜多晶矽膜埋入溝槽之內。而，摻雜多晶矽膜之形成方法，係與步驟 5 相同。藉此，由 n 型摻雜多晶矽膜構成之中間閘極 209 可以相對於控制閘極 207 以及浮動閘極 211 以自行對準形成。中間閘極之底面係與 p 型單結晶矽基板 202 相接觸。該中間閘極 209 係相當於本發明之「第三領域」或「半導體領域」。

之後，如第 38 圖所示，利用濕式氧化法，在由摻雜多晶矽膜所構成之中間閘極 209 的上面，於約 900°C、30 分鐘之程度的條件下，以熱氧化形成第五絕緣膜 215。藉由該第五絕緣膜 215，控制閘極 207 以及浮動閘極 211 與中間閘極之間可得以切實絕緣。

亦即，在步驟 37 中，於回蝕第一隧道絕緣膜 208 以及第二隧道絕緣膜之際，在側壁膜所構成之控制閘極 207 以及浮動閘極之側面上部的第一隧道絕緣膜 208 以及第二隧道絕緣膜 210，較之在側面下部者易於回蝕刻。因此，在進行第一隧道絕緣膜 208 以及第二隧道絕緣膜 210 的回蝕刻之際，有時會使位於控制閘極以及浮動閘極 211 之側面上部之部份消失。此時，中間閘極與控制閘極以及浮動閘極 211 之間會有電的接觸之缺失的發生。

第六實施例中，由於在中間閘極之頂面上形成有第五絕緣膜 215，位於控制閘極 207 以及浮動閘極 211 之側面上部的第一隧道絕緣膜 208 以及第二隧道絕緣膜 210 即使消失，控制閘極 207 以及浮動閘極 211 與中間閘極之間也

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明(64)

還是可以切實絕緣。

而中間閘極 209 之寬度(第一隧道絕緣膜 208 與第二隧道絕緣膜 210 之間的距離)的平均值係約在 30nm。該中間閘極 209 之寬度範圍，以在 50nm 以下為適當，較理想者為在載子的平均自由行程以下之 30 至 40nm 以下，而最理想者為在 20 至 30nm。若中間閘極 209 之寬度大於 50nm，則寫入效率及消除效率趨於低落。

至此，第六實施形態之記憶單元 201 已經完成。

其次，於各記憶單元 201 之上形成層間絕緣膜(圖式中省略)。然後，形成連接各控制閘極 207 之字完線 WL_0 至 WL_n ，及連接各汲極領域 204 之位元線 BL_0 至 BL_n ，以及共同連接各源極領域 203 之源極線 SL ，而建構完成記憶單元陣列 50。

(第七實施形態)

在本第七實施形態，其構造及動作方法與上述第一至第六實施例不同。但是，利用 n 型摻雜用物領域(第三領域)進行數據之寫入這一點，係與第一至第六實施形態相同。以下就第七實施形態加以說明。

本第七實施形態，係如第 47 及第 48 圖所示，於 p 型單結晶矽基板 342 之上形成有由 n 型之摻雜用物領域所構成之源極領域 343。並且，與源極領域 343 隔著選定之間隔形成有由 n 型之多晶矽膜所構成的汲極領域 344a。該 n 型之汲極領域 344a，係隔著絕緣膜 346 而形成於 p 型單結晶矽基板 342 之上。在汲極領域 344a 與源極領域 343 之

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (65)

間，形成有浮動閘極 351。浮動閘極 351 係隔著閘極絕緣膜 353 形成於 p 型單結晶矽基板 342 之上。在閘極絕緣膜 353 的底下，則形成有通道領域 345。

在浮動閘極 351 與汲極領域 344a 之間，形成有 n 型摻雜用物領域 349。在 n 型摻雜用物領域 349 與汲極領域 344a 之間，則形成有第一隧道絕緣膜 348。而在 n 型摻雜用物領域 349 與浮動閘極 351 之間，形成有第二隧道絕緣膜 350。此外，在浮動閘極 351 與源極領域 343 之間，形成有第三隧道絕緣膜 352。

在源極領域 343 之上，形成有由 n 型多晶矽膜所構成之源極領域 343a 以及由矽化物膜所構成之源極領域 343b。並且，在汲極領域 344a 之上，形成有矽化物膜所構成之汲極領域 344b。在汲極領域 343b、浮動閘極 351、以及汲極領域 344b 之上，隔著絕緣膜 354 形成有 p 型多晶矽膜所構成之浮動閘極 347。該浮動閘極 347，係形成為延伸在與源極領域 343 以及汲極領域 344a 之延伸方向垂直的方向上。而且，控制閘極 347 與浮動閘極 351 之間的靜電容量，係設定為大於其它部份之靜電容量。

如第 47 圖所示，在控制閘極 347 之側面，形成有由氧化膜所形成之側壁間隔物 356。在側壁間隔物 356 之間，為分離相鄰的記憶單元之浮動閘極 351 而形成有矽氧化膜 355。如第 47 及第 49 圖所示，位於側壁間隔物 356 之間的部份，在 n 型源極領域 343 之上，隔著 n 型多晶矽膜所構成之源極領域 343a 及矽化物膜所構成之源極領域 343b，

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(66)

形成有 p 型多晶矽膜所構成之源極領域 343c。

而且，在 n 型多晶矽膜所構成之汲極領域 344a 以及 n 型摻雜用物領域 349 之上，形成有 p 型多晶矽膜所構成之汲極領域 344c。在此，於 n 型摻雜用物領域與汲極領域 344c 之界面，形成有 pn 接合構成之二極體。而 n 型多晶矽膜所構成之汲極領域 344a，與 p 型多晶矽膜所構成之汲極領域 344c，係通過矽化物膜所構成之汲極領域 344b 而相連接。

接著，就如上述建構而成之第七實施形態的記憶單元之各動作(寫入動作、消除動作、讀出動作)加以說明。在源極領域 343 至 343c，經由源極線 SL 施加有源極電壓 V_s 。在汲極領域 344a 至 344c 則經由位元線 BL_1 至 BL_n 施加有汲極電壓 V_d 。而在控制閘極 347 則經由字元線 WL_0 至 WL_n 施加有控制閘極電壓 V_{cg} 。於基板 342 則施加有基板電壓 V_{sub} 。

在此，於本第七實施形態，寫入動作中之動作電壓與消除動作中之動作電壓，只有控制閘極電壓不同而已，其它動作電壓均相同。也就是說，在本第七實施形態，寫入及消除動作係可僅由施加於控制閘極 347 之電壓的正負來加以控制。

(寫入動作)

在進行寫入動作之前，浮動閘極 351 係處於消除狀態(電子已被抽除之狀態)，在第七實施形態中，處於消除狀態之浮動閘極 351 維持約 0V 之電位。而且，在第七實施形態中，以浮動閘極 351 為閘極之電晶體的臨限電壓 V_t

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (67)

係 0.5V。

在寫入動作之中，將記憶單元之動作電壓設定為源極電壓 $V_s: 3V$ ，汲極電壓 $V_d: -3V$ ，控制閘極電壓 $V_{cg}: 3V$ ，基板電壓 $V_{sub}: 0V$ 。

依上述，由於控制閘極 347 與浮動閘極 351 係作靜電容量之強耦合之故，約 80% 的控制閘極 347 之電位會傳導至浮動閘極 351。在此情況下，浮動閘極 351 之電位即從 0V 上升到約 2.5V。藉此，以浮動閘極 351 為閘極之電晶體即成 ON 之狀態，n 型摻雜用物領域 349 也成為與源極領域 343 導通之狀態。由此，n 型摻雜用物領域 349 之電位即成 2V (以源極電壓 V_s 為上限，從浮動閘極 351 之電位經上述臨限電壓 V_t 為止之位準轉移後之電壓)。

另一方面，由於在汲極領域 344a 係施加有 -3V 之電壓，n 型摻雜用物領域 349 與汲極領域 344a 之間有強電場之發生。其結果，有 FN 隧道電流流過，電子從汲極領域 344a 往 n 型摻雜用物領域 349 移動。然後，透過 (穿隧作用) 汲極領域 344a 與 n 型摻雜用物領域 349 之間的第一隧道絕緣膜 348 之阻障的電子，經 n 型摻雜用物領域 349 與汲極領域 344a 之間所產生的強電場之加速後，透過第二隧道絕緣膜 350 植入浮動閘極 351。其結果，在浮動閘極 351 有電子聚積，進行數據之寫入。

而，寫入動作自動終止之時點係與第一實施形態相同。

並且，與第一實施形態相同，n 型摻雜用物領域 349

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（68）

之寬度，係設定在小於電子之平均自由行程的 30nm 之程度。因此，透過汲極領域 344a 與 n 型摻雜用物領域 349 之間的第一隧道絕緣膜 348 之阻障的電子，在平均自由行程（等於約 30 至 40nm）以下之短距離內即已加速至 3.2eV 以上。

因此，幾乎所有的透過該第一隧道絕緣膜 348 之阻障的電子，獲取足以越過第二隧道絕緣膜 350 之阻障（等於 3.2eV）的能量而成為熱電子，不停留於 n 型摻雜用物領域 349 之中，而以極高之機率植入於浮動閘極 351 之內。

（消除動作）

在消除動作中，記憶單元之動作電壓係設定為源極電壓 V_s ：3V，汲極電壓 V_d ：-3V，控制閘極電壓 V_{cg} ：-6V，基板電壓（電位阱電壓） V_{sub} ：0V。

在消除動作之情況下，由於控制閘極 347 與浮動閘極係作靜電容量之強耦合之故，當約 80% 的控制閘極 347 之電位傳導至浮動閘極 351 時，浮動閘極 351 之電位即變成約 -5V 之負電位。

另一方面，源極領域 343 之電位係約 3V 之故，位於源極領域 343 與浮動閘極 351 之間的第三隧道絕緣膜 352 產生有約 10MV 之強電場。其結果，FN 隧道電流流過，從浮動閘極 351 往源極領域 343 抽除電子，進行數據之消除。

（讀出動作）

第七實施形態之讀出動作，係與第一實施形態相同。亦即，記憶單元之動作電壓係設定為源極電壓 V_s ：0V，

五、發明說明 (69)

汲極電壓 V_d : 3V, 控制閘極電壓 V_{cg} : 3V, 基板電壓(電位阱電壓) V_{sub} : 0V。

然後, 藉由檢測出流通於源極領域 343 與汲極領域 344a 之間的電流(單元電流), 可以判別浮動閘極 351 是否聚積有電子, 藉此, 可以讀出記憶於記憶單元之數據。

第七實施形態, 除上述第一至第六實施形態之作用、效果之外, 可以導致以下作用與效果。

(21)第七實施形態中, 寫入及消除動作可以僅由施加於控制閘極 347 之電壓的正負來加以控制。藉此, 相對於傳統的快閃記憶體之一併消除之後進行寫入, 於各控制閘極 347 個別連接有 1000 至 4000 個記憶單元, 消除與寫入可以同時進行而作一併之換寫。

亦即, 在換寫數據之際, 在源極領域 343 施加正電壓 (3V), 並在汲極領域 344a 加負電壓 (-3V), 同時, 在消除記憶單元的控制閘極 347 加負電壓 (-6V), 在寫入記憶單元的控制閘極 347 加正電壓 (3V)。藉此, 對源極領域 343 與汲極領域 344a 之間的多數記憶單元同時進行消除與寫入, 並且, 對於不必要更改數據之記憶單元則不予更動, 原樣持留上述數據。

由於可以如此同時進行寫入與消除而作一併換寫, 寫入及消除動作得以簡化, 其結果, 寫入及消除動作得以高速化。並且, 對於不必換寫之記憶單元, 因不必消除再寫入相同的資料, 自動地保留原有數據之故, 隧道絕緣膜之應力降低。藉此, 隧道絕緣膜之壽命延長, 其結果, 換寫

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（70）

次數即得以加大。

並且，控制閘極 347 與浮動閘極之間的靜電容量，係設定為大於其它部份之靜電容量。藉此，施加於控制閘極 347 之電壓，藉由控制閘極 347 與浮動閘極 351 之間的靜電耦合而傳導於浮動閘極 351。其結果，僅由控制閘極 347 之電位的控制，浮動閘極 351 之電位即可以簡單地加以控制。

(23)n 型摻雜用物領域 349 與汲極領域 344a，係通過 pn 接合所構成之二極體而相連接，藉此，寫入時若在汲極領域加負電壓，而於 n 型摻雜用物領域則傳導正或接地電壓，則汲極領域 344a 與 n 型摻雜用物領域 349 之電位差就得以維持。並且，讀出時，若於汲極領域 344a 加正電壓，則汲極領域 344a 與 n 型摻雜用物領域 349 之間電流即能無電阻或低電阻地流通。

(24)由於不存在如第 48 圖所示之在記憶單元領域的接觸領域，可以提升記憶單元領域之積體密度。

其次，參照第 50 至第 60 圖說明第七實施形態之記憶單元的製造方法。

步驟 38(參照第 50 圖)：於基板 342 上形成矽氮化膜 361 之後，將該矽氮化膜 361 加工成條紋狀。在外露之基板 342 形成刻深至 100nm 之程度的溝槽之後，將基板 342 氧化，以於基板之溝槽的內面形成膜厚在 10nm 程度之矽氧化膜。該矽氧化膜之中，形成於汲極領域側之溝槽側面之部份構成第二隧道絕緣膜 350(參照第 48 圖)，形成於源

五、發明說明 (71)

極域側之溝槽側面之部份則構成第三隧道絕緣膜 352，而形成於溝槽之底面的部份則構成閘極絕緣膜 353。而第二隧道絕緣膜 350 係相當於本發明之「第三絕緣膜」。然後，於基板 342 之溝槽部埋入多晶矽膜 351。

步驟 39(參照第 51 圖):藉由對埋入溝槽部之多晶矽膜 351 作異向性蝕刻，形成浮動閘極用之溝槽(A)以及源極分離用之溝槽(B)。然後，於該溝槽(A)及(B)埋入矽氧化膜 355。而經由該多晶矽膜 351 之異向性蝕刻，形成由分離每一記憶單元之多晶矽膜構成之浮動閘極 351。而該浮動閘極 351 係構成本發明之「第二閘極」者。

步驟 40(參照第 52 圖):將多晶矽膜所構成的浮動閘極 351 之頂面氧化，以形成膜厚約 30nm 之矽氧化膜 362。

步驟 41(參照第 53 圖):去除矽氮化膜 361 之後，全面沉積矽氮化膜。對該沉積後之矽氮化膜作異向性回蝕刻，以於浮動閘極 351 之側面形成厚度在 20nm 至 30nm 之程度的側壁間隔物 363。以側壁間隔物 363 為遮罩，於基板 342 以砷及磷等之 n 型摻雜用物作離子植入後作熱處理，以形成 n 型之源極領域 343，以及用來形成 n 型摻雜用物領域 349 之摻雜用物領域 349a。而 n 型之源極領域 343 係構成本發明之「第一領域」者。

步驟 42(參照第 54 圖):形成能將 n 型之源極領域 343 予以披覆之抗蝕膜 364 之後，以抗蝕膜 364、矽氧化膜 362、及側壁間隔物 363 為遮罩，以異向性蝕刻將基板 342 刻深至 150nm 之程度形成溝槽。藉此，形成 n 型摻雜用物領域

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(72)

349。而該 n 型摻雜用物領域 349 即係構成本發明之「第三領域」者。

步驟 43(參照第 55 圖):於基板 342 之溝槽的內面,利用熱氧化法形成膜厚在 2nm 至 3nm 程度之矽氧化膜。該矽氧化膜之中,形成於基板 342 之溝槽底面之部份構成絕緣膜 346,而形成於 n 型摻雜用物領域 349 之側面的部份則構成第一隧道絕緣膜 348。而該第一隧道絕緣膜 348 即相當於本發明之「第一絕緣膜」。之後,形成披覆於基板 342 之溝槽的抗蝕膜 365 之後,以該抗蝕膜 365、矽氧化膜 362 以及側壁間隔物 363 為遮罩,藉由異向性蝕刻,將形成於源極領域 343 之表面的自然氧化膜予以去除。

步驟 44(參照第 56 圖):去除抗蝕膜 365 之後,全面沉積多晶矽膜。然後,在以 n 型摻雜用物於該多晶矽膜作離子植入後進行熱處理。然後,藉由該多晶矽膜之回蝕刻,形成埋入基板 342 之溝槽的多晶矽膜所構成之 n 型汲極領域 344a,以及源極領域 343 之上的多晶矽膜所構成的 n 型源極領域 343a。而汲極領域 344a 即係構成本發明之「第二領域」者。

步驟 45(參照第 57 圖):利用自行對準矽化物(Self-Aligned Silicide)製程,將源極領域 343a 以及汲極領域 344a 之表面予以矽化物化,以個別於源極領域 343a 以及汲極領域 344a 之上形成 WSi 等之金屬矽化物膜 343b 及 344b。

步驟 46(參照第 58 圖):去除矽氧化膜 362 以及側壁間隔物 363。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

統

五、發明說明 (73)

步驟 47(參照第 59 圖): 利用熱氧化法或 CVD 法, 全面形成 10nm 至 15nm 程度之矽氧化膜 354。

步驟 48(參照第 60 圖): 全面沉積多晶矽膜之後, 以 p 型摻雜用物於該多晶矽膜作離子植入。之後, 在熱處理後, 藉由該多晶矽膜之圖案化, 形成延伸在垂直於源極與汲極方向的方向上之控制閘極 347。而控制閘極 347 即相當於本發明之「第一閘極」。

其後, 如第 47 圖所示, 於控制閘極 347 之側面形成氧化膜所構成之側壁間隔物 356。全面沉積多晶矽膜之後, 於該多晶矽膜以 p 型摻雜用物(例如硼)作離子植入。然後進行熱處理, 之後利用對該多晶矽膜之異向性回蝕刻, 形成埋入於側壁間隔物 356 之間的 p 型多晶矽膜所構成的源極領域 343c 以及汲極領域 344c。然後, 再利用自行對準矽化物技術, 將 p 型多晶矽膜所構成之控制閘極 347、及 p 型多晶矽膜所構成之源極領域 343c、以及汲極領域 344c 之上部予以矽化物化。

至此, 第七實施形態之記憶單元已經完成。

然後, 與第一實施形態相同, 形成各記憶單元上之層間絕緣膜(圖式中省略)。之後, 形成連接各控制閘極 347 之字元線 WL_0 至 WL_n , 及連接各汲極領域之位元線 BL_0 至 BL_n , 及將各源極領域 343 共同連接之源極線 SL, 而建構完成記憶單元陣列 50。

在此情況下, 位於汲極領域 344a 與基板 342 之間的絕緣膜 346, 係以具有足能使汲極領域 344a 與基板 342 絕緣

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明(74)

之膜厚為佳。藉此，即使當 n 型摻雜用物領域 349 與 349a 係形成蕭特基阻障的逆偏壓之關係，而汲極領域 344a 與基板 342 係正偏壓，藉由該絕緣膜 346 也能使汲極領域 344a 與基板 342 充分絕緣。還有，此情況下，絕緣膜 346 之製作方法，係首先為形成汲極領域 344a，將基板 342 刻深之後沉積厚氧化膜。然後，藉由該氧化膜之回蝕刻，形成僅留存於基板 342 之底部的絕緣膜 346。之後，將基板 342 之側面氧化，以形成薄層的第一隧道絕緣膜 348。

而這些實施形態中各例示之點不應被視為係本發明之極限。本發明之範圍並非上述實施形態之說明而已，而係如申請專利範圍所示，包括與申請專利範圍相當之意涵以及範圍內之種種變化。

例如，上述各實施形態也可以作如下之變化，此時，仍可獲得與上述各實施形態相同之作用與效果：

(i) 上述第一至第六實施形態中，將 p 型單結晶矽基板之導電型定為 n 型，而將 n 型之源極領域、n 型之汲極領域以及 n 型摻雜用物領域(中間閘極)之導電型定為 p 型。藉此，其與控制閘極之間的電位差即使更小，從控制閘極來的電子也得以移動，其結果可得更進一步的低電壓化。

(ii) 上述第一至第六實施形態的消除動作中，將汲極電壓 V_d 設定為 0V 之後，將汲極領域(位元線)維持 ON 之狀態。

如上述，在消除動作之初，位於浮動閘極與 n 型摻雜用物領域(中間閘極)之間第二隧道絕緣膜有約 10MV 的電

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (75)

場之故，消除動作得以持續(從 n 型摻雜用物領域抽除電子)。然後，隨著消除動作之進行，從浮動閘極繼續抽除電子之故，浮動閘極之電位於是逐漸上升。之後，當浮動閘極電位越過臨限電壓 V_t 之時，浮動閘極之下的通道領域即成 ON 之狀態。藉此，即可從汲極領域抽除電子，因此汲極領域之電位也就上升。然後，浮動閘極與 n 型摻雜用物領域之間的電位差減小。其結果，浮動閘極中之電子就變成無法透過第二隧道絕緣膜之阻障，也就無法進行再進一步之消除動作。

亦即，不必要為自動終止消除動作而另設其它用以檢測出消除動作之終止的電路，可以獲致與此相對應的週邊電路之構造簡化，面積縮小，以及耗電降低。再者各記憶單元之消除位準也都幾乎一致。

(iii) 上述第一至第六實施形態之消除動作中，將汲極電壓 V_d 設定成 0V 之後，將汲極領域(位元線)與讀出放大器群 61 連接。如上述(ii)，進行消除動作時，汲極領域之電位上升之故，檢測出讀出放大器群 61 中之位元線 BL_n 之電位已達選定值以上之事實，判別消除動作之終止。

(iv) 上述(iii)中，以字元線為單位進行消除動作時，係以檢測出多數之位元線的電位變化以判斷消除動作之終止，亦即，一條字元線所連接之記憶單元，由於其特性上具有偏差分散度之故而消除動作之終止時機也不同。因此，考量偏差該分散度，不只一條，要將多數條的位元線之電位變化加以檢視。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (76)

(v)第一至第六實施形態之消除動作中，記憶單元之動作電壓係設定為源極電壓 V_s ：6V，汲極電壓 V_d ：-3V，控制閘極電壓 V_{cg} ：6V，基板電壓(電位阱電壓) V_{sub} ：-3V。

如此，由於將基板(電位阱)電壓設定為負電位，相對應的用於消除動作之源極電壓 V_s 以及控制閘極電壓 V_{cg} 即可設定於低值。

近年來，為求電子設備之低耗電，電源電壓已予降低，目前半導體積體電路之電源電壓一般也設定在 3.3V 以下。對應此一低電壓化，第一實施形態中用以產生記憶單元 1 之消除動作電壓的升壓電路之規模得以縮小。

(vi)在上述第一至第七實施形態中，寫入動作中係於浮動閘極^抽入電子，消除動作中則從浮動閘極抽除電子，但也可以設定成與此相反之關係。也就是說，也可以將浮動閘極有電子聚積之狀態設定為記憶單元之消除狀態，而將浮動閘極無電子聚積狀態之記憶單元設定為記憶單元之寫入狀態。

(vii)第二實施形態的讀取^取動作中，隨各數據之值(「00」，「01」，「10」，「11」)聚積於浮動閘極 11 之量不同，單元電流之流通所必要的源極領域 3 與汲極領域 4 之間的電位差也不同。此起，預先相對於各數據值設定有各單元電流之流通所需之源極與汲極間之電位差，在讀出動作中，依序變化電位差，藉由單元電流開始流通時之電位差判別數據之值。

(viii)第五實施形態中，控制閘極 177 也可以建構於浮

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(77)

動閘極 182 之上。具體來說，如第 37 圖所示，將控制閘極 177a 建構成重疊在浮動閘極 182 之上方亦無不可。

(ix) 上述第六實施形態之步驟 37 中，藉由對第一隧道絕緣膜 208 作回蝕刻，形成比第二隧道絕緣膜 210 薄的第一隧道絕緣膜 208，而本發明並不僅限於此。例如，也可以於浮動閘極 211 植入氫離子以促進氧化的同時，於控制閘極 207 植入氮離子以抑制氧化之後，藉由氧化形成膜厚不同之第一隧道絕緣膜 208 以及第二隧道絕緣膜 210。如此的話，則不須利用回蝕刻，僅以單一的熱氧化程序即可形成膜厚不同之第一隧道絕緣膜 208 以及第二隧道絕緣膜 210。

(x) 上述第七實施形態中，汲極領域 344a 不以矽而以具有蕭特基阻障之材料(例如 Wsi 及 TiN)形成。如此的話，則 n 型摻雜用物領域 349 與汲極領域 344a 之間，由於有蕭特基阻障之故，寫入時保持電位差，即可對電子進行加速。而且，由於蕭特基阻障之值係在 0.5eV 的相對低值，即使在汲極領域 344a 與 n 型摻雜用物領域 349 之電位差小的情況下，也可以從汲極領域 344a 抽出大量電子。此時，第一隧道絕緣膜 348 消失或變薄。

第一隧道絕緣膜 348 變薄時，第一隧道絕緣膜 348 之厚度，以在足以使汲極領域 344a 與 n 型摻雜用物領域 349 之界面安定化之範圍的薄膜(亦即，3nm)為佳。如此構成的話，由於使第一隧道絕緣膜 348 變薄即能使第一隧道絕緣膜 348 之阻障變小之故，可以防止第一隧道絕緣膜 348 之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (79)

在汲極領域 344a 加有 -3V 的電壓之故，n 型摻雜用物領域 349 與汲極領域 344a 之間有電位差發生，其結果，來自汲極領域 344a 之電子植入浮動閘極 351 而進行弱寫入。藉此，即可以修正過度消除。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：半導體記憶體及半導體記憶體之動作方法)

本發明提供可以達成延長壽命，降低電壓，加快動作，減低耗電量以及提高積體密度等目標之半導體記憶體。該半導體具備有控制閘極，及浮動閘極，及半導體領域，及形成於半導體領域之一部份的表面之第一絕緣膜，及形成於半導體領域之另一部份之表面的第二絕緣膜。然後，藉由施加選定之電壓於控制閘極或汲極領域，從控制閘極或汲極領域通過第一絕緣膜、半導體領域以及第二絕緣膜，往浮動閘極植入載子。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱：)

訂

線

六、申請專利範圍

1. 一種半導體記憶體，係具備有第一閘極，及第二閘極，及半導體領域，及形成於上述半導體領域之一部份表面上的第一絕緣膜，及形成於上述半導體領域之另一部份的表面上之第二絕緣膜；而通過上述第一絕緣膜、上述半導體領域、以及上述第二絕緣膜將載子植入於上述第二閘極。
2. 如申請專利範圍第 1 項之半導體記憶體，其中，上述半導體領域係由形成於第一導電型半導體所構成之第一層上的第二導電型摻雜物領域所構成。
3. 如申請專利範圍第 1 項之半導體記憶體，其中，上述半導體領域係包含形成於第一導電型半導體所構成的第一層上之第二導電型半導體膜。
4. 如申請專利範圍第 3 項之半導體記憶體，其中，上述第一閘極以及第二閘極係以自行對準之方式所形成。
5. 一種半導體記憶體，係具備有形成於第一導電型之半導體所構成的第一層上之第二導電型之第一領域以及第二領域，及形成於上述第一層上的第一領域與第二領域之間的第一閘極以及第二閘極，及形成於上述第一層上的上述第一閘極與第二閘極之間的第二導電型之第三領域，及形成於上述第一閘極與上述第三領域之間的第一絕緣膜，以及形成於上述第二單元與上述第三領域之間的第二絕緣膜。
6. 如申請專利範圍第 5 項之半導體記憶體，其中，上述第三領域係由第二導電型之摻雜物領域所構成。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

7. 如申請專利範圍第 5 項之半導體記憶體，其中，上述第三領域係包含第二導電型之導電性膜。
8. 如申請專利範圍第 7 項之半導體記憶體，其中，上述第一閘極以及上述第二閘極係以自行對準形成者。
9. 如申請專利範圍第 5 項之半導體記憶體，其中，上述第一閘極，係隔著第一閘極絕緣膜形成於上述第一層之上，而上述第二閘極，係隔著第二閘極絕緣膜形成於上述第一層之上。
10. 如申請專利範圍第 5 項之半導體記憶體，其中，上述第二領域與上述第二閘極之間的靜電容量係設定為大於上述第三領域與上述第二閘極之間的靜電容量；施加於上述第二領域之電壓，係藉著上述第二領域與上述第二閘極之間的靜電容量耦合而傳導於上述第二閘極，藉此，透過上述第一層與第二領域相連接之第三領域之電位即變成與上述第二領域相同之程度。
11. 如申請專利範圍第 5 項之半導體記憶體，其中，上述第三領域之寬度，係設定在越過上述第一閘極與上述第三領域之間的第一絕緣膜之阻障的載子在具有越過上述第二絕緣膜之阻障所必需之能量時的大致平均自由行程以下。
12. 如申請專利範圍第 5 項之半導體記憶體，其中，上述第二閘極，係隔著第三絕緣膜而形成於上述第二領域之側壁。
13. 如申請專利範圍第 12 項之半導體記憶體，其中，上述

六、申請專利範圍

第二閘極係在上述第一層形成溝槽之後，在上述溝槽內隔著上述第三絕緣膜而形成於上述第二領域之一邊。

14. 如申請專利範圍第 5 項之半導體記憶體，其中，上述第二導電型之第二領域上形成有第一導電型之第四領域，而上述第二領域係形成於上述第一層與上述第四領域之間的全部領域。

15. 如申請專利範圍第 14 項之半導體記憶體，其中，上述第二領域以及上述第四領域，係隔著第三絕緣膜與第二閘極作電容耦合。

16. 如申請專利範圍第 5 項之半導體記憶體，其中，上述第一閘極，係包含對上述第三領域以自行對準形成之側壁膜。

17. 如申請專利範圍第 16 項之半導體記憶體，其中，上述側壁膜，係於上述第三領域之側面沉積第一導電性膜之後以回蝕刻程序形成者。

18. 如申請專利範圍第 5 項之半導體記憶體，其中，於上述第一領域更具備有連接之配線，而上述配線係對上述第一領域以自行對準所形成。

19. 如申請專利範圍第 18 項之半導體記憶體，其中，上述配線係於上述第一閘極之側面隔著第四絕緣膜沉積第二導電性膜之後，藉由對上述第二導電性膜作回蝕刻加工所形成。

20. 如申請專利範圍第 5 項之半導體記憶體，其中，上述第三領域，係於上述第一閘極之側面以自行對準形成側壁

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

絕緣膜之後，利用上述側壁絕緣膜藉由對上述第一層作蝕刻加工所形成。

21. 如申請專利範圍第 7 項之半導體記憶體，其中，上述第一開極以及第二開極，係形成於第一層之主表面上，而上述導電性膜所構成之第三領域，係形成於上述第一層之主表面上的上述第一開極與上述第二開極之間。
22. 如申請專利範圍第 21 項之半導體記憶體，其中，上述第三領域的至少一部份，係形成於第二開極之頂面上，而上述第一開極之至少一部份，係形成於上述第三領域之頂面上。
23. 如申請專利範圍第 7 項之半導體記憶體，其中，上述第三領域係包含單結晶矽膜。
24. 如申請專利範圍第 7 項之半導體記憶體，其中，上述第三領域係包含以自行對準形成之第一導電性膜所構成之第一側壁膜。
25. 如申請專利範圍第 24 項之半導體記憶體，其中，上述第一側壁膜，係包含隔著上述第二絕緣膜形成於上述第二開極之側壁的第二導電性膜所構成之第二側壁膜，及與上述第二側壁膜之側面以及上述第一層之表面接觸而形成之第三導電性膜所構成之第三側壁膜。
26. 如申請專利範圍第 25 項之半導體記憶體，其中，上述第二側壁膜，係於上述第二開極之側面隔著上述第二絕緣膜沉積第二導電性膜之後，以回蝕刻加工所形成；而上述第三側壁膜，係於沉積成披覆於上述第一層以及上

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

述第二側壁膜之第三導電性膜之後，藉由回蝕刻加工，並使與上述第二側壁膜之側面以及上述第一層之表面接觸而形成。

27. 如申請專利範圍第 24 項之半導體記憶體，其中，上述第二領域，係包含於上述第二閘極之側面隔著第三絕緣膜以自行對準形成之第四導電性膜所構成的第四側壁膜。
28. 如申請專利範圍第 27 項之半導體記憶體，其中，上述第四側壁膜，係包含於上述第二閘極之側壁隔著第三絕緣膜形成之第五導電膜所構成之第五側壁膜，以及被形成與上述第五側壁膜之側面及上述第一層之表面接觸的第六導電性膜所構成之第六側壁膜。
29. 如申請專利範圍第 27 項之半導體記憶體，其中，上述第四側壁膜，係與上述第一側壁膜同時形成。
30. 如申請專利範圍第 8 項之半導體記憶體，其中，上述第一領域及上述第二領域係各使其側面外露，而形成於第一層上；上述第一閘極包含隔著第三絕緣膜於上述第一領域之側面以自行對準形成之第七側壁膜；而上述第二閘極包含隔著第四絕緣膜於上述第二領域之側面以自行對準形成之第八側壁膜。
31. 如申請專利範圍第 30 項之半導體記憶體，其中，上述第七側壁膜以及上述第八側壁膜，係沉積成全面披覆之第七導電性膜之後，藉由回蝕刻加工而同時形成。
32. 如申請專利範圍第 8 項之半導體記憶體，其中，上述導

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

電性膜所構成之第三領域，係對於上述第一閘極以及上述第二閘極以自行對準形成。

33. 如申請專利範圍第 32 項之半導體記憶體，其中，上述第三領域，係被形成為埋入於上述第七側壁膜與上述第八側壁膜之間。
34. 如申請專利範圍第 8 項之半導體記憶體，其中，上述第一絕緣膜之膜厚低於上述第二絕緣膜之膜厚。
35. 如申請專利範圍第 34 項之半導體記憶體，其中，上述第一絕緣膜以及上述第二絕緣膜，係藉導入摻雜物以抑制上述第一閘極之氧化的同時，於上述第二閘極導入促進氧化之摻雜物之後，藉由將上述第一閘極以及上述第二閘極氧化而形成。
36. 如申請專利範圍第 8 項之半導體記憶體，其中，位於上述第一閘極與上述第二閘極之間的第三領域之頂面，與上述第一閘極以及第二閘極之上部側面之間，形成有第五絕緣膜。
37. 一種半導體記憶體，係具備有形成於第一導電型之半導體所構成之第一層的第二導電型領域，及閘極，及於上述第二導電型之領域與上述閘極之間隔著個別絕緣膜所形成之半導體領域；並從上述第二導電型之領域，通過上述絕緣膜、上述半導體領域，將載子植入上述閘極。
38. 如申請專利範圍第 37 項之半導體記憶體，其中，上述半導體領域係由形成於上述第一導電型半導體所構成

六、申請專利範圍

的第一層之第二導電型之摻雜物領域所構成。

39. 一種半導體記憶體，係具備有形成於第一導電型之半導體所構成之第一層的第二導電型之第一領域以及第二領域，及形成於上述第一層之第一閘極，及上述第一層上之上述第一領域與上述第二領域之間所形成的第二閘極，及上述第一層上之上述第一單元以及上述第二領域的任一與上述第二單元之間所形成的第二導電型之第三領域，及於上述第三領域之一部份表面上所形成的第一絕緣膜，及於上述第三領域之另一部份之表面上所形成之第二絕緣膜。
40. 如申請專利範圍第 39 項之半導體記憶體，進而具備有於上述第二閘極與上述第一領域之間所形成的第三絕緣膜；而上述第一閘極，係形成延伸於與上述第一領域以及第二領域交叉之方向；且上述第一絕緣膜係形成於上述第三領域與上述第二領域之間；上述第二絕緣膜係形成於上述第三領域與上述第二閘極之間。
41. 如申請專利範圍第 39 項之半導體記憶體，其中，上述第二閘極係對著上述第一層隔著閘極絕緣膜而形成。
42. 如申請專利範圍第 40 項之半導體記憶體，其中，上述第一閘極與上述第二閘極之間的靜電容量，係設定為大於其它部份之靜電容量；施加於上述第一閘極之電壓；係藉由上述第一閘極與上述第二閘極之間的靜電容量耦合而傳導於上述第二閘極，藉此，通過上述第一層與上述第一領域相連之上述第三領域之電位變成與上述

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

第一領域相同之程度。

43. 如申請專利範圍第 40 項之半導體記憶體，其中，上述第三領域及上述第二領域係通過二極體而連接。
44. 如申請專利範圍第 40 項之半導體記憶體，其中，上述第二領域，相對於矽包含具有蕭特基阻障之材料。
45. 如申請專利範圍第 44 項之半導體記憶體，位於上述第二領域與上述第三領域之間的上述第一絕緣膜，其膜厚係薄到僅足以將上述第二領域與上述第三領域之界面予以安定化之範圍。
46. 如申請專利範圍第 44 項之半導體記憶體，係藉由降低其上述第三領域之摻雜物濃度，於上述第三領域形成電位梯度。
47. 如申請專利範圍第 44 項之半導體記憶體，其中，位於上述第二領域與上述第一層之間的絕緣膜，係具有足以將上述第二領域及上述第一層予以絕緣之膜厚。
48. 如申請專利範圍第 39 項之半導體記憶體，其中，上述第三領域之寬度，係設定在通過上述第二領域與上述第三領域之間的上述第一絕緣膜之阻障的載子於具有越過上述第二絕緣膜所必需之能量時的大致平均自由行程以下。
49. 一種具備有形成於第一導電型之半導體所構成的第一層之第二導電型的第一領域以及第二領域，及位於上述第一層上的上述第一領域與上述第二領域之間的相對於上述第一層隔著第一閘極絕緣膜而形成之第一閘

(請元閱請背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

極，及位於上述第一層上的上述第一領域與上述第二領域之間的相對於上述第一層隔著第二閘極絕緣膜而形成之第二閘極，及在上述第一層之上形成於上述第一單元與上述第二閘極之間的第二導電型之第三領域，及上述第一閘極與上述第三領域之間所形成的第一絕緣膜，及形成於上述第二閘極與上述第三領域之間的第二絕緣膜之半導體記憶體的動作方法，係藉由從上述第一閘極，通過上述第一絕緣膜、上述第三領域以及上述第二絕緣膜往上述第二閘極植入熱載子進行數據寫入之動作方法。

50. 如申請專利範圍第 49 項之半導體記憶體之動作方法，係藉由將其上述第一閘極與上述第三領域之間的初期電場強度設定為不同，以控制植入上述第二閘極之熱載子的量，來進行三種值以上的數據之寫入。
51. 如申請專利範圍第 49 項之半導體記憶體之動作方法，係藉由從上述第二閘極，通過上述第二絕緣膜，往上述第三領域抽除熱載子而進行數據之消除。
52. 如申請專利範圍第 49 項之半導體記憶體之動作方法，係將上述第二領域與上述第二閘極間之靜電容量，設定為大於上述第三領域與上述第二閘極之間的靜電容量；而加於上述第二領域之電壓，係藉由上述第二領域與上述第二閘極之間的靜電耦合傳導於上述第二閘極，藉此，通過上述第一層與上述第二領域相連的上述第三領域之電位變成與上述第二領域相同之程度。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

53. 如申請專利範圍第 49 項之半導體記憶體之動作方法，上述第三領域之寬度，係設定在通過上述第一開極與上述第三領域之間的上述第一絕緣膜之阻障的載子在具有越過上述第二絕緣膜所必需之能量時的大致平均自由行程以下。
54. 如申請專利範圍第 52 項之半導體記憶體之動作方法，在進行數據消除之際，將與上述第二開極耦合之上述第二領域之電壓，設定為一旦選定之值後，將上述第二領域維持於 OPEN 狀態。
55. 一種具備有形成於第一導電型之半導體所構成之第一層上的第二導電型之第一領域以及第二領域，及形成於上述第一層上的第一開極，及在上述第一層之上的上述第一領域與第二領域之間的相對於上述第一層隔著開極絕緣膜而形成之第二開極，及在上述第一層之上的上述第一開極以及上述第二領域之任一與上述第二開極之間所形成的第二導電型之第三領域，及上述第三領域之一部份表面上所形成的第一絕緣膜，及於上述第三領域之另一部份所形成的第二絕緣膜之半導體記憶體之動作方法，係藉由從上述第一開極以及上述第二領域之任一，通過上述第一絕緣膜、上述第三領域以及上述第二絕緣膜，往上述第二開極植入熱載子，進行數據之寫入的動作方法。
56. 如申請專利範圍第 55 項之半導體記憶體之動作方法，係藉由從上述第二開極，通過第三絕緣膜，往上述第一

六、申請專利範圍

領域抽除熱載子，進行數據之消除。

57. 如申請專利範圍第 55 項之半導體記憶體之動作方法，上述第一單元與上述第二閘極之間的靜電容量係設定成大於其它部份之靜電容量；加於上述第一閘極之電壓，藉由上述第一閘極與上述第二閘極之間的靜電耦合傳導於上述第二閘極，藉此，通過上述第一層與上述第一領域相連之上述第三領域之電位變成與上述第一領域相同之程度。
58. 如申請專利範圍第 55 項之半導體記憶體之動作方法中，上述第三領域之寬度，係設定在通過上述第二領域與上述第三領域之間的第一絕緣膜之阻障的載子，在具有越過上述第二絕緣膜之阻障所需之能量時的大致平均自由行程以下。
59. 如申請專利範圍第 55 項之半導體記憶體之動作方法中，在進行數據寫入之際，各於上述第一領域施加正電壓，而於上述第二領域加負電壓，同時，藉由個別加負電壓於消除之記憶單元的上述第一閘極，加正電壓於寫入之記憶單元的上述第一閘極，對於個別連接於多數之上述第一閘極之多數記憶單元同時進行消除與寫入，並且，至於不必更動數據之記憶單元則使其依舊保持上述數據。
60. 如申請專利範圍第 55 項之半導體記憶體之動作方法中，在進行數據的消除之際，將與上述第二閘極耦合之上述第一閘極之電壓設定為一旦選定之負電位後，以上

(請先閱讀背面之注意事項再填寫本頁)

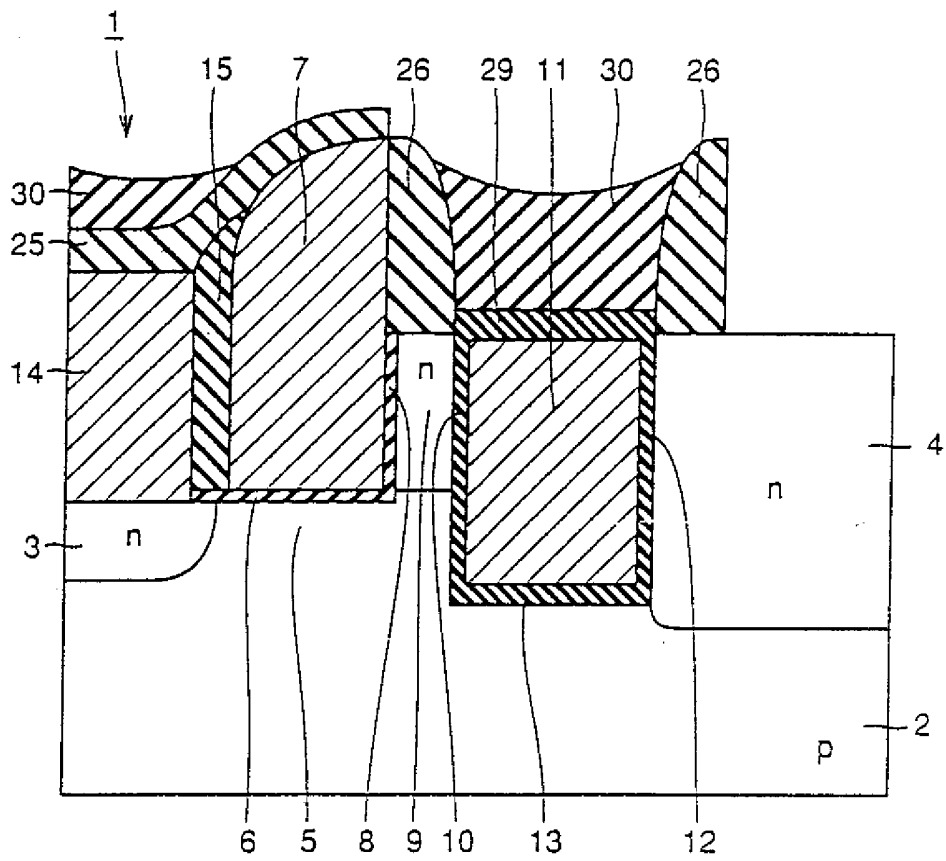
裝
訂
線

六、申請專利範圍

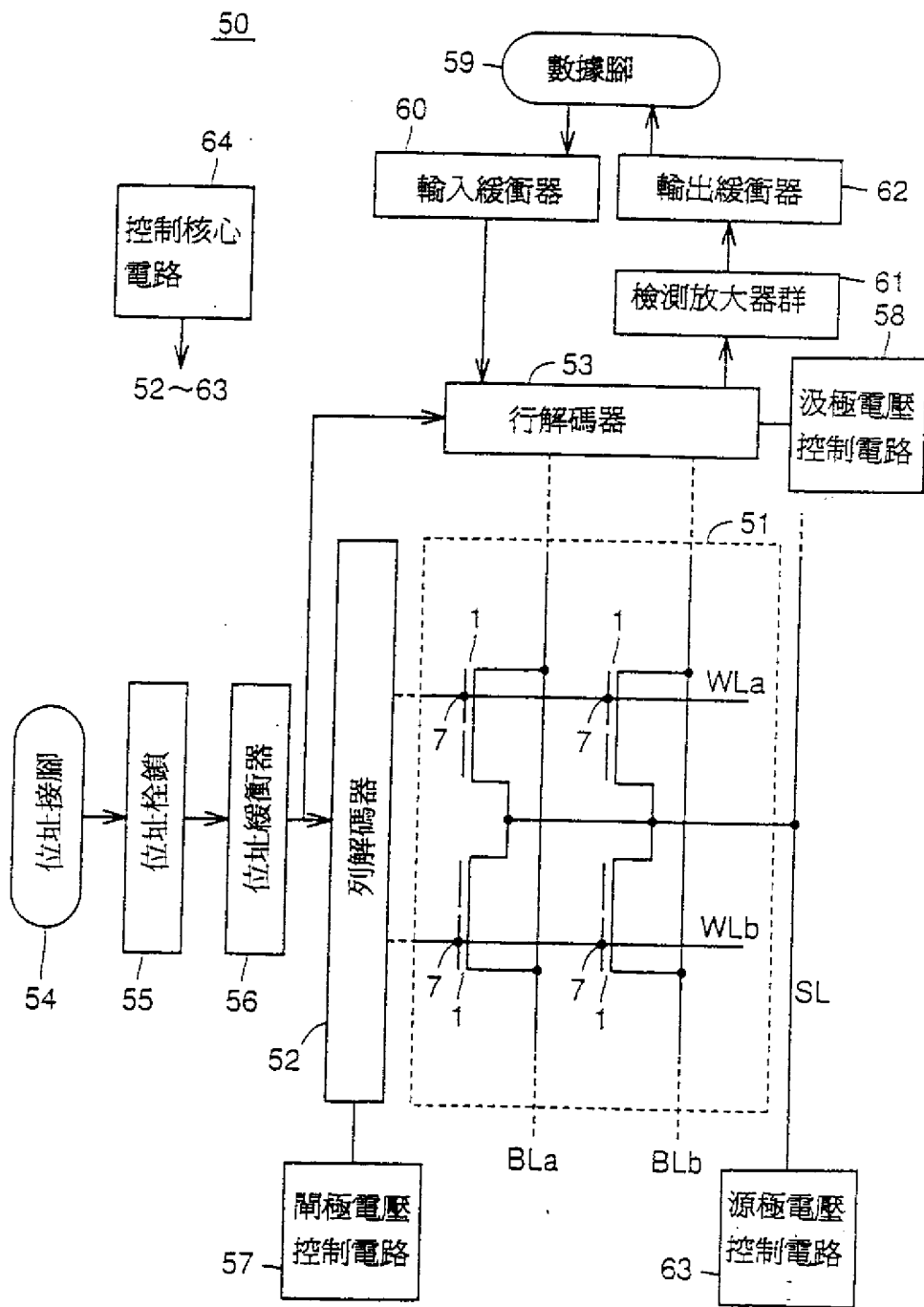
述第一開極之電位為接地電位或中性回歸於所設定之電位。

(請先閱讀背面之注意事項再填寫本頁)

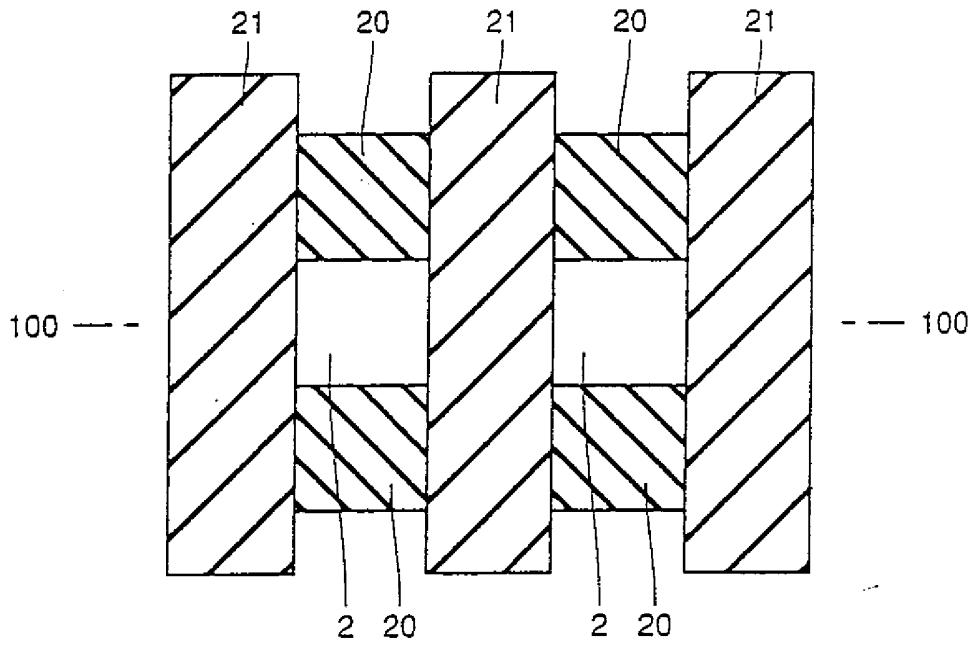
裝 · 訂 · 線



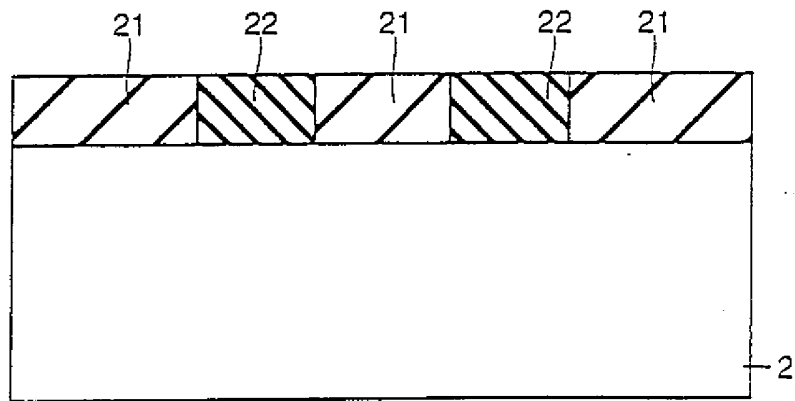
第 1 圖



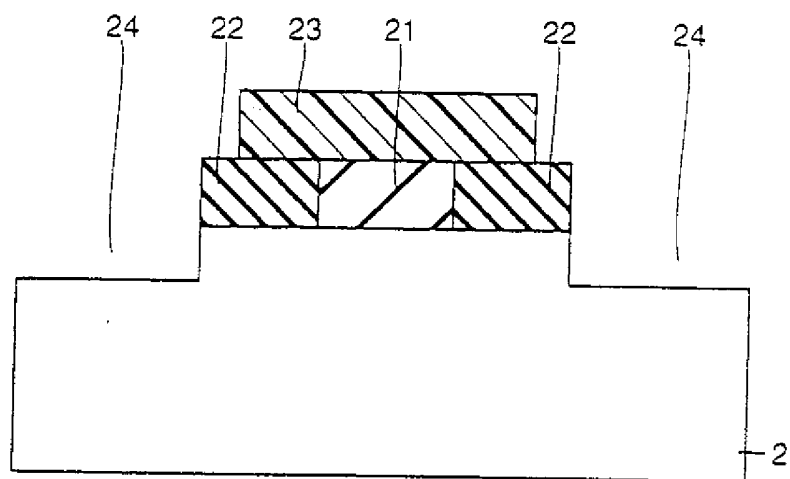
第 2 圖



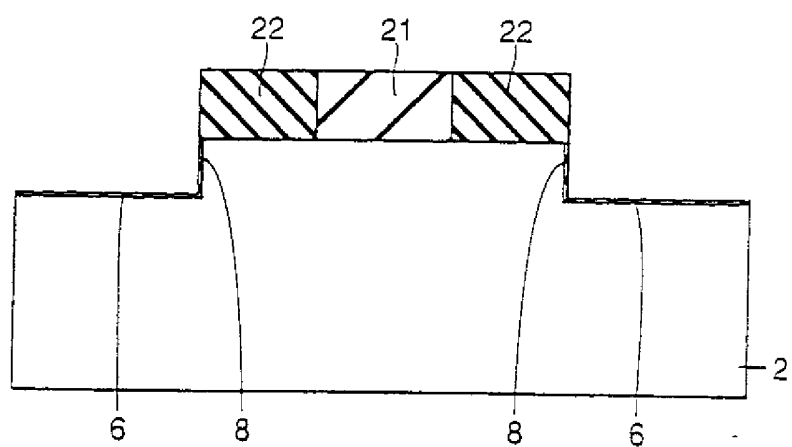
第 3 圖



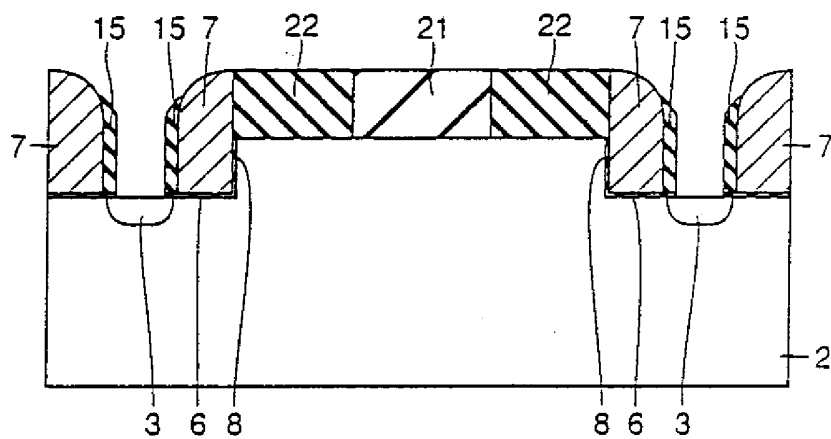
第 4 圖



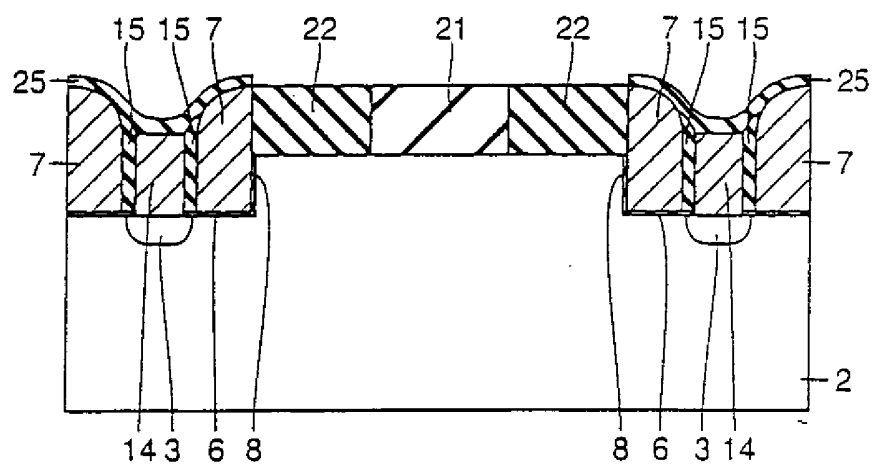
第 5 圖



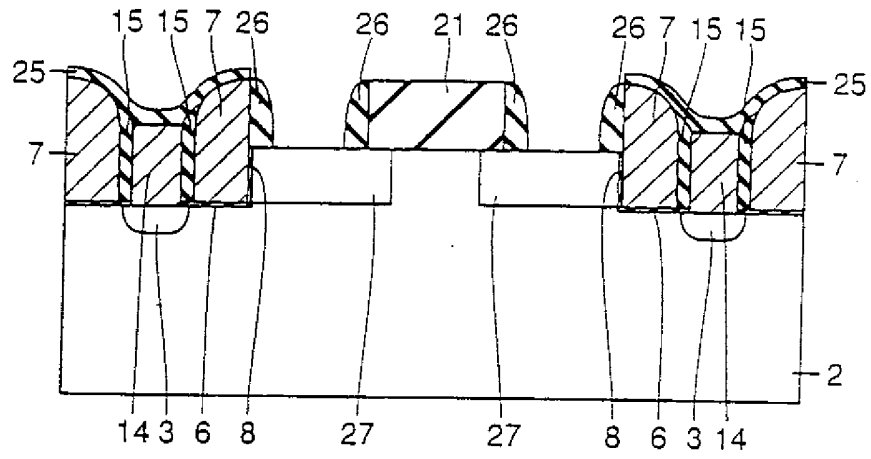
第 6 圖



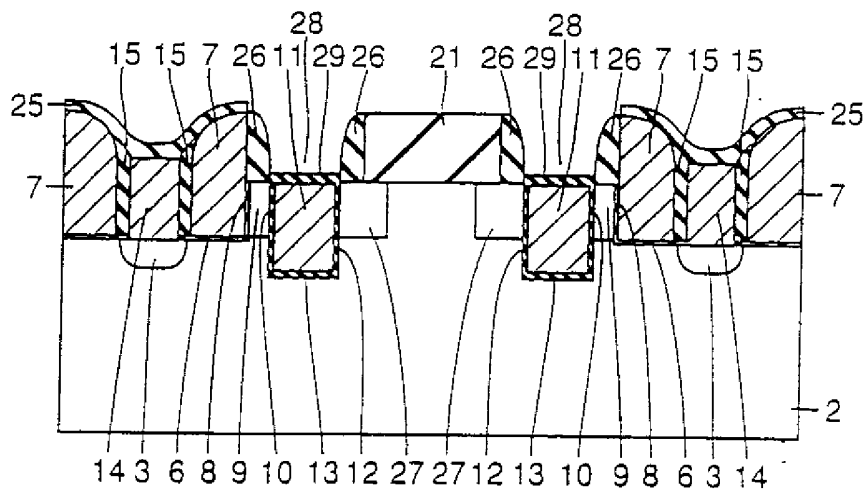
第7圖



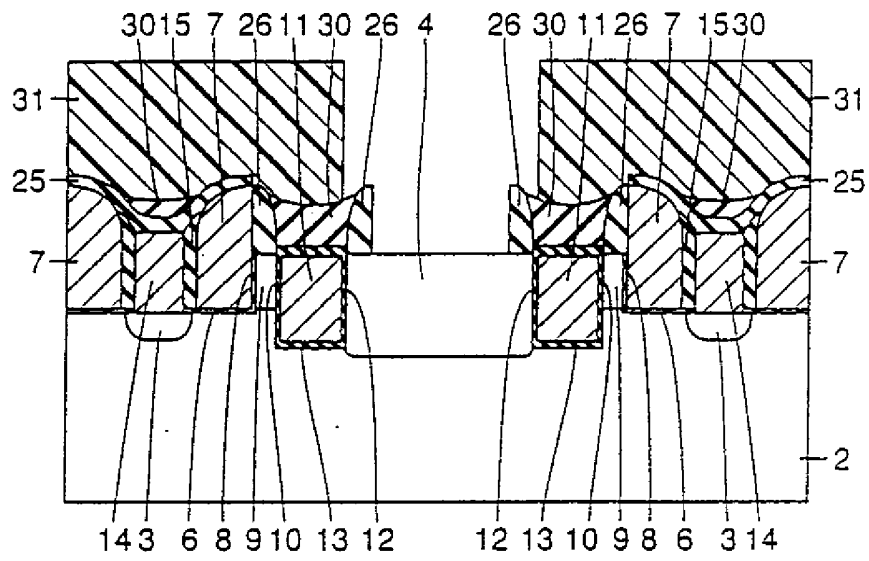
第8圖



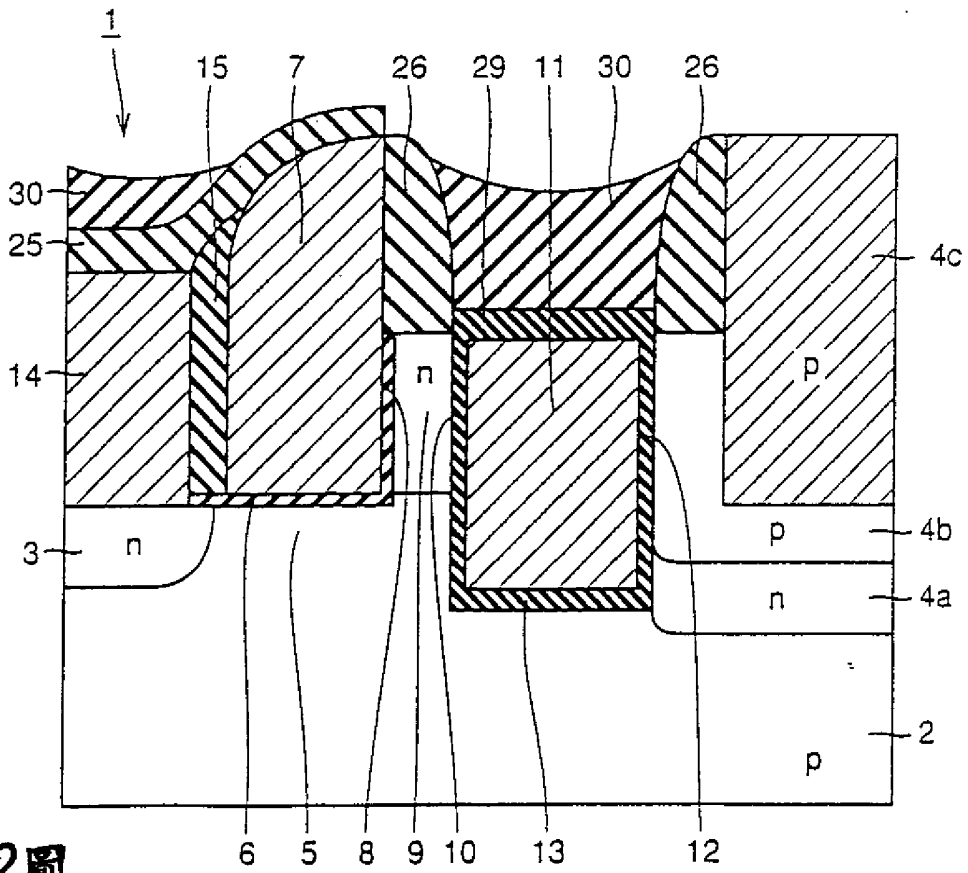
第9圖



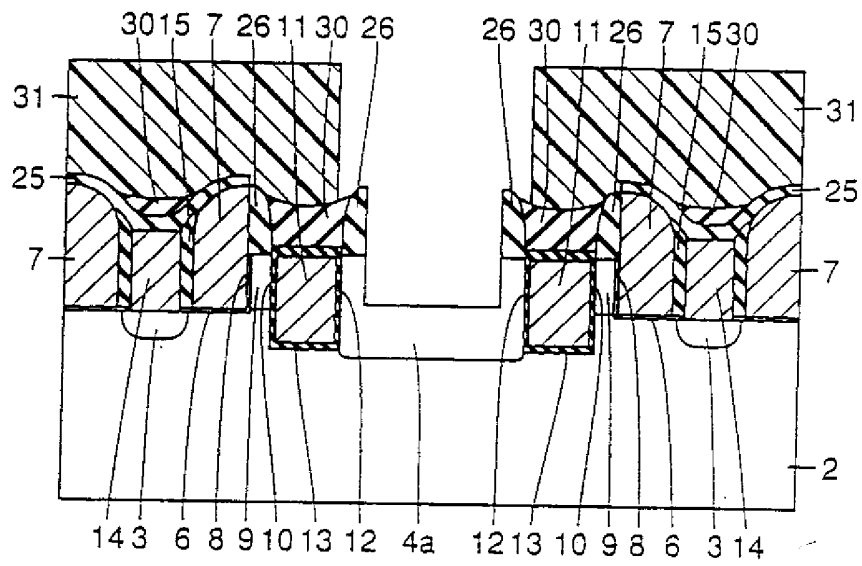
第10圖



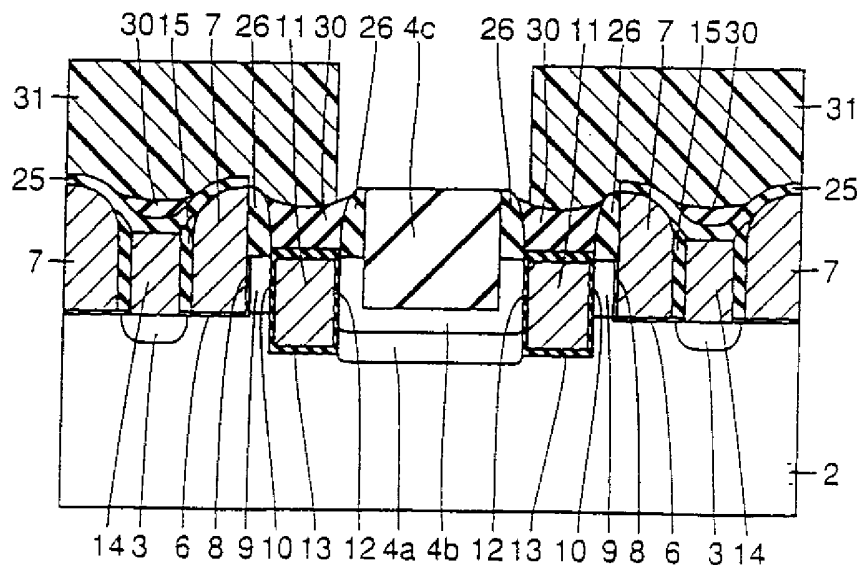
第11圖



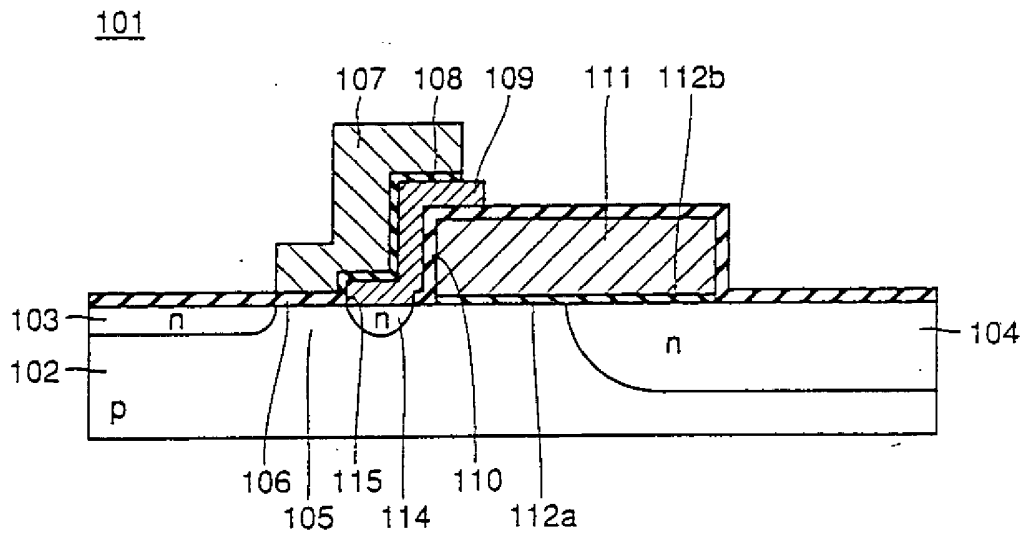
第12圖



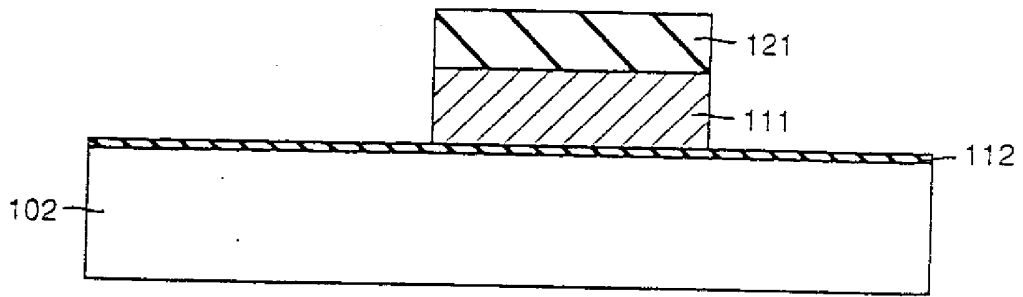
第13圖



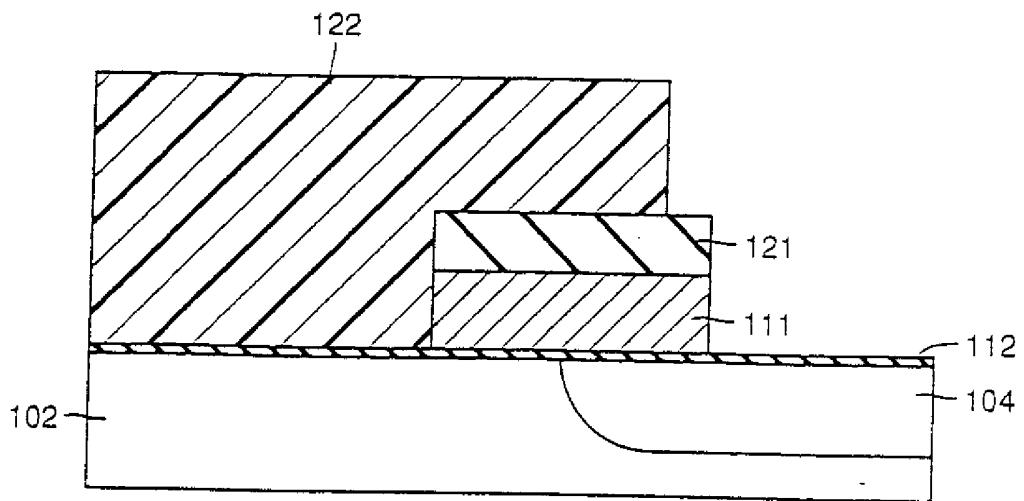
第14圖



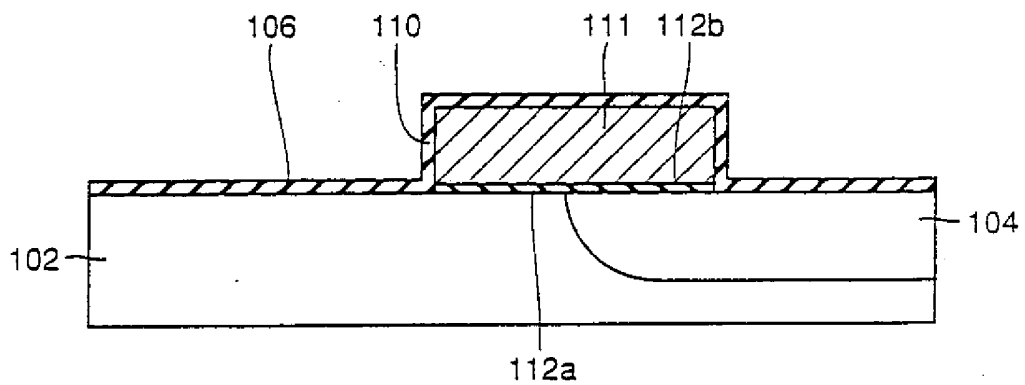
第15圖



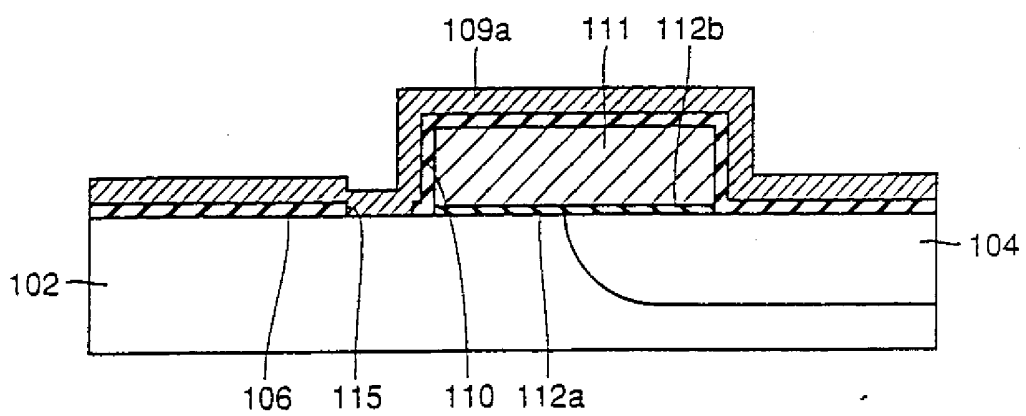
第16圖



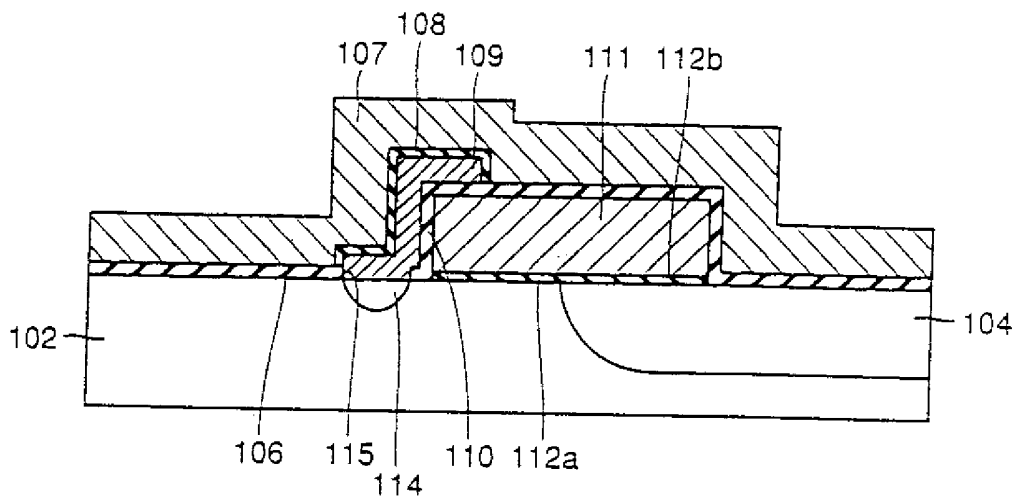
第17圖



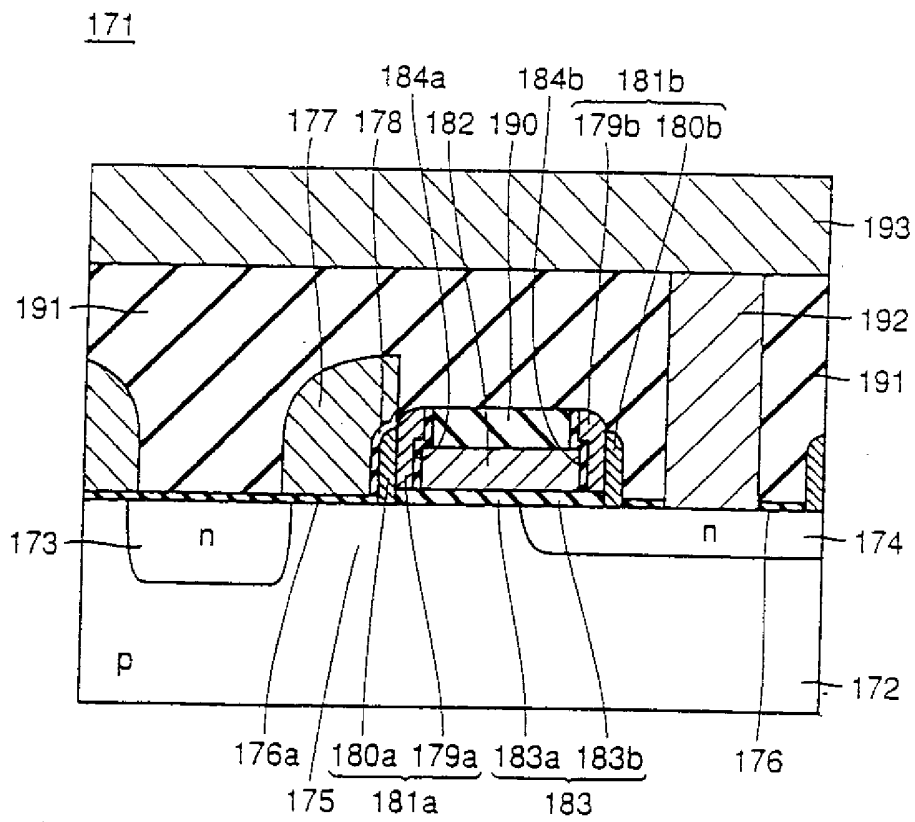
第18圖



第19圖



第20圖



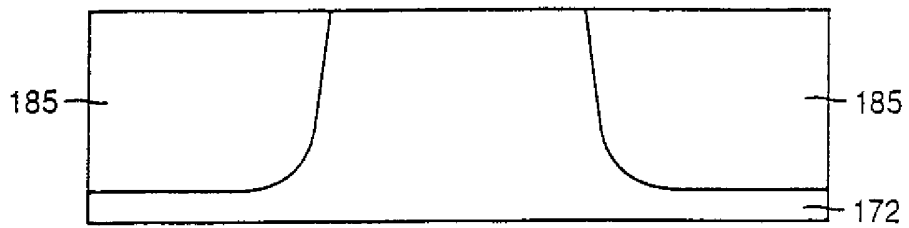
第21圖

X方向的剖面



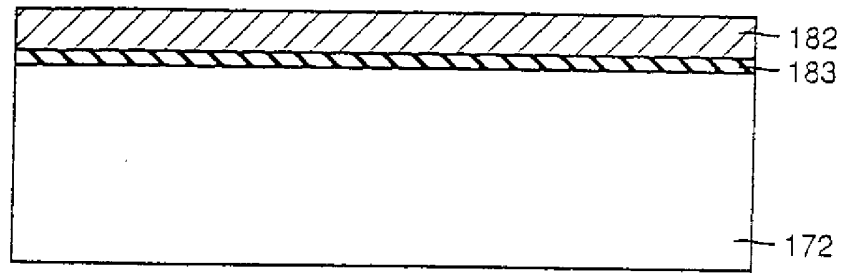
第22圖

Y方向的剖面



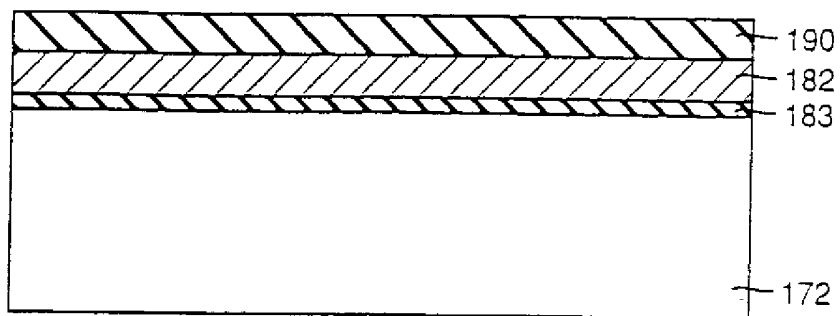
第23圖

X方向的剖面



第24圖

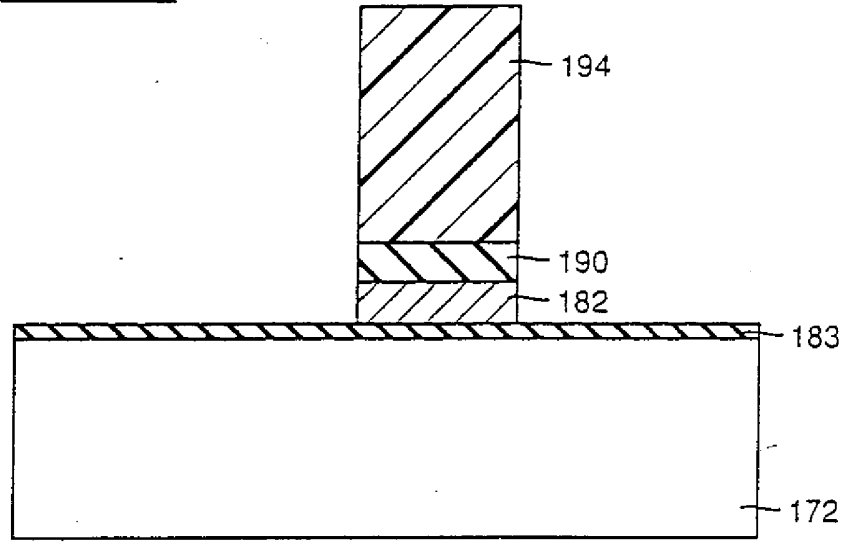
X方向的剖面



第25圖

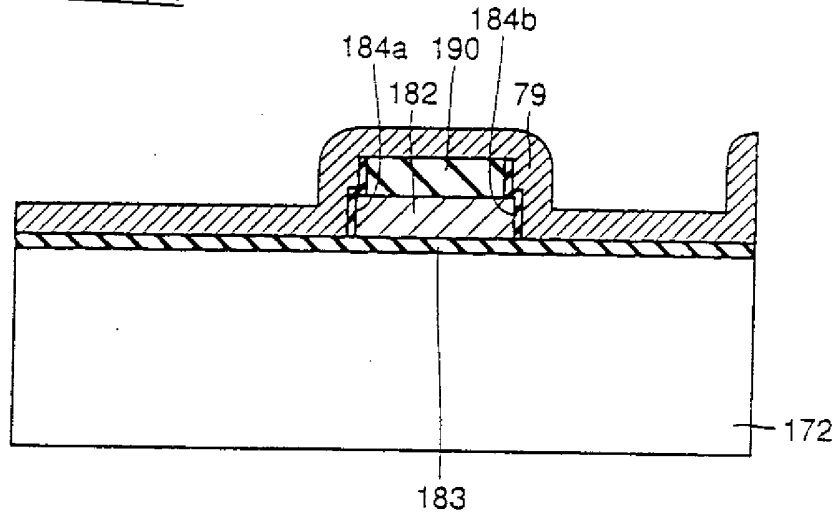
445649

X方向的剖面



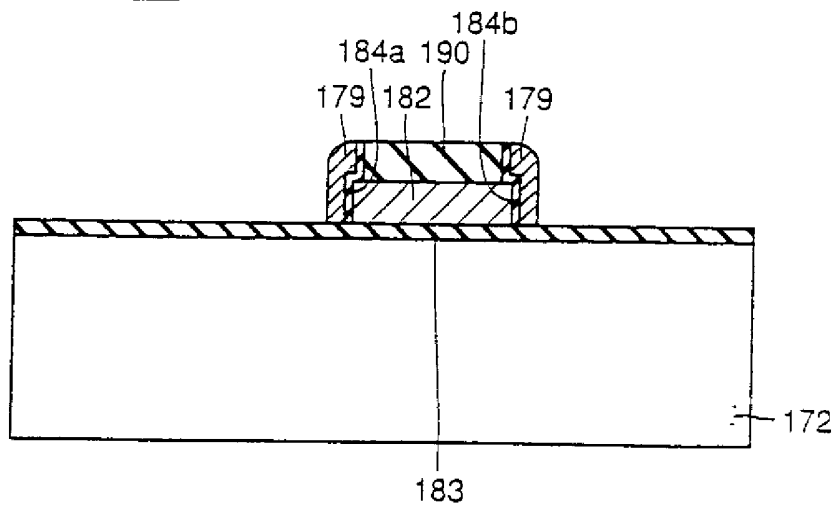
第26圖

X方向的剖面



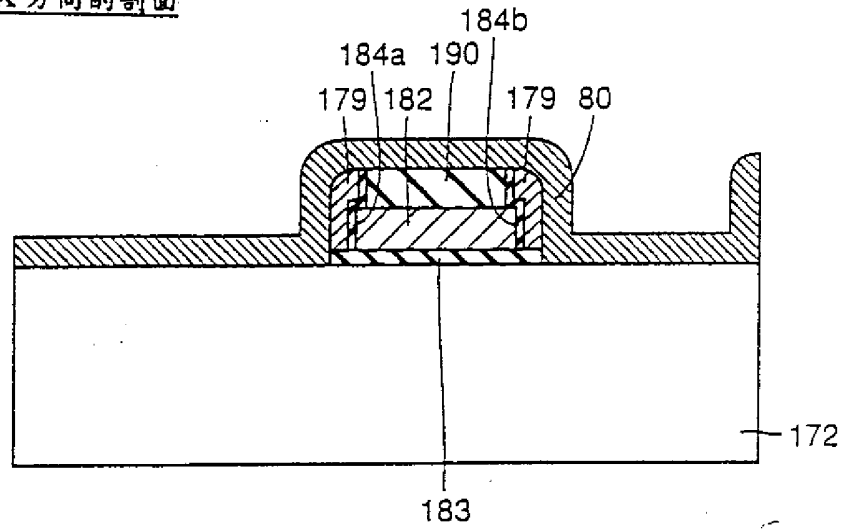
第27圖

X方向的剖面



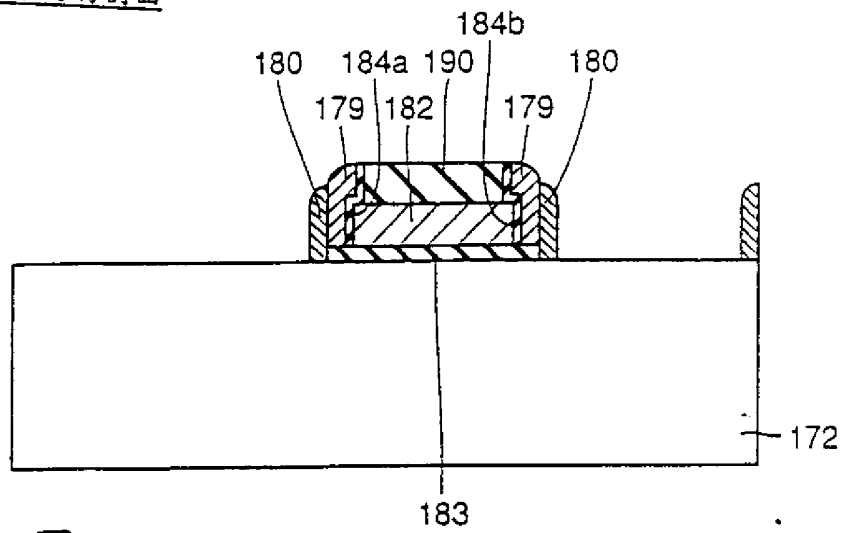
第28圖

X方向的剖面



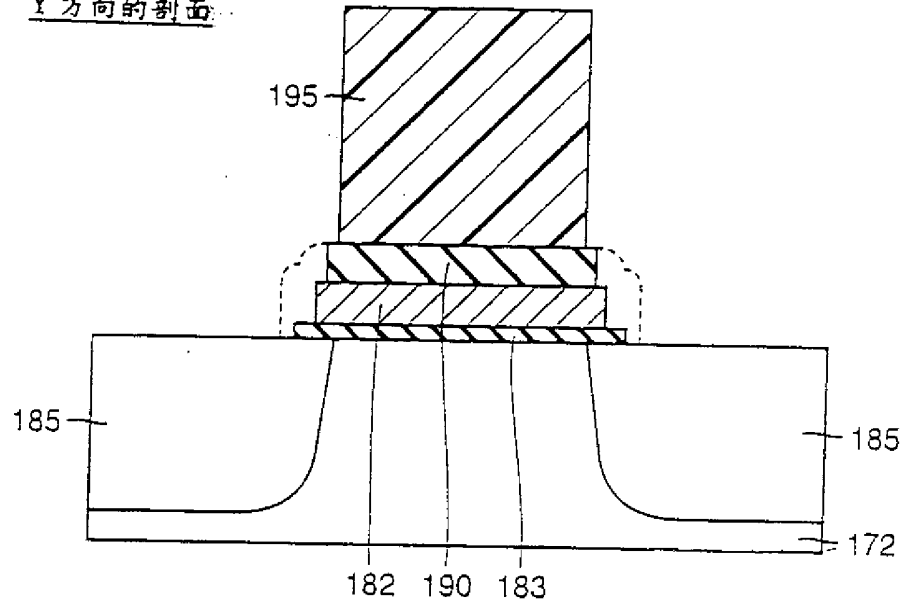
第29圖

X方向的剖面



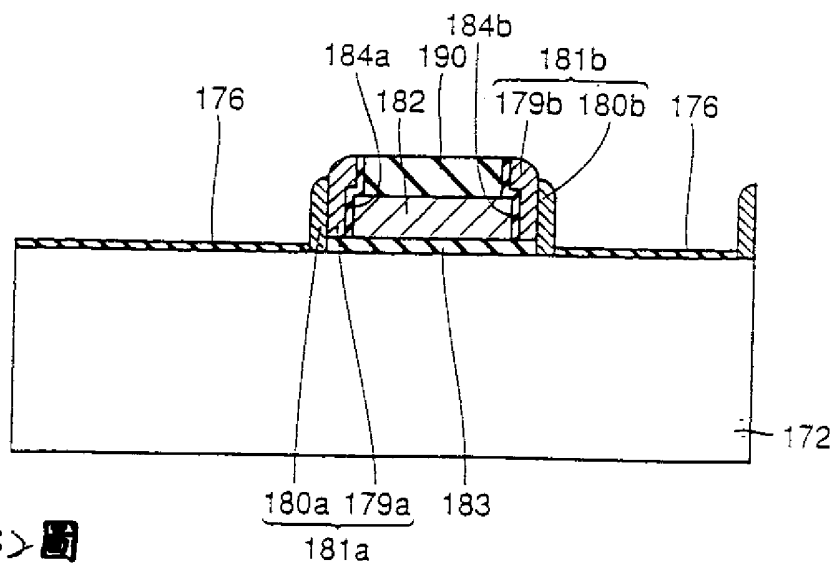
第30圖

Y方向的剖面



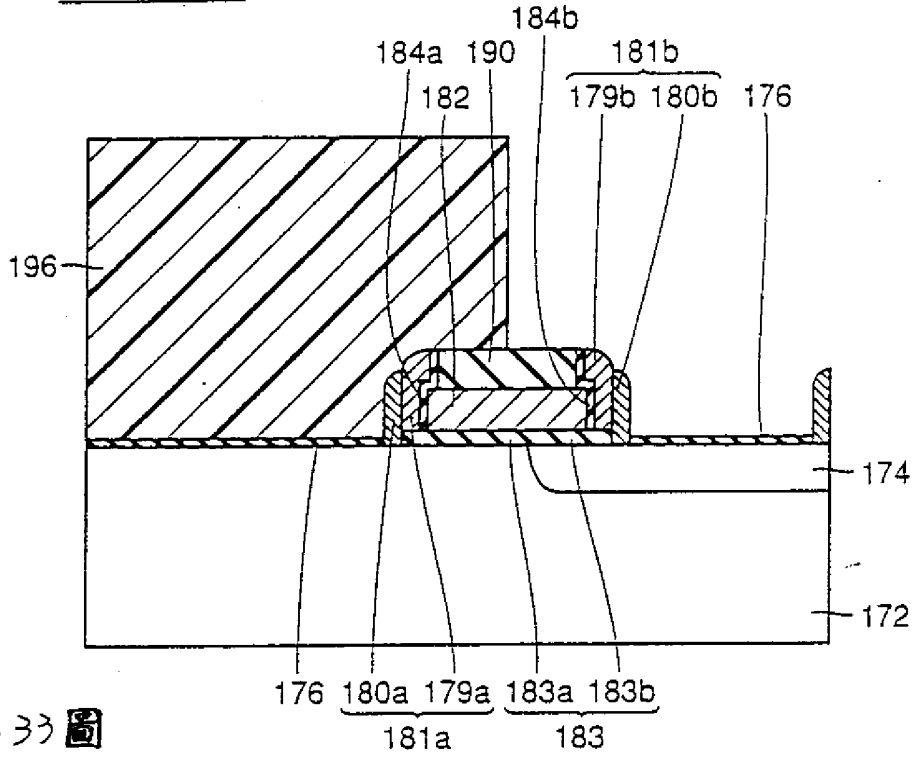
第31圖

X方向的剖面



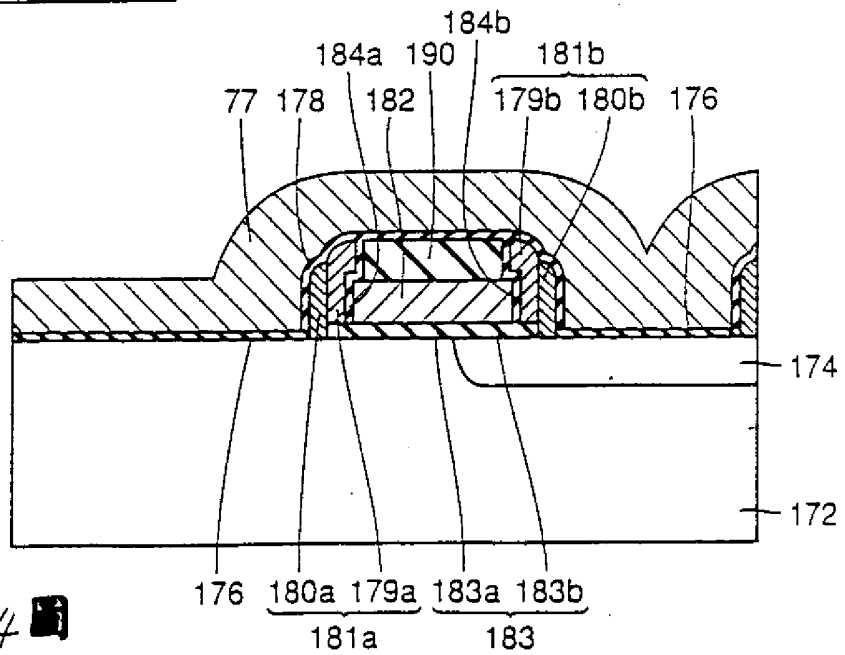
第32圖

X方向的剖面



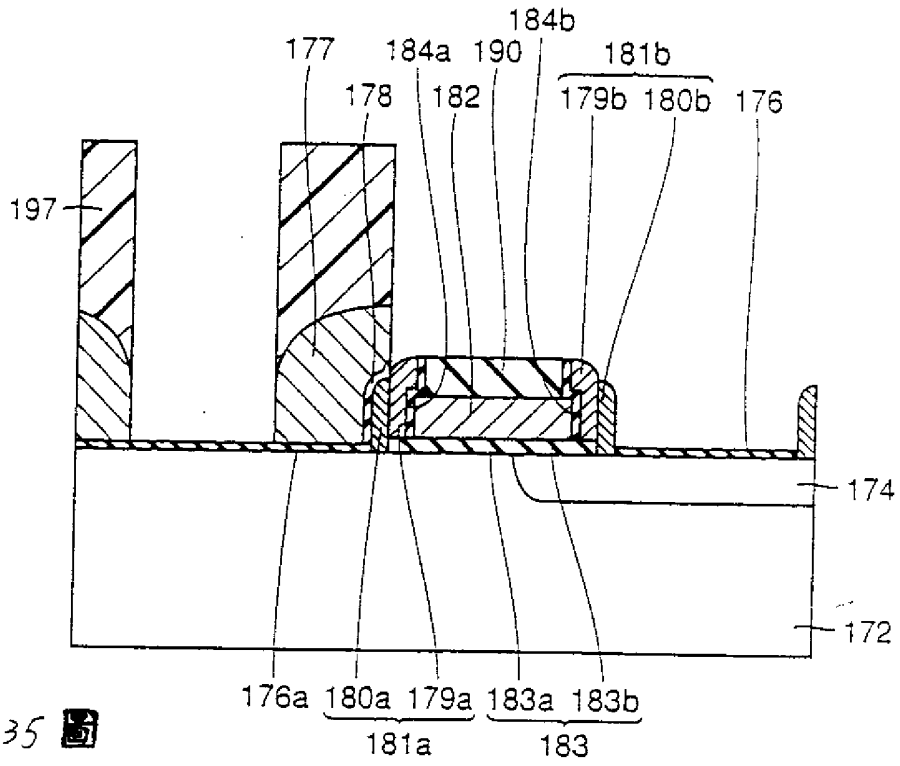
第33圖

X方向的剖面



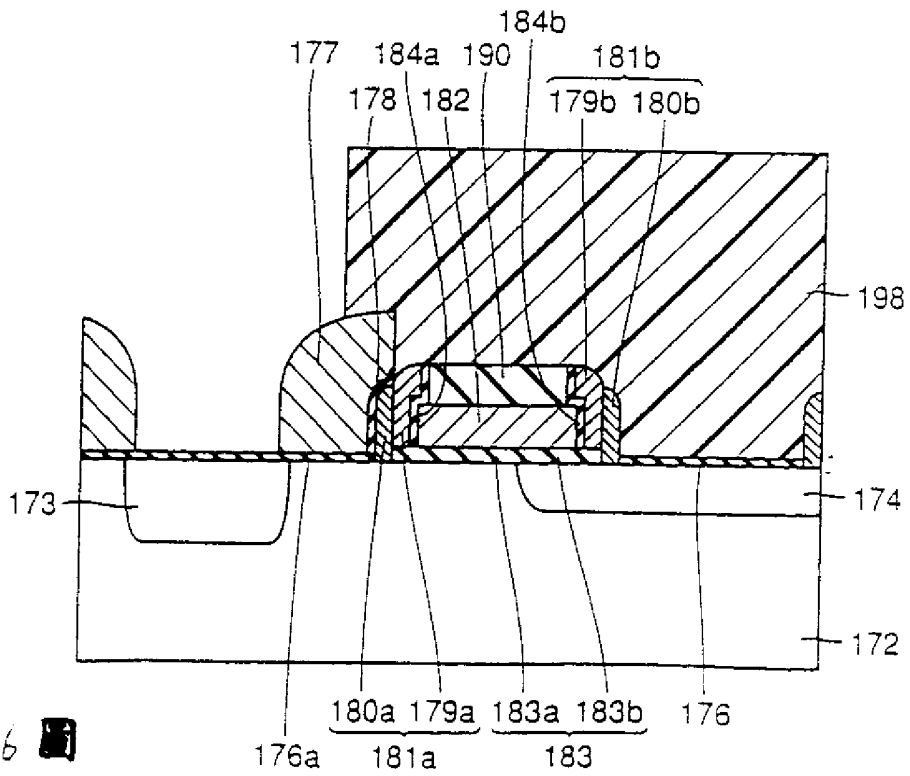
第34圖

X方向的剖面

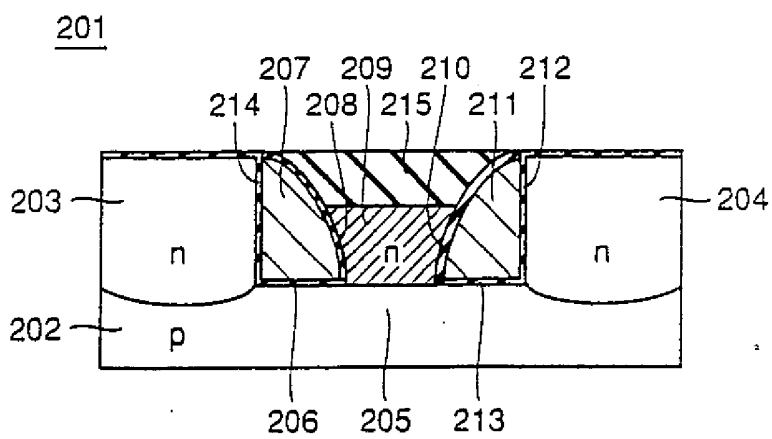
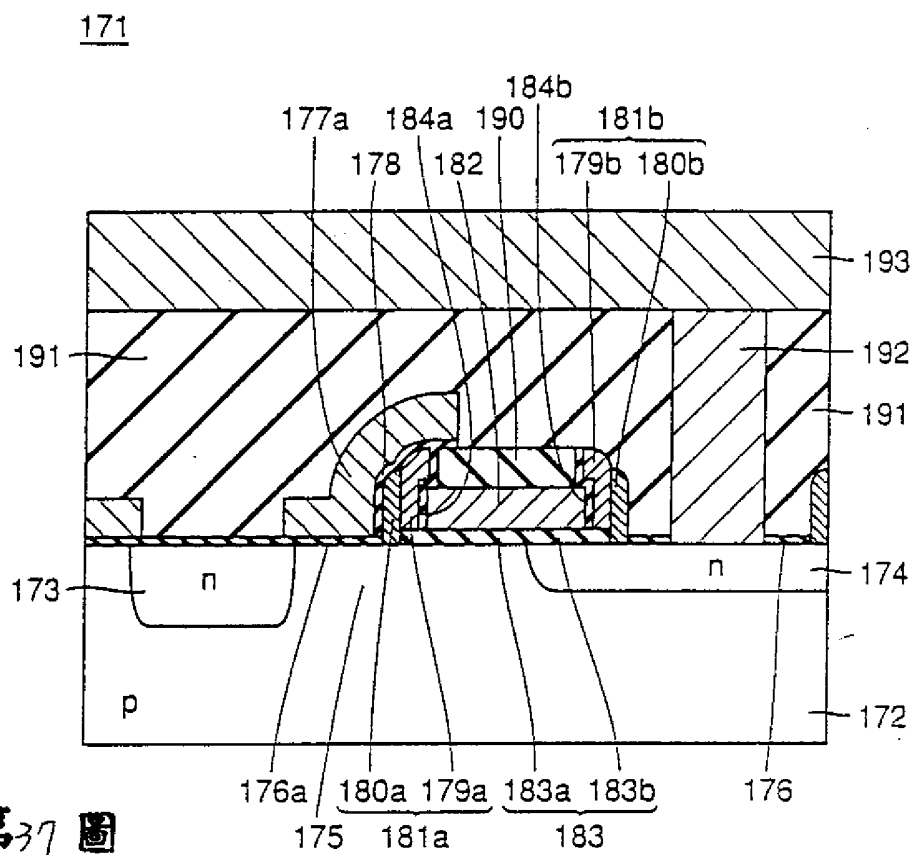


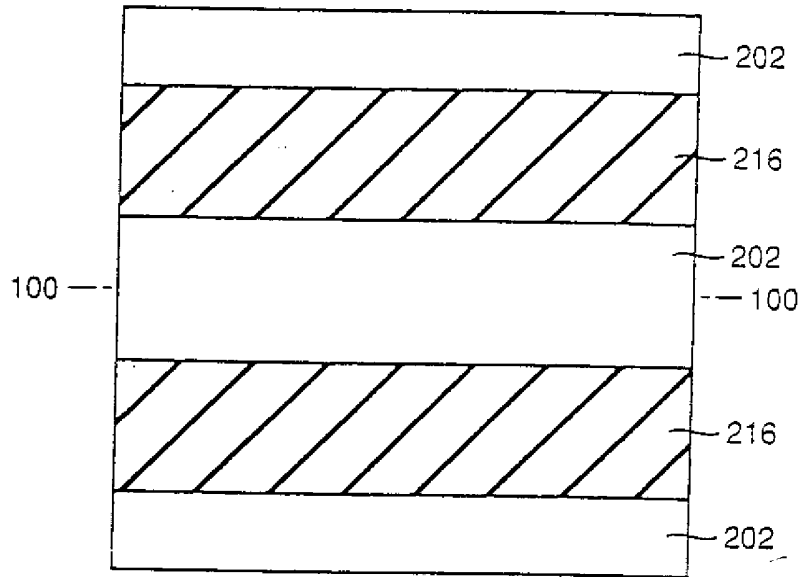
第35圖

X方向的剖面

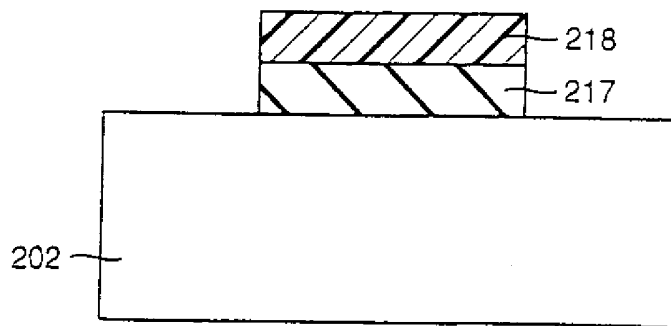


第36圖

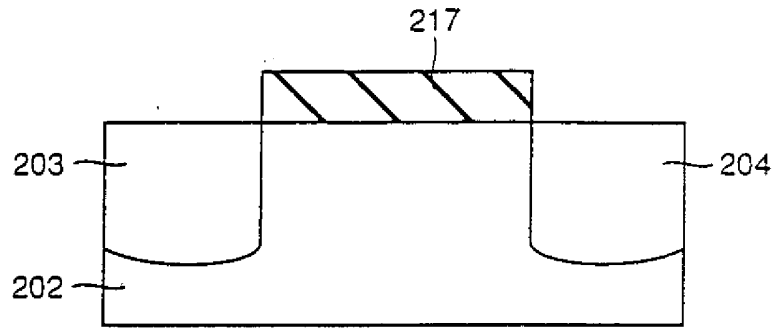




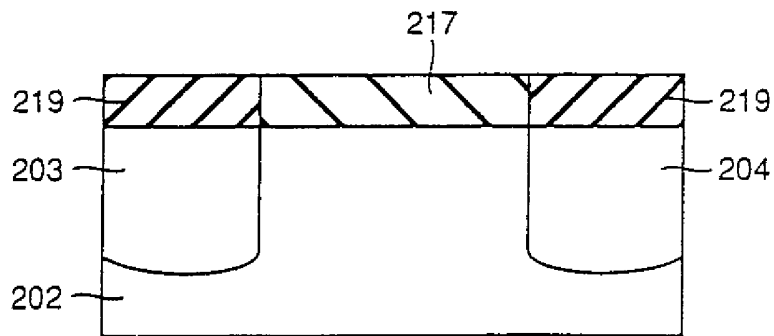
第39圖



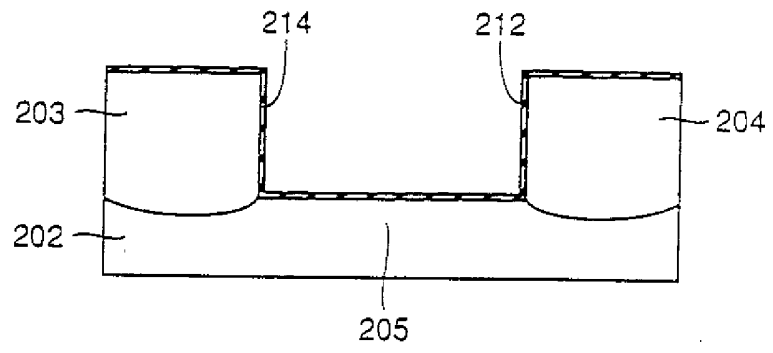
第40圖



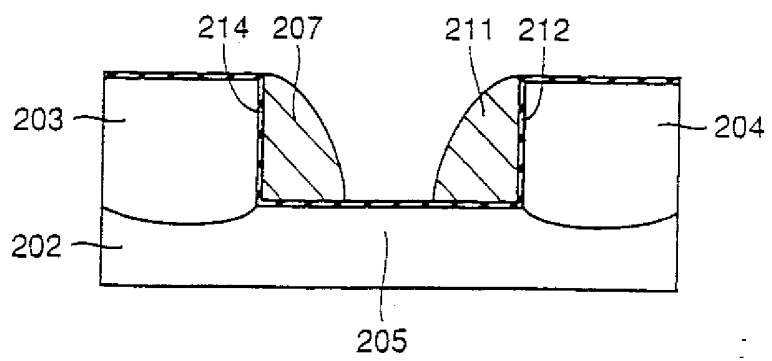
第41圖



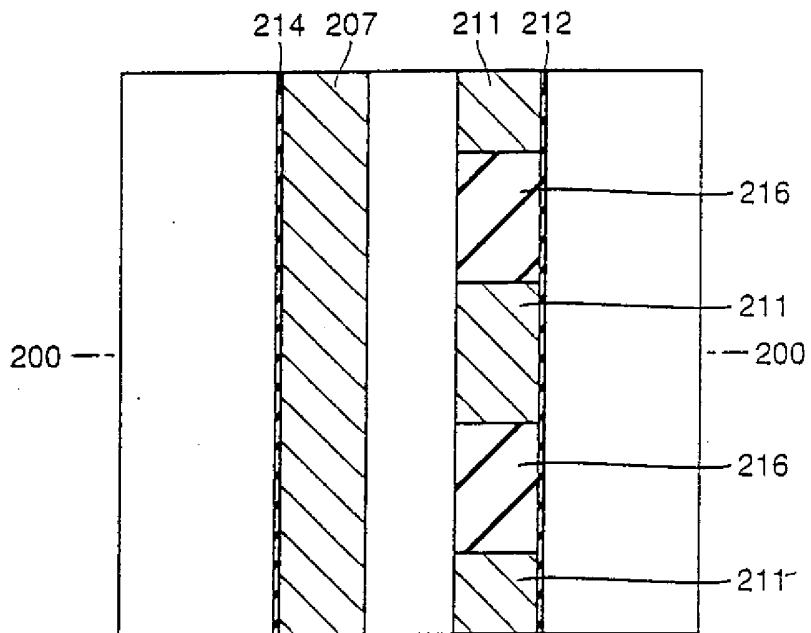
第42圖



第43圖

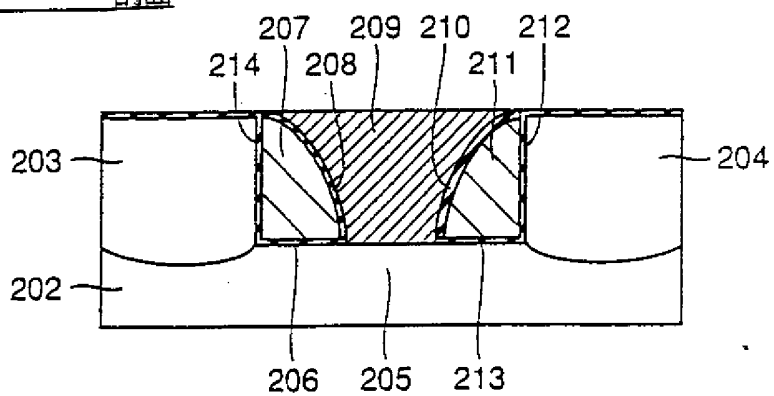


第44圖

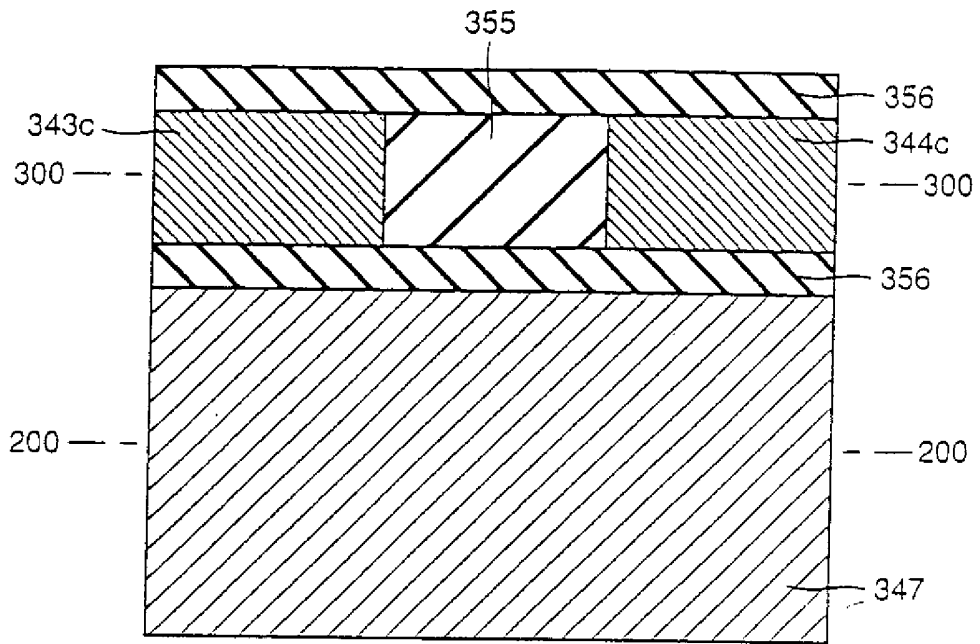


第45圖

200-200剖面

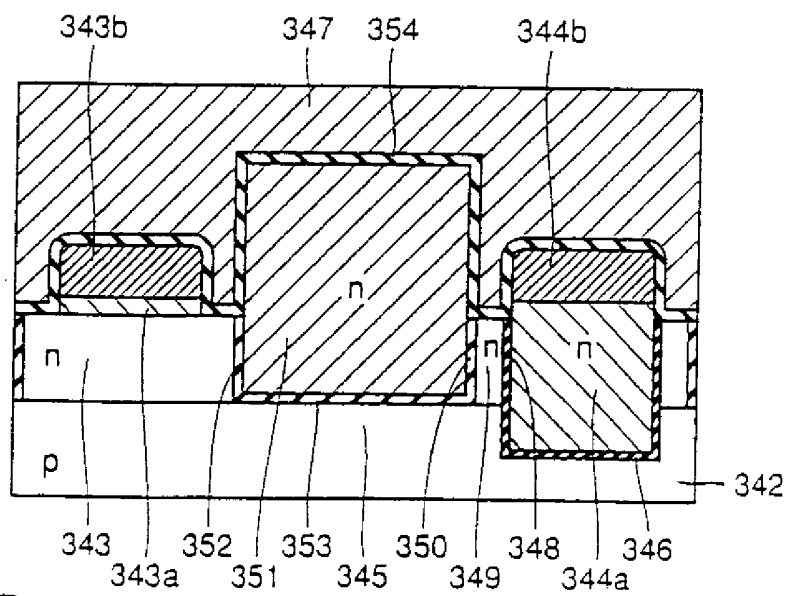


第46圖



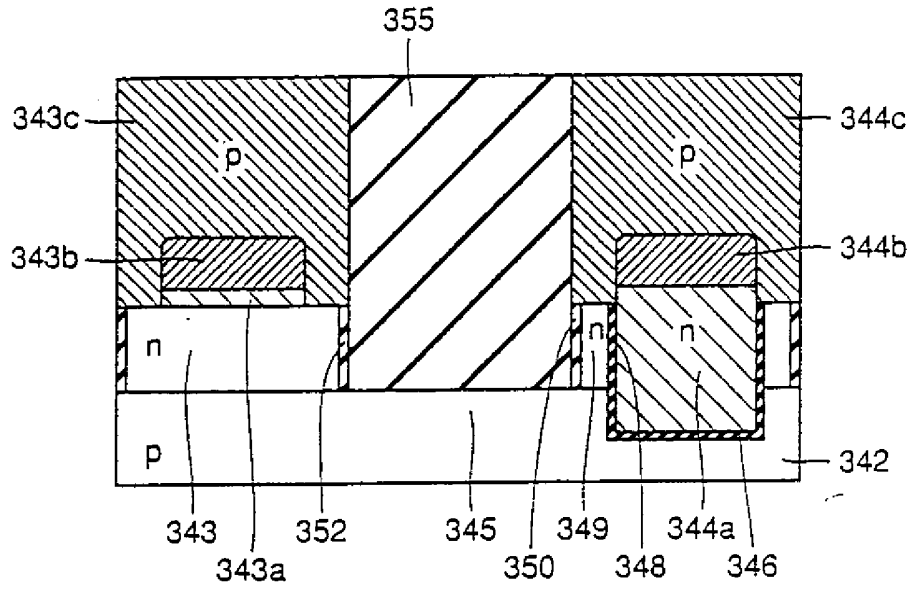
第47圖

200-200剖面

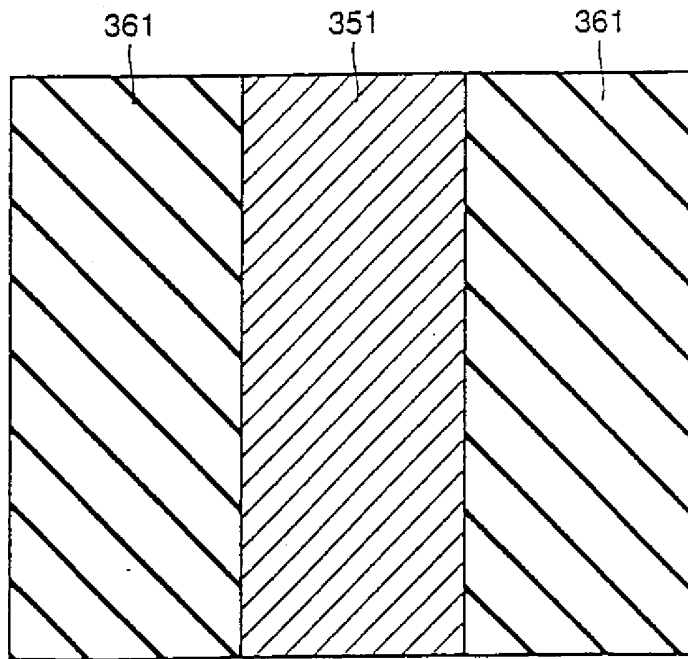


第48圖

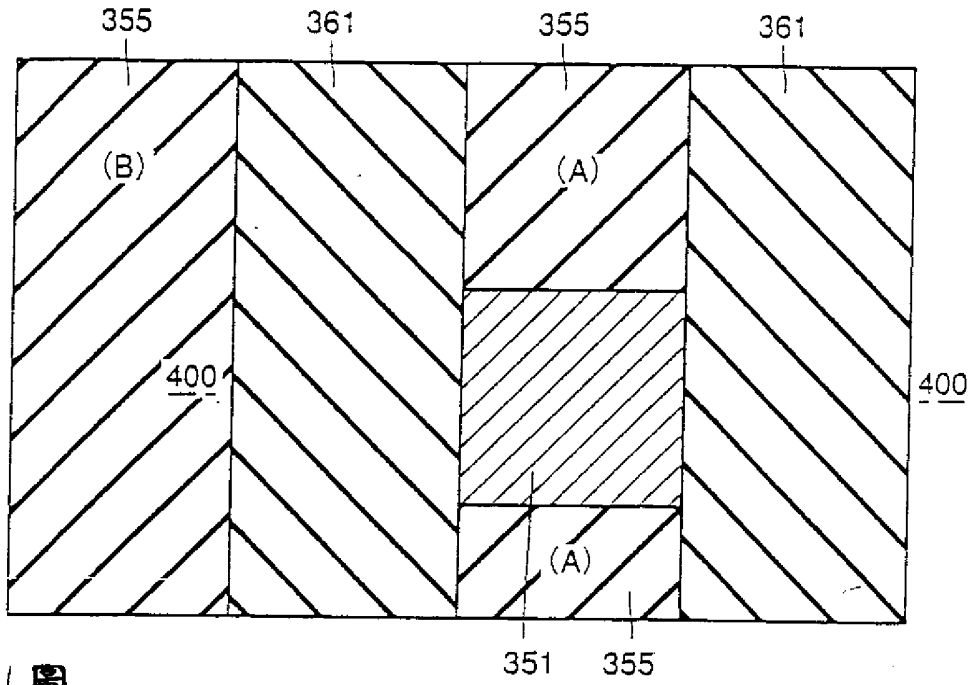
300-300剖面



第49圖

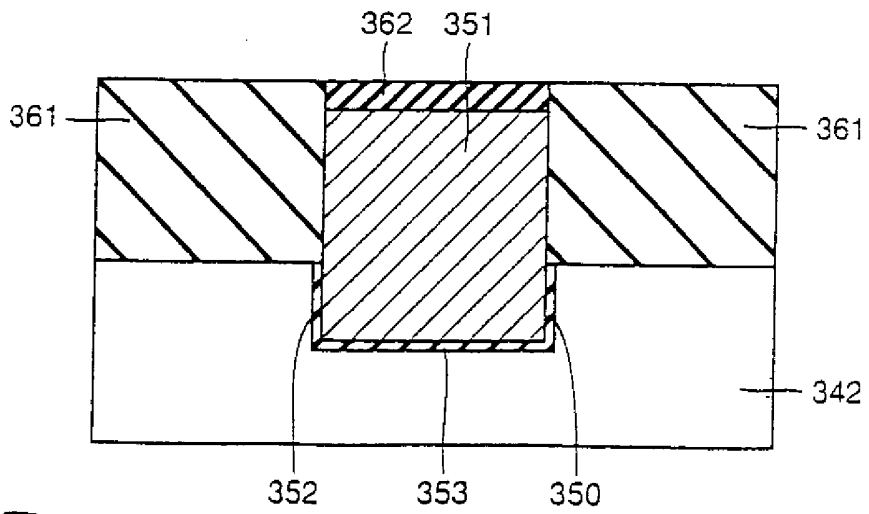


第50圖

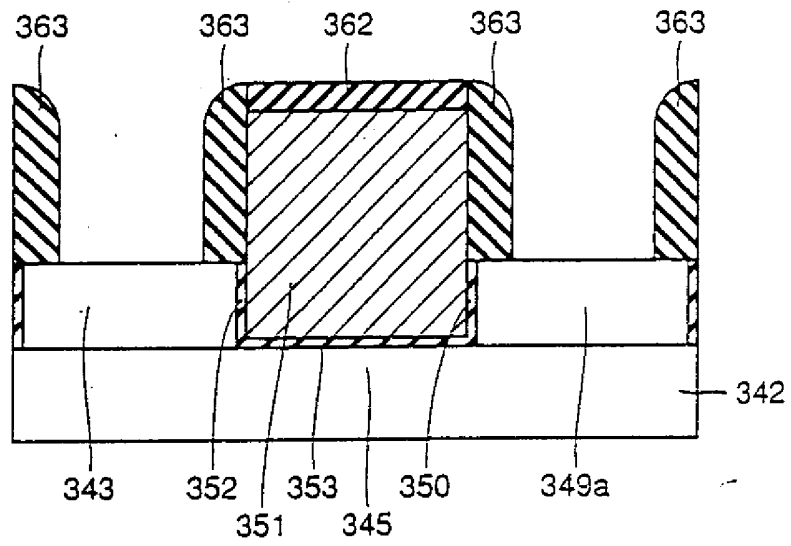


第51圖

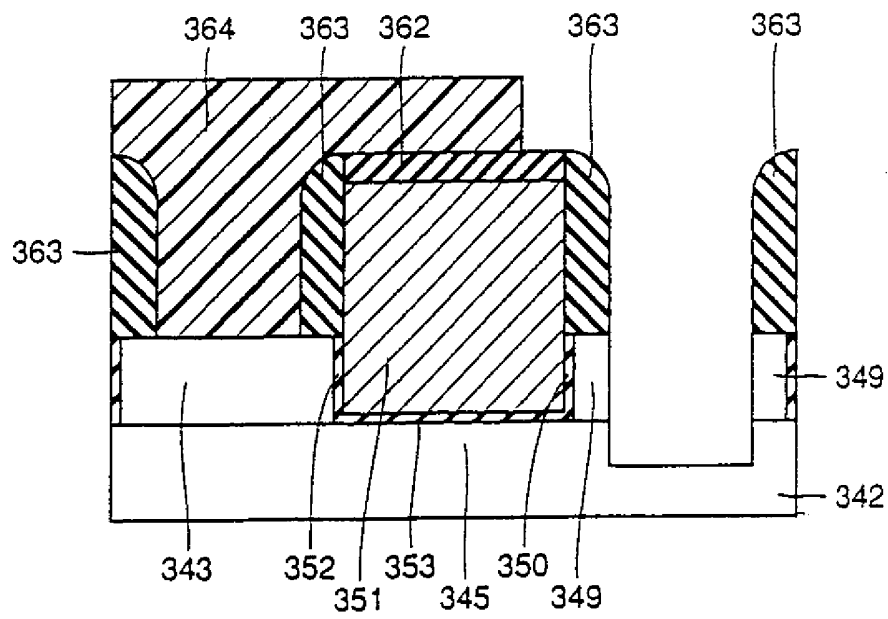
400-400 剖面



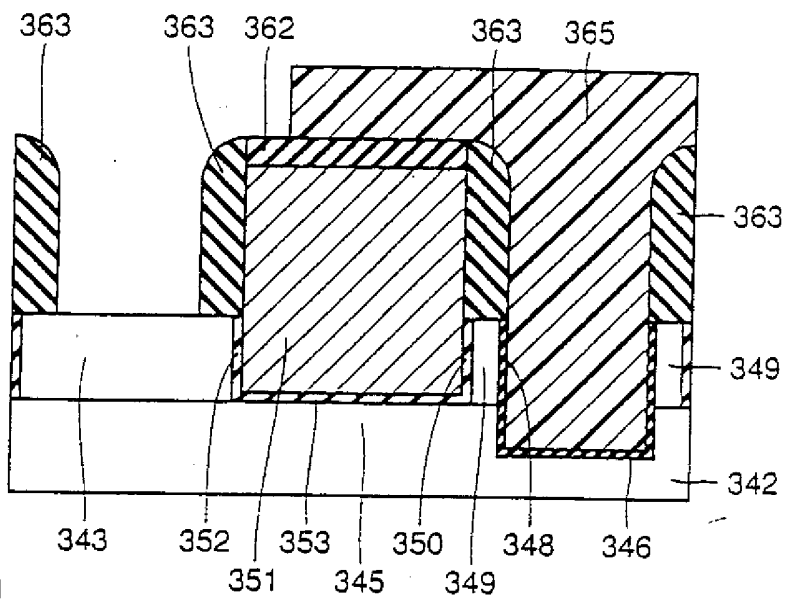
第52圖



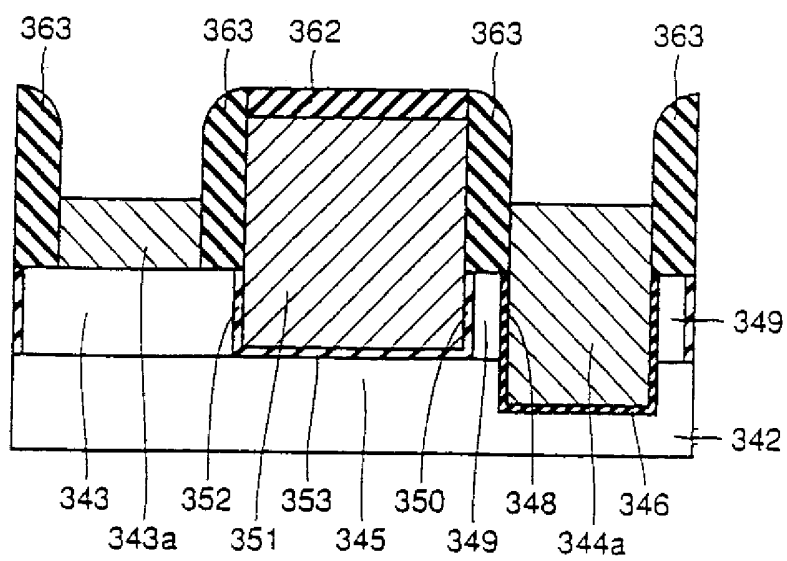
第53圖



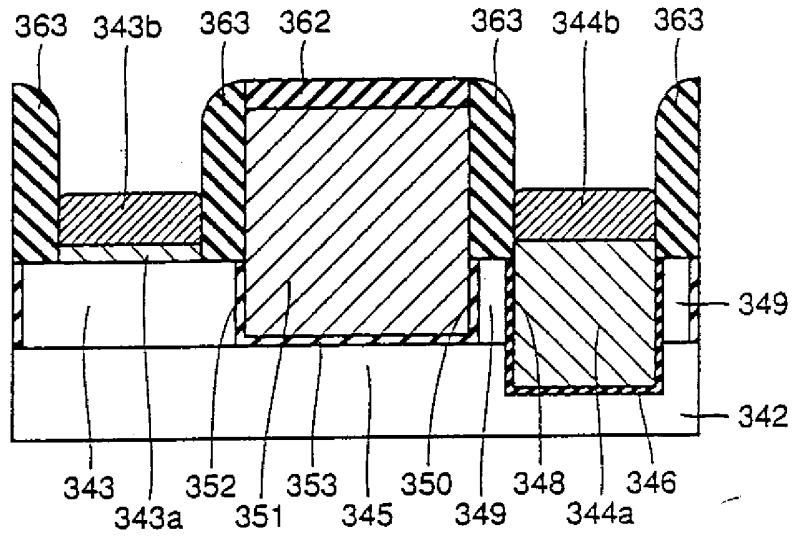
第54圖



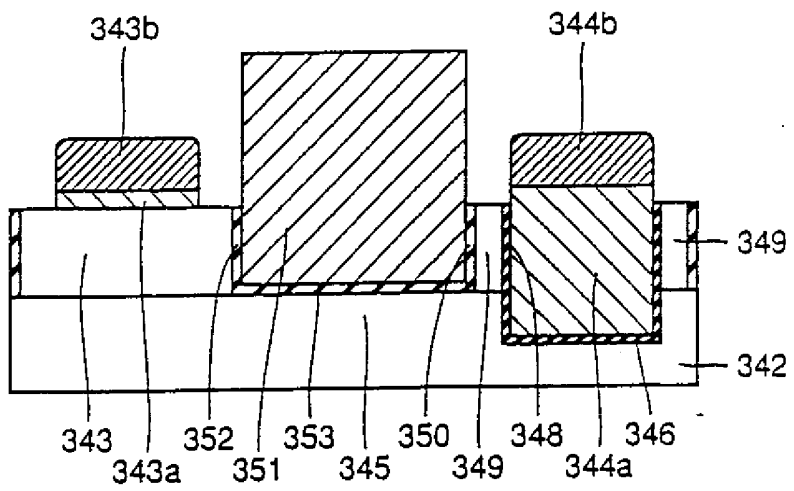
第55圖



第56圖



第57圖



第58圖

