

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3657369号  
(P3657369)

(45) 発行日 平成17年6月8日(2005.6.8)

(24) 登録日 平成17年3月18日(2005.3.18)

(51) Int.Cl.<sup>7</sup>

G O 2 F 1/1368

H O 1 L 29/786

F I

G O 2 F 1/1368

H O 1 L 29/78 6 1 2 C

請求項の数 6 (全 13 頁)

(21) 出願番号	特願平8-286001	(73) 特許権者	000153878
(22) 出願日	平成8年10月8日(1996.10.8)		株式会社半導体エネルギー研究所
(65) 公開番号	特開平10-115841		神奈川県厚木市長谷398番地
(43) 公開日	平成10年5月6日(1998.5.6)	(72) 発明者	張 宏勇
審査請求日	平成15年10月7日(2003.10.7)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	小山 潤
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	寺本 聡
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		審査官	井口 猶二
			最終頁に続く

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【特許請求の範囲】

【請求項1】

ボトムゲイト型の薄膜トランジスタを有する半導体装置であって、  
 前記薄膜トランジスタは、層間絶縁膜下の半導体層と、前記層間絶縁膜上の電極とを有し、  
 前記半導体層は、ソース領域、ドレイン領域およびチャネル領域を有し、  
 前記電極は、前記層間絶縁膜に設けられた開口内部において前記ドレイン領域の一部と接し、  
 前記ドレイン領域の一部と前記電極とは、前記開口内部において同一のマスクを用いてパターニングされていることを特徴とする半導体装置。

【請求項2】

請求項1において、  
 前記ドレイン領域と前記電極とが接する部分の面積より前記開口の面積の方が大きいことを特徴とする半導体装置。

【請求項3】

請求項1または請求項2において、  
 前記半導体装置は、前記薄膜トランジスタを各画素に配置したことを特徴とするアクティブマトリクス型の液晶表示装置。

【請求項4】

請求項1乃至請求項3のいずれか一項において、

10

20

前記半導体装置を用いたことを特徴とする携帯型の情報処理装置、ヘッドマウントディスプレイ、ナビゲーションシステム、リアプロジェクション型の表示装置、ビデオカメラまたはフロントプロジェクション型の表示装置。

【請求項 5】

ソース領域、ドレイン領域およびチャネル領域を有する半導体層を形成し、  
前記半導体層上に層間絶縁膜を形成し、  
前記層間絶縁膜に、前記ドレイン領域の一部が露呈する開口を形成し、  
前記開口内部において露呈した前記ドレイン領域の一部と接するように、前記層間絶縁膜上に電極を形成し、

前記ドレイン領域の一部と前記電極とを、同一のマスクを用いてパターニングすること  
を特徴とするボトムゲイト型の薄膜トランジスタを有する半導体装置の作製方法。 10

【請求項 6】

請求項 5 において、  
前記パターニングはドライエッチングにより行われることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本明細書で開示する発明は、半導体集積回路における電極コンタクト部の構成に関する。特にアクティブマトリクス型の液晶表示装置に利用される薄膜トランジスタの電極コンタクト部の構成に関する。またそのような構成を有する薄膜トランジスタの作製工程に関する。

20

【0002】

【従来の技術】

アクティブマトリクス型の液晶表示装置が知られている。これは、基板としてガラス基板や石英基板を利用し、その基板上に形成された薄膜トランジスタを各画素毎に配置した構成を有している。

【0003】

アクティブマトリクス回路に配置される薄膜トランジスタは、通常一方の不純物領域（ソース領域）がソース線に接続され、他方の不純物領域（ドレイン領域）が画素電極に接続されている。

30

【0004】

このような構成においては、コンタクト部分の電極面積には、実際にコンタクトする面積よりもある程度大きな面積が必要とされる。これは、接続箇所における位置合わせマージンを確保するためである。

【0005】

【発明が解決しようとする課題】

アクティブマトリクス型の液晶表示装置に要求される事項として最も重要なのは、開口率の確保である。このために、電極パターンや配線の占める面積を最小限にすることが求められる。

40

【0006】

ここで問題となるのは、前述したコンタクト部分における位置合わせマージンを確保するための電極面積である。

【0007】

本明細書で開示する発明は、上記コンタクト部分の位置合わせに必要とされる電極面積を極力削減し、高い開口率を有するアクティブマトリクス型の液晶表示装置を得る構成を提供することを課題とする。

【0008】

【課題を解決するための手段】

本明細書で開示する発明の一つは、図 4 にその具体的な構成例を挙げるように、（図 4 に

50

はアクティブマトリクス回路の１画素部分が示されている）

ボトムゲイト型の薄膜トランジスタを利用した半導体装置であって、

層間絶縁膜下に存在する半導体層１０７（ソース領域）に対するコンタクトを有し、前記コンタクトは半導体層の一部が露呈する開口１１２内において形成され、前記開口内部においてパターニングされた電極または配線１１７が前記半導体層１０７にコンタクトしており、

前記半導体層は前記開口内部において前記電極または配線と同じパターンにパターニングされていることを特徴とする。

【０００９】

上記構成においては、コンタクトする面積より開口の面積の方が大きいものとなる。また、半導体層にコンタクトする電極または配線は開口の縁の少なくとも一辺と重ならないものとなる。

【００１０】

半導体装置の具体的な例としては、図１１に示すような各種のものを挙げることができる。

【００１１】

本明細書で開示する発明において利用される半導体層としては、非晶質珪素でなるもの、結晶性珪素でなるもの等を挙げることができる。また、部分的に結晶性が付与されたり、非晶質化されたものを用いることもできる。

【００１２】

他の発明の構成は、

アクティブマトリクス型の液晶表示装置の画素に配置されたボトムゲイト型の薄膜トランジスタを有しや半導体装置であって、

前記薄膜トランジスタの不純物領域とアクティブマトリクス回路を構成するソース線とのコンタクト部において、前記不純物領域はソース線のパターンにパターニングされていることを特徴とする。

【００１３】

他の発明の構成は、

アクティブマトリクス型の液晶表示装置の画素に配置されたボトムゲイト型の薄膜トランジスタを有し、

前記薄膜トランジスタの不純物領域の一部は、コンタクトする金属電極または金属配線の形状に自己整合的にパターニングされていることを特徴とする。

【００１４】

他の発明の構成は、

ボトムゲイト型を有する薄膜トランジスタの作製工程において、

層間絶縁膜下に存在する半導体層の一部が露呈する開口を形成する工程と、

前記開口内部において半導体層にコンタクトする電極または配線を形成する工程と、を有し、

前記配線の形成時において、電極または配線のパターンに半導体層がパターニングされることを特徴とする。

【００１５】

【発明の実施の形態】

図３、図４に示すように、半導体層１０７（ソース領域）にコンタクトする配線１１７（ソース線）を形成する際に、開口１１２の内部において、配線１１７のパターンに半導体層をパターニングする。こうすることで、コンタクトに寄与しない１１９で示される半導体層をエッチングすることができ、開口率を高めることができる。また、配線１１７の形成位置がズレた場合であっても、コンタクト面積を確保することができる。

【００１６】

また、開口１１３内においても、半導体層１０９（ドレイン領域）がドレイン電極１１８によって自己整合的にパターニングされる。こうすることにより、コンタクト面積を最大

10

20

30

40

50

限採ることができ、かつコンタクトに直接寄与しない半導体を除去することができる。そして、高い開口率を得ることができる。

【 0 0 1 7 】

【実施例】

〔実施例 1〕

本実施例では、アクティブマトリクス型の液晶表示装置における画素の部分の構成を示す。ここでは、薄膜トランジスタの形式として非晶質珪素膜を用いたボトムゲイト型のものを採用した場合の例を示す。

【 0 0 1 8 】

図 1 以下に本実施例の作製工程の概略を示す。なお、図 1 ( A ) は、アクティブマトリクス回路の 1 画素の部分 ( ソース線とゲイト線とが交差した近傍領域 ) の上面図を示すものである。また、図 1 ( B ) は図 1 ( A ) の A - A ' で切った断面を示すものである。

10

【 0 0 1 9 】

まず、ガラス基板 1 0 1 上に図示しないアルミニウム膜をスパッタ法で 3 0 0 0 の厚さに成膜する。このアルミニウム膜をパターニングすることにより、ゲイト電極 1 0 2 を形成する。このゲイト電極 1 0 2 は、( A ) に示すようにゲイト線 1 0 5 から延在したものとして形成される。

【 0 0 2 0 】

基板としては、絶縁表面を有する材料であれば、利用することができる。ただし、プロセス温度や使用条件等を考慮することが必要となる。

20

【 0 0 2 1 】

そして、図示しない陽極酸化膜を得られたアルミニウムパターンの表面に形成する。図示しない陽極酸化膜の厚さは、2 0 0 とする。この陽極酸化膜は、アルミニウムパターンの表面を電気的および物理的に保護する機能を有している。そして、後の工程において、アルミニウムの異常成長により、ヒロックやウィスカと呼ばれる突起物が形成されることを抑制するためである。また、この陽極酸化膜は、後にアルミニウム膜上に形成されるレジストマスクの密着性を高める機能を有している。

【 0 0 2 2 】

また陽極酸化膜の代わりにチタン膜やクロム膜等の金属膜を極薄い厚さ ( 1 0 0 ~ 3 0 0 程度 ) に成膜し、ヒロックの発生を抑制する構造としてもよい。

30

【 0 0 2 3 】

ゲイト電極 1 0 2 ( 及びゲイト電 1 0 5 ) を形成したら、ゲイト絶縁膜として機能する酸化珪素膜 1 0 3 をプラズマ C V D 法により 1 0 0 0 の厚さに成膜する。

【 0 0 2 4 】

次に薄膜トランジスタの活性層として機能する図示しない非晶質珪素膜を減圧熱 C V D 法で 5 0 0 の厚さに成膜する。ここでは、成膜ガスとしてジシランを用いたプラズマ C V D 法を用いる。

【 0 0 2 5 】

次に非晶質珪素膜をパターニングすることにより、1 0 4 で示されるパターン ( 活性層パターン ) を形成する。こうして図 1 に示す状態を得る。

40

【 0 0 2 6 】

次にガラス基板 1 0 1 側からの露光を行なうことにより、図 2 に示すように、レジストマスク 1 0 6 を形成する。図 2 ( A ) から明らかなように、レジストパターン 1 0 6 は、ソース電極およびそこから延在した配線上に形成される。

【 0 0 2 7 】

なお、図 2 ( A ) の B - B ' で切った断面が図 2 ( B ) で示される。

【 0 0 2 8 】

レジストマスク 1 0 6 を形成したら、プラズマドーピング法により N 型を付与する不純物として P ( リン ) をドーピングする。この工程の結果、1 0 7 と 1 0 9 の領域に P がドーピングされる。そしてこれらの領域は不純物領域となる。

50

## 【0029】

ドーピングが終了したら、レーザー光を基板上面から照射することにより、ドーピングが行なわれた領域の活性化を行なう。

## 【0030】

その後、レジストマスク106を除去し、図3に示すように、第1の層間絶縁膜を構成する窒化珪素膜110を2000の厚さにプラズマCVD法により成膜する。さらにスピコート法を用いて、第1の層間絶縁膜を構成するポリイミド樹脂膜111を成膜する。

## 【0031】

ポリイミド樹脂の他には、ポリアミド、ポリイミドアミド等の樹脂材料を利用することができる。 10

## 【0032】

こうして、窒化珪素膜110とポリイミド膜111とでなる層間絶縁膜が形成される。

## 【0033】

次に図3に示される開口112と113を形成する。この開口は、内部で露呈したソース領域107の一部、及びドレイン領域109の一部にコンタクトするためのものである。

## 【0034】

この開口が形成された状態において、その底部にはソース領域107とドレイン領域109とがそれぞれ露呈した状態となる。このようにして図3に示す状態を得る。なお、図3(A)のC-C'で切った断面が図3(B)に示される。 20

## 【0035】

図3に示す状態を得たら、図4(B)に示すように、500厚のチタン膜と2000厚のアルミニウム膜と500厚のチタン膜との金属積層膜114をスパッタ法で成膜する。

## 【0036】

さらにレジストマスク115、116を配置する。こうして図4(B)に示す状態を得る。そしてこのレジストマスクを用いて、金属積層膜114をパターニングする。この際、金属積層膜114のパターニングに引き続いて、その下部の半導体層(活性層)のエッチングも行なう。

## 【0037】

このエッチングは、エッチングガスとして、 $\text{SiCl}_4$ と $\text{Cl}_2$ と $\text{BCl}_3$ とを混合したものをを用いたドライエッチング法(RIE法)を用いて行なう。このエッチングガスを用いた場合、積層金属膜114のエッチングに引き続いて、珪素膜のエッチングも行なうことができる。 30

## 【0038】

こうして図4(A)及び図4(C)に示す状態を得る。図4(A)のD-D'で切った断面が図4(C)に示される。

## 【0039】

図4(C)から明らかなように、積層金属膜114で構成される電極パターン117によって、開口112内において露呈していた活性層(ソース領域107)が自己整合的にパターニングされる。即ち、開口112内において、電極パターン117の形状にソース領域107がパターニングされる。 40

## 【0040】

こうすることで、開口112内においては、コンタクトに寄与しない119で示されるソース領域107の一部が除去される。なお、117で示されるパターンは、ソース線のパターンである。

## 【0041】

また、同様に開口113においても電極パターン118(ドレイン電極)によって、ドレイン領域109が自己整合的にパターニングされる。こうして、コンタクトに寄与しないドレイン領域の一部120が除去される。 50

## 【 0 0 4 2 】

ここで重要なのは、1 1 7と1 1 8で示される積層金属膜でなるパターンの形成位置が多少ズレてもソース線1 1 7とソース領域1 0 7、さらにドレイン電極1 1 8とドレイン領域1 0 9との接触面積（コンタクト面積）は、同じ面積で確保されることである。

## 【 0 0 4 3 】

また、1 1 7と1 1 8で示されるパターンの形成位置が多少ズレてもコンタクトに必要とされない活性層領域（例えば1 1 9や1 2 0の領域）は除去されるので、開口率は特に増加しない。

## 【 0 0 4 4 】

即ち、1 1 7と1 1 8で示されるパターンの形成位置が多少ズレてもコンタクトに必要な面積（コンタクトに寄与する実効面積）と開口率は特に変化しないものとする事ができる。

## 【 0 0 4 5 】

こうして図4（A）及び図4（C）に示す状態を得ることができる。次に図5（B）に示すように、第2の層間絶縁膜として、ポリイミド樹脂でなる膜1 2 1を成膜する。

## 【 0 0 4 6 】

さらにコンタクトホール1 2 2の形成を行い、ITOでなる画素電極1 2 3を形成する。なお、図5（A）のD - D'で切った断面が図（B）に示される。

## 【 0 0 4 7 】

図5に示す状態を得たら、さらに図示しない配向膜を形成する。そして、配向処理を施し、別に作製した対向基板と貼り合わせ、さらに液晶を対向基板との間隙に注入する。こうして液晶パネルが完成する。

## 【 0 0 4 8 】

本実施例に示す構成を採用した場合、コンタクトマージンを採ることができ、かつ不要な半導体層や電極のパターンが必要とせず、しかもコンタクト面積を確保することができる。そして、画素の開口率を高めることができる。

## 【 0 0 4 9 】

## 〔実施例2〕

本実施例は、実施例1とは異なる構成を有する薄膜トランジスタの構造を採用した場合の例を示す。図6以下に本実施例の作製工程を示す。なお、図6（A）のA - A'で切った断面が図6（B）に示されている。

## 【 0 0 5 0 】

まず図6（B）に示すように、ガラス基板6 0 1上にゲイト電極6 0 2を形成する。ここでは、ゲイト電極としてアルミニウムを利用する。ゲイト電極6 0 2はゲイト線6 0 5から延在したものとして形成される。なおゲイト電極を構成するアルミニウム膜の膜厚は4 0 0 0 とする。

## 【 0 0 5 1 】

次にゲイト絶縁膜として酸化珪素膜6 0 3をプラズマCVD法により1 0 0 0 の厚さに成膜する。

## 【 0 0 5 2 】

さらにTFTの活性層として非晶質珪素膜を減圧熱CVD法により5 0 0 の厚さに成膜する。さらにこの膜をパターニングすることにより活性層（この活性層にはTFTのチャネル領域が形成される）6 0 4を形成する。（図6（B））

## 【 0 0 5 3 】

次に図7（B）に示すように、レジスト材料を全面に塗布し、基板裏面側からの露光を行なうことにより、6 0 5で示すレジストマスクを形成する。そして、PをドーピングしたN型の非晶質珪素膜をプラズマCVD法（または減圧熱CVD法）で成膜する。

## 【 0 0 5 4 】

ここでは、シランと水素とフォスフィンを混合した成膜ガスを用いたプラズマCVD法により、N型の非晶質珪素膜を成膜する。そしてこの膜をパターニングすることにより、6

10

20

30

40

50

06で示されるN型非晶質珪素膜を形成する。

【0055】

なお、ここでは、形成するTFETをNチャネル型のTFETとする。Pチャネル型のTFETを形成するのであれば、N型の非晶質珪素膜606の代わりにP型の非晶質珪素膜を形成すればよい。

【0056】

図7(B)に示す状態を得たら、レジストマスク605を除去し、図7(C)に示す状態を得る。ここで、図7(A)のB-B'で切った断面が図7(C)で示される。

【0057】

図7(A)及び図7(C)において、607がソース領域、608がドレイン領域となる。また609がチャネル領域となる。 10

【0058】

図7(A)及び図7(C)に示す状態を得たら、図8(B)に示すように、第1の層間絶縁膜として、窒化珪素膜610をプラズマCVD法で500の厚さに成膜し、さらにポリイミド樹脂でなる膜611を形成する。このポリイミド樹脂でなる膜は、その厚さが最小の部分で1μmとなるようにする。

【0059】

そして、コンタクトホール612と613をドライエッチング法により形成する。図8(A)のC-C'で切った断面が図8(B)に示される。

【0060】

図8に示す状態を得たら、ドライエッチングを用いて、図9に示すように、ソース配線(ソース電極を兼ねる)614とドレイン電極615を形成する。図9(A)のD-D'で切った断面が図9(B)に示される。 20

【0061】

この工程において、ソース配線614とドレイン電極615のパターンを利用して、開口612と613内に露呈している半導体層をエッチングする。

【0062】

こうすることで、開口内において、自己整合的に半導体層をパターンニングすることができる。この構成は、開口内において、コンタクトに必要とされる以外の領域を除去することができるので、開口率を高めることができる。また、コンタクトマージンを高く採ることができる。 30

【0063】

図9に示す状態を得たら、図10に示すように、第2の層間絶縁膜として、ポリイミド樹脂膜614を形成する。ここではポリイミド樹脂膜614はその最小の厚さが5000となるようにする。

【0064】

なお、図10(A)のE-E'で切った断面が図10(B)に示される。

【0065】

さらにコンタクトホールの形成を行い、ITOでなる画素電極615を形成する。こうして、アクティブマトリクス領域の1画素に配置される薄膜トランジスタが完成する。 40

【0066】

〔実施例3〕

本実施例は、実施例1に示す構成において、ソース/ドレイン領域をレーザー光の照射により結晶化する構成に関する。

【0067】

本実施例においては、図2に示す工程において、レジストマスク106を用いた導電型を付与する不純物のドーピングを行った後、基板101の裏面側からのレーザー光の照射を行う。

【0068】

こうすることで、導電型を付与する不純物をドーピングした領域を活性化すると共に結晶 50

化させることができる。

【 0 0 6 9 】

〔実施例 4〕

本実施例は、実施例 1 に示す構成において、図 2 に示す工程におけるレジストマスク 1 0 6 を他の材料に代えた構成に関する。

【 0 0 7 0 】

レジストマスクをプラズマドーピングやイオンドーピングのマスクとして利用した場合、レジストマスクが硬化して除去にアッシングを利用しなければならないという問題が生じる。

【 0 0 7 1 】

この問題を回避するために本実施例においては、1 0 6 で示されるマスクの材料を酸化珪素膜とする。

【 0 0 7 2 】

マスク 1 0 6 を酸化珪素膜で構成するには、全面に成膜された酸化珪素膜上に基板裏面側からの露光を利用してレジストマスクを形成する。そしてこのレジストマスクでもって酸化珪素膜をパターニングする。さらにレジストマスクを除去することにより、図 2 の 1 0 6 で示される部分に酸化珪素膜でなるマスク（ドーピングマスク）を配置することができる。

【 0 0 7 3 】

〔実施例 5〕

本実施例は、実施例 1 に示す構成において、活性層として結晶性珪素膜を利用する場合の例を示す。本実施例においては、図 1（B）に示す状態において、基板上面側からレーザー光の照射を行う。こうすることで、非晶質珪素膜でなる活性層 1 0 4 を結晶化させ、結晶性珪素膜でなる活性層を得る。

【 0 0 7 4 】

〔実施例 6〕

本実施例は、本明細書で開示する発明を利用した半導体装置の例を示す。図 1 1 に各種半導体装置の概要を示す。ここでは、ディスプレイの形式として、透過型または反射型の液晶表示装置の例を示す。

【 0 0 7 5 】

（A）に示すのは、携帯型の情報処理装置であり、アクティブマトリクス型の液晶表示装置 2 0 0 3 に必要とする情報を表示する機能を有している。また、本体 2 0 0 1 には、カメラ部 2 0 0 2、操作スイッチ 2 0 0 4 が配置され、必要とする情報を取り込むことができる機能を有している。

【 0 0 7 6 】

（B）に示すは、ヘッドマウントディスプレイであり、本体 2 1 0 1、アクティブマトリクス型の液晶表示装置 2 1 0 2、バンド部 2 1 0 3 で構成される。表示装置 2 1 0 2 は比較的小型のサイズのものが 2 枚使用される。

【 0 0 7 7 】

（C）はカーナビゲーションであり、本体 2 2 0 1、アクティブマトリクス型の表示装置 2 2 0 2、操作スイッチ 2 2 0 3、アンテナ 2 2 0 4 で構成される。表示装置 2 2 0 2 は主に地図情報が表示される。

【 0 0 7 8 】

（D）はリアプロジェクション型の表示装置である。この装置は、本体 2 3 0 1、光源 2 3 0 2、アクティブマトリクス型の液晶表示装置 2 3 0 3、ミラー 2 3 0 4、2 3 0 5、スクリーン 2 3 0 6 で構成される。

【 0 0 7 9 】

（E）はビデオカメラであり、本体 2 4 0 1、アクティブマトリクス型の液晶表示装置 2 4 0 2、接眼部 2 4 0 3、操作スイッチ 2 4 0 4、テープホルダー 2 4 0 5 で構成される。表示装置 2 4 0 2 に映し出された撮影画像は接眼部 2 4 0 3 を通してリアルタイムに見

10

20

30

40

50



ることができるので、使用者は画像を見ながらの撮影が可能となる。

【 0 0 8 0 】

( D ) はフロントプロジェクション型と呼ばれる表示装置であり、本体 2 5 0 1、光源 2 5 0 2、アクティブマトリクス型の表示装置 2 5 0 3、光学系(ビームスプリッターや偏光子等が含まれる) 2 5 0 4、スクリーン 2 5 0 5 で構成される。大画面スクリーンであるので、表示装置 2 5 0 3 は高い解像度が要求される。

【 0 0 8 1 】

【 発明の効果 】

本明細書で開示する発明を利用することで、コンタクト部分の位置合わせに必要とされる電極面積を極力削減し、高い開口率を有するアクティブマトリクス型の液晶表示装置を得ることができる。

10

【 図面の簡単な説明 】

【 図 1 】 画素に配置された薄膜トランジスタの作製工程を示す図。

【 図 2 】 画素に配置された薄膜トランジスタの作製工程を示す図。

【 図 3 】 画素に配置された薄膜トランジスタの作製工程を示す図。

【 図 4 】 画素に配置された薄膜トランジスタの作製工程を示す図。

【 図 5 】 画素に配置された薄膜トランジスタの作製工程を示す図。

【 図 6 】 画素に配置された薄膜トランジスタの作製工程を示す図。

【 図 7 】 画素に配置された薄膜トランジスタの作製工程を示す図。

【 図 8 】 画素に配置された薄膜トランジスタの作製工程を示す図。

20

【 図 9 】 画素に配置された薄膜トランジスタの作製工程を示す図。

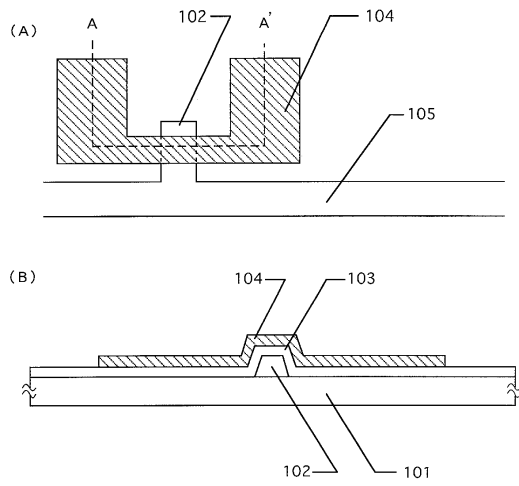
【 図 1 0 】 画素に配置された薄膜トランジスタの作製工程を示す図。

【 図 1 1 】 発明を利用した半導体装置の概要を示す図。

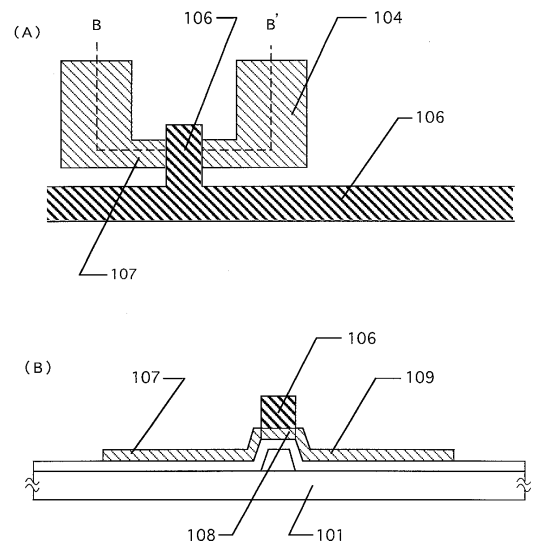
【 符号の説明 】

1 0 1	ガラス基板	
1 0 2	ゲイト電極	
1 0 3	ゲイト絶縁膜	
1 0 4	非晶質珪素膜(活性層)	
1 0 5	ゲイト線	
1 0 6	窒化珪素膜でなるマクスパターン	30
1 0 7	ソース領域(N型不純物領域)	
1 0 8	チャネル領域	
1 0 9	ドレイン領域(N型不純物領域)	
1 1 0	窒化珪素膜	
1 1 1	ポリイミド樹脂膜	
1 1 2、1 1 3	開口	
1 1 4	チタン膜/アルミニウム膜/チタン膜でなる積層膜	
1 1 5	レジストマスク	
1 1 6	レジストマスク	
1 1 7	ソース線	40
1 1 8	ドレイン電極	
1 1 9、1 2 0	除去された活性層パターン	
1 2 1	ポリイミド樹脂膜	
1 2 2	コンタクト用の開口	
1 2 3	I T O でなる画素電極	

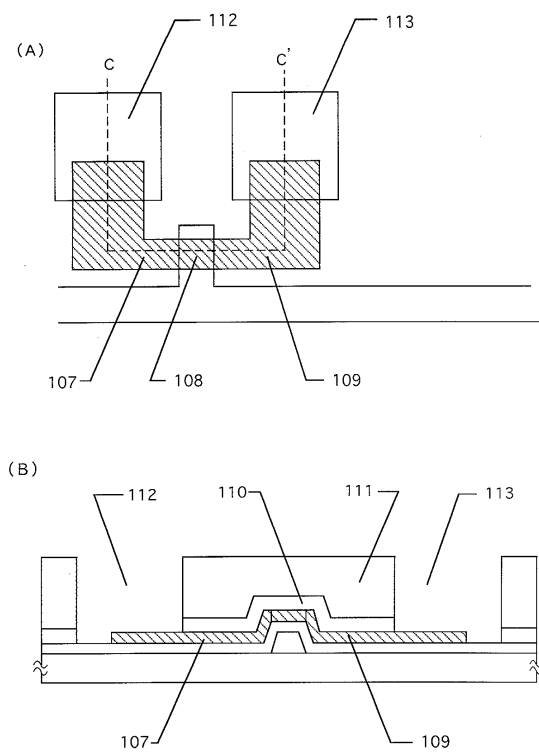
【図 1】



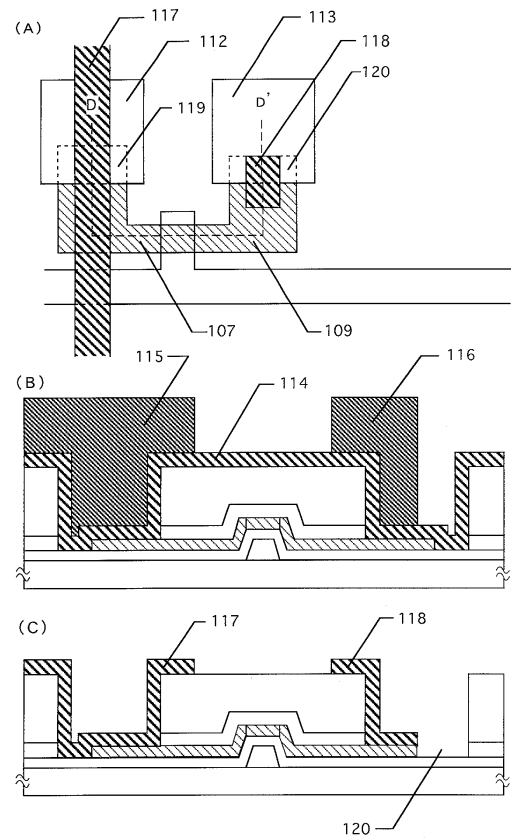
【図 2】



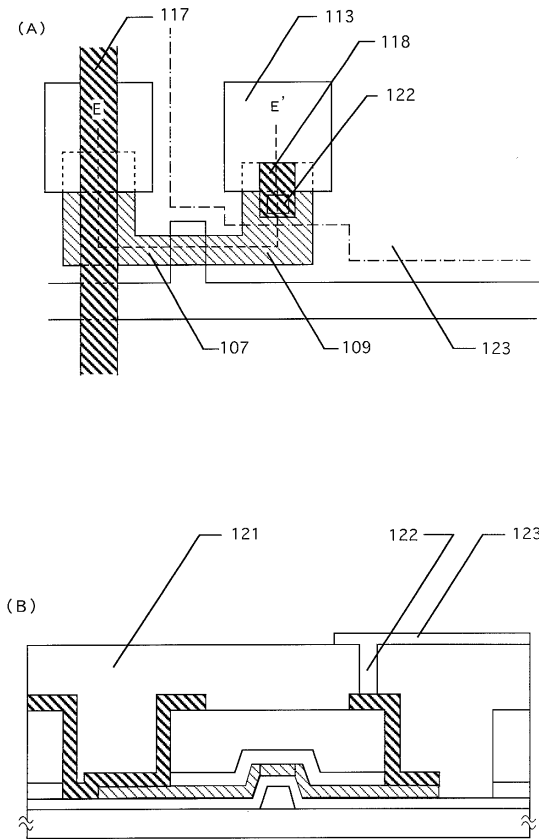
【図 3】



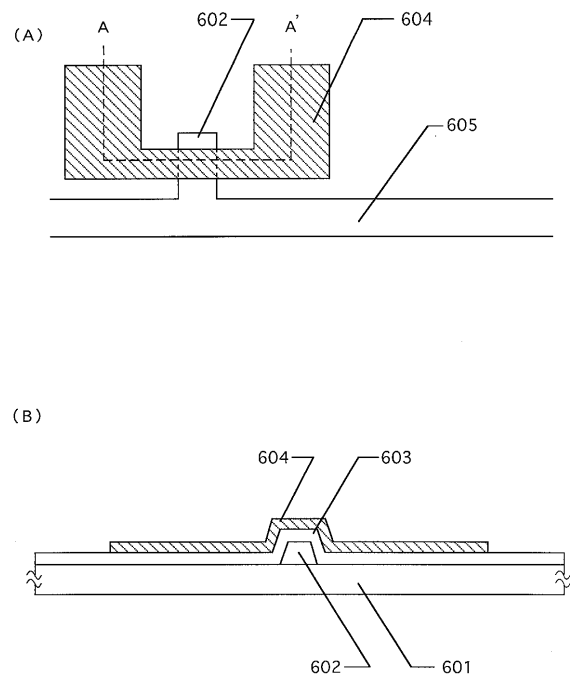
【図 4】



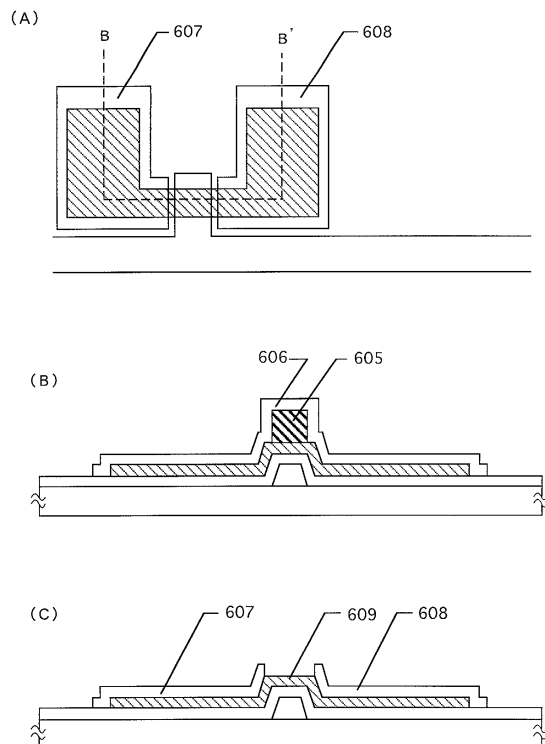
【図 5】



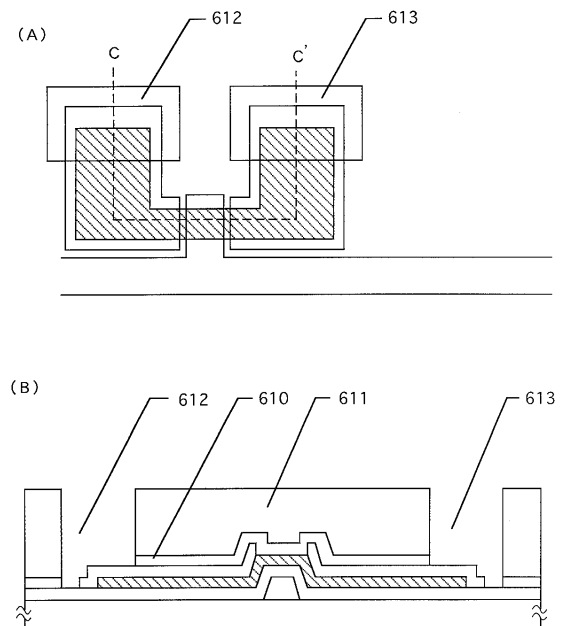
【図 6】



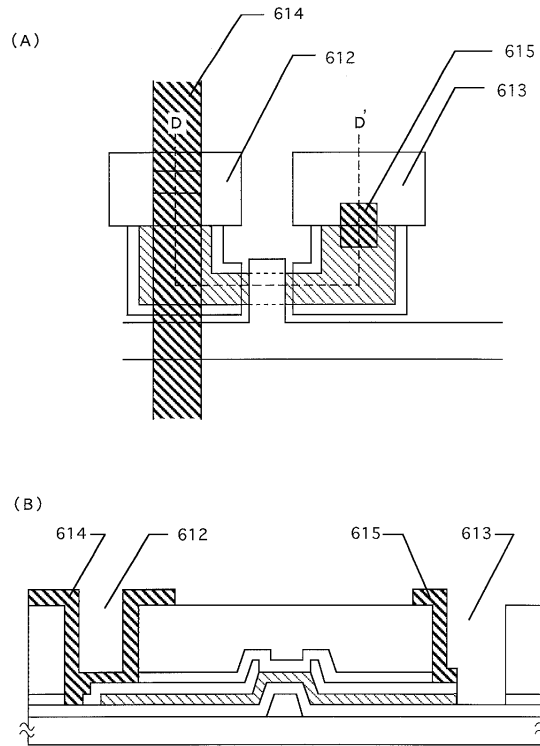
【図 7】



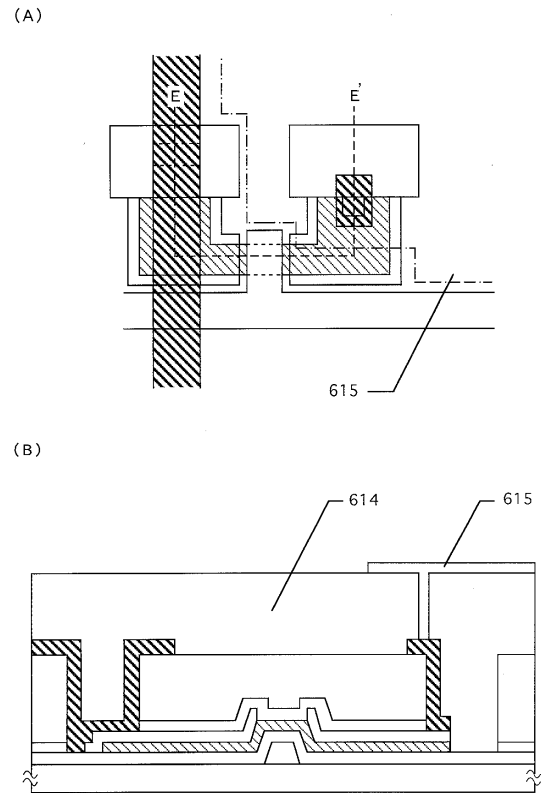
【図 8】



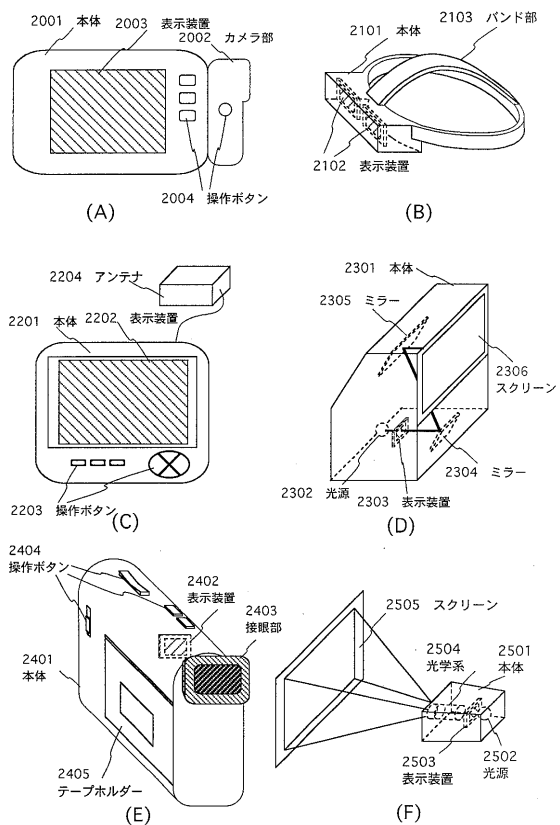
【図 9】



【図 10】



【図 11】



---

フロントページの続き

(56)参考文献 特開平07-131030(JP,A)  
特開平10-048667(JP,A)  
特開平04-366924(JP,A)  
特開平04-031827(JP,A)  
実開平01-104051(JP,U)  
特開平05-114612(JP,A)

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)

G02F 1/1368

H01L 29/786