

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2025 年 1 月 2 日 (02.01.2025)



(10) 国际公布号
WO 2025/001586 A1

(51) 国际专利分类号:
H10K 59/131 (2023.01) **H10K 59/121** (2023.01)

成都市高新区(西区)合作路 1188 号,
Sichuan 611731 (CN)。

(21) 国际申请号: PCT/CN2024/093233

(22) 国际申请日: 2024 年 5 月 14 日 (14.05.2024)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202310805085.X 2023 年 6 月 30 日 (30.06.2023) CN

(71) 申请人: 京东方科技集团股份有限公司(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。成都京东方光电科技有限公司(CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国四川省

(72) 发明人: 张跳梅(ZHANG, Tiaomei); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。吴建鹏(WU, Jianpeng); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。高文辉(GAO, Wenhui); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。刘焱(LIU, Lang); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。马鸿博(MA, Hongbo); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 北京中博世达专利商标代理有限公司(BEIJING ZBSD PATENT & TRADEMARK AGENT

(54) Title: DISPLAY SUBSTRATE AND DISPLAY APPARATUS

(54) 发明名称: 显示基板及显示装置

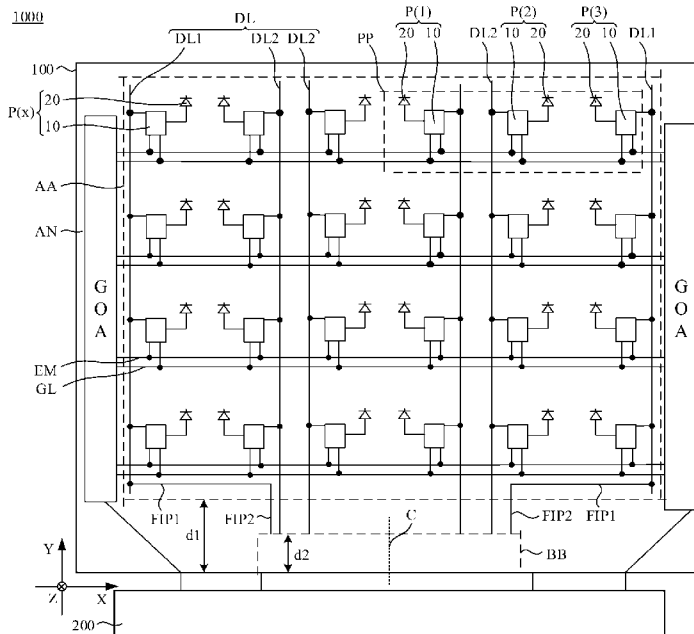


图 2

(57) Abstract: A display substrate and a display apparatus. The display substrate has a display region, and a binding region which is located on one side of the display region. The display substrate comprises a plurality of pixel circuits, a plurality of data lines, and a first fan-out wire and a second fan-out wire, which are disposed in the display region, wherein at least one of the plurality of data lines is a set data line, and the second fan-out line is closer to the center line of the binding region in a second direction than the set data line; the plurality of pixel circuits are arranged in a plurality of rows and a plurality of columns, and one column of pixel circuits is

LTD.); 中国北京市海淀区交大东路31号11
号楼8层, Beijing 100044 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,
CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ,
IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ,
LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN,
MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA,
PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,
SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

electrically connected to one data line; and one end of the first fan-out line is electrically connected to the set data line, and the other end of the first fan-out line is electrically connected to the second fan-out line. The display substrate further comprises a plurality of pixels, wherein at least one of the pixels is a set pixel; each pixel comprises at least three sub-pixels, and each sub-pixel comprises a pixel circuit; and the second fan-out line passes through the pixel circuits of two adjacent sub-pixels in the set pixel corresponding to the second fan-out line, or passes through an outer side of the pixel circuit, which is located on an outer side, in the set pixel corresponding to the second fan-out line, and extends to the binding region.

(57) 摘要: 一种显示基板及显示装置。显示基板具有显示区和位于显示区一侧的绑定区。显示基板包括多个像素电路, 多条数据线及设于显示区的第一扇出线和第二扇出线。多条数据线中的至少一条为设定数据线, 第二扇出线相比设定数据线靠近绑定区的沿第二方向的中线。多个像素电路排列成多行多列, 一列像素电路与一条数据线电连接。第一扇出线的一端与设定数据线电连接, 另一端与第二扇出线电连接。显示基板包括多个像素, 其中至少一个为设定像素。每个像素包括至少三个子像素, 每个子像素包括一个像素电路。第二扇出线从与其对应的设定像素中相邻两个子像素的像素电路之间穿过, 或从与其对应的设定像素中位于外侧的像素电路的外侧穿过, 并延伸至绑定区。

显示基板及显示装置

本申请要求于 2023 年 06 月 30 日提交的、申请号为 202310805085.X 的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本公开涉及显示技术领域，尤其涉及一种显示基板及显示装置。

背景技术

有机发光二极管 (Organic Light-Emitting Diode, 简称 OLED) 显示装置凭借其自发光、对比度高、视角广、反应速度快、可用于挠曲性面板、使用温度范围广、构造及制程较简单等优异性能，逐渐成为显示领域的主流产品之一。OLED 显示基板可广泛应用于智能手机、平板电脑、电视和可穿戴设备 (比如手表) 等终端产品中。其中，高像素密度 (Pixels Per Inch, 简称 PPI) 和窄边框化是 OLED 显示装置当前的一个重要发展方向。

发明内容

一方面，提供一种显示基板。所述显示基板具有显示区和绑定区，绑定区位于显示区的沿第二方向的一侧。显示基板包括：多个像素电路，多条数据线及设于显示区的第一扇出线和第二扇出线。多条数据线中的至少一条为设定数据线，第二扇出线相比设定数据线靠近绑定区的沿第二方向的中线。

多个像素电路排列成多行多列，一行像素电路沿第一方向排列，一列像素电路沿第二方向排列，第一方向和第二方向相交叉。数据线沿第二方向延伸，一列像素电路与一条数据线电连接。第一扇出线沿第一方向延伸，第二扇出线沿第二方向延伸。第一扇出线的一端与设定数据线电连接，另一端与第二扇出线电连接。

其中，显示基板包括多个像素，每个像素包括至少三个子像素，每个子像素包括一个像素电路；多个像素中的至少一个为设定像素，一个设定像素对应设置有至少一条第二扇出线，第二扇出线从对应的设定像素中相邻两个子像素的像素电路之间穿过，或从对应的设定像素中位于外侧的像素电路的外侧穿过，并延伸至绑定区。

在一些实施例中，显示基板还包括：沿第二方向延伸的第一电压信号线。一个设定像素对应设置有至少一条第一电压信号线，第一电压信号线从对应的设定像素中的相邻两个子像素的像素电路之间穿过，或从对应的设定像素中位于外侧的像素电路的外侧穿过。

在一些实施例中，设定像素对应的至少一条第二扇出线和至少一条第一电压信号线中，一条第二扇出线从一对相邻的子像素的像素电路之间穿过，一条第一电压信号线从另外一对相邻的子像素的像素电路之间穿过。

在一些实施例中，一个像素包括三个子像素。设定像素对应设置有一条第二扇出线 and 一条第一电压信号线，第二扇出线从三个子像素中的一对相邻的子像素的像素电路之间穿过，

第一电压信号线从三个子像素中另外一对相邻的子像素的像素电路之间穿过。

在一些实施例中，设定像素对应的第二扇出线 and 第一电压信号线中，一条第一电压信号线和一条第二扇出线从同一对相邻的子像素的像素电路之间穿过。

在一些实施例中，一个像素包括三个子像素。设定像素对应设置有一条第二扇出线 and 一条第一电压信号线，第二扇出线 and 第一电压信号线从三个子像素中的同一对相邻的子像素的像素电路之间穿过。

在一些实施例中，第二扇出线设有第二断口，第二断口将第二扇出线分成有效部分和冗余部分。第二扇出线的有效部分的一端与第一扇出线电连接，另一端延伸至绑定区。显示基板还包括：第一连接部，第一电压信号线 and 第二扇出线的冗余部分通过第一连接部电连接。

在一些实施例中，从同一对相邻的子像素的像素电路之间穿过的第一电压信号线 and 第二扇出线相邻设置，第一电压信号线、第二扇出线 and 第一连接部同层设置且一体成型。

在一些实施例中，第一扇出线设有第一断口，第一断口将第一扇出线分成有效部分和冗余部分。第一扇出线的有效部分的一端与设定数据线电连接，另一端与第二扇出线的有效部分电连接。显示基板还包括：第二连接部，第二连接部的一端与第一扇出线的冗余部分电连接；沿显示基板的厚度方向，第二连接部与第二扇出线的冗余部分之间设有过孔，第二连接部的另一端通过过孔与第二扇出线的冗余部分电连接。

在一些实施例中，第二连接部和第一扇出线的冗余部分同层设置且一体成型。

在一些实施例中，显示基板，还包括：沿第二方向延伸的多条参考电压信号线，一列像素电路与一条参考电压信号线电连接。相邻两列像素电路中，一列像素电路所连接的参考电压信号线，和另一列像素电路所连接的数据线相靠近设置。其中，第二扇出线设于相靠近设置的参考电压信号线 and 数据线之间。

在一些实施例中，显示基板的第一电压信号线设于相靠近设置的参考电压信号线 and 数据线之间。

在一些实施例中，显示基板还包括：衬底，设于衬底上的半导体层，及设于半导体层远离衬底一侧的多条辅助参考电压信号线。辅助参考电压信号线沿第一方向延伸，且与参考电压信号线电连接。其中，第一扇出线设于辅助参考电压信号线远离衬底的一侧；在向衬底的正投影中，第一扇出线与辅助参考电压信号线交叠，且与半导体层的部分交叠。

在一些实施例中，显示基板还包括：沿第二方向延伸的多条第二电压信号线，一列像素电路与一条第二电压信号线电连接。其中，多条第二电压信号线所在的膜层位于第一扇出线所在的膜层远离衬底的一侧，在向衬底的正投影中，第二电压信号线覆盖第一扇出线的第一断口。

在一些实施例中，显示基板还包括：多层源漏导电层。多层源漏导电层中一对相邻的源漏导电层分别为第一设定源漏导电层 and 第二设定源漏导电层，第一设定源漏导电层相比第二

设定源漏导电层靠近衬底。其中，第一扇出线设于第一设定源漏导电层，数据线和第二扇出线设于第二设定源漏导电层。

在一些实施例中，显示基板还包括：栅极信号线、使能信号线、辅助第一电压信号线和辅助第二电压信号线，均沿第一方向延伸。像素电路与栅极信号线和使能信号线电连接；辅助第一电压信号线与第一电压信号线电连接，辅助第二电压信号线与第二电压信号线电连接。

第一设定源漏导电层中设有栅极信号线、使能信号线、辅助第一电压信号线和辅助第二电压信号线中的至少一者。在向衬底的正投影中，栅极信号线、使能信号线、辅助第一电压信号线和辅助第二电压信号线中的至少一者覆盖第二扇出线的第二断口。

在一些实施例中，显示基板的第一电压信号线、第二电压信号线和参考电压信号线均设于第二设定源漏导电层。

在一些实施例中，显示基板还包括：第一栅极层和第二栅极层。显示基板的半导体层、第一栅极层和第二栅极层沿远离衬底的方向依次设置，且位于衬底和多层源漏导电层之间。显示基板的辅助参考电压信号线设于第二栅极层。

在一些实施例中，多层源漏导电层包括第一源漏导电层和第二源漏导电层，第一源漏导电层为第一设定源漏导电层，第二源漏导电层为第二设定源漏导电层。

在一些实施例中，多层源漏导电层包括第一源漏导电层、第二源漏导电层和第三源漏导电层，第一源漏导电层为第一设定源漏导电层，第二源漏导电层为第二设定源漏导电层。

在一些实施例中，多层源漏导电层包括第一源漏导电层、第二源漏导电层和第三源漏导电层，第二源漏导电层为第一设定源漏导电层，第三源漏导电层为第二设定源漏导电层。

在一些实施例中，相比多条数据线中的其他数据线，设定数据线更远离绑定区的沿第二方向的中线。设定数据线整体位于显示区内，其他数据线的端部延伸至绑定区。

另一方面，提供一种显示装置。所述显示装置包括：如上述任一实施例所述的显示基板，和电路板。电路板与显示基板电连接。

附图说明

为了更清楚地说明本公开中的技术方案，下面将对本公开一些实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例的附图，对于本领域普通技术人员来讲，还可以根据这些附图获得其他的附图。此外，以下描述中的附图可以视作示意图，并非对本公开实施例所涉及的产品的实际尺寸、方法的实际流程、信号的实际时序等的限制。

图 1 为根据一些实施例的显示装置的一种结构图；

图 2 为根据一些实施例的显示装置的另一种结构图；

图 3 为根据一些实施例的像素电路的结构图；

图 4 为根据另一些实施例的像素电路的结构图；

图 5 为根据一些实施例的显示基板的显示区 AA 内的局部放大结构图；

图 6 为根据图 5 中的区域 D 的放大结构图；

图 7 为根据图 5 中的区域 F 的放大结构图；

图 8 为根据一些实施例的显示基板的第一源漏导电层至第二源漏导电层的结构图；

图 9 为根据一些实施例的显示基板的第一源漏导电层根据图 8 中的区域 E 的放大结构图；

图 10 为根据一些实施例的显示基板的第二源漏导电层根据图 8 中的区域 E 的放大结构图；

图 11 为根据一些实施例的像素电路的等效电路图；

图 12 为根据一些实施例的显示基板的截面结构图；

图 13 为根据一些实施例的显示基板的半导体层的结构图；

图 14 为根据一些实施例的显示基板自半导体层至第二栅极层的结构图；

图 15 为根据一些实施例的显示基板自半导体层至第一源漏导电层的结构图。

具体实施方式

下面将结合附图，对本公开一些实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本公开一部分实施例，而不是全部的实施例。基于本公开所提供的实施例，本领域普通技术人员所获得的所有其他实施例，都属于本公开保护的范围。

除非上下文另有要求，否则，在整个说明书和权利要求书中，术语“包括 (comprise)”及其其他形式例如第三人称单数形式“包括 (comprises)”和现在分词形式“包括 (comprising)”被解释为开放、包含的意思，即为“包含，但不限于”。在说明书的描述中，术语“一个实施例 (one embodiment)”、“一些实施例 (some embodiments)”、“示例性实施例 (exemplary embodiments)”、“示例 (example)”、“特定示例 (specific example)”或“一些示例 (some examples)”等旨在表明与该实施例或示例相关的特定特征、结构、材料或特性包括在本公开的至少一个实施例或示例中。上述术语的示意性表示不一定是指同一实施例或示例。此外，所述的特定特征、结构、材料或特点可以以任何适当方式包括在任何一个或多个实施例或示例中。

以下，术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征。在本公开实施例的描述中，除非另有说明，“多个”的含义是两个或两个以上。

在描述一些实施例时，可能使用了“耦接”和“连接”及其衍伸的表达。术语“连接”应做广义理解，例如，“连接”可以是固定连接，也可以是可拆卸连接，或成一体；可以是直接相连，也可以通过中间媒介间接相连。术语“耦接”例如表明两个或两个以上部件有直接物理接触或电接触。术语“耦接”或“通信耦合 (communicatively coupled)”也可能指两个或两个以上部件彼此

间并无直接接触,但仍彼此协作或相互作用。这里所公开的实施例并不必然限制于本文内容。

“A、B 和 C 中的至少一个”与“A、B 或 C 中的至少一个”具有相同含义,均包括以下 A、B 和 C 的组合:仅 A,仅 B,仅 C,A 和 B 的组合,A 和 C 的组合,B 和 C 的组合,及 A、B 和 C 的组合。

“A 和/或 B”,包括以下三种组合:仅 A,仅 B,及 A 和 B 的组合。

如本文中所使用,根据上下文,术语“如果”任选地被解释为意思是“当……时”或“在……时”或“响应于确定”或“响应于检测到”。类似地,根据上下文,短语“如果确定……”或“如果检测到[所陈述的条件或事件]”任选地被解释为是指“在确定……时”或“响应于确定……”或“在检测到[所陈述的条件或事件]时”或“响应于检测到[所陈述的条件或事件]”。

本文中“适用于”或“被配置为”的使用意味着开放和包容性的语言,其不排除适用于或被配置为执行额外任务或步骤的设备。

另外,“基于”的使用意味着开放和包容性,因为“基于”一个或多个所述条件或值的过程、步骤、计算或其他动作在实践中可以基于额外条件或超出所述的值。

如本文所使用的那样,“约”、“大致”或“近似”包括所阐述的值以及处于特定值的可接受偏差范围内的平均值,其中所述可接受偏差范围如由本领域普通技术人员考虑到正在讨论的测量以及与特定量的测量相关的误差(即,测量系统的局限性)所确定。

如本文所使用的那样,“平行”、“垂直”、“相等”包括所阐述的情况以及与所阐述的情况相近似的情况,该相近似的情况的范围处于可接受偏差范围内,其中所述可接受偏差范围如由本领域普通技术人员考虑到正在讨论的测量以及与特定量的测量相关的误差(即,测量系统的局限性)所确定。例如,“平行”包括绝对平行和近似平行,其中近似平行的可接受偏差范围例如可以是 5° 以内偏差;“垂直”包括绝对垂直和近似垂直,其中近似垂直的可接受偏差范围例如也可以是 5° 以内偏差。“相等”包括绝对相等和近似相等,其中近似相等的可接受偏差范围内例如可以是相等的两者之间的差值小于或等于其中任一者的 5%。

应当理解的是,当层或元件被称为在另一层或基板上时,可以是该层或元件直接在另一层或基板上,或者也可以是该层或元件与另一层或基板之间存在中间层。

本文参照作为理想化示例性附图的剖视图和/或平面图描述了示例性实施方式。在附图中,为了清楚,放大了层的厚度和区域的面积。因此,可设想到由于例如制造技术和/或公差引起的相对于附图的形状的变动。因此,示例性实施方式不应解释为局限于本文示出的区域的形状,而是包括因例如制造而引起的形状偏差。例如,示为矩形的蚀刻区域通常将具有弯曲的特征。因此,附图中所示的区域本质上是示意性的,且它们的形状并非旨在示出设备的区域的实际形状,并且并非旨在限制示例性实施方式的范围。

在本公开的实施例中,图 1 和图 2 为显示装置 1000 的平面结构图,为了便于清晰地描述显示基板 100 与电路板 200 的连接方式,图 2 中将电路板 200 显示于显示基板 100 的显示区

AA 同侧，需要说明的是，最终形成的显示基板 100 中，电路板 200 被弯折至另一侧。

为了便于清晰地描述第二扇出线 FIP2 和第一电压信号线 VSS 与像素电路 10 之间的相对位置关系，图 3 和图 4 中仅示出了显示基板 100 的部分像素电路 10 的结构图。实际的显示基板 100 中包括的像素电路 10 的数量不限于图中所示，同时，显示基板 100 所包括的膜层结构包括但不限于图中所示出的膜层结构。

为了便于清晰地描述数据信号在设定数据线 DL1、第一扇出线 FIP1 和第二扇出线 FIP2 之间的传输路径，图 5 中示出了显示区 AA 内的局部放大图，图 5 中纵向的箭头所指的方向为绑定区 BB 内通过第二扇出线 FIP2 传输的数据信号的传输路径，图 5 中横向的箭头所指的方向为第二扇出线 FIP2 向第一扇出线 FIP1 传输的数据信号的传输路径，图 5 中标识出了三条设定数据线 DL1 的数据信号的传输路径。图 6 为图 5 中的区域 D 的放大结构图，图 7 为图 5 中的区域 F 的放大结构图。

为了便于清晰地描述第一扇出线 FIP1 的冗余部分 FIP12，及第二扇出线 FIP2 的冗余部分 FIP22 与第一电压信号线 VSS 的连接方式，图 8 中仅示出了第一源漏导电层至第二源漏导电层的结构图。图 9 为第一源漏导电层根据图 8 中的区域 E 的放大结构图，图 10 为第二源漏导电层根据图 8 中的区域 E 的放大结构图。

图 11 为根据一些实施例的像素电路的等效电路图。图 12 为根据一些实施例的显示基板的截面结构图。

图 13 为根据一些实施例的显示基板的半导体层的平面结构图。图 14 为根据一些实施例的显示基板自半导体层至第二栅极层的结构图。图 15 为根据一些实施例的显示基板自半导体层至第一源漏导电层的结构图。

需要说明的是，为了便于清晰地描述各膜层结构的图案化设计，及各膜层之间的对应关系，图 3 至图 10，及图 13 至图 15 中仅示出了显示基板的各膜层结构中对应部分像素的部分区域的放大结构示意图，显示基板 100 的实际膜层结构中还可以包括其他膜层结构，且每层膜层结构的图案化设计包括但不限于图中所示，也还可以包括其他设计。

为了便于清晰地描述各功能膜层之间的连接方式，图 3、图 4、图 6 至图 8、图 14 和图 15 中示出的绝缘介质层 ILD 和第一平坦化层 61，为绝缘介质层 ILD 和第一平坦化层 61 上的过孔，实际膜层结构中绝缘介质层 ILD 和第一平坦化层 61 为整个覆盖显示基板 100 的膜层，且绝缘介质层 ILD 和第一平坦化层 61 上在图中示出的位置设置过孔，以使第二栅极层 32 和第一源漏导电层 41，及第一源漏导电层 41 和第二源漏导电层 42 之间需要电连接的部分可以通过过孔对应相连。

如图 1 所示，本公开的一些实施例提供了一种显示装置 1000。显示装置 1000 可以是显示不论运动的（例如，视频）还是固定的（例如，静止图像），且不论文字还是图像的任何装置。更明确地说，预期所述实施例可实施在多种电子装置中或与多种电子装置关联，所述多

种电子装置包括但不限于电视、移动电话、可穿戴设备、PDA（Personal Digital Assistant，个人数字助理）、AR（Augmented Reality，增强现实）设备、VR（Virtual Reality，虚拟现实）设备、手持式或便携式计算机、GPS 接收器/导航器、相机、MP4 视频播放器、摄像机、游戏控制台、时钟、计算器、电视监视器、平板显示器、计算机监视器、车载显示器（例如，里程表显示器等）、导航仪、座舱控制器和/或显示器、相机视图的显示器（例如，车辆中后视相机的显示器）、电子相片、电子广告牌或指示牌、投影仪、建筑结构、包装和美学结构（例如，对于一件珠宝的图像的显示器）等。例如，如图 1 所示，显示装置 1000 可以为手机。

从显示装置 1000 的发光类型上看，上述显示装置 1000 可以是 OLED（Organic Light-Emitting Diode，有机发光二极管，或 Organic Electroluminescence Display，有机发光半导体）显示装置、QLED（Quantum Dot Light Emitting Diodes，量子点电致发光二极管）显示装置、MLED（Mini Light Emitting Diodes，或 Micro Light Emitting Diodes，微型发光二极管）显示装置等。从显示装置 1000 的形态上看，上述显示装置 1000 可以是平面显示装置、曲面显示装置或可折叠显示装置等。从显示装置 1000 的形状上看，上述显示装置 1000 可以是矩形或圆形等。对此不做限制，可以根据实际需要进行适应性设计。

下面以显示装置为矩形的、且为平面的有机发光二极管显示装置为例，对本公开的一些实施例进行示意性说明，但是本公开的实施方式包括但不限于此，也可以考虑任何其它显示装置，只要应用相同的技术思想即可。

在一些实施例中，如图 2 所示，显示装置 1000 包括显示基板 100 和电路板 200。电路板 200 与显示基板 100 电连接。

示例性地，电路板 200 被配置为向显示基板 100 传输驱动信号，驱动显示基板 100 实现图像显示。

示例性地，电路板 200 可以包括 TCON（Timing Controller，时序控制器），电源管理芯片 DC/DC 和可调电阻分压电路（生成 Vcom）等驱动电路。电路板 200 还可以包括其他电路结构，此处不再一一列举。

在一些实施例中，显示装置 1000 还可以包括屏下摄像头以及屏下指纹识别传感器等，使得显示装置 1000 能够实现拍照、录像、指纹识别或人脸识别等多种不同功能。对此不做限制，可以根据实际需要进行适应性设计。

在一些实施例中，如图 2 所示，显示基板 100 具有显示区 AA 和至少位于显示区 AA 沿第二方向 Y 的一侧的周边区 AN。显示基板 100 包括设有显示区 AA 内的多个像素 P，每个像素 P 包括至少三个子像素 P(x)。

示例性地，多个像素 P 排列成多行多列。

示例性地，如图 2 所示，显示区 AA 为显示基板 100 上用于显示图像的区域，子像素 P(x) 为显示基板 100 上的最小发光单元，子像素 P(x) 用于显示图像。

在一些示例中，多个子像素 $P(x)$ 发射相同颜色的光线，显示基板 100 还可以包括设置于多个子像素 $P(x)$ 的出光侧的彩膜层，也就是显示基板 100 采用了 COE (CF On Encapsulation, 彩色滤光层在封装膜上) 结构。

例如，多个子像素 $P(x)$ 均发射白光、红光、绿光或蓝光等颜色光，在这种情况下，子像素 $P(x)$ 发出的颜色光经过彩膜层后保持同色光射出，或转化为其他颜色光射出，从而在多个子像素 $P(x)$ 发射同色光时，显示基板 100 可以实现多色出光。

在另一些示例中，多个子像素 $P(x)$ 发射不同颜色的光线，比如，多个子像素 $P(x)$ 包括发射红色光线的红光子像素、发射绿色光线的绿光子像素和发射蓝色光线的蓝光子像素，从而实现显示基板 100 的多色出光。

需要说明的是，每个像素 P 包括至少三个子像素 $P(x)$ ，即每个像素 P 可以包括三个、四个或更多个子像素 $P(x)$ ，且每个像素 P 包括的多个子像素 $P(x)$ 可以是一行，一列或一组子像素 $P(x)$ ，一组子像素 $P(x)$ 可以是彼此相邻的多个子像素 $P(x)$ ，相邻的多个子像素 $P(x)$ 排成一行、排成一列、排成 L 型、排成矩形或排成菱形等。

同时，每个像素 P 包括的多个子像素 $P(x)$ 的发光面积可以相同或不完全相同。以上仅作为示例性说明，不作为对本公开的限定，具体可以根据实际需要进行适应性设计。

以下以每个像素 P 包括的多个子像素 $P(x)$ 沿第一方向 X 排成一行为例进行说明。

在一些实施例中，如图 2 所示，周边区 AN 环绕显示区 AA 设置，周边区 AN 内可以设置栅极驱动电路（例如 Gate on Array，简称 GOA）、控制信号线（例如时钟信号线、电源电压信号线等）及绑定驱动芯片（例如 Source Driver IC，源极驱动芯片）等，周边区 AN 的功能包括但不限于此。

示例性地，如图 2 所示，周边区 AN 包括绑定区 BB，绑定区 BB 位于显示区 AA 的沿第二方向 Y 上的一侧。绑定区 BB 与显示区 AA 的一侧边缘邻接，绑定区 BB 例如与显示区 AA 的下侧边缘邻接。显示基板 100 在绑定区 BB 内与外部驱动器相连。

例如，绑定区 BB 被配置将信号线（例如数据线 DL、第一电压信号线 VSS 和参考电压信号线 VRef1 等）引出，并与驱动电路板（例如电路板 200）或驱动芯片进行绑定。即，绑定区 BB 位于显示基板 100 的用于绑定驱动电路板或驱动芯片的一侧。

在一些实施例中，如图 2 所示，显示基板 100 包括：多个像素电路 10 和多个发光器件 20。多个像素电路 10 排列成多行多列，一行像素电路 10 沿第一方向 X 排列，每行像素电路 10 包括沿第一方向 X 间隔排布的多个像素电路 10；一列像素电路 10 沿第二方向 Y 排列，每列像素电路 10 包括沿第二方向 Y 间隔排布的多个像素电路 10。也就是说，第一方向 X 为多个像素电路 10 排列的行方向，第二方向 Y 为多个像素电路 10 排列的列方向。其中，第一方向 X 和第二方向 Y 相交叉。

示例性地，第一方向 X 垂直于第二方向 Y 。

示例性地，每个像素电路 10 与一个发光器件 20 相连，像素电路 10 被配置为驱动与其相连的发光器件 20 发光。

示例性地，发光器件 20 包括但不限于 OLED（Organic Light-Emitting Diode，有机发光二极管）、Mini LED（Mini Light-Emitting Diode，迷你发光二极管）、Micro LED（Micro Light-Emitting Diode，微型发光二极管）等。

在一些实施例中，如图 2 和图 3 所示，显示基板 100 还包括：多条数据线 DL、第一扇出线 FIP1 和第二扇出线 FIP2。数据线 DL 沿第二方向 Y 延伸，一列像素电路 10 与一条数据线 DL 电连接。多条数据线 DL 中的至少一条为设定数据线 DL1，第二扇出线 FIP2 相比设定数据线 DL1 靠近绑定区 BB 的沿第二方向 Y 的中线。

第一扇出线 FIP1 和第二扇出线 FIP2 设于显示区 AA，第一扇出线 FIP1 沿第一方向 X 延伸，第二扇出线 FIP2 沿第二方向 Y 延伸。第一扇出线 FIP1 的一端与设定数据线 DL1 电连接，另一端与第二扇出线 FIP2 电连接。

其中，如图 2 所示，多个像素 P 中的至少一个为设定像素 PP，一个设定像素 PP 对应设置有至少一条第二扇出线 FIP2。第二扇出线 FIP2 从对应的设定像素 PP 中相邻两个子像素 P（x）的像素电路 10 之间穿过，或从对应的设定像素 PP 中位于外侧的像素电路 10 的外侧穿过，并延伸至绑定区 BB。

在一些实施例中，如图 2 所示，相比多条数据线 DL 中的其他数据线 DL，设定数据线 DL1 更远离绑定区 BB 的沿第二方向 Y 的中线。设定数据线 DL1 整体位于显示区 AA 内，其他数据线 DL 的端部延伸至绑定区 BB。

示例性地，如图 2 所示，数据线 DL 可以包括第一数据线 DL1 和第二数据线 DL2，其中，第一数据线 DL1 为设定数据线 DL1。设定数据线 DL1 位于显示区 AA 内，不延伸至绑定区 BB；第二扇出线 FIP2 和第二数据线 DL2 延伸至绑定区 BB。设定数据线 DL1、第一扇出线 FIP1 和第二扇出线 FIP2 依次相连，每条第一扇出线 FIP1 分别与一条设定数据线 DL1 和一条第二扇出线 FIP2 电连接。

换言之，第二数据线 DL2 直接延伸至绑定区 BB，设定数据线 DL1 为显示基板 100 中需要依次通过第一扇出线 FIP1 和第二扇出线 FIP2 引出至绑定区 BB 的数据线 DL。这种设置方式可以称为 FIP（Fanout In Pixel，像素内扇出）。

如图 2 所示，显示基板 100 用于绑定驱动器的一侧的边框宽度，例如图 2 中示出的周边区 AN 位于显示区 AA 的下方的部分的宽度为 $d1$ ，绑定区 BB 沿第二方向 Y 上的尺寸为 $d2$ ， $d1 \geq d2$ 。采用这样的设计，能够降低周边区 AN 设置绑定区 BB 的一侧的尺寸 $d1$ ，有利于实现显示装置 1000 的窄边框化。

通过在像素 P 内或相邻的像素 P 之间插入第二扇出线 FIP2，将设定数据线 DL1 通过第一扇出线 FIP1 和第二扇出线 FIP2 引出至绑定区 BB，增加了显示区 AA 内用于传输数据信号

的信号线的数量，增大了用于传输数据信号的信号线的密度，从而使得传输数据信号的信号线整体的电阻减小，利于实现数据信号的传输稳定性和可靠性。同时，将新增的第二扇出线 FIP2 分别插入相邻的像素电路 10 之间，保证了显示基板 100 的膜层结构的均一性，进而保证显示基板 100 的显示效果。

示例性地，如图 2 所示，设定像素 PP 例如包括沿第一方向 X 依次排布的三个子像素 P(x)，例如，从图 2 中的左侧指向右侧依次为第一子像素 PP(1)、第二子像素 PP(2) 和第三子像素 PP(3)。

在一些示例中，如图 2 所示，显示基板 100 中的一个设定像素 PP 对应设置有一条第二扇出线 FIP2，第二扇出线 FIP2 从对应的设定像素 PP 中位于外侧的像素电路 10 的外侧穿过，并延伸至绑定区 BB。

例如，第二扇出线 FIP2 从第一子像素 PP(1) 的像素电路 10 远离第二子像素 PP(2) 的像素电路 10 的一侧穿过，并延伸至绑定区 BB。

又如，第二扇出线 FIP2 从第三子像素 PP(3) 的像素电路 10 远离第二子像素 PP(2) 的像素电路 10 的一侧穿过，并延伸至绑定区 BB。

在另一些示例中，如图 3 所示，显示基板 100 中的一个设定像素 PP 对应设置有一条第二扇出线 FIP2，第二扇出线 FIP2 从对应的设定像素 PP 中相邻两个子像素 P(x) 的像素电路 10 之间穿过，并延伸至绑定区 BB。

例如，第二扇出线 FIP2 从第一子像素 PP(1) 和第二子像素 PP(2) 的像素电路 10 之间穿过，并延伸至绑定区 BB；或，如图 3 所示，第二扇出线 FIP2 从第二子像素 PP(2) 和第三子像素 PP(3) 的像素电路 10 之间穿过，并延伸至绑定区 BB。

在又一些示例中，显示基板 100 中的一个设定像素 PP 对应设置有两条第二扇出线 FIP2，第二扇出线 FIP2 从对应的设定像素 PP 中相邻两个子像素 P(x) 的像素电路 10 之间穿过，并延伸至绑定区 BB。

例如，一条第二扇出线 FIP2 从第一子像素 PP(1) 和第二子像素 PP(2) 的像素电路 10 之间穿过，并延伸至绑定区 BB；另一条第二扇出线 FIP2 从第二子像素 PP(2) 和第三子像素 PP(3) 的像素电路 10 之间穿过，并延伸至绑定区 BB。

在再一些示例中，显示基板 100 中的一个设定像素 PP 对应设置有三条设定数据线 DL1 第二扇出线 FIP2，第二扇出线 FIP2 从对应的设定像素 PP 中相邻两个子像素 P(x) 的像素电路 10 之间穿过，并延伸至绑定区 BB。

例如，一条第二扇出线 FIP2 从第一子像素 PP(1) 和第二子像素 PP(2) 的像素电路 10 之间穿过，并延伸至绑定区 BB；另一条第二扇出线 FIP2 从第二子像素 PP(2) 和第三子像素 PP(3) 的像素电路 10 之间穿过，并延伸至绑定区 BB；又一条第二扇出线 FIP2 从对应的设定像素 PP 中位于外侧的像素电路 10 的外侧穿过，并延伸至绑定区 BB。

在又一些示例中,显示基板 100 中的一个设定像素 PP 对应设置有四条第二扇出线 FIP2,其中,沿第一方向 X,第一条第二扇出线 FIP2 从第一子像素 PP (1) 的像素电路 10 远离第二子像素 PP (2) 的一侧穿过,并延伸至绑定区 BB;第二条第二扇出线 FIP2 从第一子像素 PP (1) 和第二子像素 PP (2) 的像素电路 10 之间穿过,并延伸至绑定区 BB;第三条第二扇出线 FIP2 从第二子像素 PP (2) 和第三子像素 PP (3) 的像素电路 10 之间穿过,并延伸至绑定区 BB;第四条第二扇出线 FIP2 从第三子像素 PP (3) 的像素电路 10 远离第二子像素 PP (2) 的一侧穿过,并延伸至绑定区 BB。

可以理解的是,在设定像素 PP 包括三个子像素 P (x),且设定像素 PP 沿第一方向 X 的两侧均与另外的像素 P 相邻的情况下,相邻的两个像素 P (其中一个为设定像素 PP) 之间可以包括一条或两条第二扇出线 FIP2。在相邻的两个像素 P 均为设定像素 PP,且与一个设定像素 PP 对应设置的第二扇出线 FIP2 的数量,小于或者等于该设定像素 PP 包括的子像素 P (x) 的数量的情况下,其中,第一个设定像素 PP 对应的一条第二扇出线 FIP2 位于这两个设定像素 PP 之间时,第二个设定像素 PP 对应的第二扇出线 FIP2 中的任一条可以是位于这两个设定像素 PP 之间,或位于第二个设定像素 PP 内的子像素 P (x) 之间,或位于第二个设定像素 PP 远离第一个设定像素 PP 的一侧。

通过设置第一扇出线 FIP 和第二扇出线 FIP2,将设定像素 PP 包括的多个子像素 P (x) 中的至少一部分所对应的数据线 DL 由从周边区 AN 引出至绑定区 BB,改为通过第二扇出线 FIP2 从显示区 AA 内引出至绑定区 BB,从而减少了数据线 DL 在周边区 AN 内的布线面积,降低了周边区 AN 设置绑定区 BB 的一侧沿第二方向 Y 上的尺寸 d1,利用实现显示装置 1000 的边框窄化。

需要说明的是,设定像素 PP 中位于外侧的像素电路 10 的外侧是指,设定像素 PP 和与设定像素 PP 相邻的另一个像素 P 之间,且另一个像素 P 也可以是设定像素 PP。

以上仅为示例性说明,不作为对本公开的限定,每个设定像素 PP 还可以是包括四个、五个或更多个子像素 P (x)。在一些示例中,每个设定像素 PP 对应设置的第二扇出线 FIP2 的数量小于或者等于其所包括的子像素 P (x) 的数量,第二扇出线 FIP2 从对应的设定像素 PP 中相邻两个子像素 P (x) 的像素电路 10 之间穿过,或从对应的设定像素 PP 中位于外侧的像素电路 10 的外侧穿过,并延伸至绑定区 BB。在另一些示例中,每个设定像素 PP 对应设置的第二扇出线 FIP2 的数量大于其所包括的子像素 P (x) 的数量,第二扇出线 FIP2 中的一部分从对应的设定像素 PP 中相邻两个子像素 P (x) 的像素电路 10 之间穿过,另一部分从对应的设定像素 PP 中位于外侧的像素电路 10 的外侧穿过,并延伸至绑定区 BB。

示例性地,如图 2 所示,数据线 DL 需要延伸至绑定区 BB,并在绑定区 BB 与驱动器(例如驱动电路板或者驱动芯片等)绑定连接,驱动器向数据线 DL 传输数据信号,使像素电路 10 能够驱动发光器件 20 发光。

如图 2 所示, 沿第一方向 X, 绑定区 BB 的尺寸例如小于显示区 AA 的尺寸, 且沿第二方向 Y, 绑定区 BB 可以是与显示区 AA 的中部区域相对设置。位于显示区 AA 沿第一方向 X 的两侧边缘的数据线 DL 为设定数据线 DL1 (第一数据线 DL1), 位于显示区 AA 沿第一方向 X 的中部区域的数据线 DL 为第二数据线 DL2。

在一些实施例中, 显示基板不包括第一扇出线 FIP1 和第二扇出线 FIP2, 设定数据线 DL1 靠近绑定区 BB 的一端延伸向周边区 AN, 并向绑定区 BB 收敛。参见图 2, 显示基板 100 中, 沿第一方向 X, 绑定区 BB 的尺寸小于显示区 AA 的尺寸, 这样, 设定数据线 DL1 位于周边区 AN 内且向绑定区 BB 内延伸的部分, 会占据周边区 AN 内的空间, 使得周边区 AN 设置绑定区 BB 的一侧的部分沿第二方向 Y 的尺寸较大, 显示基板 100 的用于绑定驱动器的一侧的边框宽度较大。

在另一些实施例中, 如图 2 所示, 沿第二方向 Y, 第二数据线 DL2 与绑定区 BB 相对设置, 设定数据线 DL1 位于第二数据线 DL2 沿第一方向 X 的两侧。这样, 沿第一方向 X, 位于绑定区 BB 两侧的第一数据线 DL1 通过第一扇出线 FIP1 和第二扇出线 FIP2 引出至绑定区 BB, 与绑定区 BB 相对设置的第二数据线 DL2 直接引出至绑定区 BB。

采用如图 2 所示的设计, 多条数据线 DL (设定数据线 DL1 和第二数据线 DL2) 均从显示区 AA 内引出至绑定区 BB, 数据线 DL 不会占据周边区 AN 内的空间, 有利于缩小周边区 AN 设置绑定区 BB 的一侧的部分沿第二方向 Y 的尺寸 d2, 进而实现显示装置 1000 的窄边框化。

需要说明的是, 显示基板 100 中, 绑定区 BB 的数量可以为多个, 比如在大尺寸显示装置中 (比如电视或电脑等), 显示基板 100 可以包括多个绑定区 BB, 沿第二方向 Y 与绑定区 BB 相对设置的数据线 DL 可以认为是第二数据线 DL2, 其余数据线 DL 可以认为是第一数据线 DL1 (设定数据线 DL1)。当然, 第一数据线 DL1 和第二数据线 DL2 的区分方式不限于此, 还可以根据需要, 在不同区域设置第一数据线 DL1 和第二数据线 DL2。

在一些实施例中, 如图 3 所示, 显示基板 100 还包括: 第一电压信号线 VSS, 沿第二方向 Y 延伸。一个设定像素 PP 对应设置有至少一条第一电压信号线 VSS, 第一电压信号线 VSS 从对应的设定像素 PP 中的相邻两个子像素 P (x) 的像素电路 10 之间穿过, 或从对应的设定像素 PP 中位于外侧的像素电路 10 的外侧穿过。

以设定像素 PP 包括沿第一方向 X 依次排列的第一子像素 PP (1)、第二子像素 PP (2) 和第三子像素 PP (3) 为例进行说明。

在一些示例中, 显示基板 100 中的一个设定像素 PP 对应设置有一条第一电压信号线 VSS, 第一电压信号线 VSS 从对应的设定像素 PP 中位于外侧的像素电路 10 的外侧穿过。

例如, 第一电压信号线 VSS 从第一子像素 PP (1) 的像素电路 10 远离第二子像素 PP (2) 的像素电路 10 的一侧穿过。

又如，第一电压信号线 VSS 从第三子像素 PP (3) 的像素电路 10 远离第二子像素 PP (2) 的像素电路 10 的一侧穿过。

在另一些示例中，如图 3 所示，显示基板 100 中的一个设定像素 PP 对应设置有一条第一电压信号线 VSS，第一电压信号线 VSS 从对应的设定像素 PP 中相邻两个子像素 P (x) 的像素电路 10 之间穿过。

例如，如图 3 所示，第一电压信号线 VSS 从第一子像素 PP (1) 和第二子像素 PP (2) 的像素电路 10 之间穿过；或，第一电压信号线 VSS 从第二子像素 PP (2) 和第三子像素 PP (3) 的像素电路 10 之间穿过。

在又一些示例中，显示基板 100 中的一个设定像素 PP 对应设置有两条第一电压信号线 VSS，第一电压信号线 VSS 从对应的设定像素 PP 中相邻两个子像素 P (x) 的像素电路 10 之间穿过。

例如，一条第一电压信号线 VSS 从第一子像素 PP (1) 和第二子像素 PP (2) 的像素电路 10 之间穿过；另一条第一电压信号线 VSS 从第二子像素 PP (2) 和第三子像素 PP (3) 的像素电路 10 之间穿过。

在再一些示例中，显示基板 100 中的一个设定像素 PP 对应设置有三条第一电压信号线 VSS，第一电压信号线 VSS 从对应的设定像素 PP 中相邻两个子像素 P (x) 的像素电路 10 之间穿过。

例如，一条第一电压信号线 VSS 从第一子像素 PP (1) 和第二子像素 PP (2) 的像素电路 10 之间穿过；另一条第一电压信号线 VSS 从第二子像素 PP (2) 和第三子像素 PP (3) 的像素电路 10 之间穿过；又一条第一电压信号线 VSS 从对应的设定像素 PP 中位于外侧的像素电路 10 的外侧穿过。

在又一些示例中，显示基板 100 中的一个设定像素 PP 对应设置有四条第一电压信号线 VSS，其中，沿第一方向 X，第一条第一电压信号线 VSS 从第一子像素 PP (1) 的像素电路 10 远离第二子像素 PP (2) 的一侧穿过；第二条第一电压信号线 VSS 从第一子像素 PP (1) 和第二子像素 PP (2) 的像素电路 10 之间穿过；第三条第一电压信号线 VSS 从第二子像素 PP (2) 和第三子像素 PP (3) 的像素电路 10 之间穿过；第四条第一电压信号线 VSS 从第三子像素 PP (3) 的像素电路 10 远离第二子像素 PP (2) 的一侧穿过。

可以理解的是，在设定像素 PP 包括三个子像素 P (x)，且设定像素 PP 沿第一方向 X 的两侧均与另外的像素 P 相邻的情况下，相邻的两个像素 P (其中一个为设定像素 PP) 之间可以包括一条或两条第一电压信号线 VSS。在相邻的两个像素 P 均为设定像素 PP，且与设定像素 PP 对应的第一电压信号线 VSS 的数量，小于或者等于设定像素 PP 包括的子像素 P (x) 的数量的情况下，其中，第一个设定像素 PP 对应的一条第一电压信号线 VSS 位于这两个设定像素 PP 之间时，第二个设定像素 PP 对应的第一电压信号线 VSS 中的任一条可以是位于

这两个设定像素 PP 之间，或位于第二个设定像素 PP 内的子像素 P (x) 之间，或位于第二个设定像素 PP 远离第一个设定像素 PP 的一侧。

通过在设定像素 PP 内，或在设定像素 PP 和与其相邻的像素 P (也可以是另一个设定像素 PP) 之间插入第一电压信号线 VSS，增加了显示区 AA 内的第一电压信号线 VSS 的布线数量，增大了显示区 AA 内第一电压信号线 VSS 的密度，从而使得第一电压信号线 VSS 整体的电阻减小，利于减小第一电压信号线 VSS 的压降，保证第一电压信号的传输稳定性和可靠性。

在一些实施例中，如图 3 所示，设定像素 PP 对应的至少一条第二扇出线 FIP2 和至少一条第一电压信号线 VSS 中，一条第二扇出线 FIP2 从一对相邻的子像素 P (x) 的像素电路 10 之间穿过，一条第一电压信号线 VSS 从另外一对相邻的子像素 P (x) 的像素电路 10 之间穿过。

通过在设定像素 PP 内的相邻的子像素 P (x) 的像素电路 10 之间插入第二扇出线 FIP2 和第一电压信号线 VSS，增加了显示区 AA 内的用于传输第一电压信号和传输数据信号的信号线的密度，从而使得第一电压信号线 VSS 和数据线 DL 整体的电阻减小，利于减小第一电压信号线 VSS 和数据线 DL 的压降，保证第一电压信号和数据信号的传输稳定性和可靠性。

示例性地，如图 3 所示，每个像素 P 包括三个子像素 P (x)。设定像素 PP 对应设置有一条第二扇出线 FIP2 和一条第一电压信号线 VSS，第二扇出线 FIP2 从三个子像素 P (x) 中的一对相邻的子像素 P (x) 的像素电路 10 之间穿过，第一电压信号线 VSS 从三个子像素 P (x) 中另外一对相邻的子像素 P (x) 的像素电路 10 之间穿过。

例如，如图 3 所示，设定像素 PP 包括沿第一方向 X 依次排布的第一子像素 P (1)、第二子像素 P (2) 和第三子像素 P (3)。其中，第一电压信号线 VSS 从第一子像素 P (1) 和第二子像素 P (2) 的像素电路 10 之间穿过，第二扇出线 FIP2 从第二子像素 P (2) 和第三子像素 P (3) 的像素电路 10 之间穿过，并延伸至绑定区 BB。

需要说明的是，在每个像素 P 包括三个子像素 P (x) 的情况下，也可以是第二扇出线 FIP2 从第一子像素 P (1) 和第二子像素 P (2) 的像素电路 10 之间穿过，并延伸至绑定区 BB；第一电压信号线 VSS 从第二子像素 P (2) 和第三子像素 P (3) 的像素电路 10 之间穿过。

在一些实施例中，如图 4 所示，设定像素 PP 对应的第二扇出线 FIP2 和第一电压信号线 VSS 中，一条第一电压信号线 VSS 和一条第二扇出线 FIP2 从同一对相邻的子像素 P (x) 的像素电路 10 之间穿过。

示例性地，像素电路 10 例如包括多个晶体管 TFT (Thin Film Transistor, 薄膜晶体管)、至少一个电容器和至少一个连接节点。其中，连接节点中的部分节点 (例如图 11 中示出的第五节点 N5) 对像素电路 10 的工作起到关键作用。像素电路 10 的具体结构参见后文，在此不多做介绍。

通过将设定像素 PP 对应的一条第一电压信号线 VSS 和一条第二扇出线 FIP2 设置为从同一对相邻的子像素 P (x) 的像素电路 10 之间穿过, 增加了显示区 AA 内用于传输第一电压信号的信号线的布线密度, 减小显示区 AA 内用于传输第一电压信号的信号线的电阻, 减小第一电压信号的压降。

同时, 第一电压信号线 VSS 作为恒压信号线, 能够起到信号屏蔽效果, 避免从相邻的子像素 P (x) 的像素电路 10 之间穿过的第二扇出线 FIP2 传输的数据信号, 与像素电路 10 内的节点之间产生信号串扰, 保证像素电路 10 的正常工作。

示例性地, 如图 4 所示, 像素 P 包括三个子像素 P (x)。设定像素 PP 对应设置有一条第二扇出线 FIP2 和一条第一电压信号线 VSS, 第二扇出线 FIP2 和第一电压信号线 VSS 从三个子像素 P (x) 中的同一对相邻的子像素 P (x) 的像素电路 10 之间穿过。

例如, 如图 4 所示, 设定像素 PP 包括沿第一方向 X 依次排布的第一子像素 P (1)、第二子像素 P (2) 和第三子像素 P (3)。其中, 第一电压信号线 VSS 和第二扇出线 FIP2 均从第一子像素 P (1) 和第二子像素 P (2) 的像素电路 10 之间穿过。

需要说明的是, 在每个像素 P 包括三个子像素 P (x) 的情况下, 第一电压信号线 VSS 和第二扇出线 FIP2 也可以是均从第二子像素 P (2) 和第三子像素 P (3) 的像素电路 10 之间穿过。

在一些实施例中, 如图 6 所示, 第二扇出线 FIP2 设有第二断口 DK2, 第二断口 DK2 将第二扇出线 FIP2 分成有效部分 FIP21 和冗余部分 FIP22。第二扇出线 FIP2 的有效部分 FIP21 的一端与第一扇出线 FIP1 电连接, 另一端延伸至绑定区 BB。

示例性地, 如图 6 所示, 第二断口 DK2 将第二扇出线 FIP2 分割成相互电绝缘的有效部分 FIP21 和冗余部分 FIP22, 参见图 2 和图 5, 第二扇出线 FIP2 的有效部分 FIP21 的一端 (例如图 2 中示出的下端) 延伸至绑定区 BB, 另一端与第一扇出线 FIP1 相连。第二扇出线 FIP2 的有效部分 FIP21 远离绑定区 BB 的一侧与第二扇出线 FIP2 的冗余部分 FIP22 电绝缘。即, 第一扇出线 FIP1 与第二扇出线 FIP2 的有效部分 FIP21 电连接, 且通过第二扇出线 FIP2 的有效部分 FIP21 延伸至绑定区 BB。

通过第二断口 DK2 将第二扇出线 FIP2 分割形成相互电绝缘的有效部分 FIP21 和冗余部分 FIP22, 数据信号自绑定区 BB 内绑定的驱动器发出, 依次经第二扇出线 FIP2 的有效部分 FIP21、第一扇出线 FIP1 和设定数据线 DL1 传输至对应的子像素 P (x), 这样, 数据信号的传输路径不经过第二扇出线 FIP2 的冗余部分 FIP22, 有利于缩短数据信号在第二扇出线 FIP2 上的传输路径, 进而降低数据信号在第二扇出线 FIP2 上传输过程中的压降, 防止压降导致的信号失真, 利于保证数据信号传输的准确性。

需要说明的是, 第二扇出线 FIP2 的冗余部分 FIP22 可以被配置为不传输信号, 或, 被配置为传输输出数据信号之外的其他信号。

在一些实施例中，如图 8 和图 10 所示，显示基板 100 还包括第一连接部 LJ1，第一电压信号线 VSS 和第二扇出线 FIP2 的冗余部分 FIP22 通过第一连接部 LJ1 电连接。第二扇出线 FIP2 的冗余部分 FIP22 被配置为传输第一电压信号。

通过第一连接部 LJ1 将第二扇出线 FIP2 的冗余部分 FIP22 与第一电压信号线 VSS 相连，这样，增加了显示区 AA 内的第一电压信号线 VSS 的布线面积，使得第一电压信号线 VSS 在显示区 AA 内的密度增大，有利于降低第一电压信号线 VSS 的电阻，进而减小第一电压信号线 VSS 的压降。

在一些实施例中，如图 4、图 8 和图 10 所示，从同一对相邻的子像素 P(x) 的像素电路 10 之间穿过的第一电压信号线 VSS 和第二扇出线 FIP2 相邻设置，第一电压信号线 VSS、第二扇出线 FIP2 和第一连接部 LJ1 同层设置且一体成型。

示例性地，在显示基板 100 的制备过程中，例如先通过溅射工艺形成一层导电结构层，接着，例如采用刻蚀工艺对前述导电结构层进行图案化，从而形成相连的第一电压信号线 VSS、第一连接部 LJ1 和第二扇出线 FIP2。这样，在同一个制备步骤中同时形成了第一电压信号线 VSS、第二扇出线 FIP2 和第一连接部 LJ1，且第一电压信号线 VSS、第一连接部 LJ1 和第二扇出线 FIP2 彼此相连的一体结构，无需设置其余结构使三者相连，在增加了第一连接部 LJ1 和第二扇出线 FIP2 的同时，无需增加显示基板 100 的制备工艺步骤，利于降低生产成本。

需要说明的是，第一电压信号线 VSS、第一连接部 LJ1 和第二扇出线 FIP2 的制备工艺也可以采用其他方法，此处为示例性说明，不作为对本公开的限定。

在一些实施例中，如图 6 所示，第一扇出线 FIP1 设有第一断口 DK1，第一断口 DK1 将第一扇出线 FIP1 分成有效部分 FIP11 和冗余部分 FIP12。第一扇出线 FIP1 的有效部分 11 的一端与设定数据线 DL1 电连接，另一端与第二扇出线 FIP2 的有效部分 FIP21 电连接。

示例性地，如图 6 所示，第一断口 DK1 将第一扇出线 FIP1 分割成相互电绝缘的有效部分 FIP11 和冗余部分 FIP12，参见图 2 和图 5，第一扇出线 FIP1 的有效部分 FIP11 的一端（例如图 2 中示出的下端）延伸至绑定区 BB，另一端与第二扇出线 FIP2 相连。第一扇出线 FIP1 的有效部分 FIP21 远离绑定区 BB 的一侧与第一扇出线 FIP1 的冗余部分 FIP12 电绝缘。即，第一扇出线 FIP1 的有效部分 FIP11 与第二扇出线 FIP2 的有效部分 FIP21 电连接，且通过第二扇出线 FIP2 的有效部分 FIP21 延伸至绑定区 BB。

通过第一断口 DK1 将第一扇出线 FIP1 分割形成相互电绝缘的有效部分 FIP11 和冗余部分 FIP12，数据信号自绑定区 BB 内绑定的驱动器发出，依次经第二扇出线 FIP2 的有效部分 FIP21、第一扇出线 FIP1 的有效部分 FIP11 和设定数据线 DL1 传输至对应的子像素 P(x)，这样，数据信号的传输路径不经过第二扇出线 FIP2 的冗余部分 FIP22 和第一扇出线 FIP1 的冗余部分 FIP12，有利于缩短数据信号在第一扇出线 FIP1 和第二扇出线 FIP2 上的传输路径，进而降低数据信号在第一扇出线 FIP1 进而第二扇出线 FIP2 上传输过程中的压降，防止压降

导致的信号失真，利于保证数据信号传输的准确性。

在一些实施例中，如图 8 和图 9 所示，显示基板 100 还包括：第二连接部 LJ2。沿显示基板 100 的厚度方向，第二连接部 LJ2 与第二扇出线 FIP2 的冗余部分 FIP22 之间设有过孔 K，第二连接部 LJ2 的一端与第一扇出线 FIP1 的冗余部分 FIP12 电连接，第二连接部 LJ2 的另一端通过过孔 K 与第二扇出线 FIP2 的冗余部分 FIP22 电连接。

示例性地，第一扇出线 FIP1 和第二扇出线 FIP2 位于不同的膜层结构中，即沿显示基板 100 的厚度方向，第一扇出线 FIP1 和第二扇出线 FIP2 所在的膜层结构与显示基板 100 之间的距离不同。

第一扇出线 FIP1 和第二扇出线 FIP2 之间可以还包括绝缘间隔层，例如平坦化层 6，第一扇出线 FIP1 和第二扇出线 FIP2 之间电绝缘，通过在平坦化层 6 上对应第二扇出线 FIP2 的冗余部分 FIP22 与第二连接部 LJ2 相靠近的一端之间的部分设置过孔 K，使第二连接部 LJ2 的一端通过过孔 K 与第二扇出线 FIP2 的冗余部分 FIP22 相连。这样，第一扇出线 FIP1 的冗余部分 FIP12 与第二扇出线 FIP2 的冗余部分 FIP22 通过第二连接部 LJ2 相连，增加了显示区 AA 内的第一电压信号线 VSS 的布线面积，使得第一电压信号线 VSS 在显示区 AA 内的密度增大，第一扇出线 FIP1 的冗余部分 FIP12 与第二扇出线 FIP2 的冗余部分 FIP22 并联设置，有利于降低第一电压信号线 VSS 的电阻，进而减小第一电压信号线 VSS 的压降。

在一些实施例中，如图 9 所示，第二连接部 LJ2 和第一扇出线 FIP1 的冗余部分 FIP12 同层设置且一体成型。

示例性地，在显示基板 100 的制备过程中，例如先通过溅射工艺形成一层导电结构层，接着，例如采用刻蚀工艺对前述导电结构层进行图案化，从而形成相连的第一扇出线 FIP1 的冗余部分 FIP12 和第二连接部 LJ2。这样，在同一个制备步骤中同时形成了第一扇出线 FIP1 的冗余部分 FIP12 和第二连接部 LJ2，且第二连接部 LJ2 和第一扇出线 FIP1 的冗余部分 FIP12 为彼此相连的一体结构，无需设置其余结构使二者相连，在增加了第一扇出线 FIP1 的冗余部分 FIP12 和第二连接部 LJ2 的同时，无需增加显示基板 100 的制备工艺步骤，利于降低生产成本。

需要说明的是，第一扇出线 FIP1 的冗余部分 FIP12 和第二连接部 LJ2 的制备工艺也可以采用其他方法，此处为示例性说明，不作为对本公开的限定。

在一些实施例中，如图 3 和图 4 所示，显示基板 100 还包括：多条参考电压信号线 VRef1。参考电压信号线 VRef1 沿第二方向 Y 延伸，一列像素电路 10 与一条参考电压信号线 VRef1 电连接。相邻两列像素电路 10 中，一列像素电路 10 所连接的参考电压信号线 VRef1，和另一列像素电路 10 所连接的数据线 DL 相靠近设置。其中，第二扇出线 FIP2 设于相靠近设置的参考电压信号线 VRef1 和数据线 DL 之间。

示例性地，如图 3 和图 4 所示，每列像素电路 10 分别与一条数据线 DL 和一条参考电压

信号线 VRef1 电连接, 一列像素电路 10 沿第二方向 Y 延伸, 与该列像素电路 10 对应相连的数据线 DL 和参考电压信号线 VRef1 位于该像素电路 10 沿第一方向 X 上的两侧。相邻的两列像素电路 10 中插入一条第二扇出线 FIP2, 将设定数据线 DL1 从显示区 AA 内引出至绑定区 BB。

在一些实施例中, 如图 3 和图 4 所示, 显示基板 100 的第一电压信号线 VSS 设于相靠近设置的参考电压信号线 VRef1 和数据线 DL 之间。

示例性地, 如图 3 和图 4 所示, 与一列像素电路 10 对应相连的数据线 DL 和参考电压信号线 VRef1 位于该像素电路 10 沿第一方向 X 上的两侧。相邻的两列像素电路 10 中插入一条第一电压信号线 VSS, 增大了显示区 AA 内第一电压信号线 VSS 的密度, 从而使得第一电压信号线 VSS 整体的电阻减小, 利于减小第一电压信号线 VSS 的压降, 保证第一电压信号的传输稳定性和可靠性。

在一些实施例中, 如图 11 所示, 像素电路 10 包括多个晶体管 TFT 和至少一个电容器。

示例性地, 像素电路 10 可以为“3T1C”电路、“7T1C”电路、“8T1C”电路或“9T2C”等, 其中, “T”是指 TFT, “T”前面的数字是指 TFT 的数量; “C”是指电容器, “C”前面的数字是指电容器的数量。本公开的实施例中, 以像素电路 10 为“9T2C”电路为例进行示意性说明, 但是本公开的实施方式不限于此, 并且也可以考虑任何其它像素电路 10, 只要应用相同的技术思想即可。

示例性地, 如图 11 所示, 为 9T2C 模式的像素电路 10 的等效电路图。在这种情况下, 像素电路 10 可以包括第一晶体管 T1、第二晶体管 T2、第三晶体管 T3、第四晶体管 T4、第五晶体管 T5、第六晶体管 T6、第七晶体管 T7、第八晶体管 T8、第九晶体管 T9、第一电容器 C1 和第二电容器 C2, 及与像素电路 10 电连接的信号线 (例如数据信号线 DL、第一使能信号线 EM1、第二使能信号线 EM2、初始化信号线 Vinit、第一电压信号线 VSS 和第二电压信号线 VDD 等)。

例如, 如图 11 所示, 每个像素电路 10 对应连接有三条栅极信号线 GL, 分别为第一栅极信号线 GL1、第二栅极信号线 GL2 和第三栅极信号线 GL3。

第一晶体管 T1 的栅极与第三栅极信号线 GL3 电连接, 第一晶体管 T1 的第一极与第一初始化信号线 Vinit1, 第一晶体管 T1 的第二极与第一节点 N1 电连接。

第二晶体管 T2 的栅极与第二栅极信号线 GL2 电连接, 第二晶体管 T2 的第一极与第一节点 N1 电连接, 第二晶体管 T2 的第二极与第三节点 N3 电连接。

第三晶体管 T3 的栅极与第一节点 N1 电连接, 第三晶体管 T3 的第一极与第二节点 N2 电连接, 第三晶体管 T3 的第二极与第三节点 N3 电连接。

第四晶体管 T4 的栅极与第一栅极信号线 GL1 电连接, 第四晶体管 T4 的第一极与数据信号线 DL 电连接, 第四晶体管 T4 的第二极与第五节点 N5 电连接。

第五晶体管 T5 的栅极与第一使能信号线 EM1 电连接, 第五晶体管 T5 的第一极与第二电压信号线 VDD 电连接, 第五晶体管 T5 的第二极与第二节点 N2 电连接。

第六晶体管 T6 的栅极与第二使能信号线 EM2 电连接, 第六晶体管 T6 的第一极与第三节点 N3 电连接, 第六晶体管 T6 的第二极与第四节点 N4 电连接。

第七晶体管 T7 的栅极与扫描信号线 Scan 电连接, 第七晶体管 T7 的第一极与第二初始化信号线 Vinit2 电连接, 第七晶体管 T7 的第二极与第四节点 N4 电连接。

第八晶体管 T8 的栅极与扫描信号线 Scan 电连接, 第八晶体管 T8 的第一极与第二参考电压信号线 VRef2 电连接, 第八晶体管 T8 的第二极与第二节点 N2 电连接。

第九晶体管 T9 的栅极与第二栅极信号线 GL2 电连接, 第九晶体管 T9 的第一极与第一参考电压信号线 VRef1 电连接, 第九晶体管 T9 的第二极与第五节点 N5 电连接。

第一电容器 C1 的第一极板 C11 与第五节点 N5 电连接, 第一电容器 C1 的第二极板 C12 与第一节点 N1 电连接。

第二电容器 C2 的第一极板 C21 与第五节点 N5 电连接, 第二电容器 C2 的第二极板 C22 与第二电压信号线 VDD 电连接。

其中, 第五节点 N5 与第一电容器 C1 和第二电容器 C2 电连接, 第五节点 N5 的电压变化会引起第一电容器 C1 和第二电容器 C2 的存储电压的变化。

在一些实施例中, 如图 12 所示, 显示基板 100 包括衬底 1、半导体层 2、多层栅极层 3 和、多层源漏导电层 4。多层源漏导电层 4 可以统称为显示基板 100 中的功能膜层, 各功能膜层中具有设定导电图案, 相邻的功能膜层之间通过绝缘的膜层结构间隔。

示例性地, 衬底 1 可以为刚性衬底, 刚性衬底的材料包括但不限于玻璃。或者, 衬底 1 可以为柔性衬底, 柔性衬底的材料包括但不限于 PI(Polyimide, 聚酰亚胺)、PC(Polycarbonate, 聚碳酸酯) 或者 PVC(Polyvinyl Chloride, 聚氯乙烯) 中的任一种。

示例性地, 如图 12 和图 13 所示, 半导体层 2 包括有源层图案。如图 13 所示, 有源层图案包括各晶体管 TFT 的有源层 21。

在一些示例中, 薄膜晶体管 TFT 可以是低温多晶硅薄膜晶体管, 即半导体层 2 采用低温多晶硅。

在另一些示例中, 薄膜晶体管 TFT 也可以为氧化物薄膜晶体管, 即半导体层 2 采用金属氧化物, 例如, 氧化铟镓锌或氧化铟镓锡等。

在一些实施例中, 如图 12 所示, 多层栅极层 3 包括自衬底 1 一侧依次设置的第一栅极层 31 和第二栅极层 32。

示例性地, 如图 14 所示, 第一栅极层 31 包括第一栅导电图案, 第一栅导电图案与有源层图案在衬底 1 上的正投影有交叠, 第一栅导电图案与有源层图案交叠的部分作为各晶体管 TFT 的栅极。

在一些示例中,如图 14 所示,第一栅导电图案包括沿第一方向 X 延伸的扫描信号线 Scan,扫描信号线 Scan 被配置为向晶体管 TFT 传输扫描信号。

在一些实施例中,如图 12 和图 14 所示,第二栅极层 32 包括第二栅导电图案,第二栅导电图案包括辅助参考电压信号线 VRef11。

示例性地,如图 14 所示,辅助参考电压信号线 VRef11 沿第一方向 X 延伸,且与参考电压信号线 VRef1 相连。

示例性地,如图 14 所示,第二栅导电图案包括沿第一方向 X 延伸的多条信号线,例如辅助参考电压信号线 VRef11、第二参考电压信号线 VRef2、第一初始化信号线 Vinit1、第二使能信号线 EM2 和修复信号线 Repair。第一初始化信号线 Vinit1 被配置为向晶体管 TFT 传输初始化信号。第二使能信号线 EM2 被配置为向晶体管 TFT 传输发光控制信号。

在一些实施例中,如图 12 所示,显示基板 100 还包括:多层栅绝缘层 5。多层栅绝缘层 5 包括:设于半导体层 2 和第一栅极层 1 之间的第一栅绝缘层 51,和设于第一栅极层 31 和第二栅极层 32 之间的第二栅绝缘层 52。

在一些实施例中,如图 14 所示,第一栅导电图案包括第一极板图案,第一极板图案包括各像素电路 10 的电容器(例如第一电容器 C1 和第二电容器 C2)的第一极板(例如第一电容器 C1 的第一极板 C11,和第二电容器 C2 的第一极板 C21)。第二栅极层 32 还包括第二极板图案,第二极板图案包括各像素电路 10 的电容器的第二极板(例如第一电容器 C1 的第二极板 C12,和第二电容器 C2 的第二极板 C22)。

如图 14 所示,第一极板图案和第二极板图案在衬底 1 上的正投影有交叠。第一电容器 C1 的第二极板 C12 与第一极板 C11 相交叠形成第一电容器 C1,第二电容器 C2 的第二极板 C22 与第一极板 C21 相交叠形成第二电容器 C2。

在一些实施例中,如图 3、图 4 和图 12 所示,多层源漏导电层 4 中一对相邻的源漏导电层 4 分别为第一设定源漏导电层和第二设定源漏导电层,第一设定源漏导电层相比第二设定源漏导电层靠近衬底 1。其中,第一扇出线 FIP1 设于第一设定源漏导电层,数据线 DL 和第二扇出线 FIP2 设于第二设定源漏导电层。

示例性地,如图 15 所示,第二栅极层 32 与第一源漏导电层 41 之间设有绝缘介质层 ILD,第二栅极层 32 与第一源漏导电层 41 电绝缘,绝缘介质层 ILD 上设有过孔,第二栅极层 32 内的第二栅导电图案与第一源漏导电层 41 内的第一导电图案中需要相连的部分通过绝缘介质层 ILD 上的过孔电连接。

示例性地,第一设定源漏导电层和第二设定源漏导电层之间还设有绝缘间隔层(例如平坦化层 6),第一设定源漏导电层和第二设定源漏导电层电绝缘,绝缘间隔层上设有过孔,第一设定源漏导电层和第二设定源漏导电层中需要相连的部分可以通过绝缘间隔层上的过孔电连接。第一扇出线 FIP1 的一端通过一个过孔与设定数据线 DL1 相连,另一端通过另一个过

孔与第二扇出线 FIP2 相连。

第一设定源漏导电层包括沿第一方向 X 延伸的第一扇出线 FIP1, 还可以包括沿第一方向 X 延伸的其他信号线, 第二设定源漏导电层内包括沿第二方向 Y 延伸的第二扇出线 FIP2 和数据线 DL, 也还可以包括沿第二方向 Y 延伸的其他信号线。采用这样的设计, 每层源漏导电层内包括的多条信号线可以是均沿同一方向延伸, 简化了内的导电图案的结构, 从而简化了源漏导电层的制备工艺。

同时, 通过第一扇出线 FIP1 和第二扇出线 FIP2 可以将显示区 AA 内位于沿第一方向 X 的两侧的数据线 DL (设定数据线 DL1) 从显示区 AA 内引出至绑定区 BB, 从而减小显示基板 100 的周边区 AN 在绑定区 BB 一侧的宽度, 进而减小了显示装置 1000 的用于绑定驱动器的一侧的边框宽度。

如图 14 和图 15 所示, 第一扇出线 FIP1 设于第一设定源漏导电层, 辅助参考电压信号线 VRef11 位于第二栅极层 32。在沿显示基板 100 的厚度方向上, 辅助参考电压信号线 VRef11 位于第五节点 N5 的上方, 第一扇出线 FIP1 位于辅助参考电压信号线 VRef11 的上方。即, 辅助参考电压信号线 VRef11 位于第五节点 N5 和第一扇出线 FIP1 之间。

辅助参考电压信号线 VRef11 被配置为传输参考电压信号, 辅助参考电压信号为恒压信号, 这样, 第五节点 N5 和第一扇出线 FIP1 之间的辅助参考电压线 VRef11 能够起到屏蔽效果, 防止第一扇出线 FIP 上传输的数据信号与第五节点 N5 之间产生信号串扰, 保证像素电路 10 的正常工作。

在一些实施例中, 如图 3 和图 4 所示, 多层源漏导电层 4 包括第一源漏导电层 41 和第二源漏导电层 42, 第一源漏导电层 41 为第一设定源漏导电层, 第二源漏导电层 42 为第二设定源漏导电层。

示例性地, 第一扇出线 FIP1 设于第一源漏导电层 41, 数据线 DL 和第二扇出线 FIP2 设于第二源漏导电层 42。

示例性地, 如图 15 所示, 第一源漏导电层 41 包括第一源漏导电图案, 第一源漏导电图案包括各晶体管 TFT 的源极 411 和漏极 412。上述源极 411 和漏极 412 在结构上可以是相同的, 因此晶体管 TFT 的源极 411 和漏极 412 可以进行互换。

示例性地, 如图 15 所示, 第一源漏导电图案还包括沿第一方向 X 延伸的第一栅极线 GL1、第二栅极线 GL2、第三栅极线 GL3、第一扇出线 FIP1、辅助第二电压信号线 DIP、辅助第一电压信号线 SIP 和第一使能信号线 EM1。第一使能信号线 EM1 被配置为向晶体管 TFT 传输发光控制信号。

参见图 14 和图 15, 第二电容器 C2 的第二极板 C22 上设有开口, 第一源漏导电层 41 内还包括连接线 LX, 连接线 LX 的一端通过开口与第二电容器 C2 的第一极板 C21 相连, 另一端与图 14 中的虚线框内第五节点 N5 相连。

参见图 14 和图 15，在沿显示基板 100 的厚度方向上，辅助参考电压信号线 VRef11 位于第五节点 N5 的上方，第一扇出线 FIP1 位于辅助参考电压信号线 VRef11 的上方。即，辅助参考电压信号线 VRef11 位于第五节点 N5 和第一扇出线 FIP1 之间。

辅助参考电压信号线 VRef11 被配置为传输参考电压信号，辅助参考电压信号为恒压信号，这样，第五节点 N5 和第一扇出线 FIP1 之间的辅助参考电压线 VRef11 能够起到屏蔽效果，防止第一扇出线 FIP 上传输的数据信号与第五节点 N5 之间产生信号串扰，保证像素电路 10 的正常工作。

示例性地，如图 12 所示，显示基板 100 还包括：多层平坦化层 6，多层平坦化层 6 包括第一平坦化层 61 和第二平坦化层 62。第一平坦化层 61 设于第一源漏导电层 41 和第二源漏导电层 42 之间，第二平坦化层 62 设于第二源漏导电层 42 远离第一源漏导电层 41 的一侧。

在一些实施例中，如图 3 和图 4 所示，第二源漏导电层 42 包括沿第二方向 Y 延伸的数据线 DL，第一电压信号线 VSS、第二电压信号线 VDD、第二扇出线 FIP2 和参考电压信号线 VRef1。

示例性地，如图 8 所示，第一平坦化层 61 上设有多个过孔，第一电压信号线 VSS 与辅助第一电压信号线 SIP 通过第一平坦化层 61 上的过孔电连接，从而在不增加膜层结构的同时，增加显示区 AA 内的用于传输第一电压信号的信号线的数量，增加显示区 AA 内用于传输第一电压信号的信号线的布线密度，减小第一电压信号线 VSS 的电阻。

示例性地，如图 8 所示，第二电压信号线 VDD 与辅助第一电压信号线 DIP 通过第一平坦化层 61 上的过孔电连接，从而在不增加膜层结构的同时，增加显示区 AA 内的用于传输第二电压信号的信号线的数量，增加显示区 AA 内用于传输第二电压信号的信号线的布线密度，减小第二电压信号线 VDD 的电阻。

在一些实施例中，多层源漏导电层 4 包括第一源漏导电层 41、第二源漏导电层 42 和第三源漏导电层 43，第一源漏导电层 41 为第一设定源漏导电层，第二源漏导电层 42 为第二设定源漏导电层。

示例性地，第一扇出线 FIP1 设于第一源漏导电层 41，数据线 DL 和第二扇出线 FIP2 设于第二源漏导电层 42。

示例性地，如图 12 所示，多层平坦化层 6 还包括第三平坦化层 63，设于第三源漏导电层 43 远离第二源漏导电层 42 的一侧。

在一些实施例中，多层源漏导电层 4 包括第一源漏导电层 41、第二源漏导电层 42 和第三源漏导电层 43，第二源漏导电层 42 为第一设定源漏导电层，第三源漏导电层 43 为第二设定源漏导电层。

示例性地，第二源漏导电层 42 为第一设定源漏导电层，第三源漏导电层 43 为第二设定源漏导电层。第一扇出线 FIP1 设于第二源漏导电层 42，数据线 DL 和第二扇出线 FIP2 设于

第三源漏导电层 43。

需要说明的是，显示基板 100 可以包括两层半导体层，其中一层半导体层的材料例如包括低温多晶硅，另一层半导体层的材料例如包括金属氧化物，像素电路 10 包括的多个晶体管 TFT 的有源层分别位于两层半导体层中，这样，像素电路 10 包括的多个晶体管 TFT 包括部分低温多晶硅薄膜晶体管和部分氧化物薄膜晶体管。

在一些实施例中，如图 14 和图 15 所示，显示基板 100 还包括：设于半导体层 2 远离衬底 1 一侧的多条辅助参考电压信号线 VRef11。辅助参考电压信号线 VRef11 沿第一方向 X 延伸，且与参考电压信号线 VRef1 电连接。其中，第一扇出线 FIP1 设于辅助参考电压信号线 VRef11 远离衬底 1 的一侧。在向衬底 1 的正投影中，第一扇出线 FIP1 与辅助参考电压信号线 VRef11 交叠，且与半导体层 2 的部分交叠。

在沿显示基板 100 的厚度方向上，辅助参考电压信号线 VRef11 位于第五节点 N5 的上方，第一扇出线 FIP1 位于辅助参考电压信号线 VRef11 的上方。即，辅助参考电压信号线 VRef11 位于第五节点 N5 和第一扇出线 FIP1 之间，这样，辅助参考电压信号线 VRef11 传输的辅助参考电压信号为恒压信号，能够起到屏蔽效果，防止第一扇出线 FIP 上传输的数据信号与第五节点 N5 之间产生信号串扰，保证像素电路 10 的正常工作。

需要说明的是，第一扇出线 FIP1 沿第一方向 X 延伸，第一扇出线 FIP1 和与其相邻的一行像素电路 10 的第五节点 N5 之间均设置屏蔽结构，从而防止第一扇出线 FIP1 传输的数据信号与像素电路 10 的第五节点 N5 之间产生信号串扰。屏蔽结构可以是沿显示基板 100 的厚度方向上，位于第一扇出线 FIP1 和第五节点 N5 之间的辅助参考电压信号线 VRef11，也可以是其他传输恒压信号的信号线。

在一些实施例中，如图 6 和图 7 所示，显示基板 100 还包括：多条第二电压信号线 VDD。第二电压信号线 VDD 沿第二方向 Y 延伸，一行像素电路 10 与一条第二电压信号线 VDD 电连接。

其中，多条第二电压信号线 VDD 所在的膜层位于第一扇出线 FIP1 所在的膜层远离衬底 1 的一侧，在向衬底 1 的正投影中，第二电压信号线 VDD 覆盖第一扇出线 FIP1 的第一断口 DK1。

示例性地，如图 6 和图 7 所示，第一扇出线 FIP1 位于第一源漏导电层 41，第二电压信号线 VDD 位于第二源漏导电层 42。第一扇出线 FIP1 上的第一断口 DK1 在显示基板 100 上的正投影落入第二电压信号线 VDD 在在显示基板 100 上的正投影的范围内，即，第一断口 DK1 被第二电压信号线 VDD 遮挡，自衬底 1 远离第一源漏导电层 41 的一侧的环境光射向衬底 1 时，环境光射向第一扇出线 FIP1 未设置断口 DK1 的部分可以被第一扇出线 FIP1 遮挡并反射，环境光射向第一断口 DK1 的部分可以被第二电压信号线 VDD 遮挡并反射，进而降低第一源漏导电层 41 在第一断口 DK1 处和未设置第一断口 DK1 处的光反射率差异，有效弱化

由第一断口 DK1 导致的息屏 mura 现象。

示例性地，第二扇出线 FIP2 上的第二断口 DK2 的数量大于或等于第一扇出线 FIP1 上的第一断口 DK1 的数量。

在一些示例中，如图 5、图 6 和图 7 所示，设定数据线 DL1 所对应相连的一条第一扇出线 FIP1 和一条第二扇出线 FIP2 中，第二扇出线 FIP2 上的第二断口 DK2 的数量是第一扇出线 FIP1 上的第一断口 DK1 的数量的一半。例如，每条第一扇出线 FIP1 上设有两个第一断口 DK1，每条第二扇出线 FIP2 上设有一个第二断口 DK2。

在另一些示例中，设定数据线 DL1 所对应相连的一条第一扇出线 FIP1 和一条第二扇出线 FIP2 中，第二扇出线 FIP2 上的第二断口 DK2 的数量等于第一扇出线 FIP1 上的第一断口 DK1 的数量。例如，每条第一扇出线 FIP1 上设有一个第一断口 DK1，每条第二扇出线 FIP2 上设有一个第二断口 DK2。

可以理解的是，参见图 3 和图 5，第一扇出线 FIP1 沿第一方向 X 上的长度例如与显示区 AA 沿第一方向 X 上的长度相同或大致相同，第二扇出线 FIP1 沿第二方向 Y 上的长度例如与显示区 AA 沿第二方向 Y 上的长度相同或大致相同。第二扇出线 FIP2 的有效部分 FIP21 的一端延伸至绑定区 BB，另一端沿第二方向 Y 延伸向显示区 AA，且与第一扇出线 FIP1 的有效部分 FIP11 的一端相连，第一扇出线 FIP1 的有效部分 FIP11 的另一端与一条设定数据线 DL1 相连。

在设定数据线 DL1 与显示区 AA 沿第二方向 Y 延伸的边界之间不设置有其他信号线时，与该设定数据线 DL1 相连的第一扇出线 FIP1 上可以设置一个第一断口 DK1。

在设定数据线 DL1 与显示区 AA 沿第二方向 Y 延伸的边界之间还设有第一电压线 VSS 或第二电压线 VDD 等其他信号线时，与该设定数据线 DL1 相连的第一扇出线 FIP1 上可以设置两个第一断口 DK1，两个第一断口 DK1 分设于该设定数据线 DL1 沿第一方向 X 上的两侧。这样，该第一扇出线 FIP1 具有两个冗余部分 FIP12，这两个冗余部分 FIP12 可以分别与两条信号线（例如第一电压信号线 VSS 或第二电压信号线 VDD 等）相连，用于增加与其相连的信号线在显示区 AA 内的布线密度，从而降低其相连的信号线的电阻。

第一扇出线 FIP1 和第二扇出线 FIP2 上的断口的具体设计可以根据实际需要进行适应性设计，此处仅做示例性说明，不作为对本公开的限定。

在一些实施例中，如图 3、图 4 和图 6 所示，显示基板 100 还包括：栅极信号线 GL1、使能信号线 EM、辅助第一电压信号线 SIP 和辅助第二电压信号线 DIP，均沿第一方向 X 延伸。像素电路 10 与栅极信号线 GL1 和使能信号线 EM 电连接。辅助第一电压信号线 SIP 与第一电压信号线 VSS 电连接，辅助第二电压信号线 DIP 与第二电压信号线 VDD 电连接。

第一设定源漏导电层中设有栅极信号线 GL1、使能信号线 EM、辅助第一电压信号线 SIP 和辅助第二电压信号线 DIP 中的至少一者。在向衬底 1 的正投影中，栅极信号线 GL1、使能

信号线 EM、辅助第一电压信号线 SIP 和辅助第二电压信号线 DIP 中的至少一者覆盖第二扇出线 FIP2 的第二断口 DK2。

示例性地，使能信号线 EM 包括第一使能信号线 EM1 和第二使能信号线 EM2。像素电路 10 与第一使能信号线 EM1 和第二使能信号线 EM2 电连接。

在显示基板 100 包括两层源漏导电层 4 的情况下，第一设定源漏导电层为第一源漏导电层 41。在显示基板 100 包括三层源漏导电层 4 的情况下，第一设定源漏导电层为第一源漏导电层 41 或第二源漏导电层 42。以第一设定源漏导电层为第一源漏导电层 41，第二设定源漏导电层为第二源漏导电层 42 为例进行说明。

栅极信号线 GL1、使能信号线 EM、辅助第一电压信号线 SIP 和辅助第二电压信号线 DIP 中的至少一者位于第一设定源漏导电层内，第二扇出线 FIP2 位于第二设定源漏导电层内，第一设定源漏导电层位于第二设定源漏导电层和衬底 1 之间，这样，第一设定源漏导电层内的栅极信号线 GL1、使能信号线 EM、辅助第一电压信号线 SIP 和辅助第二电压信号线 DIP 中的至少一者覆盖第二扇出线 FIP2 的第二断口 DK2 时，能够起到信号屏蔽效果，避免从相邻的子像素 P(x) 的像素电路 10 之间穿过的第二扇出线 FIP2 传输的数据信号，与像素电路 10 内的节点之间产生信号串扰，保证像素电路 10 的正常工作。

如图 6 所示，第一源漏导电层 41 内与第二断口 DK2 交叠的横向的信号线可以为栅极信号线 GL1、使能信号线 EM、辅助第一电压信号线 SIP 或辅助第二电压信号线 DIP 中的至少一者。

在一些实施例中，如图 12 和图 15 所示，显示基板 100 的第一电压信号线 VSS、第二电压信号线 VDD 和参考电压信号线 VRef1 均设于第二设定源漏导电层。

第二设定源漏导电层内的第一电压信号线 VSS、第二电压信号线 VDD 和参考电压信号线 VRef1，可以对第一设定源漏导电层内的第一扇出线 FIP1 上的第一断口 DK1 进行遮挡，防止第一扇出线 FIP1 传输的数据信号在第一断口 DK1 位置与像素电路 10 内的节点之间产生信号串扰，保证像素电路 10 的正常工作。

以上所述，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以所述权利要求的保护范围为准。

权 利 要 求 书

1、一种显示基板，具有显示区和绑定区，所述绑定区位于所述显示区的沿第二方向的一侧；

所述显示基板包括：

多个像素电路，所述多个像素电路排列成多行多列，一行像素电路沿第一方向排列，一列像素电路沿所述第二方向排列，所述第一方向和所述第二方向相交叉；

多条数据线，所述数据线沿所述第二方向延伸，一列像素电路与一条所述数据线电连接；

第一扇出线和第二扇出线，设于所述显示区；所述第一扇出线沿所述第一方向延伸，所述第二扇出线沿所述第二方向延伸；所述多条数据线中的至少一条为设定数据线，所述第二扇出线相比所述设定数据线靠近所述绑定区的沿所述第二方向的中线；所述第一扇出线的一端与所述设定数据线电连接，另一端与所述第二扇出线电连接；

其中，所述显示基板包括多个像素，每个像素包括至少三个子像素，每个子像素包括一个所述像素电路；所述多个像素中的至少一个为设定像素，一个所述设定像素对应设置有至少一条所述第二扇出线，所述第二扇出线从对应的设定像素中相邻两个子像素的像素电路之间穿过，或从对应的设定像素中位于外侧的像素电路的外侧穿过，并延伸至所述绑定区。

2、根据权利要求1所述的显示基板，其中，所述显示基板还包括：

第一电压信号线，沿所述第二方向延伸；一个所述设定像素对应设置有至少一条所述第一电压信号线，所述第一电压信号线从对应的设定像素中的相邻两个子像素的像素电路之间穿过，或从对应的设定像素中位于外侧的像素电路的外侧穿过。

3、根据权利要求2所述的显示基板，其中，所述设定像素对应的至少一条所述第二扇出线和至少一条所述第一电压信号线中，一条所述第二扇出线从一对相邻的子像素的像素电路之间穿过，一条所述第一电压信号线从另外一对相邻的子像素的像素电路之间穿过。

4、根据权利要求3所述的显示基板，其中，所述像素包括三个子像素；

所述设定像素对应设置有一条所述第二扇出线和一条所述第一电压信号线，所述第二扇出线从所述三个子像素中的一对相邻的子像素的像素电路之间穿过，所述第一电压信号线从所述三个子像素中另外一对相邻的子像素的像素电路之间穿过。

5、根据权利要求2所述的显示基板，其中，所述设定像素对应的所述第二扇出线和所述第一电压信号线中，一条所述第一电压信号线和一条所述第二扇出线从同一对相邻的子像素的像素电路之间穿过。

6、根据权利要求5所述的显示基板，其中，所述像素包括三个子像素；

所述设定像素对应设置有一条所述第二扇出线和一条所述第一电压信号线，所述第二扇出线和所述第一电压信号线从所述三个子像素中的同一对相邻的子像素的像素电路之间穿过。

7、根据权利要求5或6所述的显示基板，其中，所述第二扇出线设有第二断口，所述第

二断口将所述第二扇出线分成有效部分和冗余部分；所述第二扇出线的有效部分的一端与所述第一扇出线电连接，另一端延伸至所述绑定区；

所述显示基板还包括：第一连接部，所述第一电压信号线和所述第二扇出线的冗余部分通过所述第一连接部电连接。

8、根据权利要求7所述的显示基板，其中，从同一对相邻的子像素的像素电路之间穿过的所述第一电压信号线和所述第二扇出线相邻设置，所述第一电压信号线、所述第二扇出线和所述第一连接部同层设置且一体成型。

9、根据权利要求7或8所述的显示基板，其中，所述第一扇出线设有第一断口，所述第一断口将所述第一扇出线分成有效部分和冗余部分；所述第一扇出线的有效部分的一端与所述设定数据线电连接，另一端与所述第二扇出线的有效部分电连接；

所述显示基板还包括：第二连接部，所述第二连接部的一端与所述第一扇出线的冗余部分电连接；沿所述显示基板的厚度方向，所述第二连接部与所述第二扇出线的冗余部分之间设有过孔，所述第二连接部的另一端通过所述过孔与所述第二扇出线的冗余部分电连接。

10、根据权利要求9所述的显示基板，其中，所述第二连接部和所述第一扇出线的冗余部分同层设置且一体成型。

11、根据权利要求1~10中任一项所述的显示基板，其中，所述显示基板还包括：

多条参考电压信号线，所述参考电压信号线沿所述第二方向延伸，一列像素电路与一条所述参考电压信号线电连接；相邻两列像素电路中，一列像素电路所连接的参考电压信号线，和另一列像素电路所连接的数据线相靠近设置；

其中，所述第二扇出线设于相靠近设置的所述参考电压信号线和所述数据线之间。

12、根据权利要求11所述的显示基板，其中，所述显示基板的第一电压信号线设于相靠近设置的所述参考电压信号线和所述数据线之间。

13、根据权利要求11或12所述的显示基板，其中，所述显示基板还包括：

衬底；

设于所述衬底上的半导体层；

设于所述半导体层远离所述衬底一侧的多条辅助参考电压信号线，所述辅助参考电压信号线沿所述第一方向延伸，且与所述参考电压信号线电连接；

其中，所述第一扇出线设于所述辅助参考电压信号线远离所述衬底的一侧；在向所述衬底的正投影中，所述第一扇出线与所述辅助参考电压信号线交叠，且与半导体层的部分交叠。

14、根据权利要求1~13中任一项所述的显示基板，其中，所述显示基板还包括：

多条第二电压信号线，所述第二电压信号线沿所述第二方向延伸，一列像素电路与一条所述第二电压信号线电连接；

其中，所述多条第二电压信号线所在的膜层位于所述第一扇出线所在的膜层远离衬底的

一侧，在向所述衬底的正投影中，所述第二电压信号线覆盖所述第一扇出线的第一断口。

15、根据权利要求 1~14 中任一项所述的显示基板，其中，所述显示基板还包括：

多层源漏导电层，所述多层源漏导电层中一对相邻的源漏导电层分别为第一设定源漏导电层和第二设定源漏导电层，所述第一设定源漏导电层相比所述第二设定源漏导电层靠近衬底；

其中，所述第一扇出线设于所述第一设定源漏导电层，所述数据线和所述第二扇出线设于所述第二设定源漏导电层。

16、根据权利要求 15 所述的显示基板，其中，所述显示基板还包括：栅极信号线、使能信号线、辅助第一电压信号线和辅助第二电压信号线，均沿所述第一方向延伸；所述像素电路与所述栅极信号线和所述使能信号线电连接；所述辅助第一电压信号线与第一电压信号线电连接，所述辅助第二电压信号线与第二电压信号线电连接；

所述第一设定源漏导电层中设有所述栅极信号线、所述使能信号线、所述辅助第一电压信号线和所述辅助第二电压信号线中的至少一者；在向所述衬底的正投影中，所述栅极信号线、所述使能信号线、所述辅助第一电压信号线和所述辅助第二电压信号线中的至少一者覆盖所述第二扇出线的第二断口。

17、根据权利要求 15 或 16 所述的显示基板，其中，所述显示基板的第一电压信号线、第二电压信号线和参考电压信号线均设于所述第二设定源漏导电层。

18、根据权利要求 15~17 中任一项所述的显示基板，其中，所述显示基板还包括：第一栅极层和第二栅极层；所述显示基板的半导体层、所述第一栅极层和所述第二栅极层沿远离衬底的方向依次设置，且位于所述衬底和所述多层源漏导电层之间；

所述显示基板的辅助参考电压信号线设于所述第二栅极层。

19、根据权利要求 15~18 中任一项所述的显示基板，其中，

所述多层源漏导电层包括第一源漏导电层和第二源漏导电层，所述第一源漏导电层为所述第一设定源漏导电层，所述第二源漏导电层为所述第二设定源漏导电层；或，

所述多层源漏导电层包括第一源漏导电层、第二源漏导电层和第三源漏导电层，所述第一源漏导电层为所述第一设定源漏导电层，所述第二源漏导电层为所述第二设定源漏导电层；或，

所述多层源漏导电层包括第一源漏导电层、第二源漏导电层和第三源漏导电层，所述第二源漏导电层为所述第一设定源漏导电层，所述第三源漏导电层为所述第二设定源漏导电层。

20、根据权利要求 1~19 中任一项所述的显示基板，其中，相比所述多条数据线中的其他数据线，所述设定数据线更远离所述绑定区的沿所述第二方向的中线；所述设定数据线整体位于所述显示区内，所述其他数据线的端部延伸至所述绑定区。

21、一种显示装置，包括：

如权利要求 1~20 中任一项所述的显示基板；
电路板，与所述显示基板电连接。



图 1

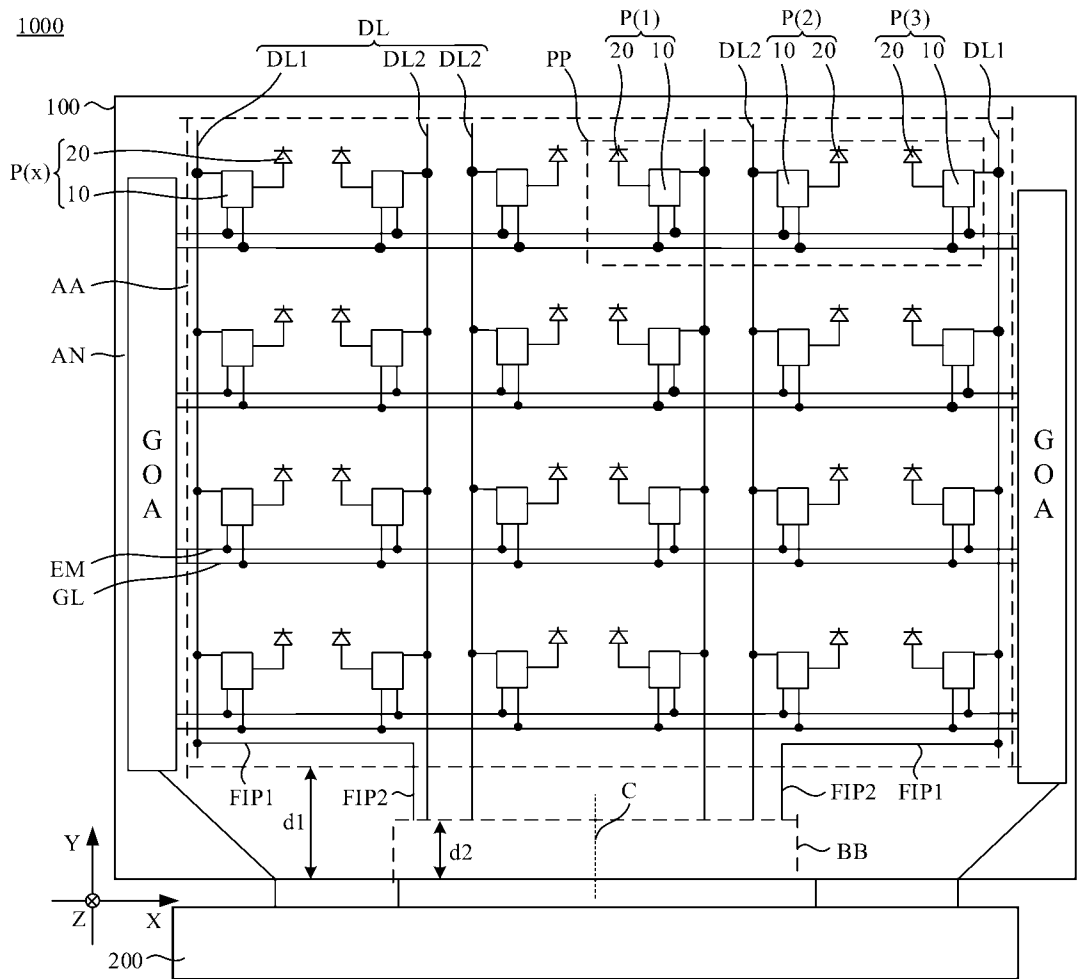


图 2

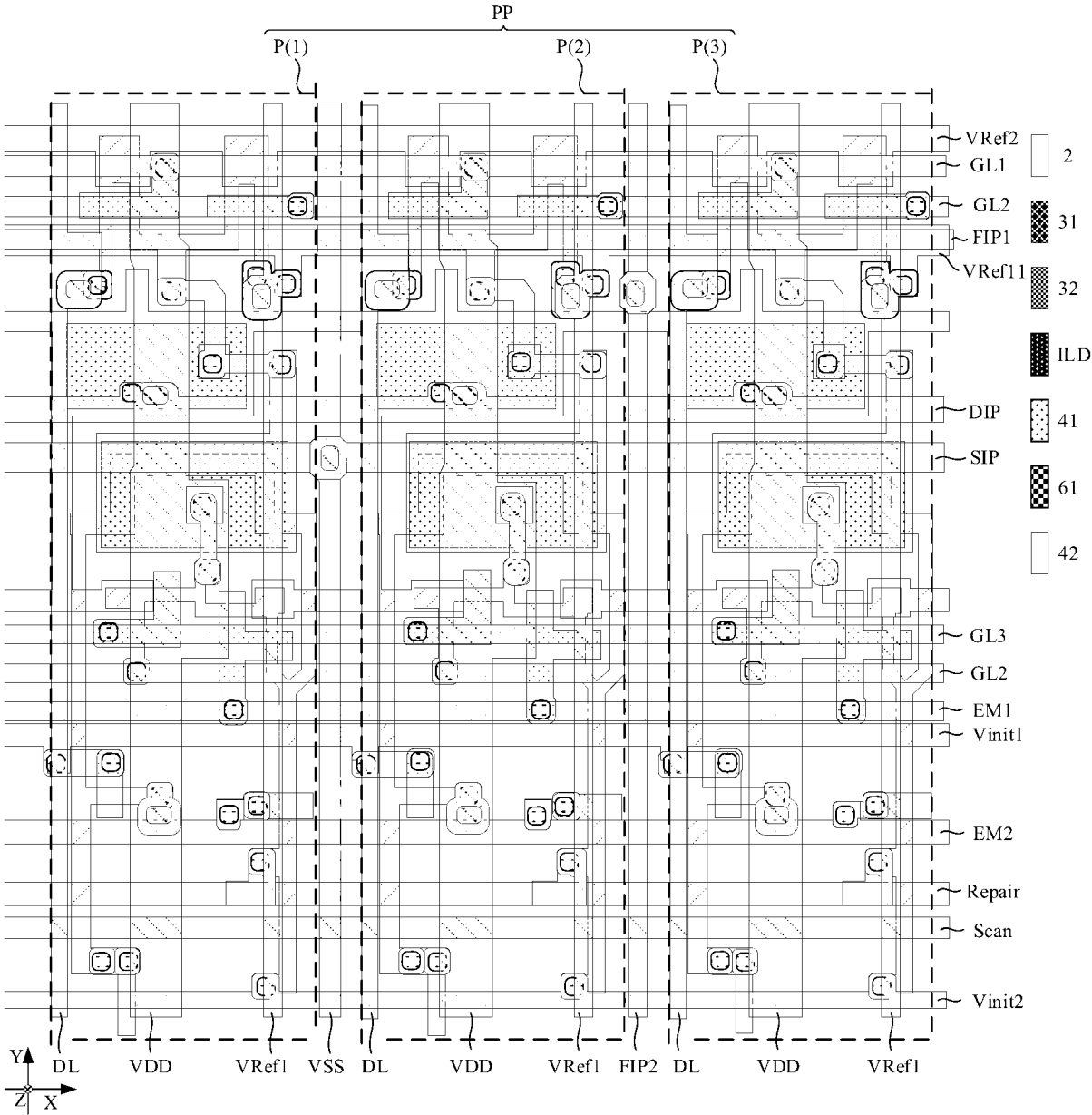


图 3

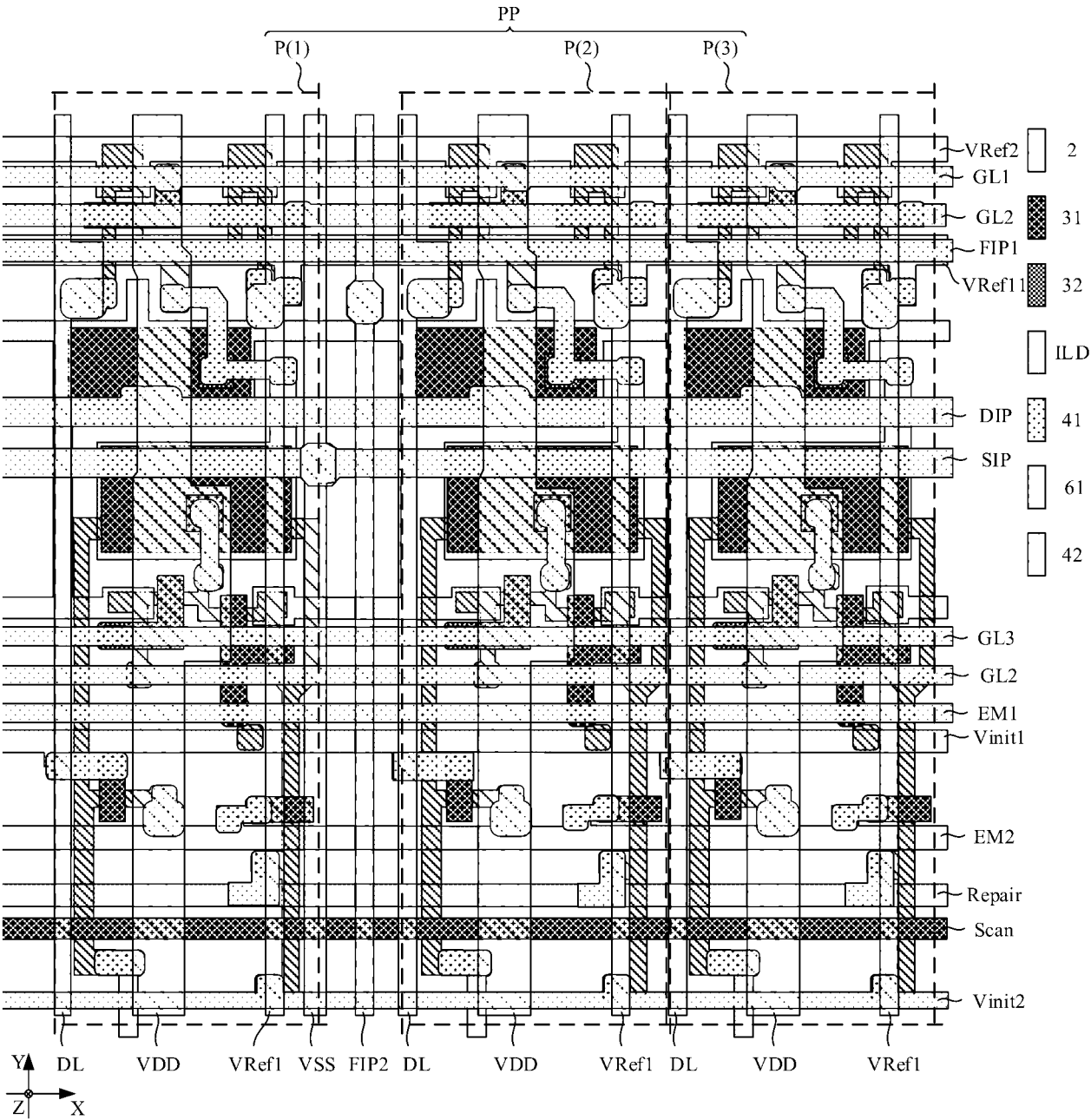


图 4

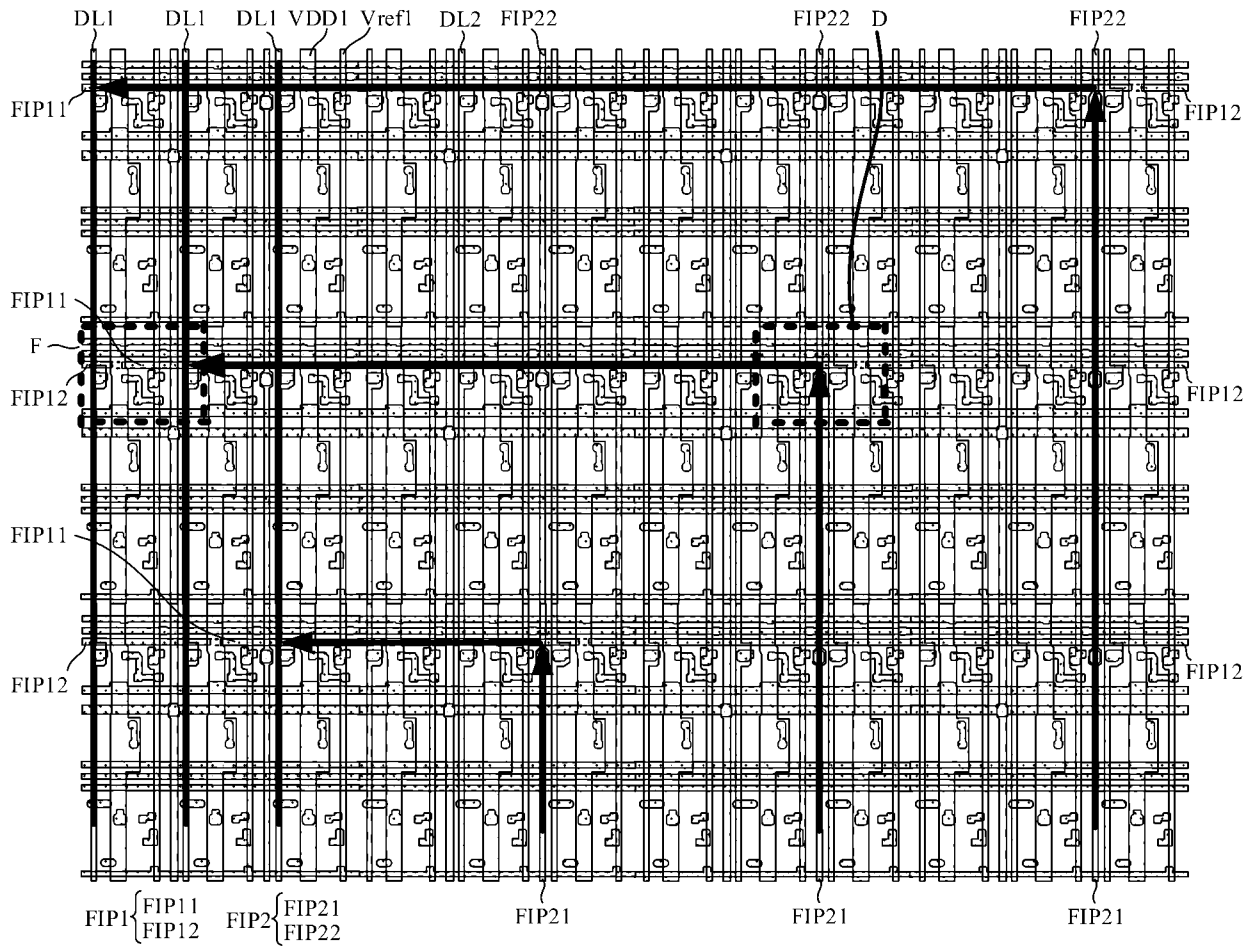


图 5

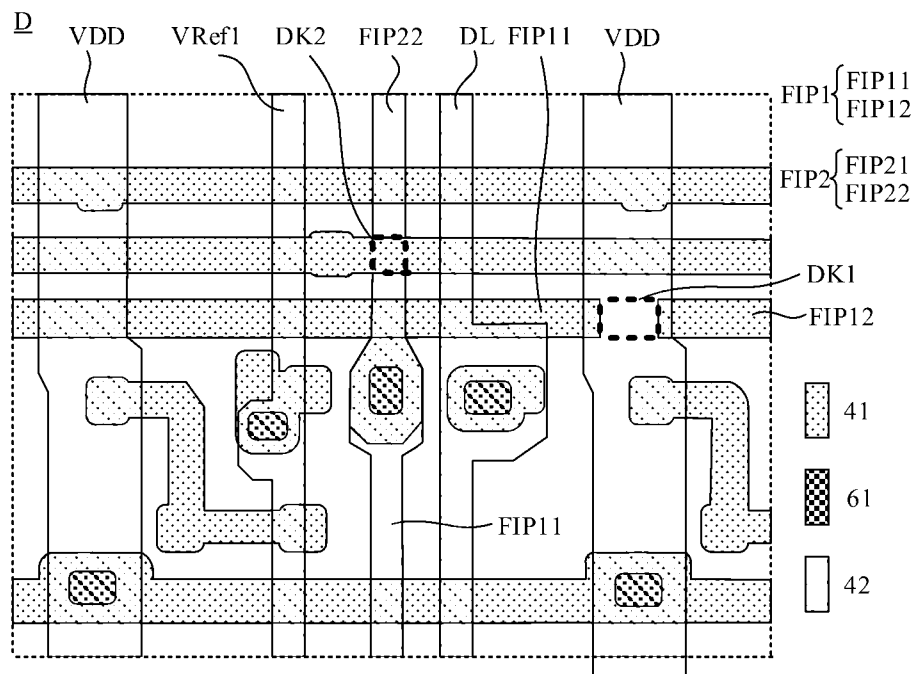


图 6

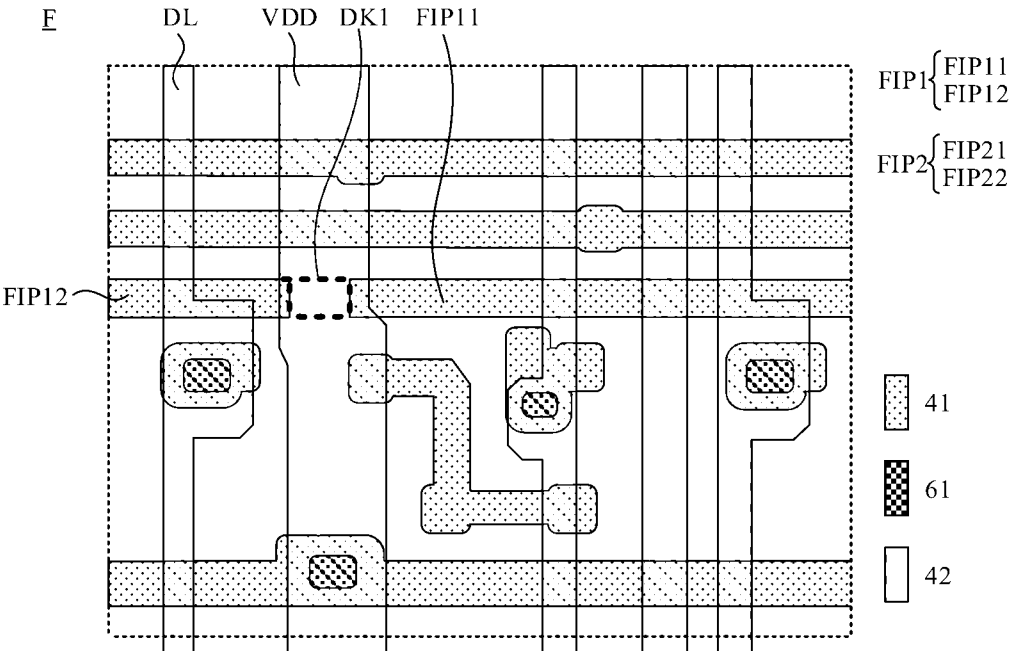


图 7

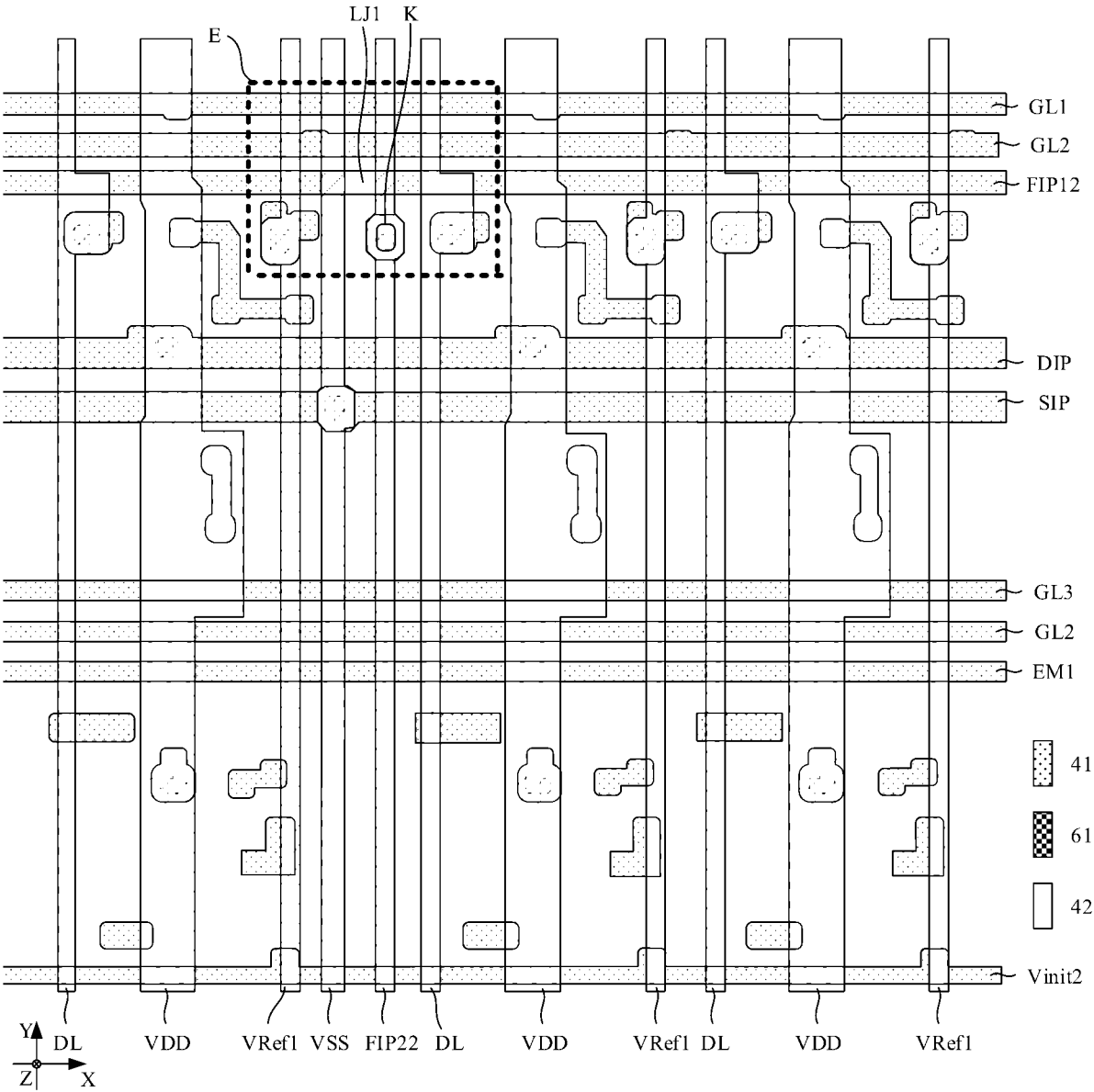


图 8

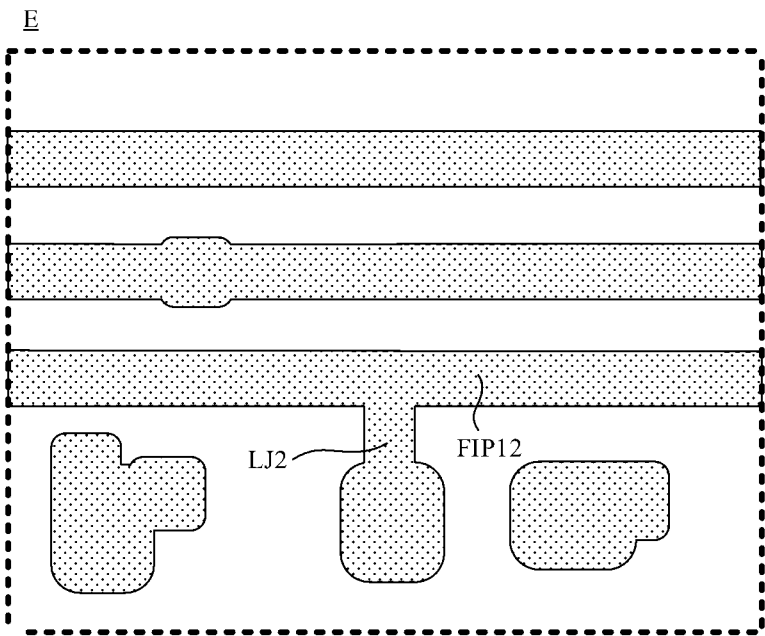


图 9

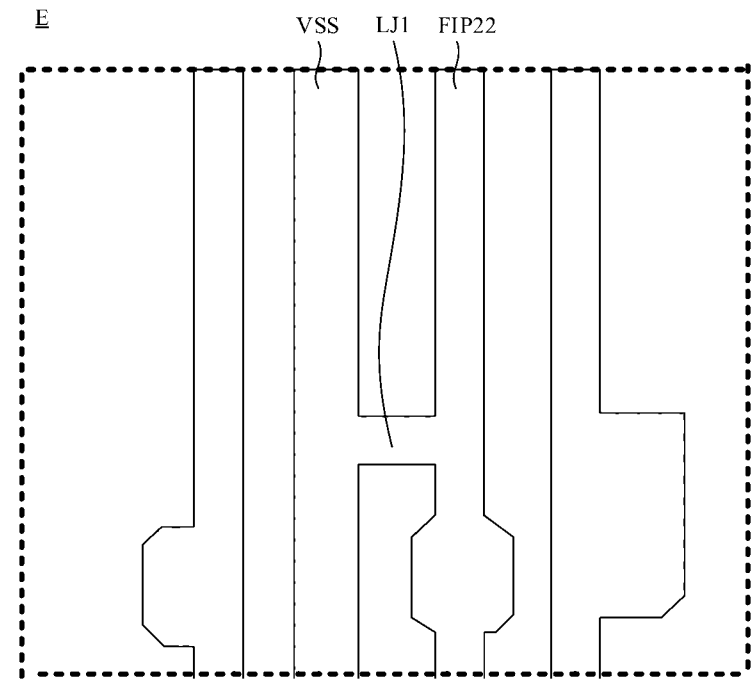


图 10

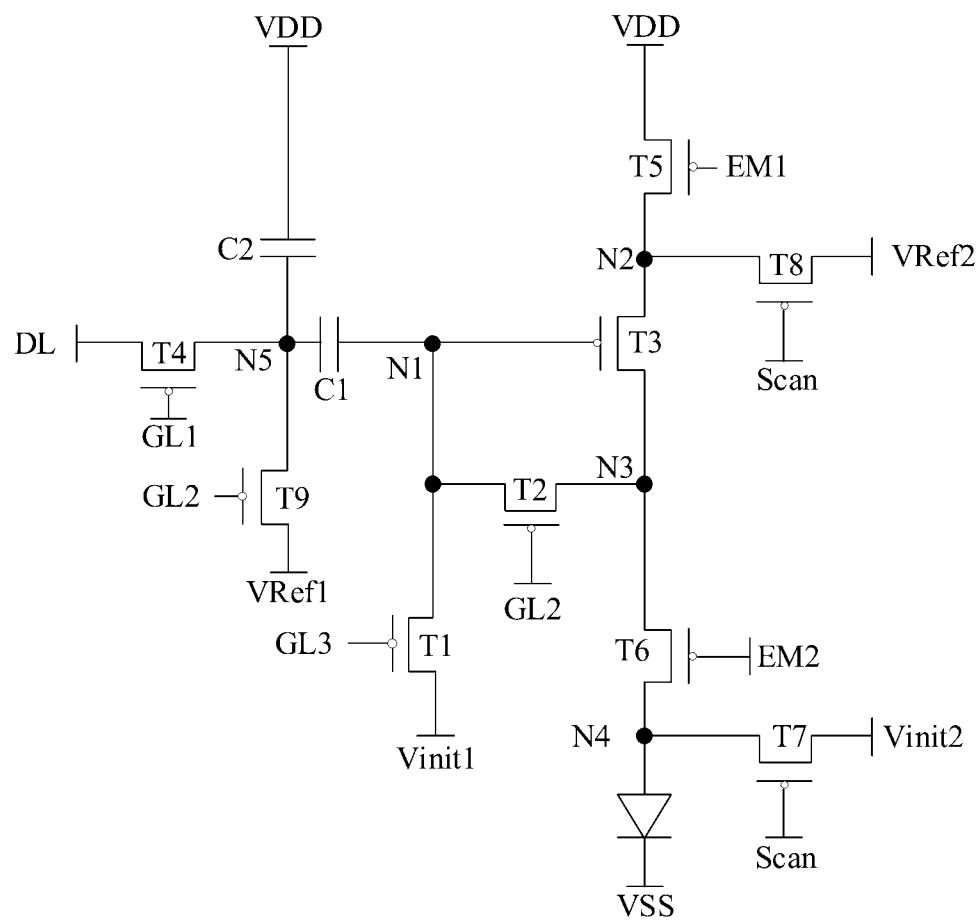


图 11

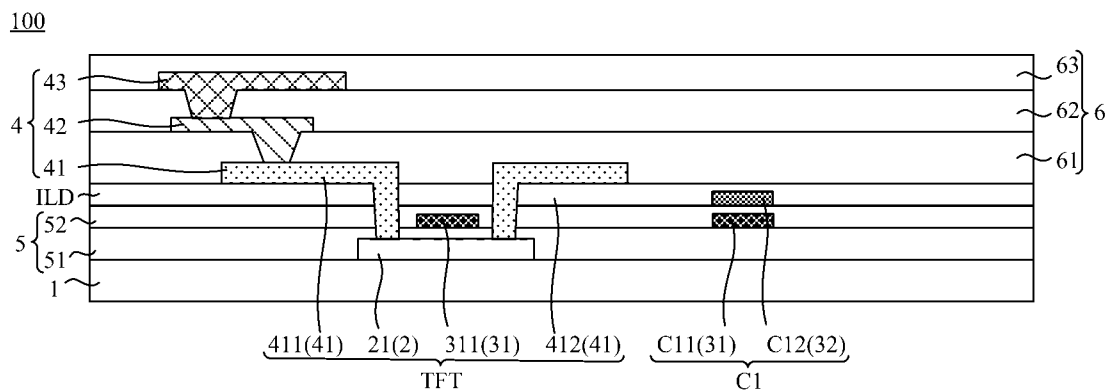


图 12

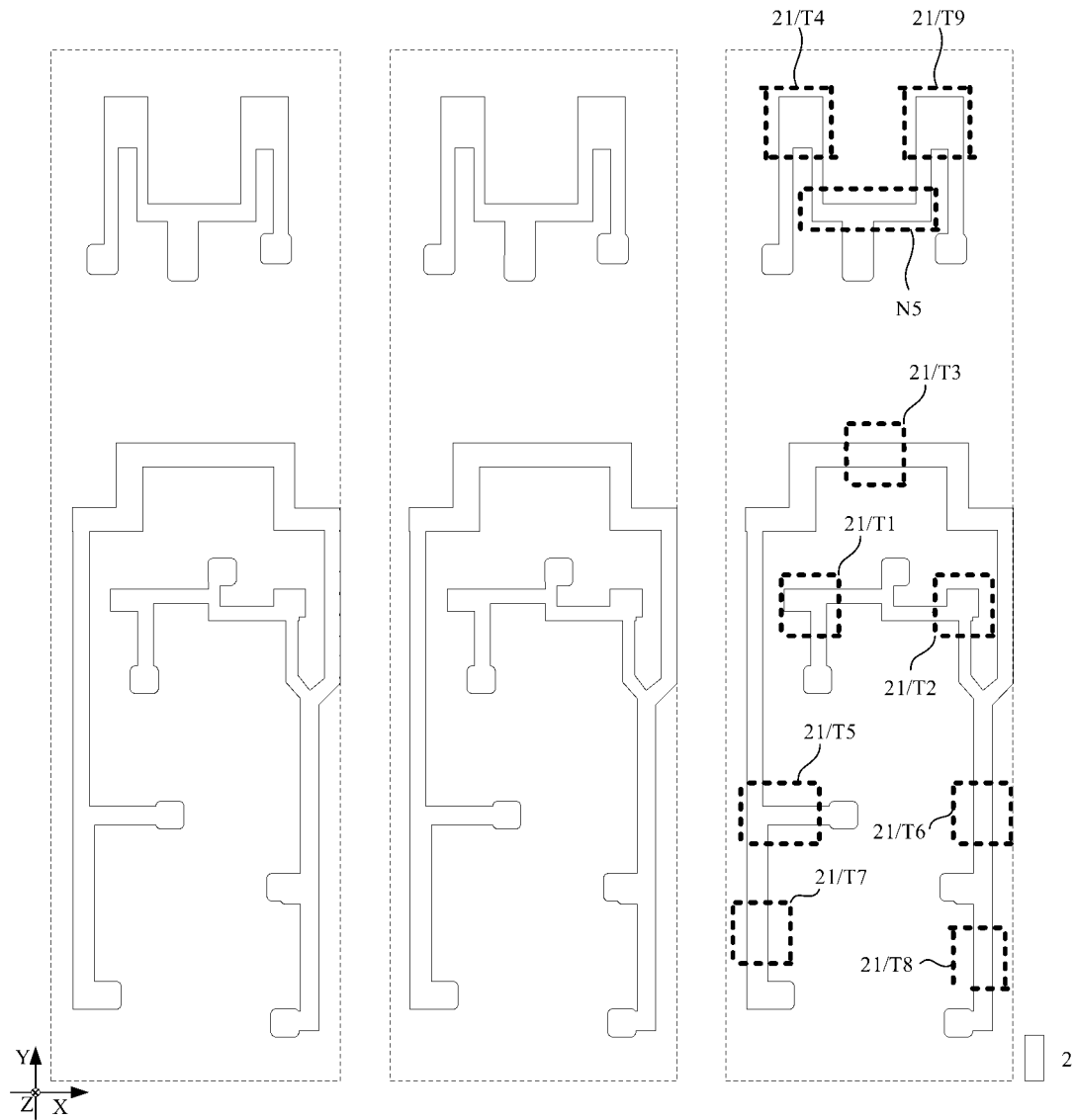


图 13

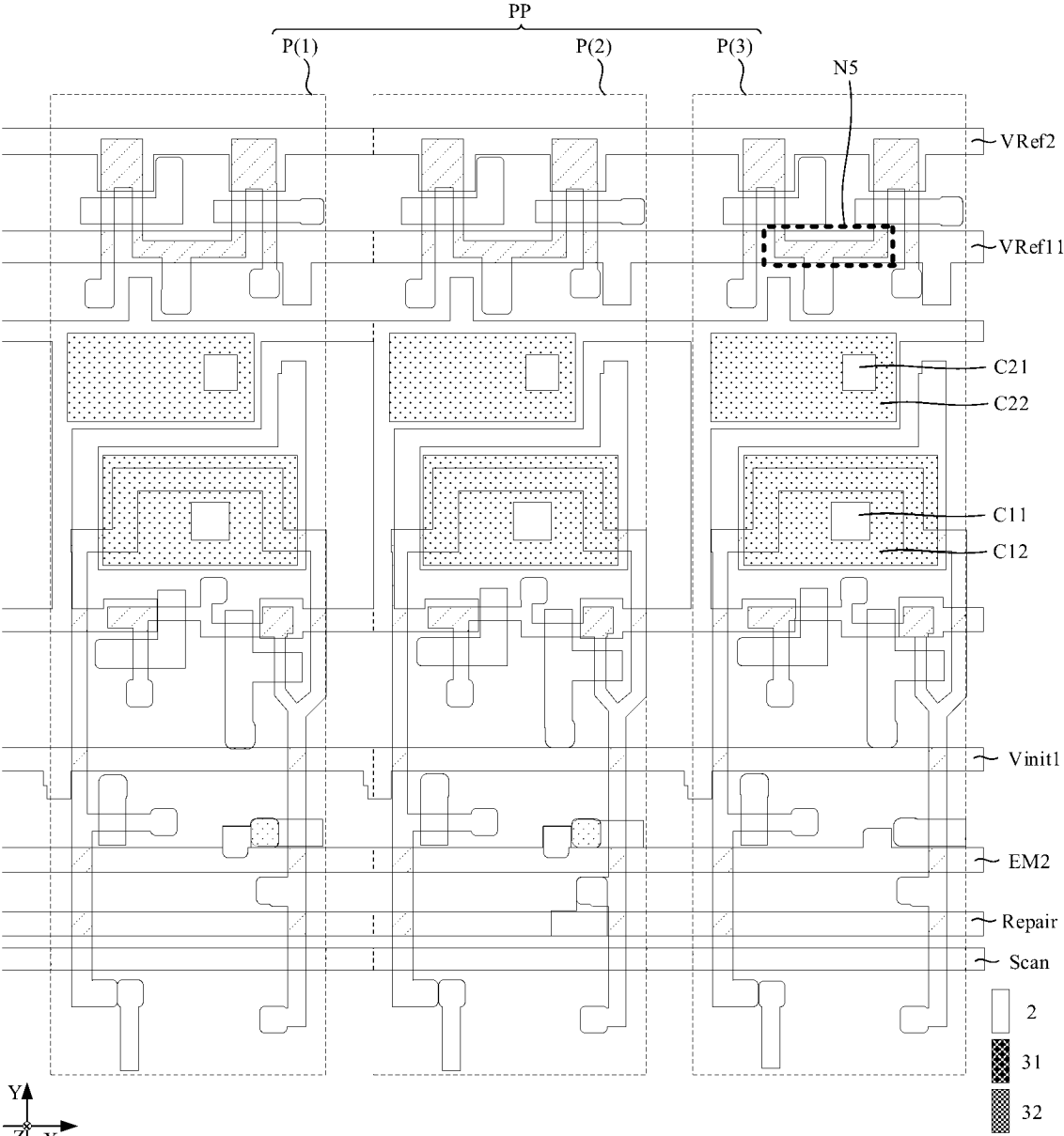


图 14

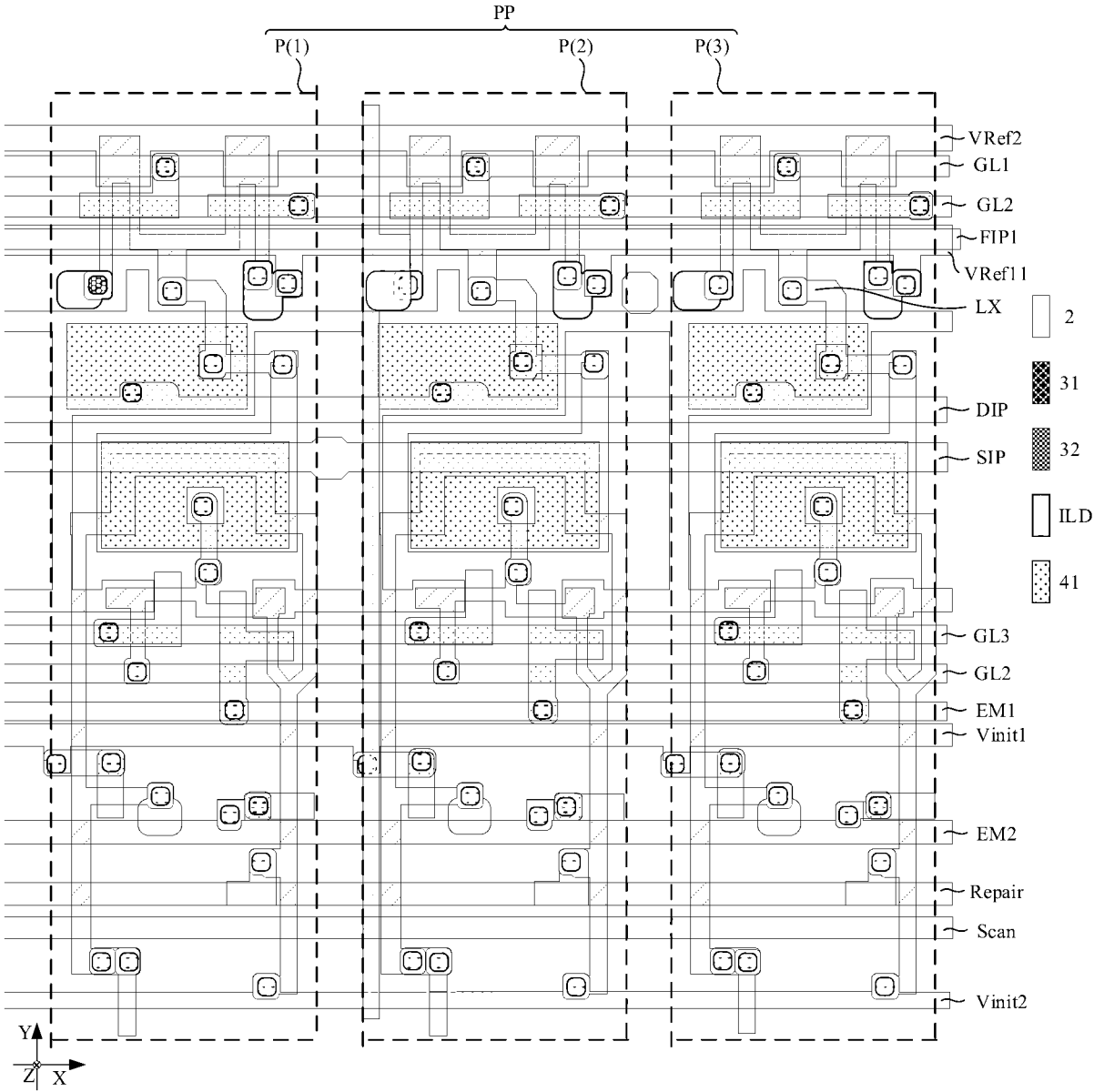


图 15

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2024/093233

A. CLASSIFICATION OF SUBJECT MATTER H10K59/131(2023.01)i; H10K59/121(2023.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC: H10K H01L Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNABS; CNTXT; CNKI; VEN; USTXT; EPTXT; WOTXT: 京东方, 扇出, 数据, 连接, fan-out, fanout, data, connect+		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 115064108 A (WUHAN TIANMA MICRO-ELECTRONICS CO., LTD.) 16 September 2022 (2022-09-16) description, paragraphs [0062]-[0148], and figures 2-43	1-21
X	CN 115188792 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 14 October 2022 (2022-10-14) description, paragraphs [0064]-[0151], and figures 1-17	1-21
X	CN 116314212 A (YUNGU (GU'AN) TECHNOLOGY CO., LTD.) 23 June 2023 (2023-06-23) description, paragraphs [0112]-[0170], and figures 1-28	1-21
X	WO 2022160203 A1 (BOE TECHNOLOGY GROUP CO., LTD.) 04 August 2022 (2022-08-04) description, paragraphs [0051]-[0122], and figures 1-10	1-21
A	CN 106057820 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 26 October 2016 (2016-10-26) entire document	1-21
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 31 May 2024		Date of mailing of the international search report 26 June 2024
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2024/093233

Patent document cited in search report				Publication date (day/month/year)		Patent family member(s)		Publication date (day/month/year)	
CN	115064108	A	16 September 2022	CN	218100661	U	20 December 2022		
				US	2023207572	A1	29 June 2023		
CN	115188792	A	14 October 2022	WO	2024012329	A1	18 January 2024		
CN	116314212	A	23 June 2023		None				
WO	2022160203	A1	04 August 2022	US	2023378411	A1	23 November 2023		
				CN	115210798	A	18 October 2022		
CN	106057820	A	26 October 2016	CN	106057820	B	30 April 2019		

A. 主题的分类

H10K59/131(2023.01)i; H10K59/121(2023.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H10K H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS;CNTXT;CNKI;VEN;USTXT;EPTXT;WOTXT: 京东方, 扇出, 数据, 连接, fan-out, fanout, data, connect+

C. 相关文件

类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 115064108 A (武汉天马微电子有限公司) 2022年9月16日 (2022 - 09 - 16) 说明书第[0062]-[0148]段, 图2-43	1-21
X	CN 115188792 A (京东方科技集团股份有限公司 等) 2022年10月14日 (2022 - 10 - 14) 说明书第[0064]-[0151]段, 图1-17	1-21
X	CN 116314212 A (云谷(固安)科技有限公司) 2023年6月23日 (2023 - 06 - 23) 说明书第[0112]-[0170]段, 图1-28	1-21
X	WO 202160203 A1 (京东方科技集团股份有限公司) 2022年8月4日 (2022 - 08 - 04) 说明书第[0051]-[0122]段, 图1-10	1-21
A	CN 106057820 A (京东方科技集团股份有限公司 等) 2016年10月26日 (2016 - 10 - 26) 全文	1-21

☐ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

★ 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2024年5月31日

国际检索报告邮寄日期

2024年6月26日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

丁萍

电话号码 (+86) 0512-88995848

PCT/ISA/210 表(第2页) (2022年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2024/093233

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	115064108	A	2022年9月16日	CN	218100661	U	2022年12月20日
				US	2023207572	A1	2023年6月29日
CN	115188792	A	2022年10月14日	WO	2024012329	A1	2024年1月18日
CN	116314212	A	2023年6月23日		无		
WO	2022160203	A1	2022年8月4日	US	2023378411	A1	2023年11月23日
				CN	115210798	A	2022年10月18日
CN	106057820	A	2016年10月26日	CN	106057820	B	2019年4月30日