



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 102 97 316 T5** 2004.12.09

(12)

Veröffentlichung

der internationalen Anmeldung mit der
(87) Veröffentlichungs-Nr.: **WO 03/032370**
in deutscher Übersetzung (Art. III § 8 Abs. 2 IntPatÜG)
(21) Deutsches Aktenzeichen: **102 97 316.4**
(86) PCT-Aktenzeichen: **PCT/US02/32251**
(86) PCT-Anmeldetag: **09.10.2002**
(87) PCT-Veröffentlichungstag: **17.04.2003**
(43) Veröffentlichungstag der PCT Anmeldung
in deutscher Übersetzung: **09.12.2004**

(51) Int Cl.⁷: **H01L 25/065**
H01L 23/50, H01L 21/50, G11C 5/06

(30) Unionspriorität:
60/328038 09.10.2001 US

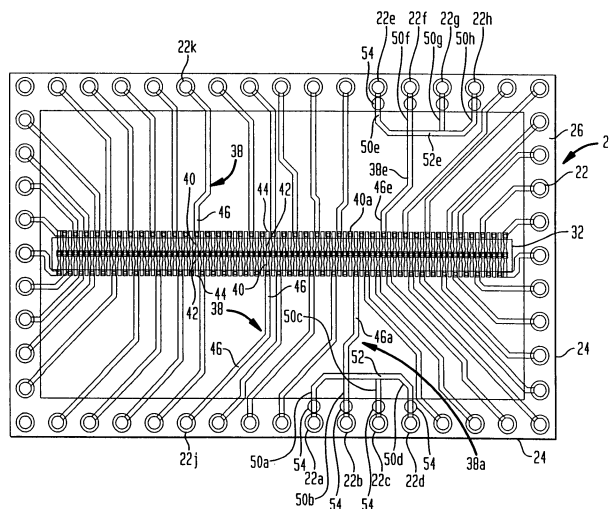
(71) Anmelder:
Tessera, Inc., San Jose, Calif., US

(74) Vertreter:
**Mitscherlich & Partner, Patent- und
Rechtsanwälte, 80331 München**

(72) Erfinder:
**Pflughaupt, L. Elliott, Los Gatos, Calif., US;
Gibson, David, Lake Oswego, Oreg., US; Kim,
Young, Cupertino, Calif., US; Mitchell, Craig S.,
San Jose, Calif., US**

(54) Bezeichnung: **Gestapelte Baugruppen**

(57) Hauptanspruch: Halbleiterchipbaugruppe, umfassend:
(a) eine Vielzahl von Einheiten, deren jede Einheit enthält:
(i) ein Halbleiterchip mit zumindest einem Chipauswahlkontakt und einer Vielzahl von anderen bzw. weiteren Kontakten und
(ii) eine Schaltungsplatte mit einer Vielzahl von Chipauswahlanschlüssen, einer Vielzahl von anderen bzw. weiteren Anschlüssen und Leiterbahnen, die auf oder in der Platte verlaufend elektrisch zwischen den Kontakten des Chips und den Anschlüssen angeschlossen sind, wobei die Leiterbahn, die elektrisch mit dem jeweiligen Chipauswahlkontakt verbunden ist, eine mehrfach verzweigte Leiterbahn ist, die einen gemeinsamen Abschnitt, der mit dem Auswahlkontakt verbunden ist, und eine Vielzahl von Zweigen enthält, die mit unterschiedlichen Anschlüssen der Chipauswahlanschlüsse verbunden sind, wobei zumindest ein Zweig, jedoch weniger als alle Zweige der jeweiligen mehrfach verzweigten Leiterbahn eine Unterbrechung darin aufweist, so dass der Auswahlkontakt weniger als sämtlichen der Chipauswahlkontakte verbunden ist, und wobei die genannten Einheiten übereinander in einem Stapel aus überlagerten Einheiten angeordnet...



Beschreibung

Stand der Technik

Hintergrund-Technik

[0001] Halbleiterchips sind in typischer Weise dünn und flach mit relativ großen Vorder- und Rückseiten und kleinen Kantenflächen. Die Chips weisen Kontakte an ihren Vorderseiten auf. In typischer Weise sind die Chips als verpackte Chips bereitgestellt, die für einen Anschluss an eine externe Schaltung geeignete Anschlüsse aufweisen. Gepackte Chips liegen außerdem in typischer Weise in Form von flachen Körpern vor. Gewöhnlich sind die gepackten Chips in einer Anordnung bzw. Matrix auf einer Oberfläche einer Schaltungsplatte bzw. -platine angeordnet. Die Schaltungsplatine weist elektrische Leiter, die normalerweise als "Leiterbahnen" bezeichnet sind, welche sich in horizontalen Richtungen parallel zur Oberfläche der Schaltungsplatine erstrecken, und außerdem Kontaktplatten oder andere elektrisch leitende Elemente auf, die mit den Leiterbahnen verbunden sind. Die gepackten Chips sind mit ihren anschlusstragenden Seiten gegenüber der Oberfläche der Schaltungsplatine angebracht, und die Anschlüsse an jedem gepackten Chips sind mit den Kontaktbelägen der Schaltungsplatine elektrisch verbunden.

[0002] Auf diese Weise sind Speicherchips in typischer Weise montiert. Ein ungepackter Speicherchip weist in typischer Weise zahlreiche Datenkontakte und ein oder einige wenige Auswahlkontakte auf. Der Chip ist angeordnet, um Daten oder Befehle zu ignorieren, die an den Datenanschlüssen auftreten, bis die geeigneten Signale an den Auswahlkontakt oder die Auswahlkontakte angelegt sind. Ein konventioneller gepackter Speicherchip weist Datenanschlüsse auf, die mit den Datenkontakten verbunden sind, und er weist Auswahlanschlüsse auf, die mit den Auswahlkontakten verbunden sind. In einem konventionellen System können zahlreiche identisch gepackte Speicherchips in einer Anordnung bzw. Matrix mit den entsprechenden Datenanschlüssen der verschiedenen gepackten Chips, die mit gemeinsamen Leiterbahnen verbunden sind, und mit den Auswahlanschlüssen der verschiedenen Chips verbunden sein, die mit eindeutigen Leitern verbunden sind, so dass jeder Leiter einem und lediglich einem Chips zugeordnet ist. Daten können auf ein individuelles Chip dadurch geschrieben werden, dass die Daten an die gemeinsamen Leiterbahnen abgegeben werden und dass ein Auswahlsignal an die eindeutige Leiterbahn angelegt wird, welche dem bestimmten Chip zugehörig ist, wo die Daten einzuschreiben sind. Die übrigen Chips werden die Daten ignorieren. Der Umkehrprozess wird angewandt, um Daten aus einem besonderen Chip zu lesen. Eine derartige Schaltung kann ohne weiteres unter Anwendung der konventionellen horizontalen Chipanordnung bzw. -matrix und unter

Verwendung von identischen Chippackungen für sämtliche Chips in der Anordnung gebildet werden.

[0003] In der konventionellen Anordnung ist der theoretisch minimale Bereich der Schaltungsplatine gleich den Gesamtbereichen sämtlicher anschlusstragender Oberflächen der einzelnen Chippackungen bzw. -baugruppen. In der Praxis muss die Schaltungsplatine etwas größer sein als dieses theoretische Minimum. Die Leiterbahnen auf der Schaltungsplatine weisen in typischer Weise eine signifikante Länge und Impedanz auf, so dass beträchtliche Zeit für die Ausbreitung der Signale längs der Leiterbahnen erforderlich ist. Dies begrenzt die Arbeitsschwindigkeit der Schaltung.

[0004] Es sind verschiedene Lösungen zur Linderung dieser Nachteile vorgeschlagen worden. Eine derartige Lösung liegt darin, eine Vielzahl von Chips übereinander in einer gemeinsamen Packung bzw. Baugruppe zu "stapeln". Die Packung bzw. Baugruppe selbst weist vertikal verlaufende Leiter auf, die mit den Kontaktbelägen der Schaltungsplatine verbunden sind. Die einzelnen Chips innerhalb der Baugruppe sind mit diesen vertikal verlaufenden Leitern verbunden. Da die Dicke eines Chips wesentlich geringer ist als deren horizontale Abmessungen, können die internen Leiter kürzer sein als die Leiterbahnen auf einer Schaltungsplatine, die erforderlich wären, um dieselbe Anzahl von Chips in einer konventionellen Anordnung zu verbinden. Beispiele von gestapelten Baugruppen sind beispielsweise in den US-Patenten 5.861.666, 5.198.888, 4.956.694, 6.072.233 und 6.268.649 gezeigt. Die in gewissen Ausführungsformen dieser Patente dargestellten gestapelten Baugruppen sind dadurch hergestellt, dass einzelne Einheiten bereitgestellt werden, deren jede ein einzelnes Chip und ein Baugruppenelement enthält, welches Einheitsanschlüsse aufweist. Innerhalb jeder Einheit sind die Kontakte des Chips mit den Einheitsanschlüssen verbunden. Die Einheiten sind eines über dem anderen gestapelt. Einheitsanschlüsse der jeweiligen Einheit sind mit den entsprechenden Einheitsanschlüssen der anderen Einheiten verbunden. Die verbundenen Einheitsanschlüsse bilden vertikale Leiter der gestapelten Baugruppe, auch als Busse bezeichnet.

[0005] Die Bereitstellung einer Schaltung mit individuellen Auswahlverbindungen in einer gestapelten Baugruppe führt jedoch zusätzliche Komplexitäten ein. Da die vertikalen Leiter sich durch die Anschlüsse der verschiedenen Einheiten erstrecken, sollten die Zwischenverbindungen zwischen den Kontakten des Chips und den Einheitsanschlüssen der jeweiligen Einheit im Stapel unterschiedlich sein, um Verbindungen zu einzigartigen bzw. eindeutigen vertikalen Leitern bereitzustellen. In einem Vier-Chip-Stapel beispielsweise, der vier vertikale Busse zur Übertragung von Auswahlsignalen aufweist, kann die untere

Einheit einen Auswahlkontakt ihres Chips mit einem Einheitsanschluss verbunden haben, der Teil des Busses Nr. 1 bildet; die nächste Einheit kann einen entsprechenden Auswahlkontakt ihres Chips mit ihrem Anschluss verbunden haben, der den Bus Nr. 2 bildet; und so weiter. Diese Forderung nach Anpassung der Einheiten fügt dem Herstellungsprozess Komplexität hinzu.

[0006] So beschreibt beispielsweise das US-Patent 4.956.694 Einheiten, welche Chipträger mit einem Satz von Zwischenanschlüssen in jeder Einheit enthalten. Diese Zwischenanschlüsse sind mit den Kontakten an bzw. auf dem Chip verbunden, und sie sind außerdem mit den Anschlüssen der Einheit verbunden. Die Zwischenverbindungen sind aus Drahtverbindungen bzw. -brücken hergestellt. Das Muster der Drahtbrücken bzw. -bonds unterscheidet sich von Einheit zu Einheit. Diese Anordnung erfordert inhärent einen relativ großen Chipträger, was zu den Kosten und der Größe der Baugruppe beiträgt. Darüber hinaus muss der Hersteller eine Vielzahl unterschiedlicher mit Drahtbrücken verbundener Einheiten handhaben und lagern. Sugano und andere, US-Patent 5.198.888 nutzen individualisierte Chipträger in den verschiedenen Einheiten. Diese Chipträger haben Leitungen, die unterschiedliche Zwischenbindungsmuster für die Auswahlkontakte und die zugehörigen Anschlüsse festlegen. Dies trägt ebenfalls zu den Kosten und der Komplexität des Herstellungsprozesses bei. Die US-Patente 6.268.649 und 6.072.233 verwenden ebenso angepasste bzw. individuell ausgelegte Einheiten. Es wäre wünschenswert, die Kosten und die Komplexität zu verringern, die mit der Bereitstellung von individuell ausgelegten Einheiten in einer gestapelten Baugruppe verbunden sind.

Aufgabenstellung

[0007] Es wäre außerdem wünschenswert, eine kompakte gestapelte Baugruppe bereitzustellen und eine gestapelte Baugruppe mit guter Wärmeübertragung von den Chips innerhalb des Stapels zur Außenumgebung, wie beispielsweise zur Schaltungsplatine oder zu einem Wärmeverteiler, der der Oberseite der Baugruppe überlagert ist, bereitzustellen. Ferner wäre es wünschenswert, eine solche Baugruppe bereitzustellen, die eine leicht erhältliche Ausstattung und Komponenten bzw. Bauteile verwendet, die leicht hergestellt werden können.

Zusammenfassung der Erfindung

[0008] Ein Aspekt der Erfindung stellt Halbleiterchipanordnungen bereit, die eine Vielzahl von Einheiten einschließen. Jede Einheit enthält in wünschenswerter Weise ein Halbleiterchip, welcher zumindest einen Auswahlkontakt und eine Vielzahl von anderen bzw. weiteren Kontakten aufweist, und außerdem

eine Schaltungsplatine, die eine Vielzahl von Chipauswahlanschlüssen und eine Vielzahl von anderen bzw. weiteren Anschlüssen sowie Leiterbahnen, die sich auf oder in der Platine erstrecken, aufweist. Die Leiterbahnen sind elektrisch zwischen den Kontakten des Chips und den Anschlüssen angeschlossen. Die Leiterbahn, die mit dem jeweiligen Chipauswahlkontakt des Chips elektrisch verbunden ist, ist in wünschenswerter Weise eine mehrfach verzweigte Leiterbahn, die einen gemeinsamen Abschnitt aufweist, der mit dem Auswahlkontakt des Chips verbunden ist, und die außerdem eine Vielzahl von Zweigen enthält, welche mit unterschiedlichen Anschlüssen der Chipauswahlanschlüsse auf der Chipplatte verbunden sind. In der Anordnung weisen in wünschenswerter Weise zumindest eine Verzweigung, jedoch weniger als sämtliche der Verzweigungen der jeweiligen Mehrfachverzweigungsspur eine Unterbrechung darin auf, so dass der Auswahlkontakt mit weniger als sämtlichen der Chipauswahlanschlüsse auf der Platte und vorzugsweise so verbunden ist, dass jeder Chipauswahlkontakt mit lediglich einem Chipauswahlanschluss der Platte in der Einheit verbunden ist. Die Einheiten sind übereinander in einem Stapel von einander überlagerten Einheiten angeordnet. Die Anordnung enthält ferner vertikale Leiter, die jeweils die entsprechenden Anschlüsse der Einheiten in dem Stapel miteinander verbinden, um eine Vielzahl von vertikalen Bussen zu bilden. Aufgrund der selektiven Verbindungen innerhalb der einzelnen Einheiten, die durch die Mehrfachverzweigungsspuren und die unterbrochenen Zweige bereitgestellt sind, sind die Chipauswahlkontakte der Chips in verschiedenen Einheiten elektrisch mit unterschiedlichen Bussen der vertikalen Busse verbunden. Diese Anordnung liefert eine selektive Weiterleitung von Chipauswahlsignalen und anderen Signalen, die zu individuellen Chips geleitet werden müssen. Die verbleibenden Kontakte auf bzw. an dem jeweiligen Chip sind parallel mit entsprechenden Kontakten an Chips in anderen Einheiten verbunden, so dass Signale zu den übrigen Kontakten der verschiedenen Chips parallel geleitet werden können. Dies stellt die geforderte selektive Weiterleitung zur Verfügung.

[0009] Höchst bevorzugt sind die Chips, die Leiterbahnen und die Anschlüsse der verschiedenen Einheiten im Stapel identisch miteinander, abgesehen davon, dass unterschiedliche Einheiten der Einheiten unterschiedliche Verzweigungen ihre Mehrfachverzweigungsspuren unterbrochen haben, so dass verschiedene Auswahlkontakte unterschiedlicher Einheiten mit unterschiedlichen Anschlüssen an bzw. auf den Schaltungsplatten derartiger Einheiten verbunden sind. Höchst bevorzugt enthält die Schaltungsplatte jeder Einheit eine dielektrisch Schicht, die in wünschenswerter Weise weniger als etwa 100 µm dick ist. Die vertikale Abstandsentfernung zwischen entsprechenden Merkmalen bzw. Einrichtungen in benachbarten Einheiten der Einheiten beträgt in wünschenswerter Weise weniger als etwa 100 µm.

schenswerter Weise nicht mehr als etwa 250 µm und ist vorzugsweise nicht mehr als 200 µm größer als die Dicke des Chips in der jeweiligen Einheit. Die Anordnung weist somit eine relativ geringe Gesamthöhe auf.

[0010] Die dielektrische Schicht in der jeweiligen Schaltungsplatte kann ein Trennungsloch oder eine Trennungsöffnung aufweisen, und die Unterbrechungen in den Zweigen der Mehrfachzweigspuren können an solchen Trennungslöchern bzw. -öffnungen gebildet sein. Die Trennungsöffnungen können in den dielektrischen Schichten gebildet sein, wenn die Einheiten hergestellt werden, oder wenn die Zweige unterbrochen werden, typischerweise in einer späteren Stufe innerhalb des Prozesses. In einer Anordnung weist die Schaltungsplatte der jeweiligen Einheit Kanten bzw. Ränder auf, und die Trennungsöffnungen sind in Form von Nuten vorgesehen, die sich von einer oder mehreren der Kanten bzw. Ränder nach innen erstrecken. Die Anschlüsse einer derartigen Einheit können eine äußere Reihe enthalten, die neben einer Kante der Schaltungsplatte angeordnet ist, und die Zweige der Mehrfachzweigspuren können Bereiche aufweisen, die sich außerhalb oder über die äußere Reihe von Anschlüssen erstrecken. In diesem Falle brauchen die Nuten sich nicht nach innen über die äußere Reihe von Anschlüssen zu erstrecken, so dass die Unterbrechungen in den Mehrfachzweigleitungen ohne weiteres gebildet werden können.

[0011] Ein weiterer Aspekt der Erfindung stellt Verfahren zur Herstellung einer Halbleiterchipbaugruppe zur Verfügung. Ein Verfahren gemäß diesem Aspekt der Erfindung umfasst den Schritt der Bereitstellung einer Vielzahl von Einheiten. Hier ebenfalls enthält jede Einheit in wünschenswerter Weise zumindest ein Halbleiterchip, welcher zumindest einen Chipauswahlkontakt und eine Vielzahl von anderen bzw. weiteren Kontakten aufweist und außerdem eine Schaltungsplatte enthält, die Chipauswahlanschlüsse, andere bzw. weitere Anschlüsse und Leiterbahnen aufweist, welche sich auf oder in der Schaltungsplatte erstrecken, mit den Anschlüssen verbunden sind. Wie oben erörtert, ist zumindest eine Leiterbahn der jeweiligen Platte in wünschenswerter Weise eine Mehrzweigspur, die einen gemeinsamen Abschnitt und eine Vielzahl von Zweigen enthält, welche mit unterschiedlichen der Chipauswahlanschlüsse verbunden sind, und die Kontakte des zumindest einen Chips in der jeweiligen Einheit sind in wünschenswerter Weise mit den Leiterbahnen der Schaltungsplatte in der betreffenden Einheit verbunden, so dass die Chipauswahlkontakte mit den gemeinsamen Abschnitten der Mehrfachzweigspuren verbunden sind. Das Verfahren gemäß diesem Aspekt der Erfindung enthält in wünschenswerter Weise den Schritt des selektiven Unterbrechens der Zweige der Mehrfachzweigspuren, so dass der gemeinsame Abschnitt ei-

ner Mehrfachzweigspur in der jeweiligen Einheit mit weniger als sämtlichen der Chipauswahlanschlüsse der betreffenden Einheit verbunden ist. Das Verfahren enthält vorzugsweise den Schritt des Stapelns der Einheiten und der Verbindung der Anschlüsse der unterschiedlichen Einheiten miteinander zur Bildung von vertikalen Bussen.

[0012] Der selektive Unterbrechungsschritt wird in wünschenswerter Weise so ausgeführt, dass die Chipauswahlanschlüsse der Chips in unterschiedlichen Einheiten mit unterschiedlichen Bussen der vertikalen Busse verbunden sind. Höchst bevorzugt sind die Einheiten vor dem Schritt des selektiven Unterbrechens der Mehrfachzweigspuren im Wesentlichen identisch miteinander. Der Schritt des selektiven Unterbrechens der Mehrfachzweigspuren kann zu irgendeiner Zeit während oder nach der Bildung der Einheiten ausgeführt werden. Bei einer Anordnung umfasst der Schritt der Bereitstellung der Einheiten die Verbindung der Chips mit den Leiterbahnen unter Verwendung eines Werkzeugs, wie eines Wärme-Schall-Verbindungswerkzeugs, und der Schritt des selektiven Unterbrechens der Zweige wird durch Eingriff desselben Werkzeugs mit den Zweigen als Teil des gesamten Verarbeitungsbetriebs ausgeführt.

[0013] Bei einer anderen Anordnung wird der Schritt des selektiven Unterbrechens der Zweige später ausgeführt, wie beispielsweise unmittelbar vor dem Stapelungsschritt. Somit können die Einheiten als im Wesentlichen identische Elemente bereitgestellt werden, die als gegenseitig austauschbare Teile gehandhabt und gelagert werden können. Auch hier können die dielektrischen Schichten der verschiedenen Einheiten Unterbrechungsöffnungen enthalten, die sich durch die dielektrischen Schichten erstrecken, und die Zweige der Mehrfachzweigspuren können sich über diese Unterbrechungsöffnungen vor dem Trennschritt erstrecken. Der Schritt des selektiven Unterbrechens der Zweige kann das Zerbrechen bzw. Unterbrechen der Zweige an diesen Unterbrechungsöffnungen umfassen. Alternativ können die Unterbrechungsöffnungen zur selben Zeit gebildet werden, wie die Zweige zer- bzw. unterbrochen werden, beispielsweise dadurch, dass kleine Bereiche der jeweiligen Mehrfachzweigspur und Teile der unter diesen Bereichen liegenden dielektrischen Schichten entfernt werden, wie durch Stanzen bzw. Lochen der Schaltungsplatten zur Bildung der Unterbrechungsöffnungen, während die Zweige der Leiterbahnen ebenfalls zer- bzw. unterbrochen werden.

[0014] Da die Einheiten im wesentlichen identisch miteinander sind und als miteinander austauschbare Teile bis zu dem Schritt und einschließlich des Schrittes des Trennens der Zweige behandelt werden können, ist die Handhabung und Lagerung der Einheiten im Geschäft wesentlich vereinfacht. Die Einheiten können beispielsweise in einer Chippackungsanlage

hergestellt werden, die gestaltet ist, um bloße Halbleiterchips zu verarbeiten und um die bloßen Halbleiterchips an den Schaltungsplatten der einzelnen Einheiten zu montieren. Die Stapelungsoperation kann in einer Schaltungsplatten-Füllanlage ausgeführt werden, die Werkzeuge und Ausrüstung aufweist, welche für eine Oberflächenanbringung von gepackten Chips auf Schaltungsplatinen geeignet sind. In der Tat kann die Stapelungsoperation die Anbringung bzw. Montage der Baugruppe auf der Schaltungsplatine begleitend ausgeführt werden. Die Einheiten können beispielsweise gestapelt werden, und die Lötmittekkügelchen, welche sich an die verschiedenen Einheiten anschließen, können zur selben Zeit aufgeschmolzen werden, zu der die Lötmittekkügelchen, die sich in der unteren Einheit in dem Stapel an die Schaltungsplatine anhängen, aufgeschmolzen werden.

[0015] Ein weiterer Aspekt der Erfindung stellt eine prozessinterne Sammlung von untereinander austauschbaren halbfertigen Einheiten zur Verfügung, die in einem Stapelungsprozess und einer Anordnung bzw. Baugruppe, wie oben erörtert, nutzbar sind.

[0016] Ein weiterer Aspekt der Erfindung stellt zusätzliche Halbleiterchipbaugruppen bereit. Eine Chipbaugruppe gemäß diesem Aspekt der Erfindung enthält außerdem eine Vielzahl von Einheiten, deren jede ein Halbleiterchip umfasst, der Kontakte an einer vorderen Fläche enthält, und eine Schaltungsplatte umfasst, die einen zentralen Bereich und einen peripheren Bereich aufweist. Die Platte enthält in wünschenswerter Weise eine dielektrische Schicht mit ersten und zweiten Oberflächen und zumindest einem Verbindungsfenster, welches sich zwischen den ersten und zweiten Oberflächen in dem zentralen Bereich erstreckt. Die Platte enthält außerdem eine Vielzahl von Anschlüssen in dem peripheren Bereich, wobei die Anschlüsse auf den beiden ersten und zweiten Oberflächen freigelegt sind. Vorzugsweise weist die dielektrische Schicht eine Vielzahl von Anschlussöffnungen auf, die sich zwischen den ersten und zweiten Oberflächen in dem peripheren Bereich erstrecken, und die Anschlüsse sind Beläge, die zu den Anschlussöffnungen ausgerichtet sind. Der Chip ist mit der vorderen Chipfläche so angeordnet, dass diese zu einer Oberfläche der Platte im zentralen Bereich weist, und die Kontakte des Chips sind mit den Leiterbahnen in bzw. auf der Platte in zumindest einem Verbindungsfenster verbunden. Die Einheiten sind in einem Stapel derart einander überlagert, dass die rückwärtige Oberfläche eines Chips in einer Einheit zu einer Fläche der dielektrischen Schicht in der nächstbenachbarten Einheit weist. Die Einheiten stützen sich höchst vorzugsweise aneinander in zumindest jenen Teilen der zentralen Bereiche ab, die von den Leiterbahnen eingenommen werden. Eine Vielzahl von leitenden Massen ist zwischen den An-

schlüssen der Einheiten angeordnet und verbindet die Anschlüsse der benachbarten Einheiten miteinander.

[0017] In bzw. bei einer Anordnung verlaufen die Leiterbahnen der jeweiligen Einheit längs der ersten Oberfläche der dielektrischen Schicht in der betreffenden Einheit, und die vordere Oberfläche des Chips in der jeweiligen Einheit weist zu der zweiten Oberfläche der dielektrischen Schicht in der betreffenden Einheit. In einer Chipbaugruppe dieses Typs enthalten zumindest einige der Einheiten in wünschenswerter Weise Wärmeübertragungsschichten, welche über den Leiterbahnen derartiger Einheiten liegen, und diese Einheiten stützen sich durch die Wärmeübertragungsschichten aneinander ab. Damit liegt die Wärmeübertragungsschicht einer jeden derartigen Einheit in wünschenswerter Weise an der Rückseite des Chips in der nächstbenachbarten Einheit an. Die Wärmeübertragungsschichten dieser Einheiten verlaufen in wünschenswerter Weise über die Verbindungsfenster in den dielektrischen Schichten dieser Einheiten, und sie sind im wesentlichen flach, zumindest in dem Bereich, der sich über die Verbindungsfenster erstreckt. Derartige Einheiten enthalten in wünschenswerter Weise ferner eine Einkapselung, die zumindest teilweise die Verbindungsfenster ausfüllt. Während der Herstellung können die Wärmeübertragungsschichten als Maskierungsschichten dienen, die die Einkapselung bzw. den Einschluss derart begrenzen, dass der Einschluss nicht über die dielektrische Schicht ragt. Wie unten weiter erörtert, ermöglichen die flachen Wärmeübertragungsschichten ein enges Einrücken der Einheiten zueinander und einen guten thermischen Kontakt zwischen aneinander grenzenden Einheiten. Diese Merkmale tragen zu der geringen Höhe der Baugruppe bei und fördern die effektive Wärmeableitung von den Chips innerhalb der Baugruppe.

[0018] In einer Anordnung bzw. Baugruppe gemäß einem weiteren Aspekt der Erfindung kann die Wärmeübertragungsschicht vorhanden oder weggelassen sein, wobei jedoch die Einkapselung eine Oberfläche festlegt, die im wesentlichen mit der ersten Oberfläche der dielektrischen Schicht fluchtet oder in Bezug auf eine derartige Oberfläche ausgenommen ist. In dem Fall, dass die Wärmeübertragungsschicht weggelassen ist, kann die dielektrische Schicht der jeweiligen Einheit direkt auf der Rückfläche bzw. Rückseite des Chips in der nächstbenachbarten Einheit aufliegen.

Ausführungsbeispiel

[0019] Diese und andere bzw. weitere Aufgaben, Merkmale und Vorteile der vorliegenden Erfindung werden aus der detaillierten Beschreibung der bevorzugten Ausführungsformen ohne weiteres ersichtlich werden, wie sie weiter unten in Verbindung mit den

beigefügten Zeichnungen ausgeführt sind.

Kurze Beschreibung der Zeichnungen

[0020] Fig. 1 ist eine Draufsicht einer in einer Ausführungsform der Erfindung verwendeten Schaltungsplatte von oben.

[0021] Fig. 2 ist eine schematische Seitenansicht einer die Schaltungsplatte von Fig. 1 verwendenden gestapelten Baugruppe.

[0022] Fig. 3 ist eine schematische Schnittansicht einer gestapelten Baugruppe gemäß einer weiteren Ausführungsform der Erfindung in Verbindung mit einer Schaltungsplatte.

[0023] Fig. 4 ist eine Ansicht ähnlich der Fig. 1, jedoch unter Darstellung einer Schaltungsplatte gemäß einer weiteren Ausführungsform der Erfindung.

[0024] Fig. 5 ist eine Ansicht ähnlich der Fig. 2, jedoch unter Darstellung einer gestapelten Baugruppe unter Verwendung der Schaltungsplatte von Fig. 4.

[0025] Fig. 6 ist eine schematische Draufsicht einer Schaltungsplatte, die in einer noch weiteren Ausführungsform der Erfindung verwendet ist.

[0026] Fig. 7 ist eine schematische Schnittansicht einer unter Verwendung der Schaltungsplatte von Fig. 6 hergestellten gestapelten Baugruppe.

[0027] Fig. 8 ist eine schematische Draufsicht einer in einer weiteren Ausführungsform der Erfindung verwendeten Umsetzungsplatte.

[0028] Fig. 9 ist eine schematische Schnittansicht einer die Umsetzungsplatte von Fig. 8 verwendenden Baugruppe.

[0029] Fig. 10 ist eine schematische Schnittansicht einer gestapelten Baugruppe gemäß einer weiteren Ausführungsform der Erfindung.

[0030] Fig. 11 ist eine Ausschnittansicht eines Teiles eines Baugruppenelements gemäß einer weiteren Ausführungsform der Erfindung.

[0031] Fig. 12 ist eine ausschnittweise schematische Draufsicht einer Baugruppeneinheit gemäß einer weiteren Ausführungsform der Erfindung.

[0032] Fig. 13 ist eine ausschnittweise Draufsicht in einem vergrößerten Maßstab der in Fig. 12 dargestellten Einheit.

[0033] Fig. 14 ist eine ausschnittweise Schnittaufrissansicht längs der Linie 14-14 gemäß Fig. 13.

[0034] Fig. 15 ist eine ausschnittweise schematische Draufsicht einer Schaltungsplatte gemäß einer noch weiteren Ausführungsform der Erfindung.

[0035] Fig. 16 ist eine ausschnittweise schematische Perspektivansicht eines prozessinternen Zusammenbaus, umfassend eine Vielzahl von Einheiten, die unter Verwendung der Schaltungsplatten von Fig. 15 gebildet sind.

[0036] Fig. 17 ist eine schematische Vorderansicht eines Schneidwerkzeugs, welches mit der Schaltungsplatte und den Einheiten von Fig. 15 und 16 nutzbar ist.

[0037] Fig. 18 ist eine ausschnittweise schematische Draufsicht einer Schaltungsplatte gemäß einer noch weiteren Ausführungsform der Erfindung.

[0038] Fig. 19 ist eine ausschnittweise schematische Vorderansicht einer aus der Schaltungsplatte von Fig. 18 gebildeten Baugruppe.

[0039] Fig. 20 ist eine ausschnittweise schematische Schnittansicht einer Einheit gemäß einer noch weiteren Ausführungsform der Erfindung.

Ausführungsformen zur Ausführung der Erfindung

[0040] Eine Baugruppe gemäß einer Ausführungsform der Erfindung verwendet eine Vielzahl von Baugruppenelementen **20**, deren jedes derartige Element in der Form einer Schaltungsplatte ist. Jede derartige Schaltungsplatte kann eine dielektrische Schicht in der Form eines dünnen, flexiblen dielektrischen Bandes enthalten, wie beispielsweise als eine Schicht aus verstärktem oder unverstärktem Polyimid, BT-Harz oder dergleichen in der Größenordnung von 25-100 µm Dicke, höchst vorzugsweise in einer Dicke von 25-75 µm. Alternativ kann jede Platte ein Dielektrikum enthalten, wie ein durch Fieberglass verstärktes Epoxid, wie beispielsweise eine FR-4- oder FR-5-Schaltungsplatte bzw. -platine. Die Platte weist zahlreiche Anschlüsse **22** auf, die in Reihen innerhalb eines peripheren Bereiches der Platte neben den Rändern bzw. Kanten **24** der Platte angeordnet sind. Bei der dargestellten Anordnung sind die Reihen der Anschlüsse längs sämtlicher vier Kanten vorgesehen. Die Anschlüsse können jedoch neben weniger als sämtlichen Kanten bzw. Rändern vorgesehen sein, wie beispielsweise in zwei Reihen neben zwei gegenüberliegenden Kanten bzw. Rändern der Platte. Jeder Anschluss **22** kann in der Form einer flachen, relativ dünnen Scheibe aus Kupfer oder anderem geeigneten metallischen Material auf einer ersten Oberfläche **26** der Platte vorliegen (die Oberfläche ist in Fig. 1 sichtbar). Wie am besten in Fig. 2 zu sehen ist, weist die Platte außerdem Löcher **28** auf, die sich durch die Platte in Ausrichtung zu den Anschlüssen **22** erstrecken. Jedes derartige Loch er-

streckt sich zwischen der ersten Fläche bzw. Oberfläche **26** der Platte und der gegenüberliegenden zweiten Oberfläche bzw. Fläche **30**.

[0041] Jede Platte **20** weist ferner ein längliches Verbindungsfenster **32** auf, welches sich neben der Mitte der Platte erstreckt. Die Platte weist ferner eine große Anzahl von Leitungen bzw. Leitern **36** auf. Jede Leitung enthält eine Leiterbahn **38**, die sich längs der ersten Oberfläche **32** der Platte erstreckt, und einen mit der Leiterbahn zusammenhängend gebildeten Verbindungsabschnitt **40**, der von der Leiterbahn über das Verbindungsfenster ragt. Im unmontierten Zustand, wie er in **Fig. 1** dargestellt ist, ist jeder Verbindungsabschnitt durch ein zerbrechliches Element **42** mit einem Verankerungsabschnitt **44** verbunden, der von der Seite des Verbindungsfensters gegenüber der Leiterbahn **38** absteht. Die Leiterbahnen und die Verankerungsbereiche bzw. -teile sind in einer Reihe angeordnet, die sich über die Länge des Verbindungsfensters erstreckt. Unterschiedliche Leiterbahnen verlaufen auf gegenüberliegenden Seiten des Verbindungsfensters, so dass einige der Verbindungsabschnitte **40** in das Verbindungsfenster von einer Seite ragen, während andere in das Verbindungsfenster von der gegenüberliegenden Seite ragen. Die Anordnung der Leiterbahnen und deren Verbindungsabschnitte können im wesentlichen so sein, wie dies im US-Patent 5.489.749 veranschaulicht ist, dessen Offenbarung hier durch Bezugnahme darauf einbezogen wird.

[0042] Die Anschlüsse **22** enthalten einen ersten Satz von Auswahlanschlüssen **22A-22D**, einen zweiten Satz von Auswahlanschlüssen **22E-22H**, sowie weitere Anschlüsse, die hier als Nicht-Auswahlanschlüsse bezeichnet werden, wie beispielsweise die Anschlüsse **22J** und **22K**. Jede Leiterbahn **38** enthält einen gemeinsamen Abschnitt **46** neben einem Verbindungsabschnitt **40** und ist mit diesem verbunden. Einige der Leiterbahnen sind mit den Nicht-Auswahl-Anschlüssen verbunden. Diese Leiterbahnen weisen gemeinsame Abschnitte **46** auf, die sich über den gesamten Weg zu den zugehörigen Anschlüssen erstrecken, wie zu den Anschlüssen **22J** und **22K**, so dass der gemeinsame Abschnitt **46** jeder derartigen Leiterbahn direkt mit einem Nicht-Auswahl-Anschluss verbunden ist.

[0043] Jene Leiterbahnen **38**, die den Auswahlanschlüssen zugehörig sind, sind mehrfach verzweigte Leiterbahnen **50**. Jede derartige mehrfach verzweigte Leiterbahn weist eine Vielzahl von Zweigen auf, die mit ihrem gemeinsamen Abschnitt **46** verbunden sind und die mit einem der zugehörigen Auswahlanschlüsse verbunden sind. So enthält die Leiterbahn **38A** beispielsweise einen Zweig **50A**, der mit dem Auswahlanschluss **22A** verbunden ist; der Zweig **50B** ist mit dem Auswahlanschluss **22B** verbunden; der Zweig **50C** ist mit dem Auswahlanschluss **22C**

verbunden; und der Zweig **50D** ist mit dem Auswahlanschluss **22D** verbunden. Die Leiterbahn **38A** enthält außerdem einen Verteilungsabschnitt **52A**, der quer zu dem gemeinsamen Abschnitt **46A** verläuft und der die verschiedenen Zweige **50A-50D** mit dem gemeinsamen Abschnitt verbindet. Die Leiterbahn **38E**, die den Anschlüssen **22E-22H** zugehörig ist, ist ebenfalls eine mehrfach verzweigte Leiterbahn, und sie weist einen ähnlichen bzw. entsprechenden Satz von Zweigen **50E-50H** und einen Verteilungsabschnitt **52E** auf, so dass sämtliche Zweige **50E-50H** mit dem gemeinsamen Abschnitt **46E** der Leiterbahn und mit deren Verbindungsabschnitt **40E** verbunden sind. Das Dielektrikum der Platte **20** weist Unterbrechungsöffnungen **54** auf, die zu den Zweigen **50** der mehrfach verzweigten Leiterbahn **38** ausgerichtet sind, so dass jeder derartige Zweig über eine Unterbrechungsöffnung verläuft. Die Unterbrechungsöffnungen sind neben den Auswahlanschlüssen **22A**, **22B**, etc. angeordnet.

[0044] Die Anschlüsse und die Leitungen bzw. Leiter, einschließlich der Leiterbahnen und der Verbindungsabschnitte, sind als Einzelschicht mit metallischen Eigenschaften auf der ersten Oberfläche der Platte gebildet. Diese metallischen Eigenschaften bzw. Einzelheiten sind in wünschenswerter Weise geringer als etwa 30 µm dick, in typischer Weise sind sie etwa 5-25 µm dick, wie beispielsweise etwa 20 µm dick. Eine dünne (nicht dargestellte) Klebschicht kann optional zwischen der dielektrischen Schicht **20** und der Metallschicht vorgesehen sein. Diese Klebschicht sollte außerdem so dünn sein wie dies praktikabel ist sie sollte in wünschenswerter Weise etwa 15 µm oder weniger dick sein. Die Anschlüsse und Leiterbahnen können dadurch gebildet sein, dass konventionelle Prozesse bei der Herstellung band-automatisierten Verbindungsbänder und dergleichen angewandt werden, wie beispielsweise durch Ätzen eines eine Schicht aus Kupfer oder anderem Metall und das dielektrische Material enthaltenden Laminats, welches die Platte bildet, um die Bereiche der metallischen Schicht zu entfernen. Alternativ können die Anschlüsse und Leiterbahnen durch einen Niederschlagsprozess gebildet sein, wie durch stromlose Galvanisierung und/oder Elektroplattierung. Das Verbindungsfenster, die den Anschlüssen zugehörigen Löcher und die Unterbrechungsöffnungen können durch Ätzen oder Abschmelzen bzw. Abtragen des dielektrischen Materials gebildet sein.

[0045] Die gestapelte Chipbaugruppe enthält eine Vielzahl von Einheiten **56** (**Fig. 2**). Jede Einheit **56** ist abgesehen davon, dass es anders angegeben ist, identisch mit jeder anderen Einheit **56** in dem Stapel. Jede derartige Einheit enthält eine Platte oder einen Chipträger **20**, wie dies oben unter Bezugnahme auf **Fig. 1** erörtert worden ist, und ein Chip **58** in Zuordnung zu der betreffenden Platte. Jeder derartige Chip weist eine vordere oder Kontaktanlagefläche **60** und

eine rückseitige Fläche **62** auf. Die Vorderseite bzw. vordere Fläche **60** des jeweiligen Chips weist Kontakte **64** auf, die in Reihen neben der Mitte des Chips angeordnet sind. Der Chip weist außerdem Kanten bzw. Ränder **66** auf, welche die vorderen und rückwärtigen Seiten bzw. Flächen **62** begrenzen. Die Dicke t des Chips (die Abmessung zwischen der vorderen Fläche **60** und der rückseitigen Fläche **62**) ist in typischer Weise wesentlich geringer als die anderen Abmessungen des Chips. Ein typischer Chip kann beispielsweise etwa 100-500 Mikron dick sein, und er kann horizontale Abmessungen (in der Ebene der vorderen und rückseitigen Flächen) von etwa 0,5 cm oder mehr aufweisen. Die Vorderfläche **60** des Chips weist zu der zweiten Oberfläche **30** der zugehörigen Platte **20**.

[0046] Eine Klebschicht **68** ist zwischen dem Chip und der Platte der jeweiligen Einheit angeordnet. Die Klebschicht **68** legt eine Öffnung in Ausrichtung zu dem Verbindungsfenster fest. Die Klebschicht **68** kann dadurch vorgesehen sein, dass ein flüssiges Material oder ein Gelmaterial zwischen dem Chip und der Platte zur Zeit der Montage aufgebracht wird oder dass eine poröse Schicht bereitgestellt wird, wie als eine Anordnung aus kleinen elastischen Elementen zwischen den Schichten und durch Einspritzen eines fließfähigen Materials in eine derartige Schicht, wie dies beispielsweise bei gewissen Ausführungsformen der US-Patente 5.659.952 und 5.834.339 gelehrt wird, deren Offenbarungen hier durch Bezugnahme darauf einbezogen sind. Vorzugsweise ist die Klebschicht jedoch als ein oder mehrere feste oder halb feste Beläge vorgesehen, die im Wesentlichen dieselbe horizontale Ausdehnung aufweisen wie die gewünschte Klebschicht in dem Endprodukt. Diese Beläge sind zwischen dem Chip und der Platte während der Montage platziert. Der Belag kann beispielsweise an der Platte oder dem Chip vormontiert sein, bevor der Chip gegenüber der Platte gesetzt wird. Ein derartiger fester oder halbfester Belag kann ziemlich genau in Bezug auf den Chip und die Platte platziert werden. Dies hilft sicherzustellen, dass der Belag nicht die Anschlüsse **22** bedeckt, sogar dort, wo lediglich ein kleiner Zwischenraum zwischen der Nennposition der Belagkante und den Anschlüssen vorhanden ist. Ein derartiger Belag kann eine ungehärtete oder teilweise gehärtete Schicht und weitere die Klebung fördernde Eigenschaften aufweisen, wie dies beispielsweise im US-Patent 6.030.856 erörtert ist, dessen Offenbarung hier durch Bezugnahme darauf einbezogen wird. Alternativ oder zusätzlich kann der Belag mit einer dünnen Schicht eines fließfähigen Klebstoffs auf einer oder beiden Flächen versehen sein, und diese Schicht kann eine ungleichmäßige Schicht sein, wie dies im US-Patent 5.548.091 beschrieben ist, dessen Offenbarung hier durch Bezugnahme darauf einbezogen wird, um einen Gaseinschluss in der Schicht während der Montage zu vermeiden zu helfen. Die Klebschicht **68** ist in wünschenswerter Weise so dünn wie es praktikabel ist; beispielsweise ist sie etwa 10-125 μm dick, am bevorzugtesten etwa 25-75 μm .

[0047] Der Chip **58** der jeweiligen Einheit ist mit bzw. zu dem zentralen Bereich der zugehörigen Platte derart ausgerichtet, dass die Reihen der Kontakte **64** mit bzw. zu dem Verbindungsfenster **32** in der Platte ausgerichtet sind. Der Verbindungsabschnitt **40** der jeweiligen Leitung ist mit einem Kontakt **64** des Chips verbunden. Während dieses Prozesses ist der Verbindungsabschnitt der jeweiligen Leitung von dem Verankerungsabschnitt **44** der Leitung dadurch gelöst, dass der zerbrechliche Abschnitt **42** der Leitung zer- bzw. unterbrochen wird. Dieser Prozess kann ausgeführt werden, wie dies in dem zuvor erwähnten US-Patent 5.489.749 beschrieben ist, indem ein (nicht dargestelltes) Werkzeug, wie ein thermisches, thermosonisches bzw. Wärmeschall- oder Ultraschall-Verbindungswerkzeug in das Verbindungsfenster der Platte in Ausrichtung mit bzw. zu dem jeweiligen Verbindungsabschnitt so vorgeschoben wird, dass das Werkzeug den Verbindungsabschnitt einnimmt und ihn in Anlage mit dem in Frage kommenden Kontakt zwingt. Der gemeinsame Abschnitt **46** der Leiterbahn **38** in der jeweiligen Leitung (**Fig. 1**) ist durch einen Verbindungsabschnitt **40** mit einem Kontakt auf bzw. an dem Chip verbunden. Die Anordnung der Kontakte und der Verbindungsabschnitte ist so gewählt, dass die gemeinsamen Abschnitte **46A** und **46E** der mehrfach verzweigten Leiterbahnen **38A** und **38E** mit Auswahlkontakten auf dem Chip verbunden sind, das heißt mit Kontakten des Chips, die nicht mit entsprechenden Kontakten in bzw. auf allen anderen Chips in dem Stapel parallel zu verbinden sind. Die gemeinsamen Abschnitte der anderen Leiterbahnen sind mit den Nicht-Auswahlkontakten verbunden, das heißt mit den Kontakten des Chips, die mit entsprechenden Kontakten der anderen Chips in dem Stapel parallel zu verbinden sind.

[0048] Jede Einheit **56** enthält ferner eine Lötmitel-Maskierungsschicht **70** (**Fig. 2**), welche die Leiterbahnen und Anschlüsse im peripheren Bereich der Platte überlagert. Die Lötmitel-Maskierungsschicht weist Öffnungen auf, die mit bzw. zu den Anschlüssen **22** ausgerichtet sind. Die Lötmitel-Maskierungsschicht kann als ein formgleicher Überzug oder eine formgleiche Schicht durch konventionelle Prozesse aufgebracht werden. Jede Einheit enthält ferner eine Wärmeübertragungsschicht **76**, welche die Leiterbahnen **38** und die erste Oberfläche **26** der Platte im Zentralbereich der Platte überlagert, die mit bzw. zu dem Chip **58** ausgerichtet ist. Wie unten weiter erörtert, wird die Wärmeübertragungsschicht einen innigen Kontakt mit der rückwärtigen Fläche bzw. Oberfläche des Chips in der nächstbenachbarten Einheit des Stapels herstellen. Die Wärmeübertragungsschicht kann aus einem Material, wie einem

Gel oder Fett, welches mit einem thermisch leitenden Füllstoff beladen ist, oder aus einem Material gebildet sein, das während der Montage in einen verformbaren Zustand gebracht werden kann, wie beispielsweise ein thermoplastisches Material oder ein ungehärtetes oder teilweise gehärtetes Epoxid- oder sonstiges reaktives Harz. In wünschenswerter Weise ist die Wärmeübertragungsschicht ein dielektrisches Material und schließt folglich nicht die verschiedenen Leiterbahnen miteinander elektrisch kurz. Die Wärmeübertragungsschicht kann mit der Lötmitte-Maskierungsschicht zusammenhängend gebildet sein, so dass ein zentraler Bereich der Lötmitte-Maskierungsschicht, der zum Chip **58** ausgerichtet ist, die Wärmeübertragungsschicht bildet.

[0049] Die Wärmeübertragungsschicht, ob mit der Lötmitte-Maskierungsschicht zusammenhängend gebildet oder von der Lötmitte-Maskierungsschicht gesondert gebildet, ist in wünschenswerter Weise so dünn, wie dies praktikabel ist, beispielsweise etwa 40 µm dick oder weniger und vorzugsweise etwa 30 µm dick oder weniger. Eine integrale Lötmitte-Maskierungsschicht und Wärmeübertragungsschicht können als ein formgleicher Überzug vorgesehen sein, der eine Dicke von etwa 5-20 µm in jenen Bereichen des Überzugs aufweist, die den Leiterbahnen überlagert sind, und der etwa 10-40 µm in jenen Bereichen dick ist, die zwischen den Leiterbahnen angeordnet sind. Ein derartiger Überzug trägt lediglich etwa 5-20 µm zur Gesamtdicke der Einheit bei. Wie in bzw. aus **Fig. 2** ersehen wird, überbrückt der zentrale Bereich der Wärmeübertragungsschicht oder der Lötmitte-Maskierungsschicht die Öffnung **32** in der dielektrischen Schicht. Vorzugsweise ist der zentrale Bereich der Wärmeübertragungsschicht oder der Lötmitte-Maskierungsschicht im wesentlich eben und wölbt sich nicht wesentlich von der dielektrischen Schicht **20** aus.

[0050] Ein Einkapselung **33** kann in der Öffnung **32** vorgesehen sein, umgebend die Verbindungsabschnitte **40** der Leitungen bzw. Leiter. Die Einkapselung kann von der Klebschicht **68** getrennt sein, und sie kann unter Anwendung der Techniken eingeführt sein, die in den US-Patenten 6.232.152 und 5.834.339 angegeben sind, deren Offenbarungen hier durch Bezugnahme darauf einbezogen werden. Wie in gewissen bevorzugten Ausführungsformen offenbart, die in den '152- und '339-Patenten gelehrt sind, kann die Schicht, welche den Chip an der dielektrischen Schicht (Klebschicht **68**) festmacht, einen Kanal festlegen, der zu einer oder beiden Kanten des Chips verläuft, und die Einkapselung kann in diesen Kanal an den Kanten des Chips eingeführt werden bzw. sein. Alternativ kann dort, wo die Klebschicht als Ganzes oder zum Teil durch ein fließfähiges Material gebildet ist, welches zwischen dem Chip und dielektrische Schicht eingeführt ist, wie dies oben erörtert worden ist, die Einkapselung durch das fließfähige

Material gebildet sein. In jedem Prozess bedeckt die Wärmeübertragungsschicht **76** (oder die interne Wärmeübertragungs- und Lötmitte-Maskierungsschicht) das Verbindungsfenster in der dielektrischen Schicht, so dass die Einkapselung nicht über die erste Oberfläche **76** der dielektrischen Schicht hinausragen kann.

[0051] Während des Zusammenbaus bzw. der Montage der jeweiligen Einheit werden einige der Zweige der jeweiligen mehrfach verzweigten Leiterbahn zer- bzw. unterbrochen, um die jenen besonderen Zweigen zugehörigen Anschlüsse von dem gemeinsamen Abschnitt der mehrfach verzweigten Leiterbahn zu trennen. Vorzugsweise werden sämtliche Zweige außer einem Zweig der jeweiligen mehrfach verzweigten Leiterbahn zer- bzw. unterbrochen, was lediglich einen mit dem gemeinsamen Abschnitt der jeweiligen mehrfach verzweigten Leiterbahn verbundenen Auswahlanschluss zurückläßt. Die Zweige können dadurch zer- bzw. unterbrochen werden, dass ein Werkzeug in die Trennöffnungen **54** vorgeschoben wird, die den zu zer- bzw. unterbrechenden Zweigen zugehörig sind. Das Werkzeug kann dasselbe Werkzeug sein, welches zur Ausübung der Verbindungsoperation an den Verbindungsabschnitten der Leitungen verwendet wird. Um die Unterbrechungsoperation zu erleichtern, können die Zweige mit zerbrechlichen Abschnitten versehen sein, die schwächer sind als der Rest des Zweiges, wie mit verengten Abschnitten (nicht dargestellt) in Ausrichtung zu den Trennöffnungen. Während des Unterbrechungsprozesses dienen die Anschlüsse **22** neben den zu zer- bzw. unterbrechenden Zweigen als Verankerungen für die Zweige, so dass die Zweige dazu neigen, zu zerbrechen anstatt von dem Dielektrikum der Platte **20** gelöst zu werden. Die ge- bzw. unterbrochenen Enden der Zweige sind nicht mit irgendeinem Bereich des Chips verbunden. Die Klebschicht **68** enthält vorzugsweise nicht Öffnungen, die zu den Trennöffnungen ausgerichtet sind, und die gebrochenen bzw. unterbrochenen Enden der Zweige sind in dem Klebstoff versenkt. Alternativ können die zer- bzw. unterbrochenen Enden der Zweige die (nicht dargestellte) dielektrische Passivierungsschicht auf der Oberfläche des Chips berühren.

[0052] Unterschiedliche Einheiten weisen unterschiedliche Zweige der Zweige auf, die mit den Anschlüssen nach dem Unterbrechungsschritt verbunden sind. In der in **Fig. 2** dargestellten Vier-Einheit-Baugruppe kann beispielsweise die obere Einheit **56A** den gemeinsamen Abschnitt **46A** der mehrfach verzweigten Leiterbahn **38A** mit lediglich dem Anschluss **22A** eines Satzes **22A-22D** verbunden aufweisen, und der gemeinsame Abschnitt **46E** der Leiterbahn **38E** kann lediglich mit dem Anschluss **22E** des Satzes **22E-22H** verbunden sein. In der nächsten Einheit **56B** ist der gemeinsame Abschnitt **46A** lediglich mit dem Anschluss **22B** verbunden,

während der gemeinsame Abschnitt **46E** mit dem Anschluss **22F** verbunden ist. Die nächste Einheit **56C** weist die Abschnitte **46A** und **46E** auf, die mit den Anschlüssen **22C** bzw. **22G** verbunden sind, während in der unteren Einheit **56D** dieselben gemeinsamen Abschnitte mit den Anschlüssen **22D** und **22H** verbunden sind.

[0053] Die Einheiten sind übereinander gestapelt, wie dies in **Fig. 2** veranschaulicht ist. Jeder Anschluss **22** ist mit dem entsprechenden Anschluss der nächstbenachbarten Einheit durch eine Lötmittekkugel **78** verbunden. Die Lötmittekkugeln **78** dienen als leitende Elemente, die die entsprechenden Anschlüsse der verschiedenen Einheiten in vertikalen leitenden Bussen verbinden. Beispielsweise ist der Anschluss **22J** (**Fig. 1**) jeder Einheit an demselben vertikalen Bus mit den entsprechenden Anschlüssen **22J** der anderen Einheit verbunden. Jede Lötmittekkugel bildet einen Kontakt mit dem Anschluss einer Einheit durch eine Öffnung in der Lötmitte-Maskierungsschicht **74** und mit einem Anschluss der anderen Einheit durch eine Öffnung **28** in der dielektrischen Schicht der Platte **20** in der betreffenden Einheit. Die Wärmeübertragungsschicht **76** (oder die kombinierte Wärmeübertragungs- und Lötmitte-Maskierungsschicht, wo eine derartige kombinierte Schicht angewandt ist) in jeder anderen Einheit als der unteren Einheit **56D** stellt einen innigen Kontakt mit der rückseitigen Fläche **62** des Chips in der nächstunteren Einheit in dem Stapel her. Während der Montage werden die Lötmittekkugeln teilweise oder gänzlich geschmolzen oder "aufgeschmolzen". Die Lötmitte-Maskierungsschicht **74** und die dielektrischen Schichten der Platten verhindern eine Verteilung des Lötmittels über die Längen der Leiterbahnen **38** während der Aufschmelzoperation. Die Wärmeübertragungs-**76**-Schichten können während des Montageprozesses augenblicklich erweicht werden, um einen innigen Kontakt sicherzustellen. Alternativ können dort, wo die Wärmeübertragungsschichten aus einem zunächst weichen oder fließfähigen Material, wie einem härtbaren Epoxid gebildet sind, die Wärmeübertragungsschichten während der Montage gehärtet werden, nachdem sie mit dem Chip der nächstunteren Anordnung in innigen Kontakt gebracht sind.

[0054] Vor der Montage des Stapels können die individuellen Einheiten in einer Testbuchse bzw. Prüffassung getestet werden, die den Stellen der Anschlüsse entsprechende Kontakte aufweist. In typischer Weise sind die Lötmittekkugeln mit den Anschlüssen der jeweiligen Einheit verbunden, so dass sie von der ersten Oberfläche **26** der Platte abstehen, und die Einheit wird mit den Lötmittekkugeln an Ort und Stelle getestet. Die Test- bzw. Prüfbuchse kann beispielsweise Öffnungen aufweisen, die imstande sind, an den Lötmittekkugeln anzuliegen. Da sämtliche der Einheiten Anschlüsse und Lötmittekkugeln im

selben Muster enthalten, kann die einzige Prüfbuchse zum Testen sämtlicher Einheiten verwendet werden.

[0055] Die resultierende Baugruppe kann auf bzw. zu einer Schaltungsplatte unter Anwendung von konventionellen Oberflächenmontierungsverfahren zusammengebaut werden. Die Lötmittekkugeln **78** der untersten Einheit **56D** können aufgeschmolzen und mit den Kontaktbelägen **80** einer Schaltungsplatte **82** verbunden werden, wie dies teilweise in **Fig. 2** dargestellt ist. Damit wird bzw. ist jeder vertikale Bus mit einem individuellen Kontaktbelag **80** der Schaltungsplatte in elektrischen Kontakt gebracht. Die Wärmeübertragungsschicht **76** der unteren Einheit **56D** kann mit einem Merkmal der Schaltungsplatte **82** in Kontakt sein, wie beispielsweise mit einem großen thermischen Belag **84**. Eine metallische Platte **86** kann als Teil der Baugruppe vorgesehen oder an der Schaltungsplatte vor der Montage der Baugruppe angebracht sein. Diese Platte dient als Wärmeleiter zwischen der thermischen Schicht **76** und der Schaltungsplatte. Dort, wo die Platte **86** als Teil der Baugruppe vorgesehen ist, können die Platte oder der Belag eine (nicht dargestellte) Schicht aus einem Lötmitte tragen, so dass die Platte durch Aufschmelzen mit dem Belag **84** verbunden wird, wenn die Lötmittekkugeln mit den Kontaktbelägen verbunden werden. Alternativ kann die Wärmeübertragungsschicht **76** der unteren Einheit dick genug sein, so dass sie einen direkten Kontakt mit einem Merkmal bzw. einer Einzelheit der Schaltungsplatte selbst herstellt. Bei einer weiteren Variante kann die Wärmeübertragungsschicht der untersten Einheit weggelassen sein.

[0056] Die vervollständigte Baugruppe bringt zahlreiche Vorteile mit sich. Wie oben erörtert sind die Auswahlkontakte der Chips in unterschiedlichen Einheiten mit unterschiedlichen Auswahlanschlüssen und daher mit unterschiedlichen vertikalen Bussen verbunden. Durch Weiterleitung von Auswahlsignalen zu den Kontaktbelägen der Schaltungsplatte in Zuordnung zu diesen Bussen ist es möglich, ein Auswahlsignal an einen Auswahlkontakt in einem Chip lediglich einer Einheit anzulegen. Die durch die miteinander verbundenen Lötmittebelege gebildeten vertikalen Busse sind ziemlich kurz und stellen eine niedrige elektrische Impedanz zur Verfügung. Außerdem stellen die Leiterbahnen einen relativ niedrigeren Impedanzweg zur Verfügung. Typische Leiterbahnen weisen eine Induktivität von etwa 5 Nanohenry oder weniger auf. Darüber hinaus sind die Signalausbreitungsverzögerungen zwischen den Kontaktbelägen der Schaltungsplatte und den Kontakten irgendeines gegebenen Chips nahezu dieselben wie die Signalausbreitungsverzögerungen zwischen den Kontaktbelägen der Schaltungsplatte und den Kontakten irgendeines anderen Chips in der Baugruppe. Die Einheiten können wirtschaftlich unter Verwen-

derung von "Einzel-Metall"-Schaltungsplatten hergestellt sein, die leitende Merkmale bzw. Eigenschaften auf lediglich einer Seite enthalten. Die gesamte Baugruppe hat eine Höhe, die zum Teil durch die Dicken der einzelnen Chips bestimmt ist. Lediglich beispielhaft weist eine Baugruppe, in die vier Einheiten einbezogen sind, deren jede ein Chip von etwa 125 Mikron Dicke aufweist, eine Gesamthöhe von etwa 1,5 mm auf.

[0057] Die geringe Gesamthöhe einer Baugruppe geht zum Teil auf die geringe Dicke der von den Chips verschiedenen Elemente zurück, welche den Abstand zwischen benachbarten Chips im Stapel bestimmen. Wie oben erörtert, enthält innerhalb des zentralen Bereichs der jeweiligen Einheit, der mit bzw. zu dem Chip einer derartigen Einheit ausgerichtet ist, die Einheit in wünschenswerter Weise lediglich die Klebschicht **68**, die Leitungen oder Leiterbahnen **38** und die Wärmeübertragungs- oder Lötmitte-Maskierungsschicht und optional eine weitere Klebschicht zwischen der dielektrischen Schicht und der die Leitungen bildenden Metallisierung. Der Abstand d zwischen entsprechenden Merkmalen bzw. Einheiten von benachbarten Einheiten, wie beispielsweise der Abstand d zwischen der zweiten Oberfläche **30** der dielektrischen Schicht **20** in der Einheit **56A** und der entsprechenden Oberfläche der dielektrischen Schicht in der Einheit **56B** wird gleich der Dicke t des Chips **58B** sein, welches zwischen diesen Schichten angeordnet ist, zuzüglich der Gesamtdicke der zuvor erwähnten Schichten, welche den zentralen Teil bzw. Bereich der jeweiligen Einheit darstellen. Höchst bevorzugt ist der Abstand d zwischen benachbarten Einheiten gleich der Dicke t des Chips zuzüglich etwa 250 μm oder weniger, höchst bevorzugt etwa 200 μm oder weniger. Ein noch geringerer Abstand d kann erreicht werden, wenn die verschiedenen Schichten ausgewählt werden, um die minimale Höhe bereitzustellen.

[0058] Da die Wärmeübertragungsschicht oder die kombinierte Lötmitte-Maskierungsschicht und die Wärmeübertragungsschicht im Wesentlichen flach sind, kann dies einen guten, innigen Kontakt mit der Rückseite des Chips herstellen. Dies hilft, für eine geringe Gesamthöhe und eine gute Wärmeübertragung zwischen Einheiten zu sorgen. Wärme, die sich in den Chips von Einheiten in der Mitte des Stapels entwickelt, kann durch Wärmeübertragung zu benachbarten Einheiten durch die Oberseite oder Unterseite des Stapels und von der Oberseite oder Unterseite des Stapels an die Umgebung, wie beispielsweise die Schaltungsplatte bzw. -platine **82** oder an die Umgebungsluft abgeleitet werden. Um eine gute Wärmeübertragung zu gewährleisten und um die minimale Gesamthöhe bereitzustellen, ist es wünschenswert sicherzustellen, dass der zentrale Bereich der jeweiligen Einheit in Anlagekontakt mit dem Chip in der nächstbenachbarten Einheit wäh-

rend der Stapelungs- und Aufschmelzoperationen gebracht ist. Es ist außerdem wünschenswert sicherzustellen, dass die Einheiten in der horizontalen Richtung während des Stapelungs- und Aufschmelzprozesses zueinander ausgerichtet sind, und zwar unter Anwendung der Selbstzentrierungswirkung, die durch die Oberflächenspannungswirkungen der Lötmitte-Kugeln hervorgerufen wird. Falls die Höhe der Lötmitte-Kugeln bzw. -kügelchen ausgewählt ist, um einen Nennzwischenraum von etwa 10-15 μm vor dem Aufschmelzen bereitzustellen, dann tritt auf das Aufschmelzen der Lötmitte-Kugeln hin zunächst eine Ausrichtung der Einheiten mit- bzw. zueinander auf, und zusätzlich wird das Lötmitte zusammenfallen, um die Einheiten in Anlage miteinander zu bringen.

[0059] Alternativ oder zusätzlich können die Einheiten während des Aufschmelzens zusammengedrückt werden, um eine Anlage zu gewährleisten, und sie können unter Anwendung geeigneter Haltevorrichtungen- oder Handhabungssysteme mit- bzw. zueinander ausgerichtet werden, wie beispielsweise mit Systemen, die mit Handhabungs- bzw. Roboter-Sichtkomponenten ausgestattet sind.

[0060] In bzw. bei einer Variante des oben erörterten Montageverfahrens können die Einheiten ohne Unterbrechung der Zweige **50** der mehrfach verzweigten Leiterbahnen hergestellt werden. Diese Einheiten können als austauschbare Teile vor der Montage miteinander und mit der Schaltungsplatte bzw. -platine gehandhabt und gelagert werden. Die Zweige werden in einer gesonderten Operation in wünschenswerter Weise unmittelbar vor der Montage getrennt bzw. unterbrochen. Somit wird der Schritt des selektiven Unterbrechens der Zweige in wünschenswerter Weise in derselben Herstellungsanlage oder -einrichtung ausgeführt wie der Schritt des Stapelns der Einheiten. Die gesonderte Zweig-Unterbrechungsoperation erfordert nicht denselben Genauigkeitsgrad, der zur Verbindung der Verbindungsabschnitte der Leitungen erforderlich ist, und er kann daher durch eine weniger genaue Einrichtung bzw. Anlage ausgeführt werden. Darüber hinaus vereinfacht die Fähigkeit, lediglich einen Typ von Einheit über die gesamte Beschaffungskette bis zur Montage zu handhaben und zu lagern die Handhabung und Verteilung. Somit sind Einheiten mit identischen Chips, Leiterbahnen und Anschlüssen vor der Unterbrechung der Zweige miteinander austauschbar, und sie können unverpackt bzw. im losen Haufen, als Sammlung von austauschbaren halbfertigen Artikeln bereitgestellt werden. Wie in diesem Zusammenhang benutzt, bezieht sich der Begriff "identisch" auf die Nennkonfiguration der Chips, Leiterbahnen und Anschlüsse ohne Bezug auf die Variationen von Einheit zu Einheit, die notwendigerweise in jedem hergestellten Artikel auftreten.

[0061] Die Stapelungs- und Verzweigungs-Unter-

brechungsoperationen werden in wünschenswerter Weise in einer Produktionsanlage ausgeführt, die geeignet ist zur Anbringung der gepackten Halbleiterchips, Module und anderen Komponenten auf der Schaltungsplatte, eine Operation, die gemeinhin in der Industrie als "Platinenfüllung" bezeichnet wird. Platinenfüllungsanlagen, die eine Oberflächemontierungstechnologie anwenden, sind gemeinhin mit Einrichtungen zur Verarbeitung und Platzierung von Komponenten bzw. Bauelementen auf der Schaltungsplatte und mit einer Aufschmelzeinrichtung zur momentanen Erhitzung der Schaltungsplatte mit den darauf befindlichen Bauelementen zum Aufschmelzen des Lötmittels oder zur sonstigen Aktivierung von Verbindungsmaterialien zwischen den Bauelementen und den Kontakten der Schaltungsplatte ausgestattet. Die Stapelungsoperation kann unter Anwendung im Wesentlichen derselben Verfahren bzw. Techniken und Prozeduren ausgeführt werden, die zur Montage von Elementen auf Schaltungsplatten angewandt werden. Lediglich die minimale zusätzliche Operation der Unterbrechung der Zweige ist erforderlich.

[0062] In bzw. bei einer noch weiteren Variante kann die Stapelungsoperation als die Montage des Stapels auf der Platine begleitend ausgeführt werden. Dies heißt, dass die einzelnen Einheiten auf der Schaltungsplatte übereinander gestapelt und vorübergehend auf der Platine an Ort und Stelle gehalten werden können, wie beispielsweise durch eine temporäre Klemmfixierung, durch Schwerkraft, durch Klebung zwischen Einheiten, durch einen Kraftfluss an den Anschlüssen oder durch irgendeine Kombination dieser Maßnahmen. In diesem zusammengebauten Zustand überlagern die Lötmittekkugeln oder leitenden Elemente **78**, die der unteren Einheit **56d** zugehörig sind, die Kontaktbeläge der Schaltungsplatte, und die Lötmittekkugeln der anderen Einheiten überlagern die Anschlüsse der nächst niederen Einheit im Stapel. Nach dem Stapeln werden der gesamte Stapel und die Schaltungsplatte einer hinreichenden Aufschmelzoperation ausgesetzt, um die unteren Lötmittekkugeln an den Kontaktbelägen der Schaltungsplatte zu schmelzen und um die Lötmittekkugeln der anderen Einheiten an den Anschlüssen der benachbarten Einheiten zu schmelzen. Diese Aufschmelzoperation kann in Verbindung mit der Aufschmelzoperation ausgeführt werden, die zur Anbringung der anderen Komponenten an der Platine angewandt wird.

[0063] Eine Baugruppe gemäß einer weiteren Ausführungsform der Erfindung, die in **Fig. 3** dargestellt ist, ist ähnlich der oben erörterten Ausführungsform der **Fig. 1** und **2**, abgesehen davon, dass die Einheiten **156** umgekehrt sind, so dass der Chip **158**, der in jede Einheit einbezogen ist, zur Unterseite der Einheit hin angeordnet ist, während die Schaltungsplatte oder das Baugruppenelement **120** der jeweiligen Ein-

heit oberhalb des Chips der betreffenden Einheit angeordnet ist. Außerdem sind die der jeweiligen Einheit zugehörigen Lötmittekkugeln **178** auf der zweiten oder dem Chip zugewandten Seite **130** der Platte anstatt auf der ersten oder vom Chip abgewandten Seite **126** der Platte angeordnet. Anders ausgedrückt sind in dieser Anordnung die Lötmittekkugeln auf derselben Seite der Platte wie der Chip angeordnet. Diese Anordnung bringt eine geringere Gesamthöhe in der vervollständigten Baugruppe mit sich.

[0064] Ein Wärmeverteiler **190** ist auf der oberen Einheit **156A** in Kontakt mit der Wärmeübertragungsschicht **176A** der oberen Einheit angebracht. Der Wärmeverteiler **190** kann aus einem Metall oder einem anderen thermisch leitenden Material gebildet sein, und er kann Merkmale einschließen, wie Rippen oder Leitflächen (nicht dargestellt) zur Wärmeableitung an die Umgebung. Außerdem kann der Wärmeverteiler Wände aufweisen, die sich nach unten neben die Kanten der Baugruppe zu der Schaltungsplatte **182** hin erstrecken, um die Wärmeübertragung zwischen dem Verteiler und der Schaltungsplatte zu fördern. Die Wärmeübertragungsschicht **176**, die auf der ersten oder dem Chip abgewandten Oberfläche **126** der obersten Einheit **156A** vorgesehen ist, passt sich eng an die Oberfläche der Platte **120** in einer derartigen Einheit und an die Leiterbahnen **156** an. Wie oben erörtert, kann diese Schicht eine dielektrische Schicht sein, um die elektrische Isolierung zwischen den Leiterbahnen der oberen Einheit und dem Verteiler aufrechtzuerhalten. Alternativ oder zusätzlich kann sich die Lötmitte-Maskierungsschicht **174** der obersten Einheit über die Leiterbahnen in dem mittleren Bereich der Platte erstrecken, um für eine elektrische Isolierung bezüglich der Leiterbahnen zu sorgen. Ähnliche bzw. entsprechende thermisch leitende Schichten **176** sind über den zentralen Bereichen der Platten in den anderen Einheiten vorgesehen. Auch hier können die Lötmitte-Maskierungsschicht oder eine andere dielektrische Schicht dazu genutzt werden, die Leiterbahnen zu isolieren, falls die Wärmeübertragungsschicht elektrisch leitend ist. Wie oben in Verbindung mit **Fig. 1** und **2** erörtert, fördern diese thermisch leitenden Schichten den innigen Kontakt und die Wärmeübertragung zwischen den verschiedenen Einheiten in dem Stapel. Dies verbessert seinerseits die Wärmeableitung von den inneren Einheiten des Stapels.

[0065] Dort, wo Lötmittekkugeln **178** auf derselben Seite des Bandes wie der Chip vorgesehen sind, können die Lötmittekkugeln gänzlich oder teilweise von einer (nicht dargestellten) Versteifungsschicht umgeben sein, wie dies in einer mit dieser Anmeldung anhängigen, gemeinsam übertragenen US-Patentanmeldung Nr. 60/314.042, eingereicht am 22. August 2001, und in der internationalen PCT-Anmeldung unter Beanspruchung der Priorität aus derselben Anmeldung, Serial-Nr. PCT/US02/26805 angegeben ist,

deren Offenbarungen hier durch Bezugnahme darauf einbezogen werden. Wie in der '042-Anmeldung offenbart, kann eine Versteifungsschicht durch ein fließfähiges Material gebildet sein, wie beispielsweise durch ein Epoxid oder eine Einkapselung, wie ein Epoxid oder eine Einkapselung, die zwischen den Chip und die Platte einer Einheit zur Bildung der Klebschicht **168** eingespritzt ist. Die Versteifungsschicht erstreckt sich zum Umfang der Platte und umgibt in wünschenswerter Weise die Lötmittekkugeln dort, wo die Versteifungsschicht die Platten zur Erleichterung der Handhabung während der Montage verstärkt. Da diese Schicht außerhalb des zentralen Bereiches, außerhalb des durch die Chips eingenommenen Bereichs angeordnet ist, fügt dies nichts zur Höhe des Stapels hinzu.

[0066] Die Rückfläche bzw. -seite **162** des Chips in der unteren Einheit **156D** weist zu der Schaltungsplatine **182**. Die Rückseite **162** kann physikalisch an der Schaltungsplatine angebracht sein und in innigerer thermischer Verbindung mit der Schaltungsplatine durch eine Wärmeschicht **192** platziert sein, die zwischen der Rückseite des Chips und der Platine vorgesehen ist. Eine derartige thermische Schicht bzw. Wärmeschicht kann aus einem thermisch leitenden Material, wie einem Gel oder Fett mit einem leitenden Füllstoff oder aus einem Lötmittekkugeln gebildet sein, welches aufgeschmolzen wird, wenn die Lötmittekkugeln der unteren Einheit aufgeschmolzen werden, um die Anschlüsse an den Kontaktbelägen **180** der Schaltungsplatine anzuschließen bzw. anzubringen.

[0067] Die Ausführungsform der **Fig. 4** und **5** ist ähnlich der oben unter Bezugnahme auf **Fig. 1** und **2** erörterten Ausführungsform, abgesehen davon, dass die Platte oder der Chipträger **320** der untersten Einheit mit zusätzlichen "Blind"- bzw. "Dummy"-Anschlüssen **323** versehen ist. Auch hier sind sämtliche Anschlüsse und Leiterbahnen als Elemente einer einzigen metallischen Schicht vorgesehen. Blindanschlüsse **323** sind in einer Anordnung angeordnet, die sich über den zentralen Bereich der Platte **320D** in der unteren Einheit **356D** erstreckt. Diese Platte weist außerdem periphere Anschlüsse **322**, die den Auswahlanschlüssen entsprechen, und Nicht-Auswahlanschlüsse auf, wie dies oben unter Bezugnahme auf **Fig. 1** erörtert worden ist. An den Blindanschlüssen sind Lötmittekkugeln **379** in derselben Weise vorgesehen, in der die Lötmittekkugeln **378** an den anderen Anschlüssen vorgesehen sind. Diese Lötmittekkugeln dienen als Wärmeleiter zwischen der unteren Einheit und der Schaltungsplatine, wenn die Packung auf einer Schaltungsplatine montiert wird. Wie am besten in **Fig. 4** zu sehen ist, können die Blindanschlüsse **323** von den Leiterbahnen getrennt werden, wie dies beispielsweise bei **323B** gezeigt ist. In bzw. bei dieser Anordnung sind die Leiterbahnen **338** um die Blindanschlüsse herumgeleitet. Alternativ oder zusätzlich können, wie bei **323C** dargestellt,

Blindanschlüsse mit den Leiterbahnen verbunden sein. Dies ermöglicht die Weiterleitung der Leiterbahnen durch den Bereich, der von den Blindanschlüssen eingenommen wird, und vereinfacht folglich das Layout der Leiterbahnen auf der Platte.

[0068] In bzw. bei der in **Fig. 6** und **7** dargestellten Ausführungsform sind die Platten **420** sämtlicher Einheiten **456** mit Ausnahme der unteren Einheit **456D** identisch mit den Platten, die oben unter Bezugnahme auf **Fig. 1** und **2** erörtert worden sind. Die Platte **420D** der unteren Einheit wird eine sogenannte "Zwei-Metall"-Platte genannt, die eine Schicht aus bzw. mit metallischen Eigenschaften **430** auf der zweiten oder dem Chip zugewandten Seite der Platte ebenso wie eine gesonderte Schicht aus bzw. mit metallischen Eigenschaften bzw. Merkmalen auf der ersten oder chipabgewandten Seite aufweist. Die Schicht der metallischen Merkmale auf der chipzugewandten Seite **430** enthält periphere Anschlüsse **425** und Leiterbahnen **439**, die den Anschlüssen **422** und den Leiterbahnen **438** der anderen Platten in dem Stapel entsprechen. Diese Anschlüsse und Leiterbahnen enthalten Anschlüsse und Leiterbahnen, die im Wesentlichen identisch sind mit den Anschlüssen und Leiterbahnen, welche oben erörtert worden sind. Die Schicht der metallischen Merkmale auf der ersten oder chipabgewandten Seite **426** der Platte enthält eine Anordnung von Platinenverbindungsanschlüssen **423**, die in einem geradlinigen Gitter angeordnet sind, welches sich auf dem zentralen Bereich der Platte erstreckt. Diese metallische Schicht enthält außerdem zusätzliche Leiterbahnen **433**, die sich von den Platinenverbindungsanschlüssen **423** zu Verbindungsöffnungen **425** erstrecken. Die Verbindungsöffnungen **425** enthalten Löcher, die sich durch die Platte hindurch erstrecken, und metallische Strukturen, wie Verbindungslochauskleidungen, die sich durch diese Löcher hindurch erstrecken. Zusätzliche Leiterbahnen **433** sind mit Leiterbahnen **439** durch die metallischen Merkmale innerhalb der Verbindungsöffnungen verbunden. Wenn die Baugruppe auf der Schaltungsplatine montiert wird bzw. ist, werden bzw. sind die Platinenverbindungsanschlüsse **423** mit den Kontaktbelägen der Schaltungsplatine verbunden, womit die Leiterbahnen **439** und die peripheren Anschlüsse **425** mit der Schaltungsplatine verbunden werden bzw. sind. Dies verbindet seinerseits die vertikalen Busse, die aus den peripheren Anschlüssen **425** und den entsprechenden Anschlüssen **422** der anderen Platten gebildet sind, mit den Kontaktbelägen der Schaltungsplatine. In bzw. bei einer Variante dieser Lösung kann jeder Zweig **450** der mehrfach verzweigten Leiterbahnen mit einem gesonderten Verbindungsloch **425** versehen und mit einer gesonderten Zwischenverbindungsspur **433** und einem Platinenverbindungsanschluss **423** verbunden sein.

[0069] Die Ausführungsform der **Fig. 8** und **9** verwendet Platten **520**, die identisch sind mit den oben

unter Bezugnahme auf **Fig. 1** und **2** erörterten Platten, in sämtlichen Einheiten **556**. Die Anschlüsse **522D**, **556D** sind somit jedoch nicht direkt mit der Schaltungsplatte verbunden; die Anschlüsse dieser Einheit sind nicht mit Lötmittelkugeln versehen, die nach unten abstehen. Eine weitere Schaltungsplatte oder ein Um- bzw. Übersetzer **501** liegen auf der chipabgewandten oder ersten Oberfläche der Platte **520D**. Der Umsetzer weist Platinenverbindungsanschlüsse **523** auf, die in einem gitterartigen Muster ähnlich dem Muster der Platinenverbindungsanschlüsse **423** angeordnet sind, wie sie oben unter Bezugnahme auf **Fig. 6** und **7** erörtert worden sind. Der Umsetzer weist außerdem periphere Anschlüsse **527** in einem Muster, welches dem Muster der Anschlüsse **522** auf den Platten der verschiedenen Einheiten entspricht, und Verbindungsspuren **533** auf, welche die Verbindungsanschlüsse **523** mit den peripheren Anschlüssen **527** verbinden. Der Umsetzer befindet sich gegenüber der Platte der untersten Einheit, so dass die peripheren Anschlüsse des Umsetzers mit bzw. zu den peripheren Anschlüssen **522D** ausgerichtet sind. Somit ist jeder vertikale Bus, der durch den jeweiligen Satz von ausgerichteten peripheren Anschlüssen an bzw. in den verschiedenen Platten **520** festgelegt ist, mit einem peripheren Anschluss **527** des Umsetzers und folglich mit einem Kontaktbelag auf der Schaltungsplatine elektrisch verbunden. Diese Anordnung ermöglicht die Herstellung einer Struktur mit einem standardmäßigen oder gitterartigen Anschlussmuster zur Anbringung auf der Schaltungsplatine mit lediglich einem einzigen Metallelement. Die Anschlüsse **522D** der unteren Einheit können durch Lötung mit den peripheren Anschlüssen **527** des Umsetzers verbunden werden, wenn die Lötmittelkugeln **578** der nächstunteren Einheit aufgeschmolzen werden. In bzw. bei einer Variante kann der Umsetzer gesonderte Verbindungen zu gesonderten Platinenverbindungsanschlüssen **523** enthalten, die jenen peripheren Anschlüssen **527A-527D** zugehörig sind, welche schließlich mit den Bussen verbunden werden bzw. sind, die Auswahlanschlüssen in den verschiedenen Einheiten zugehörig sind. Dies stellt sicher, dass jeder Bus, der mit Auswahlanschlüssen verbunden ist, mit einem eindeutigen Kontaktbelag auf der Schaltungsplatine verbunden wird.

[0070] In bzw. bei einer weiteren Variante kann der Umsetzer selbst ein oder mehrere Halbleiterchips enthalten. Der Umsetzer kann beispielsweise eine "untere Einheit" des Typs sein, wie er in gewissen bevorzugten Ausführungsformen der gleichzeitig anhängigen, gemeinsam übertragenen vorläufigen US-Patentanmeldung, Serial-No. 60/408.644 mit dem Titel "Bauelemente, Verfahren und Anordnungen für gestapelte Bauelemente", eingereicht am oder um den 6. September 2002 mit dem Namen Kyong-Mo Bang als Erfinder erörtert ist, deren Offenbarung hier durch Bezugnahme darauf einbezogen wird. Wie weiter in der '644-Anmeldung erörtert, ent-

hält eine derartige untere Einheit einen unteren Einheit-Halbleiterchip und weist außerdem obere Verbindungen auf, die zusätzliche mikroelektronische Einrichtungen aufzunehmen gestatten. Eine derartige untere Einheit kann außerdem an einer Schaltungsplatine in einer Schaltungsplatten-Füllanlage angebracht werden, und zusätzliche mikroelektronische Einrichtungen, wie eine gestapelte Baugruppe, wie sie hier erörtert worden ist, kann an den oberen Verbindungen der unteren Einheit angebracht werden. Lediglich beispielhaft kann das untere Einheit-Chip ein Mikroprozessor oder anderer Chip sein, während die Chips in der gestapelten Baugruppe, die auf der unteren Einheit angebracht ist, Speicherchips sein können, die im Betrieb mit dem unteren Einheit-Chip zusammenarbeiten.

[0071] Die in **Fig. 10** dargestellte Packung ist ähnlich der in **Fig. 3** dargestellten Packung, abgesehen davon, dass die Leiterbahnen **638** der Platten **620** nicht zusammenhängend gebildete Verbindungsabschnitte zur Verbindung mit den Kontakten **664** auf dem Chip **658** aufweisen. Stattdessen enden die Leiterbahnen in Verbindungsbelägen **637** neben dem Verbindungsfenster **632**. Zwischen diesen Verbindungsbelägen und den Kontakten **664** des Chips sind Drahtverbindungen **639** vorgesehen. Außerdem enthält die Baugruppe von **Fig. 10** lediglich zwei Einheiten anstelle von vier Einheiten. Größere Zahlen und ungerade Zahlen von Einheiten können ebenfalls in bzw. bei irgendeiner der vorstehenden Strukturen angewandt werden. Mit Draht verbundene Einheiten können ebenfalls in der Rückwärtsausrichtung verwendet werden, das heißt mit dem Chip der jeweiligen Einheit oberhalb der Platte der Einheit angeordnet, wie dies unter Bezugnahme auf **Fig. 1** und **2** erörtert worden ist. Außerdem bedeckt eine Einkapselung **601** die Drahtverbindungen. Die Endkappen können mit der thermisch leitenden Schicht **678** zusammenhängen, welche über dem Rest der Einheit liegt.

[0072] In bzw. bei einer weiteren Variante (**Fig. 11**) weist die mehrfach verzweigte Leiterbahn **639** einen gemeinsamen Abschnitt **646** auf, der für eine Verbindung mit dem Chipkontakt **664** geeignet ist. Der gemeinsame Abschnitt kann somit einen Verbindungsbelag **637** zur Verwendung mit einer Drahtverbindung zu dem Kontakt hin aufweisen oder ansonsten kann er einen Verbindungsabschnitt aufweisen, der direkt mit dem Kontakt verbunden werden kann. Die Zweige **650** der Leiterbahn verlaufen, wenn sie anfangs hergestellt sind, nicht in einer ununterbrochenen, kontinuierlichen Bahn von dem gemeinsamen Abschnitt **646** zu den verschiedenen Auswahlanschlüssen **622**. Vielmehr wird bzw. ist jeder Zweig anfänglich mit einem Spalt **651** hergestellt. Diese Spalten können selektiv geschlossen werden, beispielsweise durch Anbringen einer kurzen Drahtverbindung **653** über dem Spalt **651** eines Zweiges. Diese

Ausführungsform wird weniger bevorzugt, da die zusätzliche Drahtverbindung eine zusätzliche Komplexität und Impedanz einführt und oberhalb der Ebene der Umgebungsplatte liegen kann. In wünschenswerter Weise sind die Spalten in den Zweigen im Umfangsbereich der Schaltungsplatte außerhalb des Bereiches positioniert, der von dem Chip **658** eingenommen wird (in **Fig. 11** in gestrichelten Linien angedeutet), so dass die Drahtverbindung **653**, die sich über den Spalt erstreckt, außerhalb des von dem Chip eingenommenen Bereichs liegen wird. Somit können eine vorstehende Drahtverbindung in einer Einheit und eine Einkapselung, die optional über eine derartige vorstehende Drahtverbindung aufgebracht bzw. angewandt sein kann, vertikal neben dem Chip in der betreffenden Einheit oder längsseits des Chips in der nächst benachbarten Einheit vertikal abstehen, und dies wird somit nicht zur Gesamthöhe der gestapelten Anordnung beitragen.

[0073] Eine Einheit gemäß einer weiteren Ausführungsform der Erfindung (**Fig. 12**) schließt eine Schaltungsplatte oder ein dielektrisches Element **720** ein, welches generell den oben erörterten Elementen ähnlich ist bzw. diesen entspricht und zahlreiche Anschlüsse **722** aufweist, die darauf angeordnet und mit zahlreichen Leitern bzw. Leitungen **738** verbunden sind. Die Anschlüsse enthalten eine erste äußere Reihe **723**, in welche die Anschlüsse **722A-722F** einbezogen sind, welche neben einer ersten Kante bzw. einem ersten Rand **724** der Schaltungsplatte verlaufen. Diese Reihe der Anschlüsse legt eine innere Grenze bzw. einen inneren Rand fest. Anschlüsse **722** können zusätzliche Anschlüsse, wie beispielsweise die Anschlüsse **722G** und **722H**, die weiter von der Kante **724** angeordnet sind, sowie weitere (nicht dargestellte) Anschlüsse an bzw. in anderen Teilen der Schaltungsplatte enthalten. Die erste äußere Reihe **723** legt eine innere Grenze bzw. einen inneren Rand am Rand der am weitesten von dem ersten Rand **724** der Schaltungsplatte liegenden Anschlüsse, eine Mittellinie **726** und einen äußeren Rand bzw. eine äußere Grenze **731** an dem dem Rand **724** am nächsten liegenden Rand fest.

[0074] Die Anschlüsse **722C** und **722D** bilden einen Satz von Chipauswahlanschlüssen, welche einer mehrfach verzweigten Leitung **738C** zugehörig sind, die einen gemeinsamen Abschnitt **746C**, der für eine Verbindung mit einem Chipauswahlkontakt **764** geeignet ist, und außerdem Verzweigungen bzw. Zweige **750C** und **750D** aufweist, welche mit dem gemeinsamen Abschnitt verbunden sind. Der Zweig **750C** verbindet den gemeinsamen Abschnitt mit einem Chipauswahlanschluss **722C**, während der Zweig **750D** den gemeinsamen Abschnitt **746C** mit weiteren Chipauswahlanschlüssen **722D** verbindet. Wie am besten in **Fig. 13** zu sehen ist, verlaufen die Zweige **750C** und **750D** nahe des ersten Randes bzw. der ersten Kante **724** der Schaltungsplatte **720**. In wünschenswerter Weise verlaufen die Zweige innerhalb von etwa 1 mm und vorzugsweise innerhalb von etwa 0,5 mm oder weniger vom ersten Rand **724**, und in höchst wünschenswerter Weise innerhalb etwa 200 Mikron oder weniger von dem ersten Rand. Die Zweige **750C** und **750D** sind außerhalb der inneren Grenze **725** der ersten äußeren Reihe des Anschlusses **723** und außerdem außerhalb der Mittellinie **727** dieser Reihe nahe der äußeren Grenze bzw. des äußeren Randes **731** der Reihe angeordnet. Die Schaltungsplatte **720** weist Trennöffnungen **754C** und **754D** in Form von Nuten auf, die sich vom ersten Rand **724** nach innen erstrecken.

schenswerter Weise verlaufen die Zweige innerhalb von etwa 1 mm und vorzugsweise innerhalb von etwa 0,5 mm oder weniger vom ersten Rand **724**, und in höchst wünschenswerter Weise innerhalb etwa 200 Mikron oder weniger von dem ersten Rand. Die Zweige **750C** und **750D** sind außerhalb der inneren Grenze **725** der ersten äußeren Reihe des Anschlusses **723** und außerdem außerhalb der Mittellinie **727** dieser Reihe nahe der äußeren Grenze bzw. des äußeren Randes **731** der Reihe angeordnet. Die Schaltungsplatte **720** weist Trennöffnungen **754C** und **754D** in Form von Nuten auf, die sich vom ersten Rand **724** nach innen erstrecken.

[0075] Wie am besten in **Fig. 14** zu sehen ist, enthält die Schaltungsplatte **720** eine strukturelle dielektrische Schicht **726**, die die Unterseite oder Innenfläche der Schaltungsplatte festlegt, eine Einzelschicht aus bzw. mit metallischen Eigenschaften, welche die Leitungen und Anschlüsse einschließt und welche folglich den Zweig **750C** enthält, sowie eine Lötmitel-Maskierungsschicht **774**. Die Basis-Dielektrikumsschicht **726** und die Lötmitel-Maskierungsschicht **774** sind in den Trennöffnungen oder Nuten **754** unterbrochen, so dass der Zweig **750C** die Trennöffnung überbrückt. Nuten **754C** und **754D** erstrecken sich von dem Rand **724** nach innen zu den und ein wenig über die Zweige(n) **750C** und **750D**. Da die Zweige nahe des Randes angeordnet sind, brauchen die Nuten sich nicht weit in die Schaltungsplatte von dem Rand aus zu erstrecken. In wünschenswerter Weise erstrecken sich die Nuten um weniger als etwa 1,5 mm und in höchst wünschenswerter Weise um weniger als etwa 1,0 mm in die Platte. Derselbe Aufbau bzw. dieselbe Struktur ist bei dem Zweig **750D** und der Trennöffnung oder Nut **754D** vorgesehen.

[0076] Somit können die Zweige **750** dadurch selektiv unterbrochen werden, dass ein Werkzeug in die Nut eingeführt wird, wie beispielsweise ein Dorn bzw. Locher **702** (**Fig. 12** und **13**) in die Nuten. Der Dorn bzw. Locher kann in einer Richtung rechtwinklig zur Ebene der Schaltungsplatte oder parallel der Ebene verschoben bzw. bewegt werden. Eine Passform mit einer Öffnung, die so geformt ist, dass sie eng mit dem Dorn bzw. Locher übereinstimmt, kann unterhalb der Schaltungsplatte vorgesehen sein, und der Dorn bzw. Locher kann durch die Nut nach unten in Anlage mit bzw. in der Form bewegt werden, wobei die Zweigleitung in dem Prozess unterbrochen wird. Somit können die Zweige **750C** oder **750D** selektiv unterbrochen werden, so dass der gemeinsame Abschnitt **746C** der Leitung **738C** selektiv mit einem, beiden oder keinem der Anschlüsse **722C** und **722D** verbunden werden kann. Eine zusätzliche Mehrzweigleitung **738E** (**Fig. 12**) ist einem entsprechenden bzw. ähnlichen Paar von Chipauswahlanschlüssen **722E** und **722F** zugehörig und besitzt eine ähnliche Struktur von Zweigen und ähnlichen Nuten, die den

Zweigen zugehörig sind. Wie außerdem in **Fig. 12** zu sehen ist, sind einige der Leitungen, wie beispielsweise die Leitung **738A** zwei oder mehr Anschlüssen **722A** und **722H** zugehörig und permanent mit diesen Anschlüssen verbunden. Außerdem weist die Leitung **738A** eine weite ebene Struktur auf, die einen signifikanten Bereich auf der Schaltungsplatte **720** bedeckt. Ferner sind einige der Anschlüsse unverbunden mit Leitungen. Derartige unverbundene Anschlüsse können beispielsweise vorgesehen sein, um ein symmetrisches Muster von Anschlüssen bereitzustellen und folglich eine symmetrische Struktur von vertikalen Leitern in der fertiggestellten Anordnung. Zusätzlich zu den verschiedenen Einheiten kann die Baugruppe außerdem zusätzliche elektrische Elemente enthalten, die auf der Oberseite des Stapels angeordnet sind oder tatsächlich an irgendeiner Stelle innerhalb des Stapels. Die zusätzlichen vertikalen Leiter, die durch unverbundene Anschlüsse gebildet sind, können als zusätzliche Leiter dienen, die zu diesen Elementen verlaufen.

[0077] Die Einheit, die teilweise in **Fig. 15** dargestellt ist, weist eine Schaltungsplatte **820** auf, die einen ersten Rand bzw. eine erste Kante **824** und eine erste Reihe von äußeren Anschlüssen **823** enthält, welche sich längsseits des Randes **824** parallel zu einem derartigen Rand erstrecken, sowie eine zusätzliche Reihe **821** von Anschlüssen, die innen von der ersten äußeren Reihe angeordnet sind. Eine mehrfach verzweigte Leitung **838** besitzt einen gemeinsamen Abschnitt **846** und Zweige **850A**, **850B**, **850C** und **850D**, die zu Auswahlanschlüssen **822A**, **822B**, **822C** bzw. **822D** verlaufen. Die Zweige **850** sind durch Zwischenabschnitte **851** mit dem gemeinsamen Abschnitt **846** verbunden. Ein derartiger Zwischenabschnitt verbindet die Zweige **850A** und **850B** mit dem gemeinsamen Abschnitt **846**, während der andere Zwischenabschnitt die Zweige **850C** und **850D** mit dem gemeinsamen Abschnitt verbindet. Auch hier erstrecken sich die Zweige **850** insgesamt oder zum Teil nach außen über die Mittellinie **827** der ersten äußeren Reihe **823** der Anschlüsse. Wie sie anfänglich hergestellt und in einer halbfertigen Einheit mit einem Chip verbunden ist, weist die Schaltungsplatte jedoch keine Trennöffnungen auf. Stattdessen werden die Zweige **850** selektiv dadurch getrennt, dass Nuten **854** (in **Fig. 15** in gestrichelten Linien zu sehen) gebildet werden und dass die Zweige während der Nutbildung unterbrochen werden. Die Schaltungsplatte kann beispielsweise durch einen Stößel bzw. Locher selektiv zur Bildung von Nuten **854** geschnitten werden, wo die Zweige zu durchtrennen sind, jedoch nicht zur Bildung von Nuten in bzw. an anderen Stellen. Falls beispielsweise Nuten **854** in dem in **Fig. 15** angedeuteten Muster gebildet werden, bleibt der Zweig **850B** ungetrennt, und folglich bleibt der Auswahlanschluss **822B** mit dem gemeinsamen Bereich **846** der Leitung **838** verbunden, während die übrigen Auswahlanschlüsse getrennt wer-

den. Diese Operation wird in wünschenswerter Weise, wie oben erörtert, vor der Stapelung ausgeführt und höchst wünschenswert in derselben Anlage, in der die Stapelung ausgeführt wird, wie beispielsweise in einer Schaltungsplatten-Füllanlage.

[0078] Wie in **Fig. 16** zu sehen ist, kann eine große Anzahl von Einheiten als Teile eines großen Bogens vorgesehen sein. Somit bilden eine oder mehrere der dielektrischen Schichten, welche die Schaltungsplatten der einzelnen Einheiten bilden, Teile der durchgehenden oder halbdurchgehenden dielektrischen Schichten, die sich über den Bogen oder das Band **802** erstrecken. Der Bogen bzw. das Blatt oder Band kann mit konventionellen Registrierungs- bzw. Justierungsmerkmalen, wie Transportlöchern **804** versehen sein. Obwohl die Ränder der Schaltungsplatten, welche die einzelne Einheit **820** bilden, in

[0079] **Fig. 16** zur Klarheit der Veranschaulichung abgegrenzt bzw. skizziert sind, dürfte einzusehen sein, dass in dieser Stufe keine physikalische Abgrenzung bzw. Grenzlinie zwischen benachbarten Einheiten vorhanden sein mag. Die Einheiten werden in der oben erörterten Weise durch Montage von Halbleiterchips auf den Schaltungsplatten der einzelnen Einheiten zusammengebaut, während die Einheiten in dem Bogen **802** verbunden verbleiben. In dieser Stufe sind sämtliche der Einheiten im Wesentlichen identisch miteinander. Der Zusammenbau bzw. die Montage dieser identischen Einheiten kann in Blatt- bzw. Bogenform gehandhabt und gelagert werden. Die einzelnen Einheiten werden von bzw. aus dem Blatt bzw. Bogen getrennt, und zwar in wünschenswerter Weise unmittelbar vor der Stapelungsoperation. Während der Trennoperation werden Nuten **854** (**Fig. 15**) in jeder Einheit in einem Muster gebildet, welches dem gewünschten Muster der Nuten für die betreffende Einheit entspricht. Die Nuten, die in unterschiedlichen Einheiten gebildet sind, werden in unterschiedlichen Mustern gebildet. So weist beispielsweise eine Form **806** einen Messerteil **808** in Form eines Rechtecks auf, um jede Einheit von benachbarten Einheiten abzuschneiden, und sie verfügt über Zähne **810**, die imstande sind, einzelne Nuten zu schneiden und individuelle Zweige **850** (**Fig. 15**) zu trennen. Die Zähne **810** sind angeordnet, um die Zweige in dem in **Fig. 15** gezeigten Muster zu trennen. Somit ist ein Zahn **810A** vorgesehen, um den Zweig **850A** zu trennen, und entsprechende Zähne **810C** und **810D** sind vorgesehen, um die Zweige **850C** und **850D** zu trennen. An einer Stelle **812**, die dem Zweig **850B** entspricht, ist jedoch kein Zahn vorgesehen, und folglich wird bzw. ist dieser Zweig nicht getrennt. Die Formen, die zum Schneiden von anderen Einheiten aus dem Band verwendet werden, würden ein unterschiedliches Muster von Zähnen aufweisen. Andere Anordnungen können zum Trennen der Einheiten aus dem Band und in Begleitung damit zur Trennung der zu verwendenden Zweige genutzt

werden. So können beispielsweise ein Wasserstrahl, ein Laser oder andere Schneidvorrichtungen verwendet werden, um einzelne Einheiten aus dem Band zu schneiden und um außerdem die Zweige zu trennen. Ähnliche bzw. entsprechende Anordnungen können mit bzw. bei den anderen oben erörterten Ausführungsformen verwendet werden. So kann beispielsweise bei jenen Anordnungen, die vorgeformte Trennöffnungen in Zuordnung zu den Zweigen aufweisen, das zum Trennen der Einheit aus dem Bogen bzw. Blatt verwendete Werkzeug einen Vorsprung aufweisen, der so angeordnet ist, dass er in eine derartige Trennöffnung eintritt und den Zweig trennt. In bzw. bei einer weiteren Alternative kann die Zweig-Trennoperation ausgeführt werden, während die verschiedenen Einheiten in einem Blatt bzw. Bogen verbunden bleiben, und zwar in wünschenswerter Weise unmittelbar vor dem Trennen der einzelnen Einheiten aus dem Blatt bzw. Bogen. Der Bogen kann optional in der Form eines länglichen Bandes vorgehen sein.

[0080] In bzw. bei einer noch weiteren Variante weist die Schaltungsplatte **920** einen Rand bzw. eine Kante **924** mit Vorsprüngen **925** auf, die sich von einem derartigen Rand nach außen erstrecken. Eine mehrfach verzweigte Leitung **938** weist Zweige **950** auf, die nach außen zu Vorsprüngen abstehen. Einzelne Zweige können dadurch unterbrochen werden, dass ein oder mehrere der Vorsprünge getrennt werden, wie beispielsweise durch Trennen des Vorsprungs **925A**, um den Zweig **950a** zu unterbrechen. Diese Operation kann unter Verwendung einer Form oder eines Messers mit Ausnehmungen dort, wo Vorsprünge angebracht zu bleiben haben, ausgeführt werden. In der vervollständigten gestapelten Baugruppe können die verbliebenen Vorsprünge **925** aus der Ebene der Schaltungsplatte herausgebogen werden, wie dies in **Fig. 19** bei **925'** dargestellt ist, so dass die Vorsprünge nicht wesentlich zum horizontalen Ausmaß der Anordnung beitragen.

[0081] Zahlreiche Variationen und Kombinationen der oben erörterten Merkmale können ohne Abweichung von der vorliegenden Erfindung genutzt werden. Die verschiedenen Schaltungsplatten können beispielsweise zusätzliche Merkmale enthalten, wie Erdungs- oder Leistungs- bzw. Starkstromebenen oder zusätzliche Schichten von Leiterbahnen. Die Leiterbahnen und anderen leitenden Merkmale der jeweiligen Platte können auf der zweiten oder chipzugewandten Seite der Platte platziert werden anstatt auf der ersten, von dem Chip abgewandten Seite. So weist beispielsweise, wie in **Fig. 20** gezeigt, die dielektrische Schicht **1020** Leiterbahnen **1038** auf der zweiten oder chipzugewandten Seite **1030** der dielektrischen Schicht **1020** auf. Eine zusätzliche Lötmitel-Maskierungsschicht **1002** kann über den Leiterbahnen auf der Seite **1030** zusätzlich zu der Lötmitel-Maskierungsschicht **1076** vorgesehen sein, die

ebenfalls als Wärmeübertragungs- oder Thermal-schicht der Einheit dient. Auch hier weist die Einkapselung **1033** innerhalb der Öffnung **1034** eine Oberfläche **1035** auf, die mit der ersten Oberfläche **1026** der dielektrischen Schicht fluchtet oder relativ zu einer solchen Oberfläche ausgenommen ist, so dass die erste Oberfläche im wesentlichen flach ist. In bzw. bei einer Variante kann die Lötmitel-Maskierungsschicht **1076** auf der ersten Oberfläche nach der Einführung der Einkapselung entfernt werden. In diesem Falle dient die dielektrische Schicht **1020** als Wärme- oder Wärmeübertragungsschicht der Einheit und liegt an dem nächstunteren Chip in dem Stapel an. In bzw. bei einer weiteren Variante kann die Lötmitel-Maskierungsschicht **1002** auf der zweiten oder chipzugewandten Seite der dielektrischen Schicht weggelassen sein, oder sie kann mit der Klebschicht **1068** integriert sein. Außerdem kann jede Einheit mehr als ein Chip enthalten. Die in den verschiedenen Einheiten enthaltenen Chips können Speicherchips, wie beispielsweise DRAM-, Flash-, ROM-, PROM- oder EEPROM-Chips sein. Die Erfindung kann außerdem beim Zusammenbau bzw. Packen von anderen Chips angewandt werden, wie beispielsweise von Prozessoren oder anwendungsspezifischen integrierten Schaltungen (ASICs). Außerdem brauchen die "Auswahl"-Anschlüsse nicht ein Signal, wie ein "Chip-Auswahl"-Signal zu führen, wie es üblicherweise in einer Speichermatrix verwendet wird; irgendein Signal, welches in wünschenswerter Weise zu einem spezifischen Chip oder zu spezifischen Chips in einem Stapel hingeleitet wird, kann übertragen werden. Die Klebschichten, Leitungen und Platten können so angeordnet sein, dass eine Bewegung der Einheit-Anschlüsse der jeweiligen Einheit in Bezug auf den Chip der betreffenden Einheit zugelassen ist, um Beanspruchungen auf Grund einer thermischen Ausdehnung zu lindern. Außerdem können die Wärmeübertragungsschichten eine Relativbewegung von benachbarten Einheiten zulassen. Ferner kann die gestapelte Baugruppe ein oder mehrere nichtidentische Einheiten zusätzlich zu den Einheiten enthalten, wie sie oben im Wesentlichen beschrieben sind. Die verschiedenen Einheiten in dem Stapel können beispielsweise unterschiedliche Chips enthalten. In bzw. bei einer noch weiteren Variante können die oben erörterten Merkmale in einem Aufbau bzw. in einer Struktur verwendet werden, in der jede Einheit das Chip in einer Ausrichtung angeordnet aufweist, wobei die Rückseite des Chips an der dielektrischen Schicht einer derartigen Einheit anliegt und die kontakttragende Vorderseite von der dielektrischen Schicht wegweist. Bei einer derartigen Ausführungsform können die Kontakte mit den Leiterbahnen durch Drahtverbindungen bzw. Drahtbrücken oder andere Leiter verbunden sein. In bzw. bei einer derartigen Anordnung kann die Vorderseite des jeweiligen Chips oder eine Schicht der Einkapselung, die über der Vorderseite liegt, an der dielektrischen Schicht der nächstbenachbarten Einheit anliegen.

[0082] Bei den oben erörterten Ausführungsformen sind die leitenden Elemente, welche die verschiedenen Einheiten miteinander verbinden und welche die vertikalen Leiter bilden, konventionelle Lötmittelegeln. Andere leitende Elemente können stattdessen verwendet werden. So können beispielsweise sogenannte "Festkern-Lötmittelegeln" verwendet werden. Festkern-Lötmittelegeln enthalten Kerne, die aus einem Material mit einem relativ hohen Schmelzpunkt gebildet sind, und ein Lötmitte mit einer Schmelztemperatur, die niedriger ist als die Schmelztemperatur des Kerns. Noch weitere leitende Elemente können aus Massen einer leitenden Polymerverbindung gebildet sein.

[0083] Da diese und andere bzw. weitere Variationen und Kombinationen der oben ausgeführten Merkmale angewandt werden können, sollte die vorstehende Beschreibung der bevorzugten Ausführungsform als veranschaulichend herangenommen werden anstatt als Beschränkung der Erfindung.

Industrielle Anwendbarkeit

[0084] Die vorliegende Erfindung kann bei der Herstellung einer elektronischen Schaltung bzw. Schaltungsanordnung angewandt werden.

Zusammenfassung

[0085] Eine gestapelte Chipbaugruppe enthält einzelne Einheiten (**56**) mit Chips (**58**), die auf dielektrischen Schichten (**20**) montiert sind, und Leiterbahnen (**38**) auf den dielektrischen Schichten, welche die Kontakte der Chips mit Anschlüssen (**22**) verbinden, die in peripheren Bereichen der dielektrischen Schichten angeordnet sind. Zumindest einige der Leiterbahnen (**38a**, **38e**) sind mehrfach verzweigte Leiterbahnen, die Chipauswahlkontakte mit Chipauswahlanschlüssen verbinden. Die Einheiten sind übereinander gestapelt, wobei entsprechende Anschlüsse unterschiedlicher Einheiten durch Lötmittelegeln (**78**) oder andere leitende Elemente miteinander verbunden sind, um vertikale Busse zu bilden. Vor der Stapelung werden die mehrfach verzweigten Leiterbahnen der einzelnen Einheiten selektiv unterbrochen, wie durch Zerbrechen bzw. Unterbrechen der einzelnen Zweige (**50**), um einen Chipauswahlkontakt der Chips in unterschiedlichen Einheiten mit unterschiedlichen Chipauswahlanschlüssen verbunden zurückzulassen und um dadurch diese Chips mit unterschiedlichen vertikalen Bussen zu verbinden. Die einzelnen Einheiten sind in wünschenswerter Weise dünn und liegen unmittelbar aneinander an, um eine geringe Höhe aufweisende Baugruppe mit guter Wärmeübertragung von den Chips innerhalb des Stapels bereitzustellen.

(Fig. 1)

Patentansprüche

1. Halbleiterchipbaugruppe, umfassend:
 - (a) eine Vielzahl von Einheiten, deren jede Einheit enthält:
 - (i) ein Halbleiterchip mit zumindest einem Chipauswahlkontakt und einer Vielzahl von anderen bzw. weiteren Kontakten und
 - (ii) eine Schaltungsplatte mit einer Vielzahl von Chipauswahlanschlüssen, einer Vielzahl von anderen bzw. weiteren Anschlüssen und Leiterbahnen, die auf oder in der Platte verlaufend elektrisch zwischen den Kontakten des Chips und den Anschlüssen angeschlossen sind, wobei die Leiterbahn, die elektrisch mit dem jeweiligen Chipauswahlkontakt verbunden ist, eine mehrfach verzweigte Leiterbahn ist, die einen gemeinsamen Abschnitt, der mit dem Auswahlkontakt verbunden ist, und eine Vielzahl von Zweigen enthält, die mit unterschiedlichen Anschlüssen der Chipauswahlanschlüsse verbunden sind, wobei zumindest ein Zweig, jedoch weniger als alle Zweige der jeweiligen mehrfach verzweigten Leiterbahn eine Unterbrechung darin aufweist, so dass der Auswahlkontakt weniger als sämtlichen der Chipauswahlkontakte verbunden ist, und wobei die genannten Einheiten übereinander in einem Stapel aus überlagerten Einheiten angeordnet sind, und
 - (b) vertikale Leiter, welche die Anschlüsse der Einheiten in dem Stapel zur Bildung einer Vielzahl von vertikalen Bussen miteinander verbinden, wobei die genannten Chipauswahlanschlüsse unterschiedlicher Einheiten mit denselben vertikalen Bussen verbunden sind, wobei die genannten Unterbrechungen in den genannten mehrfach verzweigten Leiterbahnen so angeordnet sind, dass die Chipauswahlkontakte unterschiedlicher Einheiten mit unterschiedlichen Bussen der genannten vertikalen Busse elektrisch verbunden sind.
2. Halbleiterbaugruppe nach Anspruch 1, wobei in jeder genannten Einheit sämtliche Zweige bis auf einen Zweig der jeweiligen mehrfach verzweigten Leiterbahn eine Unterbrechung darin aufweisen, so dass der jeweilige Chipauswahlkontakt mit lediglich einem Chipauswahlanschluss der betreffenden Einheit verbunden ist.
3. Halbleiterbaugruppe nach Anspruch 1, wobei die Chips, Leiterbahnen und Anschlüsse unterschiedlicher Einheiten identisch miteinander sind, abgesehen davon, dass unterschiedliche Einheiten unterschiedliche Zweige unterbrochen haben, so dass die Chipauswahlkontakte der verschiedenen Einheiten mit unterschiedlichen Anschlüssen an den Schaltungsplatten derartiger Einheiten verbunden sind.
4. Halbleiterbaugruppe nach Anspruch 3, wobei

entsprechende Anschlüsse unterschiedlicher Einheiten übereinander angeordnet sind.

5. Halbleiterbaugruppe nach Anspruch 3, wobei die genannten identischen Einheiten in dem Stapel eine untere Einheit enthalten, wobei die Anschlüsse der betreffenden unteren Einheit zur Verbindung mit einem externen Substrat freigelegt sind.

6. Halbleiterbaugruppe nach Anspruch 3, wobei die identischen Einheiten in dem genannten Stapel eine untere Einheit enthalten, wobei die Baugruppe ferner eine Umsetz- bzw. Übersetzungseinrichtung umfasst, die über der betreffenden unteren Einheit liegt, wobei die betreffende Umsetzeinrichtung Kontaktbeläge, die mit den genannten vertikalen Bussen verbunden sind, und Anschlüsse enthält, die mit den genannten Kontaktbelägen verbunden sind, wobei die Anschlüsse der Umsetzeinrichtung zur Verbindung mit einem externen Substrat freigelegt sind.

7. Halbleiterbaugruppe nach Anspruch 2, wobei die identischen Einheiten in dem genannten Stapel eine untere Einheit enthalten, wobei die Baugruppe ferner eine zusätzliche Einheit umfasst, die unter der genannten unteren Einheit liegt, wobei die betreffende zusätzliche Einheit ein Halbleiterchip und eine Schaltungsplatte mit Anschlüssen aufweist, die zur Verbindung mit einem externen Substrat freigelegt sind, wobei die Anschlüsse der betreffenden zusätzlichen Einheit in einem Muster angeordnet sind, welches verschieden ist von den Anschlüssen der identischen Einheiten in dem betreffenden Stapel, wobei zumindest einige der Anschlüsse der betreffenden zusätzlichen Einheit mit den genannten vertikalen Bussen elektrisch verbunden sind, wobei zumindest einige der Anschlüsse der betreffenden zusätzlichen Einheit mit dem Chip der betreffenden zusätzlichen Einheit elektrisch verbunden sind.

8. Halbleiterbaugruppe nach Anspruch 1, wobei die Schaltungsplatte jeder Einheit lediglich eine einzige Schicht aus elektrisch leitendem Material enthält, welches die genannten Leiterbahnen und Anschlüsse bildet.

9. Halbleiterbaugruppe nach Anspruch 8, wobei die Schaltungsplatte der jeweiligen Einheit eine dielektrische Schicht enthält, die weniger als etwa 100 µm dick ist.

10. Halbleiterbaugruppe nach Anspruch 9, wobei der Chip der genannten Einheit zwischen der dielektrischen Schicht der betreffenden Einheit und der dielektrischen Schicht einer benachbarten Einheit der genannten Einheiten angeordnet ist und wobei der vertikale Abstand zwischen entsprechenden Oberflächen derartiger dielektrischer Schichten nicht

mehr als 250 µm größer ist als die Dicke des Halbleiterchips in einer derartigen Einheit.

11. Halbleiterbaugruppe nach Anspruch 10, wobei eine vertikale Abstandsentfernung zwischen entsprechenden Merkmalen in benachbarten Einheiten der genannten Einheiten nicht mehr als 250 µm größer ist als die Dicke des jeweiligen Chips.

12. Halbleiterbaugruppe nach Anspruch 1, wobei die Schaltungsplatte der jeweiligen Einheit eine dielektrische Schicht mit zumindest einer Trennöffnung darin aufweist, wobei die Unterbrechungen an den betreffenden Trennöffnungen gebildet werden bzw. sind.

13. Halbleiterbaugruppe nach Anspruch 1, wobei die Schaltungsplatte der jeweiligen Einheit Ränder bzw. Kanten und eine oder mehrere Nuten aufweist, die sich von einer oder mehreren der Ränder bzw. Kanten nach innen erstrecken, wobei die genannten Unterbrechungen an den betreffenden Nuten gebildet sind.

14. Halbleiterbaugruppe nach Anspruch 13, wobei die Anschlüsse der jeweiligen Einheit eine erste äußere Reihe von Anschlüssen umfassen, die neben einem ersten Rand der Schaltungsplatte angeordnet sind, wobei die betreffende erste äußere Reihe der Anschlüsse eine erste innere Grenze festlegt, die von der betreffenden ersten Kante entfernt ist, wobei zumindest einige der Zweige äußere Bereiche aufweisen, die sich nach außen über die erste innere Grenze erstrecken, wobei zumindest einige der genannten Nuten zumindest eine Unterbrechung in zumindest einem äußeren Bereich festlegen.

15. Halbleiterbaugruppe nach Anspruch 13, wobei die Anschlüsse der jeweiligen Einheit eine erste äußere Reihe von Anschlüssen umfassen, die neben einem ersten Rand bzw. einer ersten Kante der Schaltungsplatte einer derartigen Einheit angeordnet sind, wobei der betreffende erste Rand zumindest einen Vorsprung aufweist, der vom Rest des ersten Randes nach außen absteht, wobei zumindest einer der genannten Zweige sich auf den betreffenden Vorsprung erstreckt.

16. Halbleiterchipbaugruppe nach Anspruch 15, wobei die Schaltungsplatte der jeweiligen Einheit im Wesentlichen eben ist und wobei der Vorsprung der jeweiligen Schaltungsplatte vertikal von der Ebene der Schaltungsplatte absteht.

17. Verfahren zur Herstellung einer Halbleiterchipbaugruppe, umfassend die Schritte:
(a) Stapeln einer Vielzahl von Einheiten, deren jede

zumindest ein Halbleiterchip mit zumindest einem Chipauswahlkontakt und einer Vielzahl von weiteren Kontakten sowie eine Schaltungsplatte mit einer Vielzahl von Chipauswahlanschlüssen, einer Vielzahl von weiteren Anschlüssen und auf oder in der Platte sich erstreckenden Leiterbahnen aufweist, die mit den betreffenden Anschlüssen verbunden sind, wobei zumindest eine Leiterbahn der jeweiligen Platte eine mehrfach verzweigte Leiterbahn ist, der eine Vielzahl von Chipauswahlanschlüssen zugehörig ist, wobei jede derartige mehrfach verzweigte Leiterbahn einen gemeinsamen Abschnitt und eine Vielzahl von Zweigen enthält, die mit unterschiedlichen Chipauswahlanschlüssen der betreffenden Chipauswahlanschlüsse verbunden sind, wobei die Kontakte zumindest eines Chips in der jeweiligen Einheit mit Leiterbahnen der Schaltungsplatte in der betreffenden Einheit verbunden sind, so dass jeder Chipauswahlkontakt mit dem gemeinsamen Abschnitt einer mehrfach verzweigten Leiterbahn verbunden ist,

(b) selektives Unterbrechen der Zweige der betreffenden mehrfach verzweigten Leiterbahnen, so dass der gemeinsame Abschnitt der jeweiligen mehrfach verzweigten Leiterbahn mit weniger als sämtlichen der Chipauswahlanschlüsse verbunden ist, die einer derartigen mehrfach verzweigten Leiterbahn zugehörig sind, und

(c) untereinander erfolgreiches Verbinden der Anschlüsse unterschiedlicher Einheiten miteinander zur Bildung von vertikalen Bussen, wobei die Schritte des selektiven Unterbrechens und des untereinander erfolgreichen Verbindens so ausgeführt werden, dass die Chipauswahlanschlüsse der Chips in unterschiedlichen Einheiten mit unterschiedlichen Bussen der betreffenden vertikalen Busse verbunden sind.

18. Verfahren nach Anspruch 17, wobei die Schaltungsplatten vor dem genannten selektiven Unterbrechungsschritt identisch miteinander sind.

19. Verfahren nach Anspruch 18, wobei der Stapelungsschritt eine Ausrichtung entsprechender Anschlüsse der Schaltungsplatten in unterschiedlichen Einheiten miteinander umfasst.

20. Verfahren nach Anspruch 17, wobei der genannte selektive Unterbrechungsschritt so ausgeführt wird, dass der gemeinsame Abschnitt der jeweiligen mehrfach verzweigten Leiterbahn mit lediglich einem Auswahlanschluss der eine derartige Leiterbahn tragenden Schaltungsplatte verbunden ist.

21. Verfahren nach Anspruch 17, wobei ferner der Schritt der Bildung der genannten Einheiten umfasst ist, wobei der betreffende Schritt zur Bildung der betreffenden Einheiten die Verbindung der genannten Chips mit den Leiterbahnen unter Verwendung eines Werkzeugs umfasst,

wobei der Schritt des selektiven Unterbrechens dadurch ausgeführt wird, dass das betreffende Werkzeug mit den Zweigen der betreffenden mehrfach verzweigten Leiterbahnen in Eingriff gebracht wird.

22. Verfahren nach Anspruch 17, ferner umfassend den Schritt der Bildung der genannten Einheiten durch Verbindung der Chips mit Schaltungsplatten, wobei der selektive Unterbrechungsschritt nach dem Schritt der Bildung der betreffenden Einheiten ausgeführt wird.

23. Verfahren nach Anspruch 17, wobei der selektive Unterbrechungsschritt in derselben Einrichtung ausgeführt wird wie der genannte Stapelungsschritt.

24. Verfahren nach Anspruch 17, wobei vor dem genannten Schritt der selektiven Unterbrechung die genannten Einheiten identische Chips, identische Anschlüsse und identische Verbindungen zwischen Kontakten der Chips und Anschlüsse aufweisen.

25. Verfahren nach Anspruch 24, ferner umfassend den Schritt der Handhabung bzw. Verarbeitung und Lagerung der genannten Einheit als untereinander austauschbare Teile vor dem genannten selektiven Unterbrechungsschritt.

26. Verfahren nach Anspruch 17, ferner umfassend die Schritt der Bereitstellung der genannten Einheiten so, dass die Schaltungsplatten einer Vielzahl von Einheiten Teile eines fortlaufenden oder halbfortlaufenden Blattes sind und dass die Schaltungsplatten aus dem Blatt getrennt werden, wobei der selektive Unterbrechungsschritt in Begleitung mit dem betreffenden Trennschritt ausgeführt wird.

27. Verfahren nach Anspruch 17, wobei vor dem genannten Schritt der selektiven Unterbrechung die Schaltungsplatten Unterbrechungsöffnungen aufweisen, die sich durch sie hindurch erstrecken, und die betreffenden Zweige der mehrfach verzweigten Leiterbahnen sich über die genannten Unterbrechungsöffnungen erstrecken, und wobei der Schritt der selektiven Unterbrechung die Unterbrechung von Zweigen der mehrfach verzweigten Leiterbahnen an den betreffenden Unterbrechungsöffnungen umfasst.

28. Verfahren nach Anspruch 17, wobei der Schritt der selektiven Unterbrechung die Trennung von Zweigen der mehrfach verzweigten Leiterbahnen durch Entfernen von Bereichen derartiger mehrfach verzweigter Leiterbahnen und die gleichzeitige Entfernung von Bereichen der Schaltungsplatten umfasst, die unter den betreffenden Abtrennungsbereichen liegen.

29. Verfahren nach Anspruch 28, wobei der Entfernungsschritt die Entfernung von Bereichen der

Schaltungsplatten an deren Rändern bzw. Kanten umfasst.

30. Halbleiterchipbaugruppe, umfassend:

(a) eine Vielzahl von Einheiten, deren jede Einheit enthält:

(i) ein Halbleiterchip mit Kontakten an einer vorderen Oberfläche und

(ii) eine Schaltungsplatte mit einem zentralen Bereich und einem peripheren Bereich,

wobei die Platte eine dielektrische Schicht mit ersten und zweiten Oberflächen enthält,

wobei zumindest ein Verbindungsfenster sich zwischen den betreffenden ersten und zweiten Oberflächen in dem zentralen Bereich erstreckt und eine

Vielzahl von Anschlussöffnungen zwischen den ersten und zweiten Oberflächen in dem genannten peripheren Bereich verläuft,

wobei jede Platte eine einzige Metallisierungsschicht enthält, die eine Vielzahl von Anschlussbelägen, welche zu den genannten Anschlussöffnungen ausgerichtet sind, eine Vielzahl von Leiterbahnen festlegt,

die sich in horizontalen Richtungen längs der Platte erstrecken,

wobei der Chip so angeordnet ist, dass die vordere Oberfläche des Chips einer Oberfläche der Platte in dem genannten zentralen Bereich zugewandt ist,

wobei die Kontakte des Chips mit den Leiterbahnen der Platte in dem zumindest einen Verbindungsfenster verbunden sind,

wobei die betreffenden Einheiten in einem Stapel derart einander überlagert sind, dass die rückwärtige Oberfläche eines Chips in einer Einheit einer Oberfläche der dielektrischen Schicht in einer nächstbenachbarten Einheit zugewandt ist,

wobei die betreffenden Einheiten in zumindest jenen Teilen der zentralen Bereiche, die von den genannten Leiterbahnen eingenommen sind, aneinander anliegen bzw. einander tragen,

wobei die Anschlüsse der Einheiten zueinander ausgerichtet sind, und

(b) eine Vielzahl von leitenden Massen, die zwischen den Anschlüssen der Einheiten und den Verbindungsanschlüssen von benachbarten Einheiten durch die Anschlussöffnungen der betreffenden Platten angeordnet sind.

31. Halbleiterchipbaugruppe nach Anspruch 30, wobei die Leiterbahnen in der jeweiligen Einheit sich längs der ersten Oberfläche der dielektrischen Schicht in der betreffenden Einheit erstrecken und wobei die vordere Oberfläche des Chips in der jeweiligen Einheit der zweiten Oberfläche der dielektrischen Schicht in der betreffenden Einheit zugewandt ist.

32. Halbleiterchipbaugruppe nach Anspruch 31, wobei zumindest einige der genannten Einheiten Wärmeübertragungsschichten enthalten, die über den Leiterbahnen einer derartigen Einheit liegen, wo-

bei die betreffenden Einheiten durch die genannten Wärmeübertragungsschichten aneinander anliegen.

33. Halbleiterchipbaugruppe nach Anspruch 32, wobei zumindest einige der genannten Wärmeübertragungsschichten sich über die genannten Verbindungsfenster erstrecken und im Wesentlichen in dem Bereich flach sind, der sich über die betreffenden Verbindungsfenster erstreckt.

34. Halbleiterchipbaugruppe nach Anspruch 33, ferner umfassend eine Einkapselung, die zumindest teilweise die betreffenden Verbindungsfenster füllt.

35. Halbleiterchipbaugruppe nach Anspruch 30, wobei die Schaltungsplatten jeweils eine Vielzahl von Leitungen enthalten, die mit den genannten Leiterbahnen zusammenhängend gebildet sind, wobei die betreffenden Leitungen sich in zumindest ein Verbindungsfenster der Schaltungsplatte erstrecken.

36. Halbleiterchipbaugruppe, umfassend

(a) eine Vielzahl von Einheiten, deren jede enthält:

(i) ein Halbleiterchip mit Kontakten an bzw. auf einer vorderen Oberfläche, und

(ii) eine Schaltungsplatte mit einem zentralen Bereich und einem peripheren Bereich, wobei die Platte eine dielektrische Schicht mit ersten und zweiten Oberflächen, zumindest ein Verbindungsfenster, welches sich zwischen den betreffenden ersten und zweiten Oberflächen in dem genannten zentralen Bereich erstreckt, eine Vielzahl von Anschlussbelägen, die auf den ersten und zweiten Oberflächen in dem genannten peripheren Bereich freigelegt sind, und eine Vielzahl von einbezogenen Leiterbahnen enthält, die sich in horizontalen Richtungen über die Platte erstrecken,

wobei der Chip so angeordnet ist, dass die vordere Chipoberfläche der zweiten Oberfläche der dielektrischen Schicht in dem genannten zentralen Bereich zugewandt ist,

wobei die Kontakte des Chips mit den Leiterbahnen der Platte in dem zumindest einem Verbindungsfenster verbunden sind, und

(iii) eine Einkapselung in dem betreffenden zumindest einen Verbindungsfenster, wobei die betreffende Einkapselung eine Oberfläche festlegt, die im Wesentlichen mit der ersten Oberfläche der dielektrischen Schicht fluchtet,

wobei die betreffenden Einheiten in einem Stapel derart einander überlagert sind, dass die rückseitige Oberfläche eines Chips einer Einheit einer Oberfläche der dielektrischen Schicht in einer nächstbenachbarten Einheit zugewandt ist,

wobei die Einheiten sich zumindest in jenen Teilen des zentralen Bereichs einander tragen bzw. aneinander liegen, der von den betreffenden Leiterbahnen eingenommen ist,

wobei die Anschlüsse der Einheiten zueinander ausgerichtet sind, und

wobei die Kontakte des Chips mit den Leiterbahnen der Platte in dem zumindest einem Verbindungsfenster verbunden sind, und

(iii) eine Einkapselung in dem betreffenden zumindest einen Verbindungsfenster, wobei die betreffende Einkapselung eine Oberfläche festlegt, die im Wesentlichen mit der ersten Oberfläche der dielektrischen Schicht fluchtet,

wobei die betreffenden Einheiten in einem Stapel derart einander überlagert sind, dass die rückseitige Oberfläche eines Chips einer Einheit einer Oberfläche der dielektrischen Schicht in einer nächstbenachbarten Einheit zugewandt ist,

wobei die Einheiten sich zumindest in jenen Teilen des zentralen Bereichs einander tragen bzw. aneinander liegen, der von den betreffenden Leiterbahnen eingenommen ist,

wobei die Anschlüsse der Einheiten zueinander ausgerichtet sind, und

wobei die Kontakte des Chips mit den Leiterbahnen der Platte in dem zumindest einem Verbindungsfenster verbunden sind, und

(iii) eine Einkapselung in dem betreffenden zumindest einen Verbindungsfenster, wobei die betreffende Einkapselung eine Oberfläche festlegt, die im Wesentlichen mit der ersten Oberfläche der dielektrischen Schicht fluchtet,

wobei die betreffenden Einheiten in einem Stapel derart einander überlagert sind, dass die rückseitige Oberfläche eines Chips einer Einheit einer Oberfläche der dielektrischen Schicht in einer nächstbenachbarten Einheit zugewandt ist,

wobei die Einheiten sich zumindest in jenen Teilen des zentralen Bereichs einander tragen bzw. aneinander liegen, der von den betreffenden Leiterbahnen eingenommen ist,

wobei die Anschlüsse der Einheiten zueinander ausgerichtet sind, und

wobei die Kontakte des Chips mit den Leiterbahnen der Platte in dem zumindest einem Verbindungsfenster verbunden sind, und

(b) eine Vielzahl von leitenden Massen, die zwischen den Anschlüssen der Einheiten angeordnet sind und die die Anschlüsse von benachbarten Einheiten miteinander verbinden.

37. Halbleiterchipbaugruppe nach Anspruch 36, wobei die jeweilige dielektrische Schicht weniger als etwa 100 µm dick ist.

38. Halbleiterchipbaugruppe nach Anspruch 36, wobei der Chip einer Einheit zwischen der dielektrischen Schicht der betreffenden Einheit und der dielektrischen Schicht einer benachbarten Einheit der genannten Einheiten angeordnet ist und wobei der vertikale Abstand zwischen entsprechenden Oberflächen derartiger dielektrischer Schichten nicht mehr als 250 µm größer ist als die Dicke des Halbleiterchips in einer derartigen Einheit.

39. Halbleiterchipbaugruppe nach Anspruch 36, wobei eine vertikale Abstandsentfernung zwischen entsprechenden Merkmalen in benachbarten Einheiten der genannten Einheiten nicht mehr als 250 µm größer ist als die Dicke des jeweiligen Chips.

40. Halbleiterchipbaugruppe nach Anspruch 36, wobei die jeweilige Einheit ferner eine im Wesentlichen ebene Wärmeübertragungsschicht enthält, die über zumindest einem Verbindungsfenster und der genannten Einkapselung der betreffenden Einheit liegt.

41. Prozessinterner Zusammenbau von untereinander austauschbaren halbfertigen Einheiten, deren jede zumindest ein Halbleiterchip, welches zumindest einen Chipauswahlkontakt und eine Vielzahl von weiteren Kontakten aufweist, und eine Schaltungsplatte mit einer Vielzahl von Chipauswahlanschlüssen, einer Vielzahl von weiteren sich auf oder in der Platte erstreckenden Anschlüssen und Leiterbahnen enthält, die mit den betreffenden Anschlüssen verbunden sind, wobei zumindest eine Leiterbahn der jeweiligen Platte eine mehrfach verzweigte Leiterbahn ist, die einen gemeinsamen Abschnitt und eine Vielzahl von Zweigen enthält, welche mit unterschiedlichen Anschlüssen der Chipauswahlanschlüsse verbunden sind, wobei die Kontakte des zumindest einen Chips in der jeweiligen Einheit mit Leiterbahnen der Schaltungsplatte in der betreffenden Einheit derart verbunden sind, dass jeder Chipauswahlkontakt mit dem gemeinsamen Abschnitt einer mehrfach verzweigten Leiterbahn verbunden ist, wobei die betreffenden Einheiten identische Chips, identische Anschlüsse und identische Verbindungen zwischen Kontakten der Chips und Anschlüsse umfassen, wobei die einzelnen Einheiten für eine Stapelung übereinander geeignet sind, wobei entsprechende Anschlüsse der betreffenden Einheiten miteinander

verbunden sind.

42. Prozessinterne Sammlung von Einheiten nach Anspruch 41, wobei die Schaltungsplatten einer Vielzahl der betreffenden Einheiten Teile eines gemeinsamen Blattes sind.

43. Prozessinterne Sammlung von Einheiten nach Anspruch 41, wobei das betreffende Blatt lediglich eine einzige Schicht aus metallischen Eigenschaften enthält, welche die betreffenden Leiterbahnen und die genannten Anschlüsse festlegen.

44. Prozessinterne Sammlung von Einheiten nach Anspruch 43, wobei die jeweilige Schaltungsplatte eine dielektrische Schicht enthält, die weniger als 100 µm dick ist.

Es folgen 10 Blatt Zeichnungen

FIG. 1

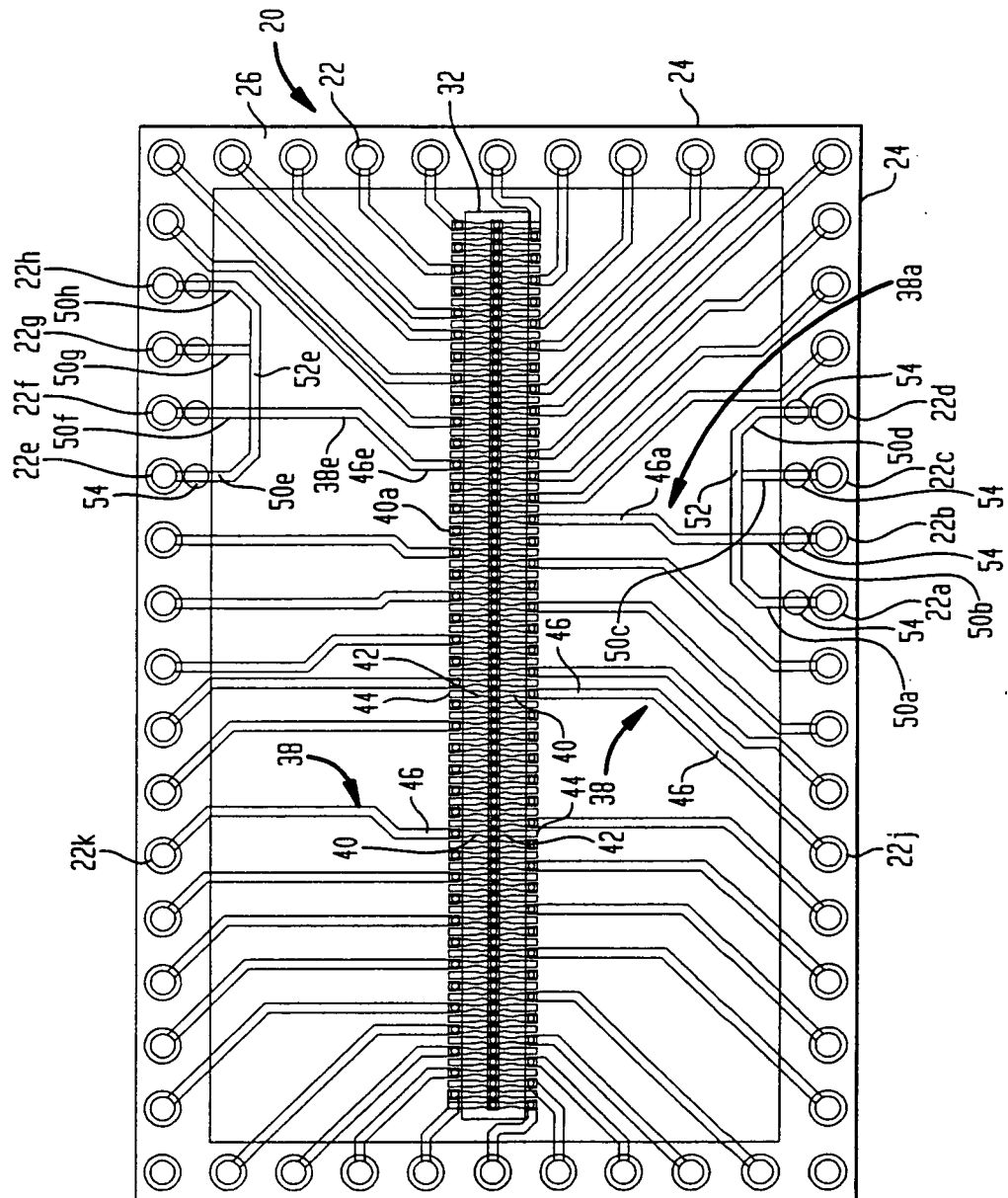


FIG. 2

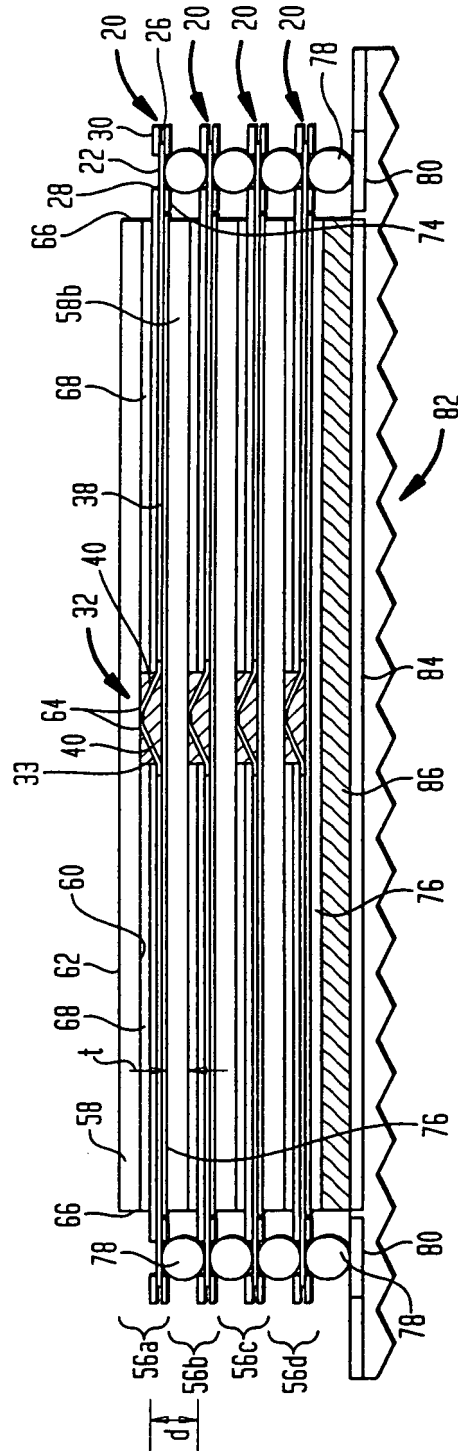


FIG. 3

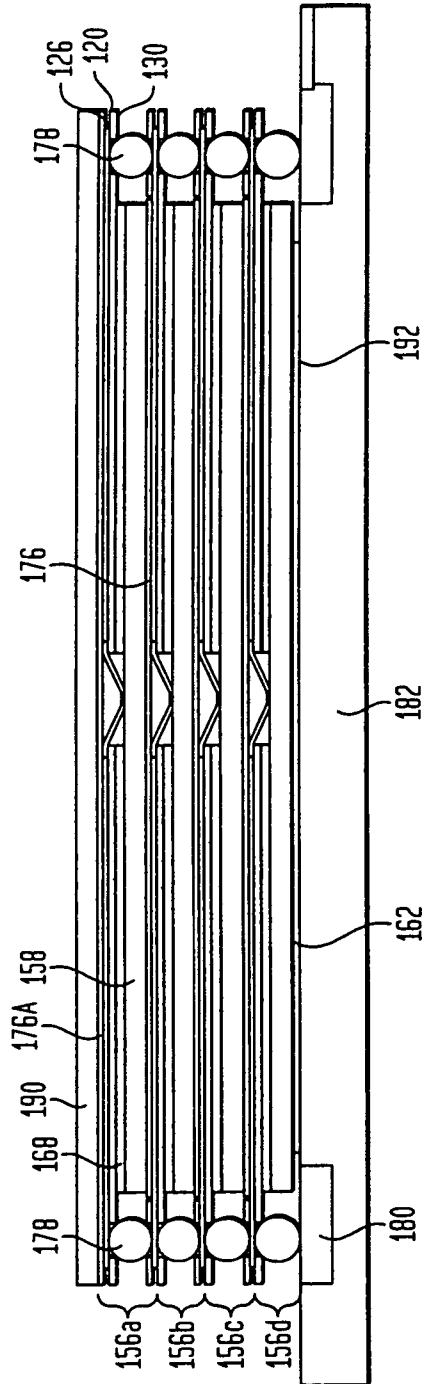


FIG. 4

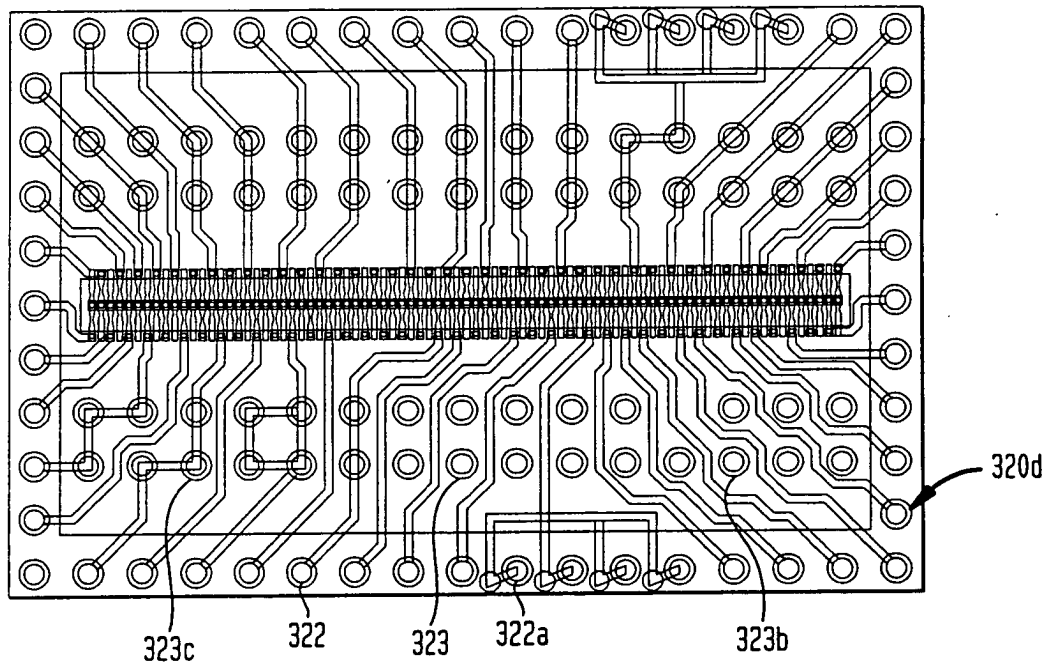


FIG. 5

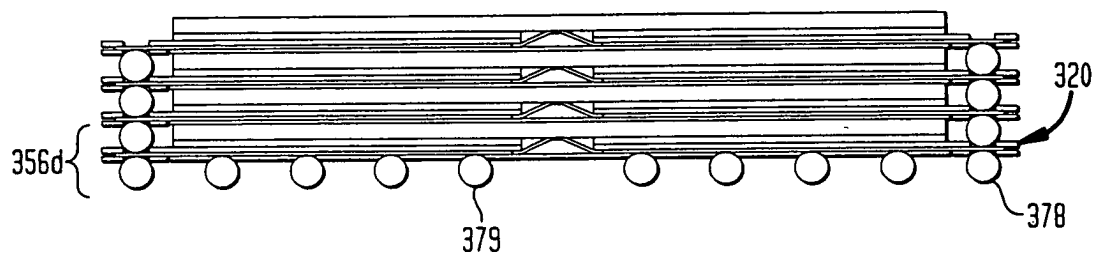


FIG. 6

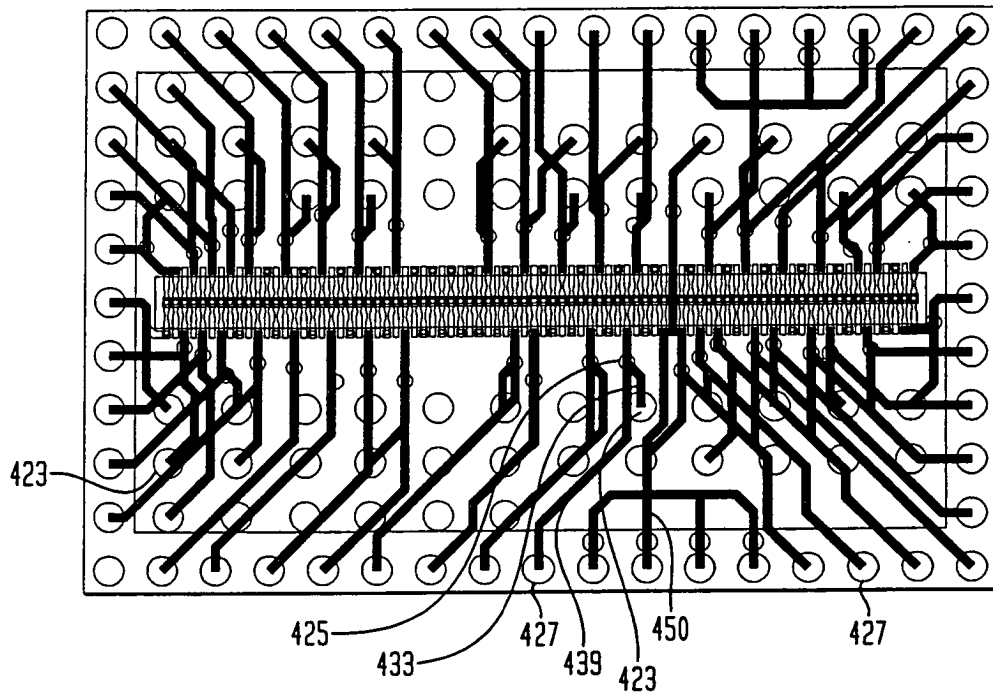


FIG. 7

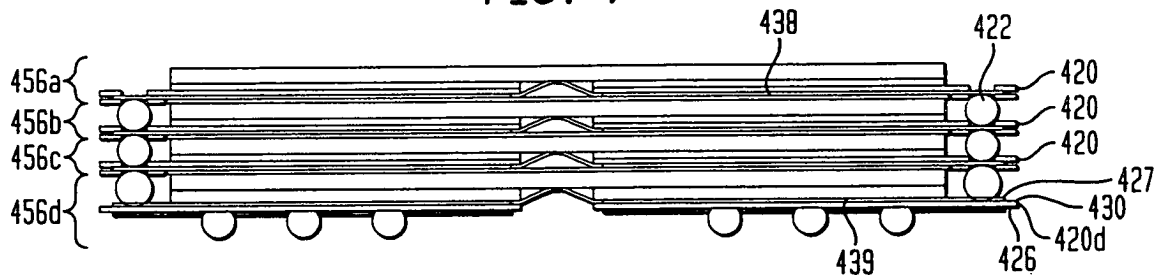


FIG. 8

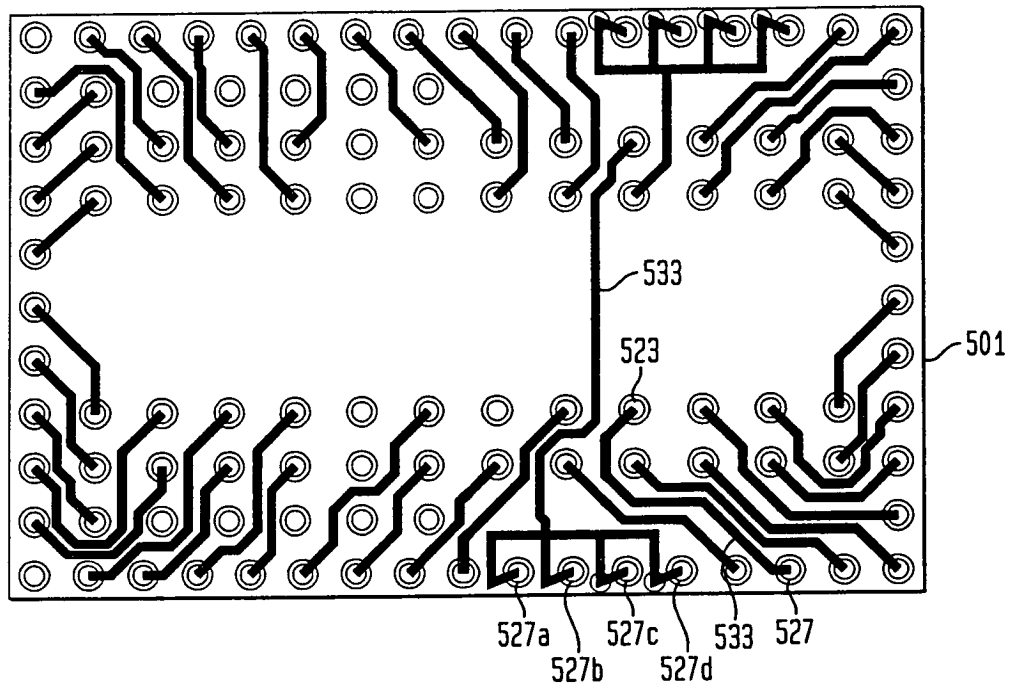


FIG. 9

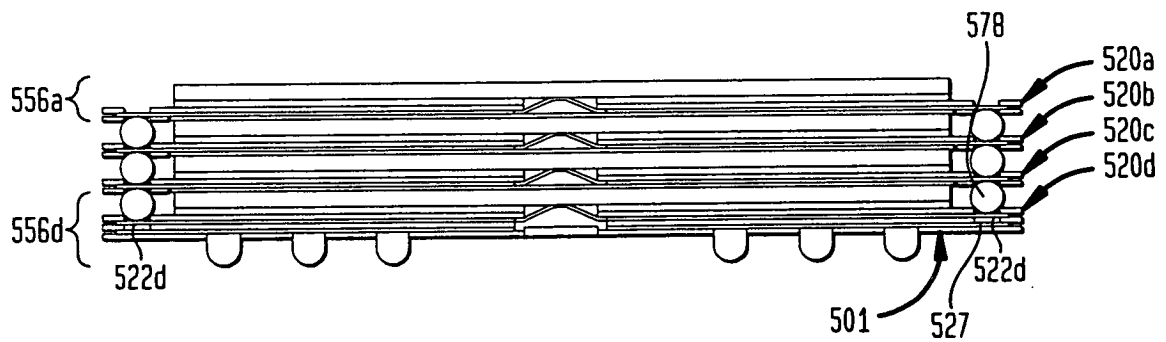


FIG. 10

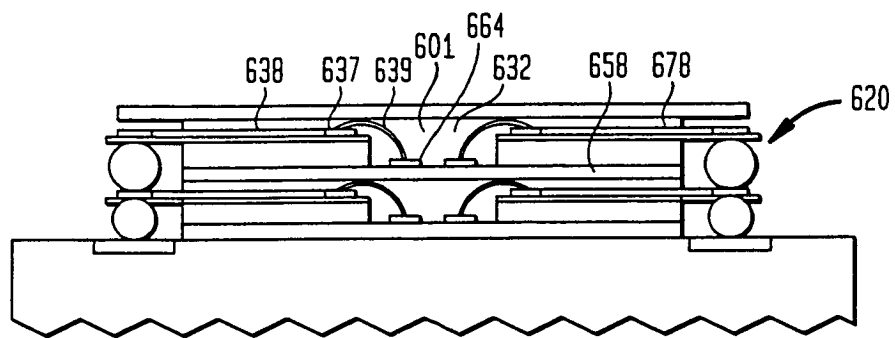


FIG. 11

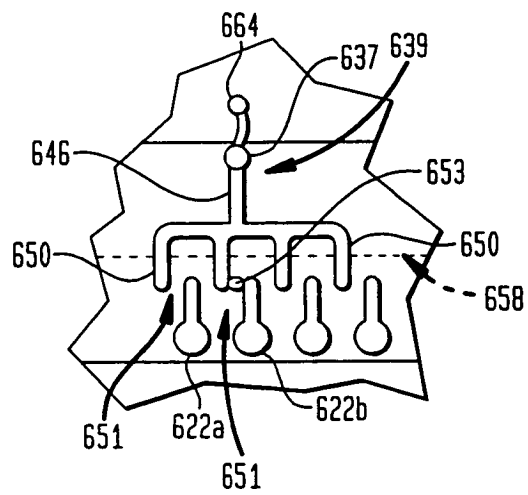


FIG. 12

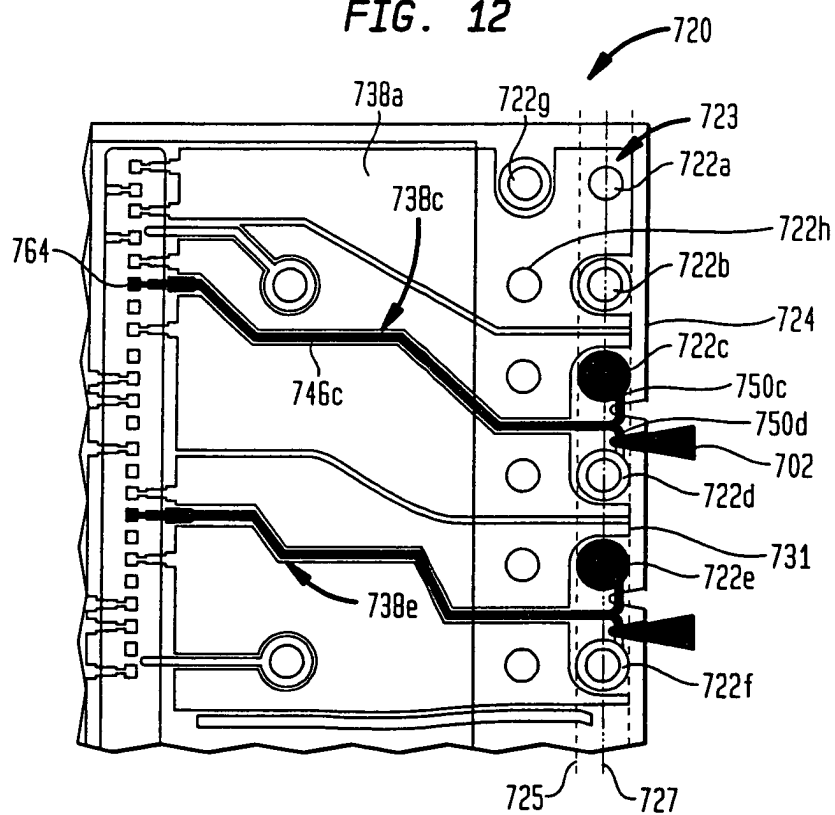


FIG. 13

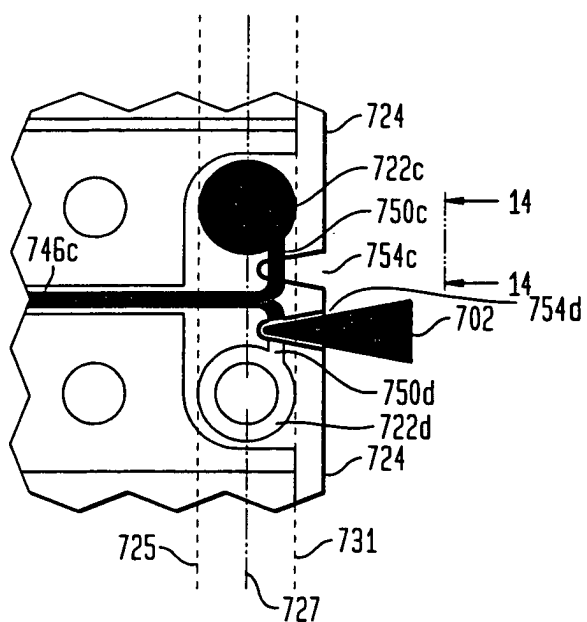


FIG. 14

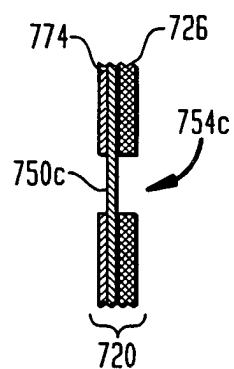


FIG. 15

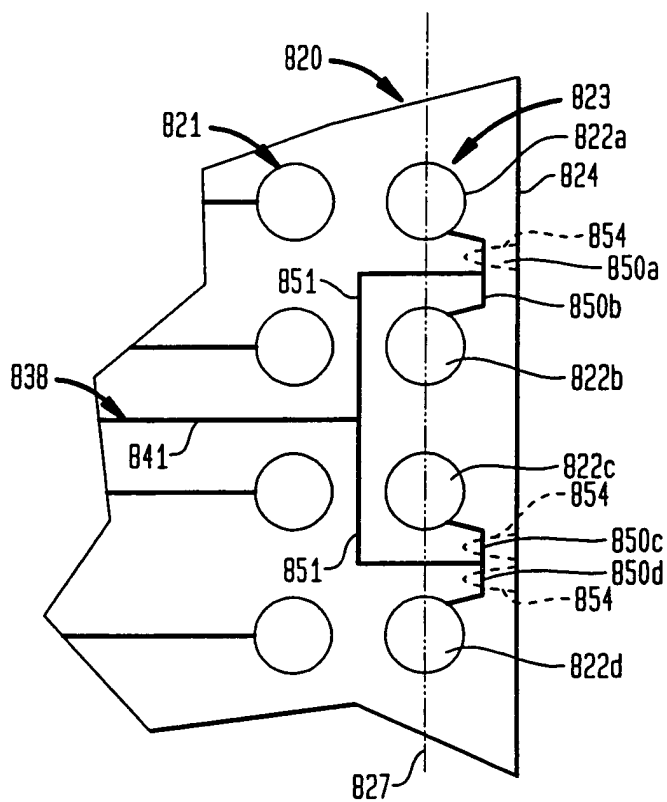


FIG. 16

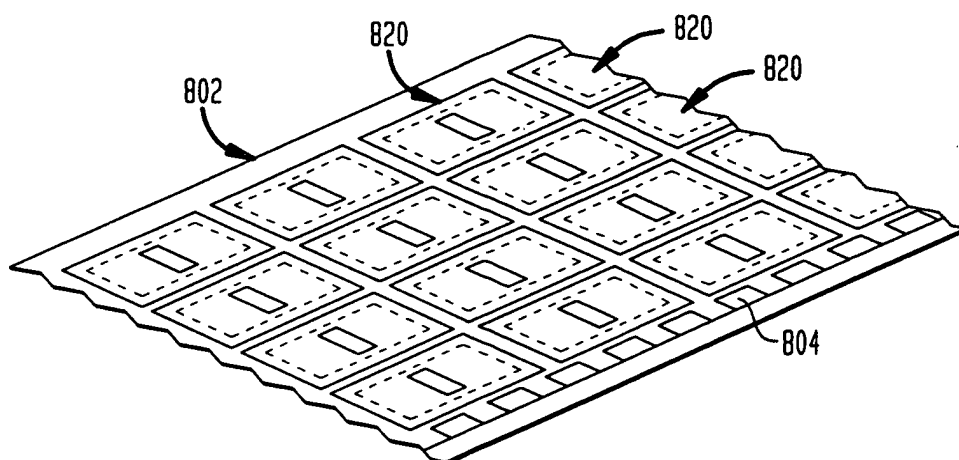


FIG. 17

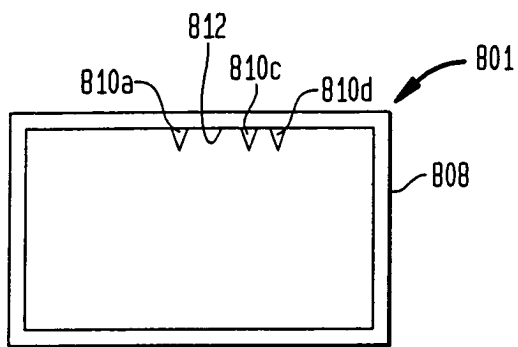


FIG. 18

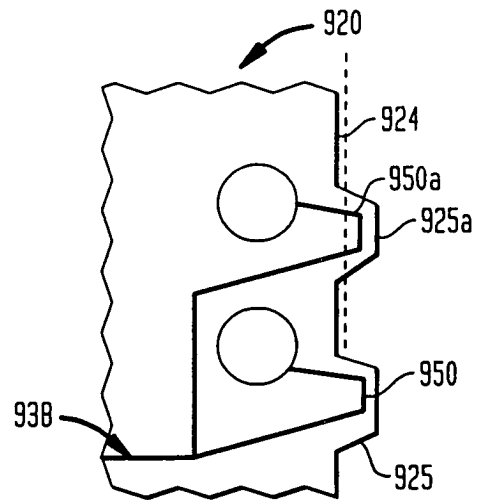


FIG. 19

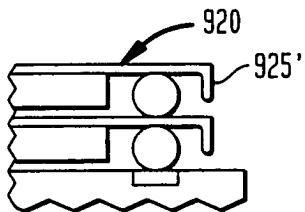


FIG. 20

