

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-88148

(P2009-88148A)

(43) 公開日 平成21年4月23日(2009.4.23)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78 3 7 1	5 F 0 8 3
HO 1 L 29/788 (2006.01)	HO 1 L 27/10 4 3 4	5 F 1 0 1
HO 1 L 29/792 (2006.01)		
HO 1 L 27/115 (2006.01)		

審査請求 未請求 請求項の数 18 O L (全 20 頁)

(21) 出願番号	特願2007-254535 (P2007-254535)	(71) 出願人	504378124 スパンション エルエルシー アメリカ合衆国 カリフォルニア州 94 088-3453 サニーバイル デグウ イン ドライブ 915
(22) 出願日	平成19年9月28日 (2007. 9. 28)	(74) 代理人	100087480 弁理士 片山 修平
		(74) 代理人	100137615 弁理士 横山 照夫
		(72) 発明者	丸山 貴之 福島県会津若松市高久工業団地2番 S p a n s i o n J a p a n株式会社内
		(72) 発明者	井上 文彦 福島県会津若松市高久工業団地2番 S p a n s i o n J a p a n株式会社内 最終頁に続く

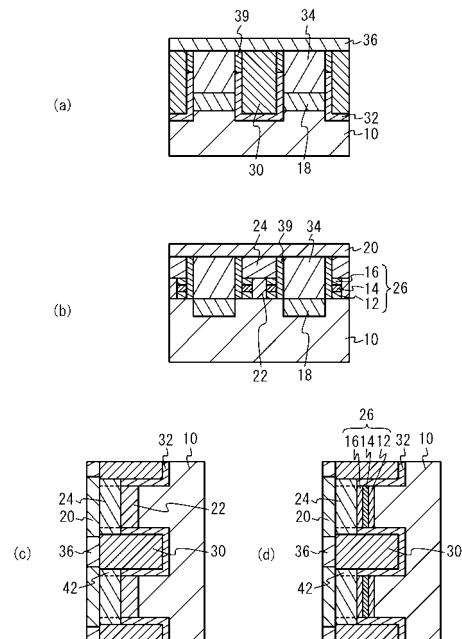
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】ゲート電極の中央下にゲート絶縁膜を形成する際に、ゲート電極の倒れ込みを抑制することが可能な半導体装置とその製造方法を提供すること。

【解決手段】本発明は、半導体基板10内に延伸するように設けられたビットライン18と、ビットライン18間の半導体基板10上方に設けられたゲート電極24と、ゲート電極24の中央下であって半導体基板10上に設けられたゲート絶縁膜22と、ビットライン18幅方向でゲート絶縁膜22を挟むように、ゲート電極24下であって半導体基板10上に設けられた電荷蓄積層14と、ビットライン18延伸方向のゲート電極24間であって半導体基板10上に設けられた第1絶縁膜と、を具備し、ビットライン18幅方向での第1絶縁膜30の幅が、ゲート絶縁膜22の幅より広い半導体装置である。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

半導体基板内に延伸するように設けられたビットラインと、
前記ビットライン間の前記半導体基板上方に設けられたゲート電極と、
前記ゲート電極の中央下であって前記半導体基板上に設けられたゲート絶縁膜と、
前記ビットライン幅方向で前記ゲート絶縁膜を挟むように、前記ゲート電極下であって前記半導体基板上に設けられた電荷蓄積層と、
前記ビットライン延伸方向の前記ゲート電極間であって前記半導体基板上に設けられた第 1 絶縁膜と、を具備し、
前記ビットライン幅方向での前記第 1 絶縁膜の幅は、前記ゲート絶縁膜の幅より広いことを特徴とする半導体装置。

10

【請求項 2】

前記第 1 絶縁膜は、前記ビットライン延伸方向の前記ゲート電極間であって前記半導体基板に設けられた溝部に埋め込まれていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記第 1 絶縁膜の側面に設けられた保護膜を具備し、
前記保護膜の材料は前記ゲート絶縁膜の材料および前記第 1 絶縁膜の材料と異なることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】

前記ゲート絶縁膜および前記第 1 絶縁膜は酸化シリコン膜であり、前記保護膜は窒化シリコン膜であることを特徴とする請求項 3 記載の半導体装置。

20

【請求項 5】

前記第 1 絶縁膜の上面は、前記ゲート絶縁膜の上面より前記半導体基板の表面から離れて設けられていることを特徴とする請求項 1 から 4 のいずれか一項記載の半導体装置。

【請求項 6】

前記ゲート電極に電氣的に接続して前記ゲート電極上に設けられ、前記ビットラインに交差して延伸するワードラインを具備することを特徴とする請求項 1 から 5 のいずれか一項記載の半導体装置。

【請求項 7】

前記電荷蓄積層はポリシリコン膜および窒化シリコン膜のいずれか一方であることを特徴とする請求項 1 から 6 のいずれか一項記載の半導体装置。

30

【請求項 8】

半導体基板上に第 2 絶縁膜を形成する工程と、
ビットラインおよびゲート電極が形成されるべき領域以外の領域の前記半導体基板上に形成された前記第 2 絶縁膜を除去して、前記第 2 絶縁膜に第 1 開口部を形成する工程と、
前記第 1 開口部に第 1 絶縁膜を形成する工程と、
前記第 2 絶縁膜上に導電層を形成する工程と、
前記ビットラインが形成されるべき領域の前記半導体基板上に形成された前記導電層および前記第 2 絶縁膜を除去して第 2 開口部を形成し、前記第 2 開口部間に前記導電層からなる前記ゲート電極を形成する工程と、
前記第 2 開口部から前記ゲート電極下に形成された前記第 2 絶縁膜を除去して、前記ゲート電極の中央下に前記第 2 絶縁膜からなるゲート絶縁膜を形成する工程と、
前記ゲート電極下に形成された前記第 2 絶縁膜を除去した領域に電荷蓄積層を形成する工程と、
前記半導体基板内に前記第 2 開口部により規定される前記ビットラインを形成する工程と、を有することを特徴とする半導体装置の製造方法。

40

【請求項 9】

前記第 1 開口部の下方の前記半導体基板に溝部を形成する工程を有し、
前記第 1 絶縁膜を形成する工程は、前記溝部に前記第 1 絶縁膜を形成する工程を含むことを特徴とする請求項 8 記載の半導体装置の製造方法。

50

【請求項 10】

前記第 1 絶縁膜の材料は、前記ゲート電極下に形成された前記第 2 絶縁膜を除去して前記ゲート絶縁膜を形成する際、前記第 2 絶縁膜より除去され難い材料であることを特徴とする請求項 8 または 9 記載の半導体装置の製造方法。

【請求項 11】

前記第 1 絶縁膜を形成する工程の前に、前記第 1 開口部の側面に保護膜を形成する工程を有し、

前記保護膜の材料は、前記ゲート電極下に形成された前記第 2 絶縁膜を除去して前記ゲート絶縁膜を形成する際、前記第 2 絶縁膜より除去され難い材料であることを特徴とする請求項 8 から 10 のいずれか一項記載の半導体装置の製造方法。

10

【請求項 12】

前記第 1 絶縁膜を形成する工程の後、前記導電層を形成する工程の前に、前記第 1 絶縁膜の側面のうち露出した部分に前記保護膜を形成する工程を有することを特徴とする請求項 11 記載の半導体装置の製造方法。

【請求項 13】

前記第 1 絶縁膜および前記第 2 絶縁膜は酸化シリコン膜であり、前記保護膜は窒化シリコン膜であることを特徴とする請求項 11 または 12 記載の半導体装置の製造方法。

【請求項 14】

前記第 1 開口部を形成する工程は、前記第 2 絶縁膜上に形成されたマスク層を用いて前記第 2 絶縁膜を除去することにより、前記第 1 開口部を形成する工程であり、

20

前記第 1 開口部を形成する工程の後、前記第 1 絶縁膜を形成する工程の前に、前記マスク層の幅を細める工程を有することを特徴とする請求項 8 から 13 のいずれか一項記載の半導体装置の製造方法。

【請求項 15】

前記第 1 絶縁膜を形成する工程は、前記第 1 絶縁膜の上面が前記第 2 絶縁膜の上面より、前記半導体基板の表面から離れるように、前記第 1 絶縁膜を形成する工程を含むことを特徴とする請求項 8 から 14 のいずれか一項記載の半導体装置の製造方法。

【請求項 16】

前記ゲート絶縁膜を形成する工程は、等方性エッチングを用いて前記第 2 絶縁膜をエッチングすることにより、前記ゲート絶縁膜を形成する工程であることを特徴とする請求項 8 から 15 のいずれか一項記載の半導体装置の製造方法。

30

【請求項 17】

前記ゲート電極上に前記ゲート電極に電氣的に接続して、前記ビットラインに交差して延伸するワードラインを形成する工程を有することを特徴とする請求項 8 から 16 のいずれか一項記載の半導体装置の製造方法。

【請求項 18】

前記電荷蓄積層はポリシリコン膜および窒化シリコン膜のいずれか一方であることを特徴とする請求項 8 から 17 のいずれか一項記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は、半導体装置およびその製造方法に関し、より詳細には、分離した電荷蓄積層を有する半導体装置およびその製造方法に関する。

【背景技術】

【0002】

データの書き換えが可能で、電源を OFF しても記憶データを保持し続ける半導体装置である不揮発性メモリが広く利用されている。代表的な不揮発性メモリであるフラッシュメモリにおいては、メモリセルを構成するトランジスタが電荷蓄積層と呼ばれるフローティングゲートもしくは絶縁膜を有している。この電荷蓄積層に電荷を蓄積させることによりデータを記憶する。絶縁膜を電荷蓄積層とするフラッシュメモリとして ONO (Oxide

50

Nitride Oxide) 膜中の電荷蓄積層に電荷を蓄積させるSONOS (Silicon Oxide Nitride Oxide Silicon) 型構造のフラッシュメモリがある。特許文献1にはSONOS型構造のフラッシュメモリの1つとして、ソースとドレインとを入れ替えて対称的に動作させる仮想接地型メモリセルを有するフラッシュメモリ(従来例1)が開示されている。

【0003】

図1に従来例1に係るフラッシュメモリの断面図を示す。図1を参照に、半導体基板10上にトンネル絶縁膜12、電荷蓄積層14、トップ絶縁膜16が順次設けられている。半導体基板10内に、ソースおよびドレインを兼ねるビットライン18が延伸して設けられている。ビットライン18間のトップ絶縁膜16上に、ゲート電極24が設けられている。ビットライン18間の間隔Lがチャンネル長である。

10

【0004】

ビットライン18(BL1)とビットライン18(BL2)とを、ソースとドレインとで入れ替えて動作させることにより、電荷蓄積領域C1と電荷蓄積領域C2とに電荷を蓄積することができる。これにより、1トランジスタに2ビットのデータを記憶することが可能となる。

【0005】

例えば、特許文献2および特許文献3には、半導体基板上にゲート絶縁膜を介してゲート電極を形成し、ゲート電極の側壁の一部もしくはゲート電極の側壁の一部およびゲート絶縁膜の一部を除去し、この除去した領域に電荷蓄積層を形成することで、分離した電荷蓄積層を形成する製造方法が開示されている。

20

【特許文献1】米国特許第6011725号明細書

【特許文献2】特開2005-108915号公報

【特許文献3】特開2004-343014号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

近年、メモリセルの高集積化、微細化の要求が大きくなっている。メモリセルの高集積化、微細化が進み、チャンネル長が短くなると、電荷蓄積領域C1およびC2が互いに接近し合う。これにより、CBD (Complementary bit disturb) と呼ばれる、電荷蓄積領域に蓄積した電荷が互いに干渉し合う現象の影響が大きくなり、互いの電荷の切り分け(つまり、データの読み分け)が難しくなる。

30

【0007】

例えば、図2に示すような構造を採用して、電荷蓄積領域に蓄積した電荷のチャンネル方向での移動を抑制することにより、CBDの影響を抑える方法が提案されている。図2を参照に、ビットライン18間の半導体基板10上であり、ゲート電極24の中央下にゲート絶縁膜22が設けられている。ゲート絶縁膜22の両側に電荷蓄積層14が分離して設けられている。このように、ゲート絶縁膜22を挟んで電荷蓄積層14を分離して設けることで、電荷蓄積領域に蓄積した電荷のチャンネル方向での移動を抑制でき、CBDの影響を抑えることができる。

【0008】

また、チャンネル長が短くなると、チャンネル中央部の電荷蓄積層へ電荷が蓄積され易くなり、連続読み書き時の信頼性の低下を招く。しかしながら、図2に示す構造では、チャンネル中央部にゲート絶縁膜22が設けられているため、チャンネル中央部に電荷が蓄積することを抑制できる。これにより、連続読み書き時の信頼性の低下も同時に防ぐことが可能となる。

40

【0009】

ここで、分離した電荷蓄積層14を形成する製造方法の一例を図3(a)から図3(c)を用い説明する。なお、簡略化のため、トンネル絶縁膜12およびトップ絶縁膜16については、図示および説明を省略する。図3(a)を参照に、半導体基板10上にゲート絶縁膜22を介してゲート電極24を形成する。図3(b)を参照に、ゲート電極24の

50

中央下にゲート絶縁膜 2 2 が残存するよう、ゲート絶縁膜 2 2 を両側面からエッチングする。図 3 (c) を参照に、ゲート絶縁膜 2 2 をエッチングした領域に電荷蓄積層 1 4 を形成する。これにより、ゲート絶縁膜 2 2 を挟んで分離した電荷蓄積層 1 4 を形成することができる。

【 0 0 1 0 】

しかしながら、図 3 (b) に示すような、ゲート絶縁膜 2 2 を両側面からエッチングする際に、図 4 に示すように、ゲート絶縁膜 2 2 の幅が狭くなることで、ゲート電極 2 4 が倒れてしまう場合がある。

【 0 0 1 1 】

本発明は、上記課題に鑑みなされたものであり、ゲート電極の中央下にゲート絶縁膜を形成する際に、ゲート電極の倒れ込みを抑制することが可能な半導体装置とその製造方法を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 2 】

本発明は、半導体基板内に延伸するように設けられたビットラインと、前記ビットライン間の前記半導体基板上方に設けられたゲート電極と、前記ゲート電極の中央下であって前記半導体基板上に設けられたゲート絶縁膜と、前記ビットライン幅方向で前記ゲート絶縁膜を挟むように、前記ゲート電極下であって前記半導体基板上に設けられた電荷蓄積層と、前記ビットライン延伸方向の前記ゲート電極間であって前記半導体基板上に設けられた第 1 絶縁膜と、を具備し、前記ビットライン幅方向での前記第 1 絶縁膜の幅は、前記ゲート絶縁膜の幅より広いことを特徴とする半導体装置である。本発明によれば、ビットライン幅方向での幅が広い第 1 絶縁膜と幅が細いゲート絶縁膜とが、ビットラインの延伸方向で交互に並ぶように形成されている。このため、ゲート電極の中央下に、ビットライン幅方向の幅が細いゲート絶縁膜を形成する際に、ゲート電極の倒れ込みを抑制することができる。また、ビットライン幅方向でゲート絶縁膜を挟むように、電荷蓄積層が分離して設けられている。このため、C B D の影響を抑制することができる。

【 0 0 1 3 】

上記構成において、前記第 1 絶縁膜は、前記ビットライン延伸方向の前記ゲート電極間であって前記半導体基板に設けられた溝部に埋め込まれている構成とすることができる。この構成によれば、ゲート電極周囲の半導体基板を流れるフリンジ電流を抑制することができる。

【 0 0 1 4 】

上記構成において、前記第 1 絶縁膜の側面に設けられた保護膜を具備し、前記保護膜の材料は前記ゲート絶縁膜の材料および前記第 1 絶縁膜の材料と異なる構成とすることができる。この構成によれば、ゲート絶縁膜より広い幅の第 1 絶縁膜を容易に形成することができる。

【 0 0 1 5 】

上記構成において、前記ゲート絶縁膜および前記第 1 絶縁膜は酸化シリコン膜であり、前記保護膜は窒化シリコン膜である構成とすることができる。

【 0 0 1 6 】

上記構成において、前記第 1 絶縁膜の上面は、前記ゲート絶縁膜の上面より前記半導体基板の表面から離れて設けられている構成とすることができる。この構成によれば、ゲート電極の倒れ込みをより抑制することができる。

【 0 0 1 7 】

上記構成において、前記ゲート電極に電氣的に接続して前記ゲート電極上に設けられ、前記ビットラインに交差して延伸するワードラインを具備する構成とすることができる。また、上記構成において、前記電荷蓄積層はポリシリコン膜および窒化シリコン膜のいずれか一方である構成とすることができる。

【 0 0 1 8 】

本発明は、半導体基板上に第 2 絶縁膜を形成する工程と、ビットラインおよびゲート電

10

20

30

40

50

極が形成されるべき領域以外の領域の前記半導体基板上に形成された前記第2絶縁膜を除去して、前記第2絶縁膜に第1開口部を形成する工程と、前記第1開口部に第1絶縁膜を形成する工程と、前記第2絶縁膜上に導電層を形成する工程と、前記ビットラインが形成されるべき領域の前記半導体基板上に形成された前記導電層および前記第2絶縁膜を除去して第2開口部を形成し、前記第2開口部間に前記導電層からなる前記ゲート電極を形成する工程と、前記第2開口部から前記ゲート電極下に形成された前記第2絶縁膜を除去して、前記ゲート電極の中央下に前記第2絶縁膜からなるゲート絶縁膜を形成する工程と、前記ゲート電極下に形成された前記第2絶縁膜を除去した領域に電荷蓄積層を形成する工程と、前記半導体基板内に前記第2開口部により規定される前記ビットラインを形成する工程と、を有することを特徴とする半導体装置の製造方法。本発明によれば、ビットライン幅方向での幅が広い第1絶縁膜と幅が細いゲート絶縁膜とが、ビットラインの延伸方向で交互に並ぶように形成することができる。このため、ゲート電極の中央下に、前記ビットライン幅方向の幅が細いゲート絶縁膜を形成する際に、ゲート電極の倒れ込みを抑制することができる。また、ビットライン幅方向でゲート絶縁膜を挟むように、電荷蓄積層を分離して形成することができる。このため、CBDの影響を抑制することができる。

10

20

30

40

50

【0019】

上記構成において、前記第1開口部の下方の前記半導体基板に溝部を形成する工程を有し、前記第1絶縁膜を形成する工程は、前記溝部に前記第1絶縁膜を形成する工程を含む構成とすることができる。この構成によれば、ゲート電極周囲の半導体基板を流れるフリッジ電流を抑制することができる。

【0020】

上記構成において、前記第1絶縁膜の材料は、前記ゲート電極下に形成された前記第2絶縁膜を除去して前記ゲート絶縁膜を形成する際、前記第2絶縁膜より除去され難い材料である構成とすることができる。この構成によれば、ビットライン幅方向でのゲート絶縁膜の幅より広い幅の第1絶縁膜を容易に形成することができる。

【0021】

上記構成において、前記第1絶縁膜を形成する工程の前に、前記第1開口部の側面に保護膜を形成する工程を有し、前記保護膜の材料は、前記ゲート電極下に形成された前記第2絶縁膜を除去して前記ゲート絶縁膜を形成する際、前記第2絶縁膜より除去され難い材料である構成とすることができる。この構成によれば、ビットライン幅方向でのゲート絶縁膜の幅より広い幅の第1絶縁膜を容易に形成することができる。

【0022】

上記構成において、前記第1絶縁膜を形成する工程の後、前記導電層を形成する工程の前に、前記第1絶縁膜の側面のうち露出した部分に前記保護膜を形成する工程を有する構成とすることができる。この構成によれば、ビットライン幅方向でのゲート絶縁膜の幅より広い幅の第1絶縁膜をより容易に形成することができる。

【0023】

上記構成において、前記第1絶縁膜および前記第2絶縁膜は酸化シリコン膜であり、前記保護膜は窒化シリコン膜である構成とすることができる。

【0024】

上記構成において、前記第1開口部を形成する工程は、前記第2絶縁膜上に形成されたマスク層を用いて前記第2絶縁膜を除去することにより、前記第1開口部を形成する工程であり、前記第1開口部を形成する工程の後、前記第1絶縁膜を形成する工程の前に、前記マスク層の幅を細める工程を有する構成とすることができる。

【0025】

上記構成において、前記第1絶縁膜を形成する工程は、前記第1絶縁膜の上面が前記第2絶縁膜の上面より前記半導体基板の表面から離れるように、前記第1絶縁膜を形成する工程を含む構成とすることができる。この構成によれば、ゲート電極の倒れ込みをより抑制することができる。

【0026】

上記構成において、前記ゲート絶縁膜を形成する工程は、等方性エッチングを用いて前記第2絶縁膜をエッチングすることにより、前記ゲート絶縁膜を形成する工程である構成とすることができる。この構成によれば、ゲート電極の中央下にゲート絶縁膜を容易に形成することができる。

【0027】

上記構成において、前記ゲート電極上に前記ゲート電極に電氣的に接続して、前記ビットラインに交差して延伸するワードラインを形成する工程を有する構成とすることができる。また、上記構成において、前記電荷蓄積層はポリシリコン膜および窒化シリコン膜のいずれか一方である構成とすることができる。

【発明の効果】

10

【0028】

本発明によれば、ビットライン幅方向での幅が広い第1絶縁膜と幅が細いゲート絶縁膜とが、ビットラインの延伸方向で交互に並ぶように形成することができる。これにより、ゲート電極の中央下に、前記ビットライン幅方向の幅が細いゲート絶縁膜を形成する際に、ゲート電極の倒れ込みを抑制することができる。

【発明を実施するための最良の形態】

【0029】

以下、図面を参照に本発明の実施例を説明する。

【実施例1】

【0030】

20

図5は実施例1に係るフラッシュメモリの上面図である。図6(a)は図5のA-A間の断面図であり、図6(b)は図5のB-B間の断面図であり、図6(c)は図5のC-C間の断面図であり、図6(d)は図5のD-D間の断面図である。なお、図5において、第1酸化シリコン膜34や層間絶縁膜36等を透過してビットライン18等を図示している。

【0031】

図5および図6(b)を参照に、P型シリコン基板である半導体基板10内に延伸するようにN型拡散領域であるビットライン18が設けられている。ビットライン18間の半導体基板10上に、酸化シリコン膜からなるゲート絶縁膜22が設けられており、ビットライン18の幅方向でゲート絶縁膜22を挟むように、トンネル絶縁膜12、電荷蓄積層14、トップ絶縁膜16が順次設けられている。トンネル絶縁膜12およびトップ絶縁膜16は酸化シリコン膜からなり、電荷蓄積層14はポリシリコン膜からなる。これにより、半導体基板10上にOPO(Oxide Poly-Silicon Oxide)膜26が構成されている。ゲート絶縁膜22およびOPO膜26上に、ポリシリコン膜からなるゲート電極24が設けられている。ゲート電極24の側面には第2酸化シリコン膜39が設けられている。ゲート電極24上に、ゲート電極24に電氣的に接続し、ビットライン18に交差して延伸する、ポリシリコン膜からなるワードライン20が設けられている。図6(b)および図6(c)を参照に、ゲート絶縁膜22はゲート電極24の中央下の半導体基板10上に設けられている。

30

【0032】

40

図5、図6(a)、図6(c)および図6(d)を参照に、ビットライン18延伸方向のゲート電極24間の半導体基板10に溝部(不図示)が設けられている。つまり、ビットライン18間で、ゲート電極24周囲の半導体基板10に溝部が設けられている。溝部に埋め込まれるように酸化シリコン膜からなる第1絶縁膜30が設けられている。第1絶縁膜30の側面および底面に、ゲート絶縁膜22および第1絶縁膜30と異なる材料である窒化シリコン膜からなる保護膜32が設けられている。図6(a)および図6(b)を参照に、ビットライン18幅方向での第1絶縁膜30の幅は、ゲート絶縁膜22の幅より広く形成されている。図6(c)を参照に、第1絶縁膜30の上面はゲート絶縁膜22の上面より半導体基板10表面から離れて設けられている。つまり、第1絶縁膜30の上面はゲート絶縁膜22の上面より突出している。また、第1絶縁膜30の上面とゲート電極

50

24の上面とは同一面に設けられている。

【0033】

図6(a)および図6(b)を参照に、ビットライン18上に第1酸化シリコン膜34が設けられている。図6(a)、図6(c)および図6(d)を参照に、ワードライン20間に酸化シリコン膜からなる層間絶縁膜36が設けられている。

【0034】

次に、図7(a)から図12(d)を用い、実施例1に係るフラッシュメモリの製造方法を説明する。なお、図7(a)、図8(a)、図9(a)、図10(a)、図11(a)および図12(a)は図5のA-A間に相当する断面図である。図7(b)、図8(b)、図9(b)、図10(b)、図11(b)および図12(b)は図5のB-B間に相当する断面図である。図7(c)、図8(c)、図9(c)、図10(c)、図11(c)および図12(c)は図5のC-C間に相当する断面図である。図12(d)は図5のD-D間に相当する断面図である。

10

【0035】

図7(a)から図7(c)を参照に、P型シリコン基板である半導体基板10上に、熱酸化法を用いて、酸化シリコン膜からなる第2絶縁膜37を形成する。第2絶縁膜37上に、CVD(化学気相成長)法を用いて、窒化シリコン膜からなるマスク層38を形成する。マスク層38は、ビットライン18およびゲート電極24が形成されるべき領域以外の領域に開口部を有している。マスク層38をマスクに第2絶縁膜37および半導体基板10の一部を、RIE(反応性イオンエッチング)法を用いてエッチングする。これにより、ビットライン18およびゲート電極24が形成されるべき領域以外の領域に形成された第2絶縁膜37に第1開口部40が形成され、第1開口部40の下方の半導体基板10内に溝部28が形成される。その後、CVD法を用いて、窒化シリコン膜を全面堆積し、第1開口部40の側面と溝部28の内面とに窒化シリコン膜からなる保護膜32を形成する。

20

【0036】

図8(a)から図8(c)を参照に、第1開口部40および溝部28に埋め込まれるように、高密度プラズマCVD法を用いて、酸化シリコン膜からなる第1絶縁膜30を形成する。第1絶縁膜30は、第1絶縁膜30の上面が第2絶縁膜37の上面より半導体基板10表面から離れるように形成する。つまり、第1絶縁膜30の上面が第2絶縁膜37の上面より突出するように形成する。その後、マスク層38およびマスク層38の側面等に形成された保護膜32を除去する。これにより、第1開口部40および溝部28に埋め込まれた部分の第1絶縁膜30の側面は保護膜32で覆われる。

30

【0037】

図9(a)から図9(c)を参照に、第1絶縁膜30および第2絶縁膜37上に、CVD法を用いて、ポリシリコン膜からなる導電層42を形成する。ビットライン18が形成されるべき領域の半導体基板10上に形成された導電層42および第2絶縁膜37をRIE法を用いてエッチングする。これにより、導電層42および第2絶縁膜37を貫通する第2開口部44が形成される。第2開口部44間に形成された導電層42のうち、第2絶縁膜37上に形成された導電層42はゲート電極24となる。チャンネル長に相当するゲート電極24の長さは90nm程である。

40

【0038】

図10(a)から図10(c)を参照に、ゲート電極24の中央下に第2絶縁膜37が残存するよう、フッ酸によるウエットエッチング法を用いて、第2開口部44からゲート電極24下に形成された第2絶縁膜37を除去する。これにより、ゲート電極24の両端下に、第2絶縁膜37が除去された領域であり、ゲート電極24の側面から30nm程の奥行きを有するアンダーカット部35が形成される。ゲート電極24の中央下には、第2絶縁膜37からなり幅30nm程のゲート絶縁膜22が形成される。また、第1絶縁膜30は保護膜32で覆われているためエッチングされない。

【0039】

50

図11(a)から図11(c)を参照に、アンダーカット部35内に、熱酸化法を用いて、酸化シリコン膜からなるトンネル絶縁膜12とトップ絶縁膜16とを形成する。この時、ゲート電極24および導電層42の側面や上面も酸化され、第2酸化シリコン膜39が形成される。その後、LP-CVD(減圧化学気相成長)法を用いて、ゲート電極24および第1絶縁膜30を覆うように半導体基板10上にポリシリコン膜を形成する。LP-CVD法は回り込み特性に優れているため、トンネル絶縁膜12とトップ絶縁膜16との間のアンダーカット部35内にもポリシリコン膜が形成される。その後、熱酸化法を用いて、ポリシリコン膜を酸化させて第2酸化シリコン膜39とする。トンネル絶縁膜12とトップ絶縁膜16との間のアンダーカット部35内に形成されたポリシリコン膜は、奥まった領域にあり酸化が進み難いため、ポリシリコン膜のまま残存し、電荷蓄積層14となる。第2開口部44の半導体基板10上に形成された第2酸化シリコン膜39を除去する。第2開口部44から半導体基板10内に砒素イオンを注入する。これにより、半導体基板10内を延伸し、第2開口部44で規定されるN型拡散領域であるビットライン18が形成される。

10

【0040】

図12(a)から図12(d)を参照に、第2開口部44に埋め込まれるように、高密度プラズマCVD法を用いて、第1酸化シリコン膜34を形成する。その後、第1絶縁膜30の上面が露出するように、CMP(化学機械研磨)法を用いて、第1絶縁膜30上に形成された導電層42等を研磨する。ゲート電極24上に、ゲート電極24に電気的に接続し、ビットライン18に交差して延伸する、ポリシリコン膜からなるワードライン20を形成する。ワードライン20間に酸化シリコン膜からなる層間絶縁膜36を形成する。以上により、実施例1に係るフラッシュメモリが完成する。

20

【0041】

実施例1によれば、図7(a)から図7(c)に示すように、半導体基板10上に第2絶縁膜37を形成し、ビットライン18とゲート電極24と形成されるべき領域以外の領域の半導体基板10上に形成された第2絶縁膜37を除去して第1開口部40を形成する。図8(a)から図8(c)に示すように、第1開口部40に第1絶縁膜30を形成する。図9(a)から図9(c)に示すように、第2絶縁膜37上に導電層42を形成する。ビットライン18が形成されるべき領域の半導体基板10上に形成された導電層42および第2絶縁膜37を除去して第2開口部44を形成し、第2開口部44間に導電層42からなるゲート電極24を形成する。図10(a)から図10(c)に示すように、第2開口部44からゲート電極24下に形成された第2絶縁膜37を除去して、ゲート電極24の中央下に第2絶縁膜37からなるゲート絶縁膜22を形成する。この製造方法により、ビットライン18幅方向での幅が広い第1絶縁膜30と幅が細いゲート絶縁膜22とが、ビットライン18の延伸方向で交互に並んで形成される。このため、ゲート電極24の中央下に幅の細いゲート絶縁膜22を形成した場合でも、ゲート絶縁膜22の隣に幅の広い第1絶縁膜30が形成されていることで、ゲート絶縁膜22上に形成されたゲート電極24の倒れ込みを抑制することができる。

30

【0042】

また、図8(a)から図8(c)に示すように、第1開口部40および溝部28に形成する第1絶縁膜30は、第1絶縁膜30の上面が第2絶縁膜37の上面より半導体基板10表面から離れるように形成する場合は好ましい。つまり、図6(c)に示すように、第1絶縁膜30の上面はゲート絶縁膜22の上面より半導体基板10表面から離れて設けられている場合は好ましい。この場合は、ゲート絶縁膜22上に形成されたゲート電極24は、第1絶縁膜30に挟まれるように形成される。これにより、ゲート絶縁膜22の幅が細い場合でも、ゲート絶縁膜22上に形成されたゲート電極24の倒れ込みをより抑制することができる。

40

【0043】

また、図10(a)から図10(c)に示すように、第2開口部44からゲート電極24下に形成された第2絶縁膜37を除去して、ゲート電極24の両端下にアンダーカット

50

部 35 を形成し、ゲート電極 24 の中央下にゲート絶縁膜 22 を形成する。図 11 (a) から図 11 (c) に示すように、ゲート電極 24 の両端下に形成されたアンダーカット部 35 に電荷蓄積層 14 を形成する。これにより、ゲート絶縁膜 22 を挟んで分離した電荷蓄積層 14 を形成することができる。このため、C B D の影響を抑制することができる。

【 0 0 4 4 】

さらに、図 7 (a) から図 7 (c) に示すように、ビットライン 18 とゲート電極 24 とが形成されるべき領域以外の領域の半導体基板 10 に溝部 28 を形成する。つまり、第 1 開口部 40 の下方の半導体基板 10 に溝部 28 を形成する。図 8 (a) から図 8 (c) を参照に、第 1 絶縁膜 30 を溝部 28 に埋め込むように形成する。これにより、ビットライン 18 とゲート電極 24 とが形成されるべき領域以外の領域の半導体基板 10 内に第 1 絶縁膜 30 が形成される。言い換えると、ビットライン 18 延伸方向のゲート電極 24 間の半導体基板 10 内に第 1 絶縁膜 30 が形成される。つまり、ビットライン 18 間でゲート電極 24 周囲の半導体基板 10 内に第 1 絶縁膜 30 が形成される。このため、ゲート電極 24 周囲の半導体基板 10 を流れるフリンジ電流を抑制することができる。フリンジ電流は、データを読み出す場合等において、誤動作を引き起こす原因となる。したがって、フリンジ電流を抑制することで、データの読み出し特性等を向上させることができる。

10

【 0 0 4 5 】

さらに、図 7 (a) から図 7 (c) に示すように、第 1 開口部 40 の側面に保護膜 32 を形成し、その後、図 8 (a) から図 8 (c) に示すように、第 1 開口部 40 に第 1 絶縁膜 30 を形成する。これにより、第 1 絶縁膜 30 の側面に保護膜 32 が形成される。第 1 絶縁膜 30 および第 2 絶縁膜 37 の材料は酸化シリコン膜からなり、保護膜 32 の材料は窒化シリコン膜からなる。このため、図 10 (a) から図 10 (c) に示すように、第 2 開口部 44 からゲート電極 24 下に形成された第 2 絶縁膜 37 を除去してゲート絶縁膜 22 を形成する際に、保護膜 32 は第 2 絶縁膜 37 より除去され難い。よって、ゲート絶縁膜 22 を形成する際に、保護膜 32 で覆われた第 1 絶縁膜 30 はそのまま残存させることができる。したがって、ゲート絶縁膜 22 の幅より広い幅を有する第 1 絶縁膜 30 を容易に形成することができる。このことから、保護膜 32 の材料は、ゲート電極 24 下に形成された第 2 絶縁膜 37 を除去してゲート絶縁膜 22 を形成する際に、第 2 絶縁膜 37 より除去され難い材料である場合が好ましい。

20

【 0 0 4 6 】

また、第 1 絶縁膜 30 の材料が、ゲート電極 24 下に形成された第 2 絶縁膜を除去してゲート絶縁膜 22 を形成する際に、第 2 絶縁膜 37 より除去され難い材料である場合でもよい。この場合は、第 1 絶縁膜 30 の側面に保護膜 32 を形成しなくても、ゲート絶縁膜 22 の幅より広い幅を有する第 1 絶縁膜 30 を容易に形成することができる。このため、製造工程の短縮、簡略化を図ることができる。

30

【 0 0 4 7 】

さらに、図 10 (a) から図 10 (c) に示すように、ゲート電極 24 下に形成された第 2 絶縁膜 37 を除去して、ゲート電極 24 の中央下にゲート絶縁膜 22 を形成する工程は、フッ酸によるウエットエッチング等の等方性エッチングを用いて、第 2 絶縁膜 37 を除去する方が好ましい。この場合は、第 2 絶縁膜 37 は両側面側から同様に除去されていくため、ゲート電極 24 の中央下に第 2 絶縁膜 37 からなるゲート絶縁膜 22 を容易に形成することができる。

40

【 0 0 4 8 】

さらに、図 12 (a) から図 12 (d) に示すように、ゲート電極 24 上に、ゲート電極 24 に電氣的に接続して、ビットライン 18 に交差して延伸するワードライン 20 を形成する場合を例に示したがこれに限られない。例えば、ワードライン 20 を形成せず、ゲート電極 24 上に層間絶縁膜等を介して配線層をビットライン 18 に交差して延伸するように形成し、配線層とゲート電極 24 とを層間絶縁膜等に形成したプラグ金属等で電氣的に接続する場合でもよい。また、ゲート電極 24 の代わりに、ダミー膜をゲート電極 24 が形成されるべき領域に形成し、ワードライン 20 を形成する前に、ダミー膜を除去して

50

、その後、ダミー膜を除去した領域に埋め込まれるように、ゲートを兼ねるワードライン20を形成する場合でもよい。

【0049】

さらに、図10(a)から図10(c)に示すように、第2開口部44からゲート電極24下に形成された第2絶縁膜37を除去する際、第1絶縁膜30は保護膜32で覆われているため除去され難く、第1絶縁膜30の両端下にアンダーカット部35は形成され難い。つまり、第1絶縁膜30の両端下に電荷蓄積層14は形成され難い。このため、ゲート電極24の両端下に形成された電荷蓄積層14のうち、ビットライン18延伸方向で隣接する電荷蓄積層14は互いに分離して形成される。これにより、電荷蓄積層14がポリシリコン膜からなる場合でも、ゲート電極24下に局所的に電荷を蓄積させることができる。また、電荷蓄積層14はポリシリコン膜からなる場合に限られず、例えば窒化シリコン膜からなる場合等、電荷を蓄積することができる材料であれば、その他の材料からなる場合でもよい。

10

【実施例2】

【0050】

実施例2は第2絶縁膜37に第1開口部40を形成した後、第1開口部40に第1絶縁膜30を形成する前に、マスク層38の幅を細める工程を有する場合の例である。図13(a)から図15(d)を用い、実施例2に係るフラッシュメモリの製造方法を説明する。図13(a)、図13(b)、図14(a)、図14(b)、図15(a)および図15(b)は図5のA-A間に相当する断面図である。図13(c)、図13(d)、図14(c)、図14(d)、図15(c)および図15(d)は図5のB-B間に相当する断面図である。

20

【0051】

図13(a)および図13(c)を参照に、半導体基板10上に第2絶縁膜37を形成する。第2絶縁膜37上に、ビットライン18およびゲート電極24が形成されるべき領域以外の領域に開口部を有するマスク層38を形成する。マスク層38をマスクに第2絶縁膜37および半導体基板10をエッチングする。これにより、第2絶縁膜37に第1開口部40が形成され、半導体基板10内に溝部28が形成される。マスク層38にエッチバックを実施し、マスク層38の幅を細くした後、保護膜32を全面堆積する。

【0052】

図13(b)および図13(d)を参照に、第1開口部40および溝部28に埋め込まれるように第1絶縁膜30を形成する。マスク層38の幅が、実施例1に比べて細いため、第1絶縁膜30の上部の幅T1は実施例1に比べて広がる。その後、マスク層38等を除去する。

30

【0053】

図14(a)および図14(c)を参照に、第1絶縁膜30および第2絶縁膜37上に導電層42を形成する。ビットライン18が形成されるべき領域の半導体基板10上に形成された導電層42および第2絶縁膜37をエッチングして第2開口部44を形成する。第1絶縁膜30の上部の幅T1は実施例1に比べて広いため、第2開口部44を形成した後の、第1絶縁膜30の上部の側面に形成されている導電層42の幅T2は実施例1に比べて細くなる。第2開口部44間に形成された導電層42のうち、第2絶縁膜37上に形成された導電層42はゲート電極24となる。

40

【0054】

図14(b)および図14(d)を参照に、ゲート電極24の中央下に第2絶縁膜37が残存するよう、第2開口部44からゲート電極24下の第2絶縁膜37を除去する。これにより、ゲート電極24の両端下に第2絶縁膜37が除去された領域であるアンダーカット部35が形成され、ゲート電極24の中央下に第2絶縁膜37からなるゲート絶縁膜22が形成される。

【0055】

図15(a)および図15(c)を参照に、アンダーカット部35内に、熱酸化法を用

50

いてトンネル絶縁膜 12 とトップ絶縁膜 16 とを形成する。この時、ゲート電極 24 および導電層 42 も酸化され、ゲート電極 24 および導電層 42 の表面に第 2 酸化シリコン膜 39 が形成される。トンネル絶縁膜 12 とトップ絶縁膜 16 との間に電荷蓄積層 14 を形成する。第 2 開口部 44 で規定されるビットライン 18 を半導体基板 10 内に延伸するように形成する。

【0056】

図 15 (b) および図 15 (d) を参照に、第 2 開口部 44 に埋め込まれるように第 1 酸化シリコン膜 34 を形成する。その後、第 1 絶縁膜 30 の上面が露出するように、第 1 絶縁膜 30 上に形成された導電層 42 等を研磨する。ゲート電極 24 上に、ゲート電極 24 に電氣的に接続し、ビットライン 18 に交差して延伸するワードライン 20 を形成する。ワードライン 20 間に層間絶縁膜 36 を形成する。以上により、実施例 2 に係るフラッシュメモリが完成する。

10

【0057】

実施例 1 では、例えば、図 9 (a) から図 9 (c) に示す、第 2 開口部 44 を形成する工程において、第 2 開口部 44 の位置ズレを考慮して、導電層 42 の幅が広くなるように形成する場合がある。つまり、第 1 絶縁膜 30 の側面に形成される導電層 42 の幅が広くなる場合がある。この場合は、図 11 (a) から図 11 (c) に示す、導電層 42 の側面や上面が酸化される時に、第 1 絶縁膜 30 側面に形成された導電層 42 は完全に酸化されずに、一部が導電層 42 のまま残存することがある。この場合でも、図 12 (a) から図 12 (d) に示す、ワードライン 20 を形成する工程で、ワードライン 20 をパターニングする際のエッチングを長く行うことで、第 1 絶縁膜 30 の側面に形成された導電層 42 を取り除くことができ、ビットライン 18 延伸方向でゲート電極 24 が繋がることを防ぐことができる。実施例 2 によれば、図 13 (a) および図 13 (c) に示すように、第 1 開口部 40 を形成した後にマスク層 38 の幅を細めることで、図 13 (b) および図 13 (d) に示すように、第 1 絶縁膜 30 の上部の幅 T1 を広くすることができる。よって、図 14 (a) および図 14 (c) に示すように、第 2 開口部 44 を形成した後の、第 1 絶縁膜 30 の上部の側面に形成された導電層 42 の幅 T2 を細くすることができる。このため、図 15 (a) および図 15 (c) に示すように、熱酸化法を用いて、トンネル絶縁膜 12 およびトップ絶縁膜 16 を形成する時に、第 1 絶縁膜 30 の側面に形成された導電層 42 は酸化されつくされ易く、第 1 絶縁膜 30 の側面に導電層 42 が残存することを抑制

20

30

【実施例 3】

【0058】

実施例 3 は、第 1 絶縁膜 30 を形成した後、導電層 42 を形成する前に、第 1 絶縁膜 30 の側面のうち露出した部分に保護膜を形成する工程を有する場合の例である。図 16 (a) から図 17 (d) を用い、実施例 3 に係るフラッシュメモリの製造方法を説明する。図 16 (a)、図 16 (b)、図 17 (a) および図 17 (b) は図 5 の A - A 間に相当する断面図である。図 16 (c)、図 16 (d)、図 17 (c) および図 17 (d) は図 5 の B - B 間に相当する断面図である。

【0059】

図 16 (a) および図 16 (c) を参照に、半導体基板 10 上に第 2 絶縁膜 37 を形成する。第 2 絶縁膜 37 上に、ビットライン 18 およびゲート電極 24 が形成されるべき領域以外の領域に開口部を有するマスク層 (不図示) を形成する。マスク層をマスクに第 2 絶縁膜 37 および半導体基板 10 をエッチングする。これにより、第 2 絶縁膜 37 に第 1 開口部 (不図示) が形成され、半導体基板 10 に溝部 (不図示) が形成される。第 1 開口部の側面と溝部の内面に保護膜 32a を形成する。第 1 開口部および溝部に埋め込まれるように第 1 絶縁膜 30 を形成する。マスク層を除去する。その後、マスク層に接していた部分であり、第 1 絶縁膜 30 の側面が露出している部分に保護膜 32b を形成する。保護膜 32b は、窒化シリコン膜を全面デポした後、窒化シリコン膜をエッチバックすることで形成できる。

40

50

【 0 0 6 0 】

図 1 6 (b) および図 1 6 (d) を参照に、第 1 絶縁膜 3 0 および第 2 絶縁膜 3 7 上に導電層 4 2 を形成する。ビットライン 1 8 が形成されるべき領域の半導体基板 1 0 上に形成された導電層 4 2 および第 2 絶縁膜 3 7 をエッチングして、第 2 開口部 4 4 を形成する。第 2 開口部 4 4 間に形成された導電層 4 2 のうち、第 2 絶縁膜 3 7 上に形成された導電層 4 2 はゲート電極 2 4 となる。第 1 絶縁膜 3 0 の側面に形成された保護膜 3 2 b により、第 1 絶縁膜 3 0 の側方に形成された導電層 4 2 の幅 T 2 は細くなる。ゲート電極 2 4 の中央下で第 2 絶縁膜 3 7 が残存するように、第 2 開口部 4 4 からゲート電極 2 4 下に形成された第 2 絶縁膜 3 7 を除去する。これにより、ゲート電極 2 4 の両端下に第 2 絶縁膜 3 7 が除去された領域であるアンダーカット部 3 5 が形成され、ゲート電極 2 4 の中央下に第 2 絶縁膜 3 7 からなるゲート絶縁膜 2 2 が形成される。

10

【 0 0 6 1 】

図 1 7 (a) および図 1 7 (c) を参照に、アンダーカット部 3 5 内に、熱酸化法を用いてトンネル絶縁膜 1 2 とトップ絶縁膜 1 6 とを形成する。この時、ゲート電極 2 4 および導電層 4 2 も酸化され、ゲート電極 2 4 および導電層 4 2 の表面に第 2 酸化シリコン膜 3 9 が形成される。トンネル絶縁膜 1 2 とトップ絶縁膜 1 6 との間に電荷蓄積層 1 4 を形成する。第 2 開口部 4 4 で規定されるビットライン 1 8 を半導体基板 1 0 内に延伸するように形成する。

【 0 0 6 2 】

図 1 7 (b) および図 1 7 (d) を参照に、第 2 開口部 4 4 に埋め込まれるように第 1 酸化シリコン膜 3 4 を形成する。その後、第 1 絶縁膜 3 0 の上面が露出するように、第 1 絶縁膜 3 0 上に形成された導電層 4 2 等を研磨する。ゲート電極 2 4 上に、ゲート電極 2 4 に電氣的に接続し、ビットライン 1 8 に交差して延伸するワードライン 2 0 を形成する。ワードライン 2 0 間に層間絶縁膜 3 6 を形成する。以上により、実施例 3 に係るフラッシュメモリが完成する。

20

【 0 0 6 3 】

実施例 3 によれば、図 1 6 (a) および図 1 6 (c) に示すように、第 1 絶縁膜 3 0 を形成した後、導電層 4 2 を形成する前に、第 1 絶縁膜 3 0 の側面のうち露出した部分に保護膜 3 2 b を形成する。これにより、第 1 絶縁膜 3 0 の側面は、保護膜 3 2 a および保護膜 3 2 b により完全に覆われる。このため、図 1 6 (b) および図 1 6 (d) に示すように、第 2 開口部 4 4 からゲート電極 2 4 下に形成された第 2 絶縁膜 3 7 を除去する際に、第 1 絶縁膜 3 0 が除去されることをより抑制することができる。したがって、ゲート絶縁膜 2 2 の幅より広い幅の第 1 絶縁膜 3 0 をより容易に形成することができる。

30

【 0 0 6 4 】

また、図 1 6 (b) および図 1 6 (d) に示すように、第 1 絶縁膜 3 0 の側方に形成される導電層 4 2 の幅 T 2 は細い。このため、図 1 7 (a) および図 1 7 (c) に示すように、第 1 絶縁膜 3 0 の側方に形成された導電層 4 2 は酸化されつくされ易くなる。これにより、実施例 2 と同じように、第 1 絶縁膜 3 0 の側方に導電層 4 2 が残存することを抑制できる。

【 0 0 6 5 】

以上、本発明の実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

40

【 図面の簡単な説明 】

【 0 0 6 6 】

【 図 1 】 図 1 は従来例 1 に係るフラッシュメモリの断面図である。

【 図 2 】 図 2 は電荷の干渉を抑制する方法を説明するための断面図である。

【 図 3 】 図 3 は分離した電荷蓄積層の製造方法の一例を説明するための断面図である。

【 図 4 】 図 4 は分離した電荷蓄積層を製造する際に生じる課題を説明するための断面図である。

50

【図 5】図 5 は実施例 1 に係るフラッシュメモリの上面図である。

【図 6】図 6 (a) は図 5 の A - A 間の断面図であり、図 6 (b) は図 5 の B - B 間の断面図であり、図 6 (c) は図 5 の C - C 間の断面図であり、図 6 (d) は図 5 の D - D 間の断面図である。

【図 7】図 7 (a) から図 7 (c) は実施例 1 に係るフラッシュメモリの製造方法を示す図 (その 1) であり、図 7 (a) は図 5 の A - A 間に相当する断面図、図 7 (b) は図 5 の B - B 間に相当する断面図、図 7 (c) は図 5 の C - C 間に相当する断面図である。

【図 8】図 8 (a) から図 8 (c) は実施例 1 に係るフラッシュメモリの製造方法を示す図 (その 2) であり、図 8 (a) は図 5 の A - A 間に相当する断面図、図 8 (b) は図 5 の B - B 間に相当する断面図、図 8 (c) は図 5 の C - C 間に相当する断面図である。

10

【図 9】図 9 (a) から図 9 (c) は実施例 1 に係るフラッシュメモリの製造方法を示す図 (その 3) であり、図 9 (a) は図 5 の A - A 間に相当する断面図、図 9 (b) は図 5 の B - B 間に相当する断面図、図 9 (c) は図 5 の C - C 間に相当する断面図である。

【図 10】図 10 (a) から図 10 (c) は実施例 1 に係るフラッシュメモリの製造方法を示す図 (その 4) であり、図 10 (a) は図 5 の A - A 間に相当する断面図、図 10 (b) は図 5 の B - B 間に相当する断面図、図 10 (c) は図 5 の C - C 間に相当する断面図である。

【図 11】図 11 (a) から図 11 (c) は実施例 1 に係るフラッシュメモリの製造方法を示す図 (その 5) であり、図 11 (a) は図 5 の A - A 間に相当する断面図、図 11 (b) は図 5 の B - B 間に相当する断面図、図 11 (c) は図 5 の C - C 間に相当する断面図である。

20

【図 12】図 12 (a) から図 12 (d) は実施例 1 に係るフラッシュメモリの製造方法を示す図 (その 6) であり、図 12 (a) は図 5 の A - A 間に相当する断面図、図 12 (b) は図 5 の B - B 間に相当する断面図、図 12 (c) は図 5 の C - C 間に相当する断面図であり、図 12 (d) は図 5 の D - D 間に相当する断面図である。

【図 13】図 13 (a) から図 13 (d) は実施例 2 に係るフラッシュメモリの製造方法を示す図 (その 1) であり、図 13 (a) および図 13 (b) は図 5 の A - A 間に相当する断面図、図 13 (c) および図 13 (d) は図 5 の B - B 間に相当する断面図である。

【図 14】図 14 (a) から図 14 (d) は実施例 2 に係るフラッシュメモリの製造方法を示す図 (その 2) であり、図 14 (a) および図 14 (b) は図 5 の A - A 間に相当する断面図、図 14 (c) および図 14 (d) は図 5 の B - B 間に相当する断面図である。

30

【図 15】図 15 (a) から図 15 (d) は実施例 2 に係るフラッシュメモリの製造方法を示す図 (その 3) であり、図 15 (a) および図 15 (b) は図 5 の A - A 間に相当する断面図、図 15 (c) および図 15 (d) は図 5 の B - B 間に相当する断面図である。

【図 16】図 16 (a) から図 16 (d) は実施例 3 に係るフラッシュメモリの製造方法を示す図 (その 1) であり、図 16 (a) および図 16 (b) は図 5 の A - A 間に相当する断面図、図 16 (c) および図 16 (d) は図 5 の B - B 間に相当する断面図である。

【図 17】図 17 (a) から図 17 (d) は実施例 3 に係るフラッシュメモリの製造方法を示す図 (その 2) であり、図 17 (a) および図 17 (b) は図 5 の A - A 間に相当する断面図、図 17 (c) および図 17 (d) は図 5 の B - B 間に相当する断面図である。

40

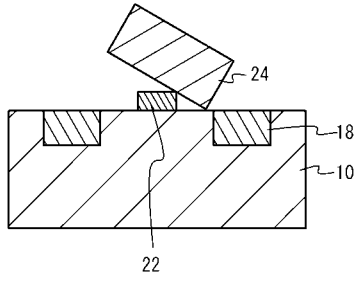
【符号の説明】

【 0 0 6 7 】

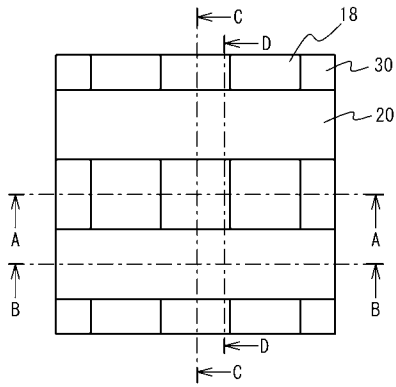
- 1 0 半導体基板
- 1 2 トンネル絶縁膜
- 1 4 電荷蓄積層
- 1 6 トップ絶縁膜
- 1 8 ビットライン
- 2 0 ワードライン
- 2 2 ゲート絶縁膜
- 2 4 ゲート電極

50

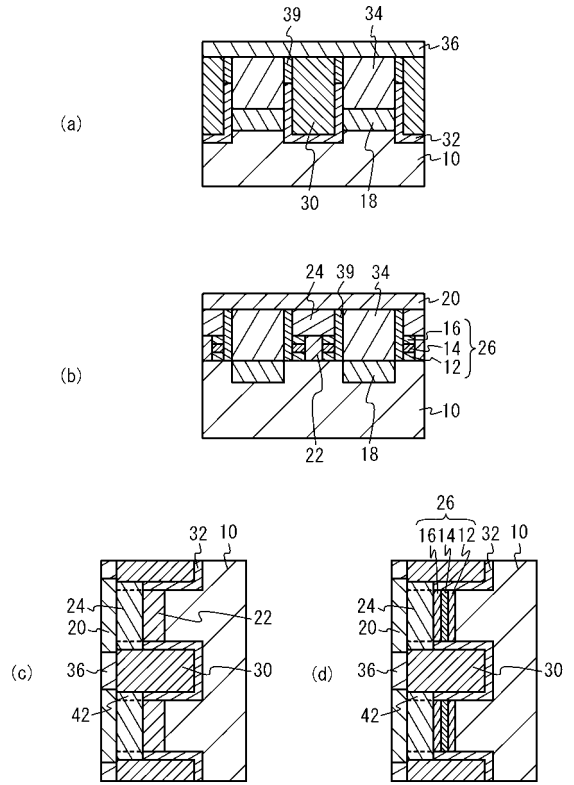
【 図 4 】



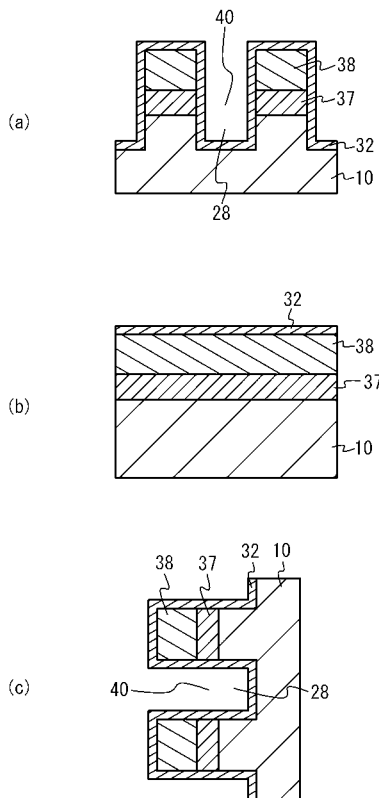
【 図 5 】



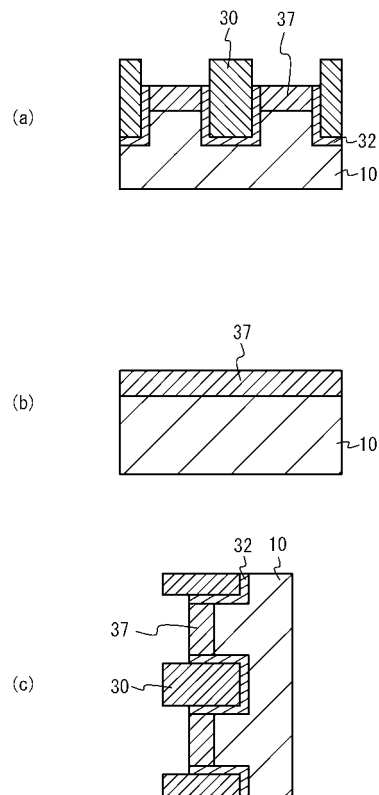
【 図 6 】



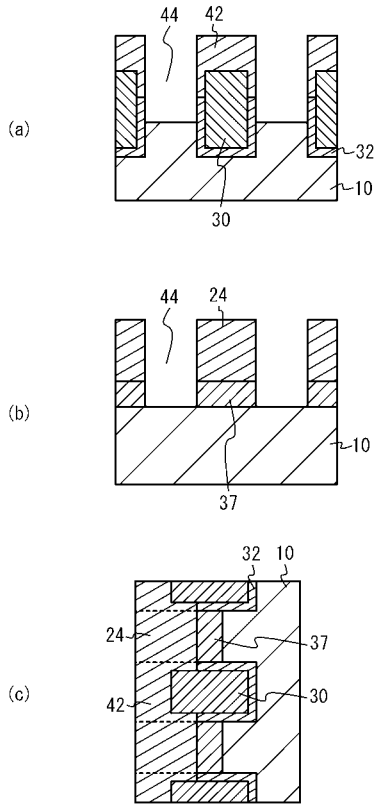
【 図 7 】



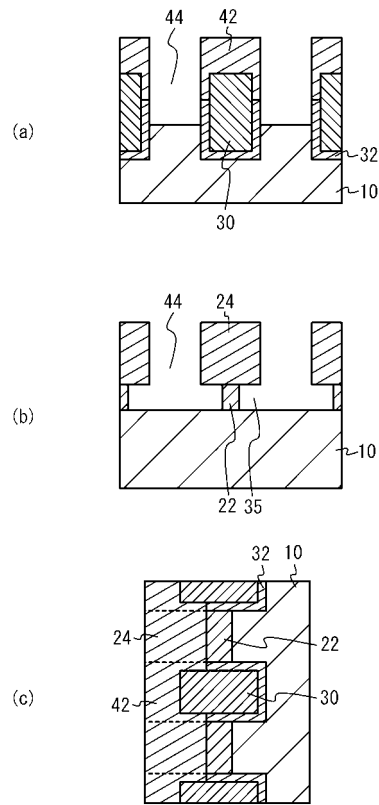
【 図 8 】



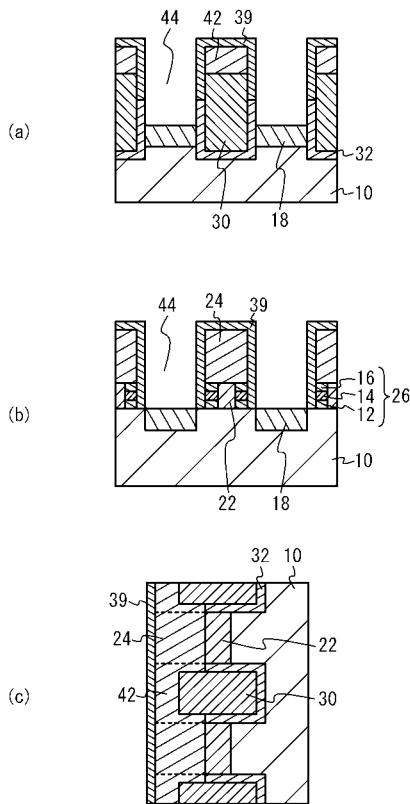
【 図 9 】



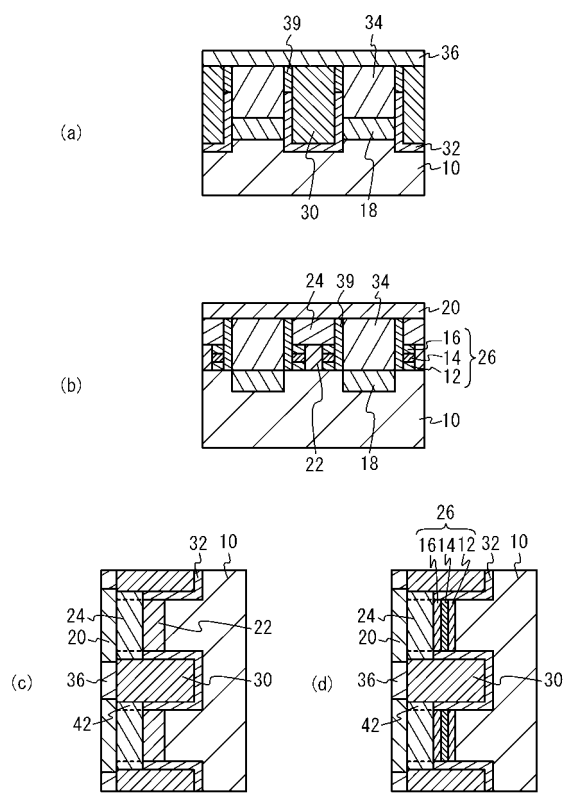
【 図 10 】



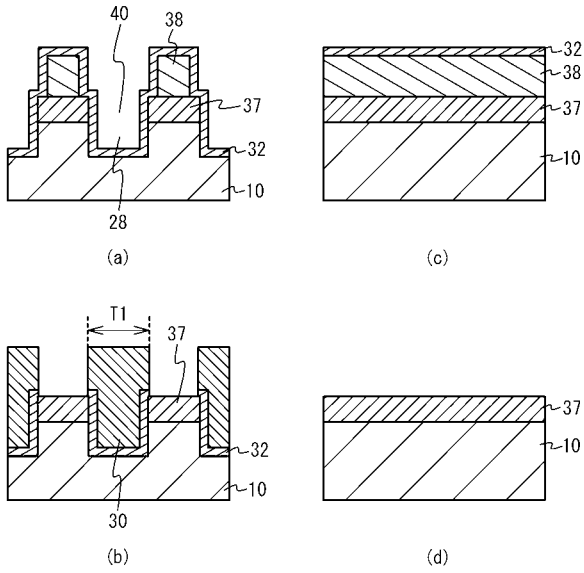
【 図 11 】



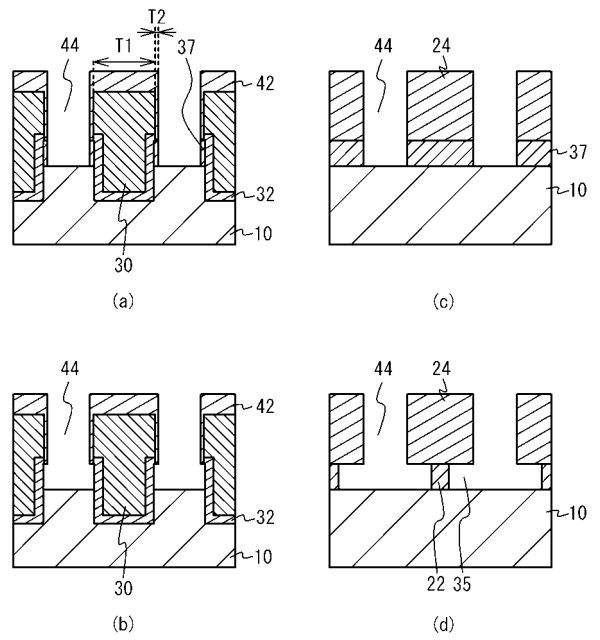
【 図 12 】



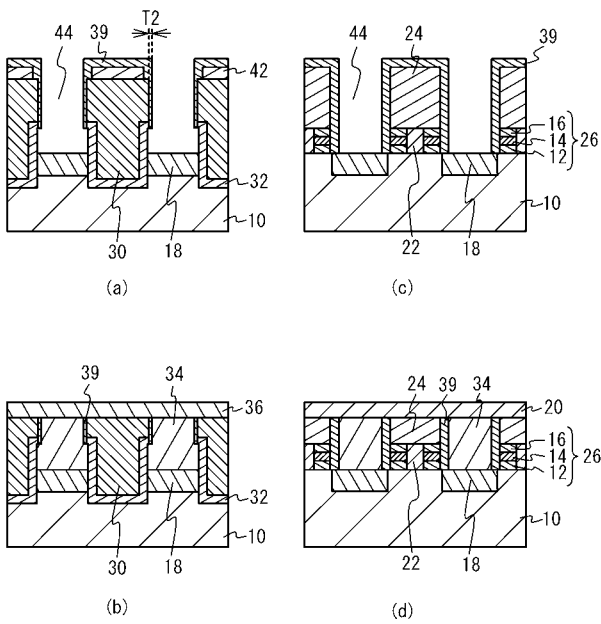
【 図 1 3 】



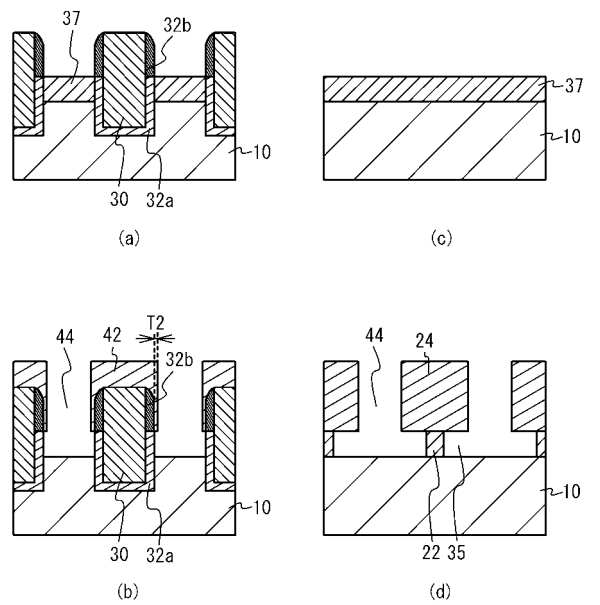
【 図 1 4 】



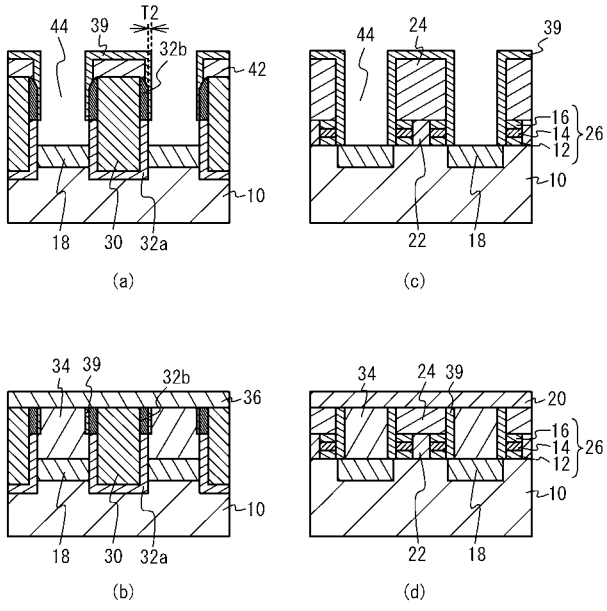
【 図 1 5 】



【 図 1 6 】



【 図 17 】



フロントページの続き

Fターム(参考) 5F083 EP02 EP18 EP25 EP26 EP48 EP49 ER22 GA06 GA12 GA27
GA28 JA04 KA08 NA01 NA06 PR07 PR40 ZA21
5F101 BA01 BA45 BB04 BD02 BD10 BD35 BE07 BF05 BF09