



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 11 2006 001 589 T5** 2008.04.30

(12)

Veröffentlichung

der internationalen Anmeldung mit der
(87) Veröffentlichungs-Nr.: **WO 2007/002426**
in deutscher Übersetzung (Art. III § 8 Abs. 2 IntPatÜG)
(21) Deutsches Aktenzeichen: **11 2006 001 589.3**
(86) PCT-Aktenzeichen: **PCT/US2006/024516**
(86) PCT-Anmeldetag: **20.06.2006**
(87) PCT-Veröffentlichungstag: **04.01.2007**
(43) Veröffentlichungstag der PCT Anmeldung
in deutscher Übersetzung: **30.04.2008**

(51) Int Cl.⁸: **H01L 21/306** (2006.01)
H01L 21/336 (2006.01)
H01L 21/84 (2006.01)
H01L 29/786 (2006.01)

(30) Unionspriorität:
11/158,661 **21.06.2005** **US**

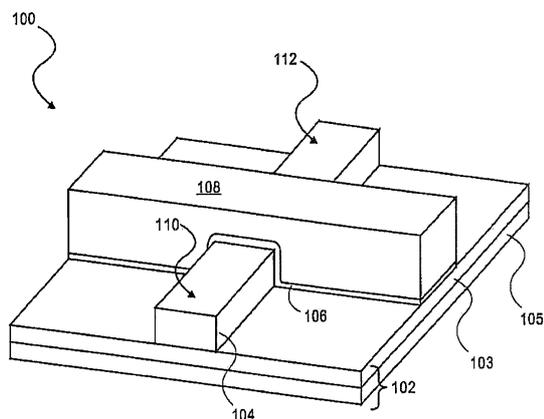
(71) Anmelder:
Intel Corporation, Santa Clara, Calif., US

(74) Vertreter:
BOEHMERT & BOEHMERT, 28209 Bremen

(72) Erfinder:
Brask, Justin, Portland, Oreg., US; Kavalieros, Jack, Portland, Oreg., US; Doyle, Brain, Portland, Oreg., US; Shah, Uday, Portland, Oreg., US; Datta, Suman, Beaverton, Oreg., US; Majumdar, Amlan, Portland, Oreg., US; Chau, Robert, Beaverton, Oreg., US

(54) Bezeichnung: **Halbleiterbauelementstrukturen und Verfahren zur Bildung von Halbleiterstrukturen**

(57) Hauptanspruch: Verfahren zur Musterbildung eines Halbleiterfilms, umfassend:
Bilden eines Hartmaskenmaterials auf einem Halbleiterfilm mit einer globalen Kristallorientierung, wobei der Halbleiterfilm eine erste Kristallebene und eine zweite Kristallebene hat, wobei die erste Kristallebene dichter als die zweite Kristallebene ist und wobei die Hartmaske auf der zweiten Kristallebene gebildet wird,
Bilden eines Musters einer mit einer Hartmaske abgedeckten Halbleiterstruktur aus dem Halbleiterfilm und dem Hartmaskenmaterial, und
Einwirkenlassen eines Naßätzprozesses, dessen chemische Wirksamkeit dazu ausreicht, die zweite Kristallebene zu ätzen, aber dessen chemische Wirksamkeit nicht dazu ausreicht, die erste Kristallebene zu ätzen, auf die mit der Hartmaske abgedeckte Halbleiterstruktur.



Beschreibung

AUSGANGSSITUATION DER ERFINDUNG

1. GEBIET DER ERFINDUNG

[0001] Die vorliegende Erfindung betrifft das Gebiet der Halbleiterverarbeitung und insbesondere Halbleiterstrukturen und ihre Fertigungsverfahren.

2. ERÖRTERUNG DES STANDES DER TECHNIK

[0002] Um die Leistungsfähigkeit moderner integrierter Schaltkreise, zum Beispiel Mikroprozessoren, zu erhöhen, sind SOI(silicon on insulator)-Transistoren vorgeschlagen worden. Ein Vorteil von SOI-Transistoren besteht darin, daß sie vollständig verarmt betreibbar sind. Ein Vorteil von vollständig verarmten Transistoren besteht in ihren idealen, unterhalb des Schwellenwertes liegenden Gradienten für optimierte Strom-an/Strom-aus-Verhältnisse. Ein Beispiel für einen vorgeschlagenen SOI-Transistor, der vollständig verarmt betreibbar ist, ist ein Tri-Gate-Transistor **100**, wie er in [Fig. 1](#) dargestellt ist. Der Tri-Gate-Transistor **100** schließt einen Siliziumkörper **104** ein, der auf einem Isoliersubstrat **102** ausgebildet ist, das eine vergrabene Oxidschicht **103** hat, die auf einem monokristallinen Siliziumsubstrat **105** ausgebildet ist. Eine Gate-Dielektrikumschicht **106** ist oben auf dem Siliziumkörper **104** und auf dessen Seitenwänden ausgebildet (siehe [Fig. 1](#)). Eine Gate-Elektrode **108** ist auf der Gate-Dielektrikumschicht ausgebildet und umgibt den Körper **104** an drei Seiten, wodurch im wesentlichen ein Transistor **100** mit drei Gate-Elektroden (G1, G2, G3) – eine pro Seitenwand des Siliziumkörpers **104** und eine auf der Oberseite des Siliziumkörpers **104** – bereitgestellt ist. Eine Source-Zone **110** und eine Drain-Zone **112** sind in dem Siliziumkörper **104** auf gegenüberliegenden Seiten der Gate-Elektrode **108** ausgebildet (siehe [Fig. 1](#)). Die aktive Kanalzone ist die Zone des Siliziumkörpers, die unterhalb der Gate-Elektrode **108** und zwischen der Source-Zone **110** und der Drain-Zone **112** angeordnet ist. Ein Vorteil eines Tri-Gate-Transistors **100** besteht darin, daß er gute Kurzkanaleffekte (SCE) aufweist. Ein Grund dafür, daß Tri-Gate-Transistoren **100** gute Kurzkanaleffekte aufweisen, ist die Tatsache, daß die Nichtebenheit solcher Bauelemente die Gate-Elektrode **108** auf eine solche Weise plaziert, daß sie die aktive Kanalzone auf allen drei Seiten umgibt.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0003] [Fig. 1](#) veranschaulicht einen nichtebenen oder Tri-Gate-Transistor.

[0004] [Fig. 2A](#) bis [Fig. 2E](#) veranschaulichen ein Verfahren zur Bildung einer Halbleiterstruktur gemäß Ausführungsformen der vorliegenden Erfindung.

[0005] [Fig. 2F](#) veranschaulicht einen nichtebenen Transistor, der aus der Struktur von [Fig. 2E](#) gebildet ist.

[0006] [Fig. 3A](#) bis [Fig. 3C](#) veranschaulichen ein Verfahren zur Bildung einer Halbleiterstruktur gemäß Ausführungsformen der vorliegenden Erfindung.

[0007] [Fig. 3D](#) veranschaulicht einen nichtebenen Transistor, der eine Halbleiterstruktur von [Fig. 3C](#) verwendet.

[0008] [Fig. 4A](#) bis [Fig. 4C](#) veranschaulichen ein Verfahren zur Bildung einer Halbleiterstruktur gemäß Ausführungsformen der vorliegenden Erfindung.

[0009] [Fig. 4D](#) veranschaulicht einen nichtebenen Transistor, der die Halbleiterstruktur von [Fig. 4C](#) verwendet.

[0010] [Fig. 5](#) veranschaulicht einen Abschnitt eines integrierten Schaltkreises, der einen n-leitenden Feldeffekttransistor und einen p-leitenden Feldeffekttransistor mit einer nichtparallelen Orientierung auf einem Substrat einschließt.

AUSFÜHRLICHE BESCHREIBUNG DER VORLIEGENDEN ERFINDUNG

[0011] Ausführungsformen der vorliegenden Erfindung beschreiben Halbleiterstrukturen und Verfahren zur Bildung von Halbleiterstrukturen. In der folgenden Beschreibung sind zahlreiche spezifische Einzelheiten dargelegt, um ein umfassendes Verständnis für die vorliegende Erfindung zu schaffen. In anderen Fällen sind wohlbekannte Halbleiterprozesse und Herstellungstechniken nicht besonders ausführlich beschrieben worden, um die vorliegende Erfindung nicht unnötigerweise unverständlich zu machen.

[0012] Die vorliegende Erfindung verwendet die Atomschichtsteuerung von einkristallinen Halbleiterstrukturen, um die Leistungsfähigkeit von Halbleiterbauelementen zu maximieren. In Ausführungsformen der vorliegenden Erfindung werden einkristalline Strukturen, die mit einer Hartmaske abgedeckt sind, anisotropischen Naßätzungen ausgesetzt. Die chemische Wirksamkeit der Naßätzung reicht dazu aus, die Aktivierungsenergiebarriere der chemischen Ätzreaktion zu überwinden, um weniger dichte Ebenen der Halbleiterstruktur zu ätzen, aber die chemische Wirksamkeit reicht nicht dazu aus, die Aktivierungsenergiebarriere der chemischen Ätzreaktion zu überwinden, wodurch Ebenen mit hoher Dichte nicht geätzt werden. Durch die Wahl der richtigen Kristallorientierung und durch die Bildung einer Hartmaske über den weniger dichten Ebenen der Struktur und durch die Verwendung einer chemischen Zusammensetzung für die Naßätzung, die die geeignete chemische Wirksamkeit aufweist, kann man Halblei-

terstrukturen mit der gewünschten Facettierung, Kristallorientierung und Seitenwandebenheit bilden. In Ausführungsformen der vorliegenden Erfindung werden natürliche Facetten in epitaktischem Silizium ausgenutzt, um die Kantenrauigkeit in dreidimensionalen Siliziumkanalstrukturen aufzuheben. In einer Ausführungsform der vorliegenden Erfindung werden natürliche Facetten ausgenutzt, um eine dreidimensionale Kanalstruktur zu bilden, die eine gute Gate-Steuerung der Kanalzone ermöglicht. In noch anderen Ausführungsformen der vorliegenden Erfindung werden Halbleiterkörper von PMOS- und NMOS-Transistoren mit einer spezifischen Anordnung auf einkristallinen Halbleitern gebildet, um die Kristallorientierung auszunutzen und eine erhöhte Beweglichkeit sowohl von Löchern als auch von Elektronen zu erreichen. Andere Aspekte der vorliegenden Erfindung werden aus der folgenden ausführlichen Beschreibung deutlich.

[0013] Ein Verfahren zur Bildung einer dreidimensionalen Halbleiterstruktur, das eine selbstlimitierende Ätzung und eine natürliche Facettierung verwendet, ist in den [Fig. 2A](#) bis [Fig. 2F](#) gemäß Ausführungsformen der vorliegenden Erfindung veranschaulicht. Die Fertigung einer Halbleiterstruktur beginnt mit einem Substrat **200**. In einer Ausführungsform der vorliegenden Erfindung ist das Substrat **200** ein SOI-Substrat. Ein SOI-Substrat **200** schließt ein unteres monokristallines Siliziumsubstrat **202** ein. Eine Isolierschicht **204**, zum Beispiel Siliziumdioxid oder Siliziumnitrid, wird auf dem monokristallinen Substrat **202** gebildet. Ein einkristalliner Siliziumfilm **206** wird oben auf der Isolierschicht **204** gebildet. Die Isolierschicht **204** wird manchmal als „vergrabene Oxidschicht“ oder „vergrabene Isolierschicht“ bezeichnet und in einer Dicke gebildet, die dazu ausreicht, den einkristallinen Siliziumfilm **206** von dem unteren monokristallinen Siliziumsubstrat **202** zu isolieren. In einer Ausführungsform der vorliegenden Erfindung ist die Isolierschicht eine vergrabene Oxidschicht, die in einer Dicke zwischen 200 und 2000 Å gebildet wird. In einer Ausführungsform der vorliegenden Erfindung ist der Siliziumfilm **206** ein eigenleitender (das heißt, undotierter) epitaktischer Siliziumfilm. In anderen Ausführungsformen wird der einkristalline Siliziumfilm **206** so dotiert, daß sich eine p- oder n-Leitfähigkeit mit einem Konzentrationsgrad zwischen 1×10^{16} und 1×10^{19} Atomen pro cm^3 ergibt. Der Siliziumfilm **206** ist in situ dotierbar (das heißt, dotierbar, während er aufgebracht wird) oder dotierbar, nachdem er auf der Isolierschicht **204** gebildet worden ist, zum Beispiel durch Ionenimplantation. Durch das Dotieren des Siliziumfilms **206** nach seinem Aufbringen wird ermöglicht, daß sowohl n-leitende Bauelemente als auch p-leitende Bauelemente auf demselben Substrat gefertigt werden. In einer Ausführungsform der vorliegenden Erfindung wird der Siliziumfilm **206** in einer Dicke gebildet, die ungefähr der gewünschten Höhe der anschließend gebildeten Siliziumstruktur ent-

spricht. In einer Ausführungsform der vorliegenden Erfindung hat der einkristalline Siliziumfilm **206** eine Dicke von weniger als 30 Nanometern und idealerweise von ca. 20 Nanometern oder weniger.

[0014] Ein SOI-Substrat **200** ist gemäß einem beliebigen wohlbekannten Verfahren bildbar. Gemäß einem Verfahren zur Bildung des SOI-Substrats, das als SIMOX-Technik bekannt ist, werden Sauerstoffatome in hoher Dosis in ein einkristallines Siliziumsubstrat implantiert und dann getempert, um das vergrabene Oxid **204** innerhalb des Substrats zu bilden. Der Abschnitt des einkristallinen Siliziumsubstrats oberhalb des vergrabenen Oxids wird der Siliziumfilm **206**. Eine andere Technik, die gegenwärtig zur Bildung von SOI-Substraten verwendet wird, ist eine Epitaxiesiliziumfilm-Transfertechnik, die im allgemeinen als „bonded SOI“ bezeichnet wird. Bei dieser Technik ist auf der Oberfläche eines ersten Siliziumwafers ein dünnes Oxid aufgewachsen, das später als das vergrabene Oxid **204** in der SOI-Struktur dient. Danach wird Wasserstoff in hoher Dosis in den ersten Siliziumwafer implantiert, um eine Zone mechanischer Spannung unterhalb der Siliziumoberfläche des ersten Wafers zu bilden. Der erste Wafer wird dann umgeklappt und mit der Oberfläche eines zweiten Siliziumwafers kontaktiert. Der erste Wafer wird dann entlang der durch das Wasserstoffimplantat geschaffenen Ebene hoher mechanischer Spannung gespalten. Das Spalten führt zu einer SOI-Struktur mit einer dünnen Siliziumschicht ganz oben und dem vergrabenen Oxid darunter, wobei sich dies alles oben auf dem zweiten einkristallinen Siliziumwafer befindet. Wohlbekannte Glättungstechniken, zum Beispiel HCl-Glätten oder chemisch-mechanisches Polieren (CMP), sind dazu verwendbar, die Oberseite des Siliziumfilms **206** so zu glätten, daß diese die gewünschte Dicke erreicht.

[0015] Zwar wird die vorliegende Erfindung hinsichtlich Siliziumstrukturen, die auf SOI-Substraten gebildet werden, beschrieben, doch ist die vorliegende Erfindung auch auf standardmäßigen monokristallinen Siliziumwafern oder -substraten ausführbar, um ein „Bulk-Bauelement“ zu bilden. Die Siliziumstrukturen sind direkt aus dem monokristallinen Siliziumwafer bildbar oder aus auf einem monokristallinen Siliziumsubstrat ausgebildeten epitaktischen Siliziumfilmen bildbar. Außerdem sind Ausführungsformen der vorliegenden Erfindung zwar hinsichtlich der Bildung von einkristallinen Siliziumstrukturen und hinsichtlich daraus gebildeten Bauelementen veranschaulicht, doch sind die erfindungsgemäßen Verfahren und Strukturen ebenso auf andere Halbleitertypen anwendbar, zum Beispiel, ohne darauf beschränkt zu sein, Germanium (Ge), eine Legierung aus Silizium und Germanium (Si_xGe_y), Galliumarsenid (GaAs), Indiumantimonid (InSb), Galliumphosphid (GaP) und Galliumantimonid (GaSb). Entsprechend schließen Ausführungsformen der vorliegenden Erfindung

Halbleiterstrukturen und Verfahren zur Bildung von Halbleiterstrukturen, die Halbleiter verwenden, ein, zum Beispiel, ohne darauf beschränkt zu sein, Germanium (Ge), eine Legierung aus Silizium und Germanium (Si_xGe_y), Galliumarsenid (GaAs), Indiumantimonid (InSb), Galliumphosphid (GaP) und Galliumantimonid (GaSb).

[0016] In [Fig. 2A](#) hat der einkristalline Siliziumfilm **206** eine globale Kristallorientierung (**100**), definiert durch die xy-Ebene. Ein Siliziumfilm mit einer globalen Kristallorientierung (**100**) hat eine Ebene $\langle 100 \rangle$, die mit der Oberfläche des Films planar ist. Das heißt, daß, wie in [Fig. 2A](#) veranschaulicht ist, ein einkristalliner Siliziumfilm mit einer globalen Kristallorientierung (**100**) eine Ebene $\langle 100 \rangle$ hat, die in der xy-Ebene mit einer Normalachse in der z-Richtung liegt.

[0017] In der folgenden Beschreibung werden runde Klammern () dazu verwendet, die globale Kristallorientierung des Films zu veranschaulichen, definiert durch die xy-Ebene und entlang der z-Richtung, während spitze Klammern $\langle \rangle$ dazu verwendet werden, spezifische lokale Ebenen innerhalb des global definierten kristallinen Films zu beschreiben.

[0018] Außerdem hat ein einkristallines Silizium mit einer Kristallorientierung (**100**), wie in [Fig. 2A](#) veranschaulicht ist, ein Paar Ebenen $\langle 110 \rangle$, die senkrecht zueinander liegen. Das heißt, daß das einkristalline Silizium (**100**) eine Ebene $\langle 110 \rangle$ hat, die in der zx-Ebene mit einer sich in der y-Richtung erstreckenden Normalachse liegt, und eine Ebene $\langle 110 \rangle$ hat, die in der zy-Ebene mit einer Normalachse in der x-Richtung liegt. In einer Ausführungsform der vorliegenden Erfindung wird der Siliziumfilm **206** mit einer globalen Kristallorientierung (**100**) geätzt, um eine Siliziumstruktur zu bilden, die ein Paar seitlich gegenüberliegende Seitenwände, die aus der Ebene $\langle 110 \rangle$ gebildet sind, und ein senkrecht dazu liegendes zweites Paar seitlich gegenüberliegende Seitenwände, die in der Ebene $\langle 110 \rangle$ liegen, hat.

[0019] Um den Siliziumfilm **206** zu einem Siliziumkörper zu ätzen, ist ein Hartmaskenmaterial **208** auf der Oberseite **219** des Siliziumfilms **206** bildbar. Das Hartmaskenmaterial **208** ist ein Material, das eine Hartmaske zum Ätzen des Siliziumfilms **206** bereitstellen kann. Das Hartmaskenmaterial **208** ist ein Material, das während des Ätzens des Siliziumfilms **206** sein Profil beibehalten kann. Das Hartmaskenmaterial **208** ist ein Material, das während des Ätzens des Siliziumfilms **206** nicht ätzt oder nur anätzt. In einer Ausführungsform der vorliegenden Erfindung wird das Hartmaskenmaterial aus einem solchen Material gebildet, daß das zum Ätzen des Siliziumfilms **206** verwendete Ätzmittel den Siliziumfilm **206** mindestens fünfmal schneller und idealerweise mindestens zehnmal schneller als das Hartmaskenmaterial ätzt. Das heißt, daß in einer Ausführungsform der vorlie-

genden Erfindung der Siliziumfilm und die Hartmaske so ausgewählt werden, daß eine Ätzselektivität von mindestens 5:1 und idealerweise von mindestens 10:1 bereitgestellt wird. In einer Ausführungsform der vorliegenden Erfindung wird das Hartmaskenmaterial **208** aus Siliziumnitrid oder Siliziumoxynitrid gebildet. In einer Ausführungsform der vorliegenden Erfindung wird das Hartmaskenmaterial **208** aus einem Siliziumnitridfilm mit einem Kohlenstoffanteil zwischen 0 und 5% gebildet, gebildet durch einen Prozeß der chemischen Gasphasenabscheidung unter Niederdruck (Low Pressure chemical vapor deposition (LP-CVD)). Das Hartmaskenmaterial **208** wird in einer Dicke gebildet, die dazu ausreicht, während des gesamten Ätzens des Siliziumfilms **206** sein Profil beizubehalten, aber nicht zu groß ist, um keine Schwierigkeiten bei der Musterbildung zu verursachen. In einer Ausführungsform der vorliegenden Erfindung wird das Hartmaskenmaterial **208** in einer Dicke zwischen 3 Nanometern und 50 Nanometern und idealerweise in einer Dicke von ca. 10 Nanometern gebildet.

[0020] Danach wird, wie auch [Fig. 2B](#) zeigt, eine Photoresistmaske **210** auf dem Hartmaskenmaterial **208** gebildet. Die Photoresistmaske **210** enthält das Merkmalsmuster, das in den Siliziumfilm **206** zu übertragen ist. Die Photoresistmaske **210** ist gemäß einer beliebigen wohlbekanntem Technik bildbar, zum Beispiel durch Blanket-Aufbringen von Photoresistmaterial und anschließendes Maskieren, Belichten und Entwickeln des Photoresistmaterials, so daß eine Photoresistmaske **210** mit dem gewünschten Muster für einen Siliziumfilm **206** entsteht. Die Photoresistmaske **210** wird typischerweise aus einer organischen Verbindung gebildet. Die Photoresistmaske **210** wird in einer Dicke gebildet, die dazu ausreicht, während der Musterbildung des Hartmaskenfilms **208** ihr Profil beizubehalten, wird aber nicht zu dick ausgebildet, um zu verhindern, daß bei ihrer lithographischen Musterbildung die kleinsten Dimensionen (das heißt, die kritischen Dimensionen) erreicht werden, die mit dem verwendeten Photolithographiesystem und -prozeß möglich sind. In einer Ausführungsform der vorliegenden Erfindung wird die Photoresistmaske **210** so auf dem einkristallinen Siliziumfilm **206** orientiert, daß eine Photoresistmaske mit einem Paar seitlich gegenüberliegender Seitenwände, die auf eine Kristallebene $\langle 110 \rangle$ ausgerichtet sind, und einem senkrecht zu dem ersten Paar liegenden zweiten Paar seitlich gegenüberliegender Seitenwände, die auf die Ebene $\langle 110 \rangle$ ausgerichtet sind, definiert wird.

[0021] Danach wird, wie [Fig. 2C](#) zeigt, das Hartmaskenmaterial **208** so geätzt, daß es auf die Photoresistmaske **210** ausgerichtet wird, um eine Hartmaske **212** zu bilden, die in [Fig. 2C](#) gezeigt wird. Die Photoresistmaske **210** verhindert, daß der darunterliegende Abschnitt des Hartmaskenmaterials **208** ge-

ätzt wird. In einer Ausführungsform der vorliegenden Erfindung wird das Hartmaskenmaterial **208** mit einem Ätzmittel geätzt, das das Hartmaskenmaterial ätzen kann, aber den darunterliegenden Siliziumfilm **206** nicht ätzt. In einer Ausführungsform der vorliegenden Erfindung wird das Hartmaskenmaterial mit einem Ätzmittel geätzt, das eine nahezu perfekte Selektivität hinsichtlich des darunterliegenden Siliziumfilms **206** aufweist.

[0022] Das heißt, daß in einer Ausführungsform der vorliegenden Erfindung das Hartmaskenätzmittel das Hartmaskenmaterial **208** mindestens zwanzigmal schneller als den darunterliegenden Siliziumfilm **206** ätzt (das heißt, daß das Ätzmittel eine Hartmaske-zu-Siliziumfilm-Selektivität von mindestens 20:1 aufweist). Wenn das Hartmaskenmaterial **208** ein Siliziumnitrid- oder Siliziumoxynitridfilm ist, ist das Hartmaskenmaterial **208** unter Verwendung eines Trockenätzprozesses, zum Beispiel eines RIE (Reactive Ion Etching)-Prozesses, zu einer Hartmaske **212** ätzbar. In einer Ausführungsform der vorliegenden Erfindung wird eine Siliziumnitrid- oder Siliziumoxynitridhartmaske in einem RIE-Prozeß unter Verwendung einer chemischen Zusammensetzung, die CHF_3 und O_2 und Ar umfaßt, geätzt.

[0023] Danach kann, wie auch [Fig. 2C](#) zeigt, die Photoresistmaske **210** gemäß wohlbekannten Techniken entfernt werden, nachdem aus dem Hartmaskenfilm **208** das Muster einer Hartmaske **212** gebildet worden ist. So kann die Photoresistmaske **210** zum Beispiel unter Verwendung der „Piranha“-Reinigungslösung, die Schwefelsäure und Wasserstoffperoxid einschließt, entfernt werden. Außerdem kann der Rückstand der Photoresistmaske **210** mittels O_2 -Schwabbeln (ashing) entfernt werden.

[0024] Auch wenn es nicht erforderlich ist, so ist es doch wünschenswert, die Photoresistmaske **210** vor der Musterbildung des Siliziumfilms **206** zu entfernen, so daß sich kein Polymerfilm, der von dem Photoresist herrührt, auf den Seitenwänden des durch Musterbildung entstandenen Siliziumfilms **206** bildet. Wenn zum Beispiel der Siliziumfilm **206** als Halbleiterkörper oder -fin in einem nichtebenen Bauelement verwendet wird, ist es wünschenswert, zuerst die Photoresistmaske vor dem Ätzen des Siliziumfilms zu entfernen, weil Trockenätzprozesse die Photoresistmaske erodieren und die Entwicklung von Polymerfilmen auf den Seitenwänden des Siliziumkörpers, deren Entfernen schwierig sein kann und die die Leistungsfähigkeit des Bauelements nachteilig beeinflussen können, verursachen können.

[0025] Danach wird, wie [Fig. 2D](#) zeigt, der Siliziumfilm **206** so geätzt, daß er auf die Hartmaske **212** ausgerichtet wird, um einen gemusterten Siliziumfilm **214** zu bilden, der ein erstes Paar seitlich gegenüberliegende Seitenwände **218**, die auf die Kristallebene

<110> ausgerichtet sind, und ein zweites Paar seitlich gegenüberliegende Seitenwände **220**, die auf die Kristallebene **<110>** ausgerichtet sind, hat. Die Hartmaske **212** verhindert, daß der darunterliegende Abschnitt des Siliziumfilms **206** während des Ätzprozesses geätzt wird. In einer Ausführungsform der vorliegenden Erfindung wird das Ätzen so lange fortgesetzt, bis die darunterliegende vergrabene Oxidschicht **204** erreicht ist. Der Siliziumfilm **206** wird mit einem Ätzmittel geätzt, das den Siliziumfilm **206** ätzt, ohne die Hartmaske **212** merklich zu ätzen. In einer Ausführungsform der vorliegenden Erfindung wird der Siliziumfilm **206** mit einem Ätzmittel geätzt, welches ermöglicht, daß der Siliziumfilm **206** mindestens fünfmal und idealerweise zehnmal schneller als die Hartmaske **212** geätzt wird (das heißt, daß das Ätzmittel eine Ätzselektivität (Siliziumfilm **206** zu Hartmaske **212**) von mindestens 5:1 und idealerweise mindestens 10:1 aufweist). Der Siliziumfilm **206** ist unter Verwendung eines beliebigen geeigneten Prozesses ätzbar. In einer Ausführungsform der vorliegenden Erfindung wird der Siliziumfilm **206** anisotropisch geätzt, so daß der Siliziumkörper **214** fast senkrechte Seitenwände **218** hat, die auf die Seitenwände der Hartmaske **212** ausgerichtet sind. Wenn die Hartmaske **212** ein Siliziumnitrid- oder Siliziumoxynitridfilm ist, ist der Siliziumfilm **206** unter Verwendung eines Trockenätzprozesses, zum Beispiel eines RIE-Prozesses oder eines Plasmaätzprozesses, mit einer chemischen Zusammensetzung, die Cl_2 und HBr umfaßt, ätzbar.

[0026] Nach dem Ätzen des Siliziumfilms **206** zur Bildung des/der Siliziumkörpers oder -struktur **214** haben die Seitenwände **218** typischerweise eine Kantenrauigkeit **222** von ca. 2 bis 4 Nanometern. Wenn ein/e Siliziumkörper oder -struktur mit einer Breite zwischen den Seitenwänden **218** von lediglich 20 bis 30 Nanometern gebildet wird, ist eine solche Rauhtiefe unannehmbar groß und kann die Leistungsfähigkeit des Bauelements nachteilig beeinflussen.

[0027] Entsprechend wird in einer Ausführungsform der vorliegenden Erfindung die Siliziumstruktur **214** einer Naßätzung oder einer „Facettierungsätzung“ ausgesetzt, während sich die Hartmaske **212** auf der Struktur **214** befindet, um die Kantenrauigkeit zu beseitigen und/oder die Form der Struktur passend zu machen, um die Leistungsfähigkeit des Bauelements zu steigern. In einer Ausführungsform der vorliegenden Erfindung wird die mit der Hartmaske **212** abgedeckte Siliziumstruktur **214** einer anisotropischen Naßätzung ausgesetzt. Die chemische Wirksamkeit des Naßätzmittels reicht dazu aus, die Aktivierungsenergiebarriere der chemischen Ätzreaktion zu überwinden, um weniger dichte Ebenen der Halbleiterstruktur zu ätzen, aber die chemische Wirksamkeit reicht nicht dazu aus, die Aktivierungsenergiebarriere der chemischen Ätzreaktion zu überwinden, wodurch

Ebenen mit hoher Dichte nicht geätzt werden.

[0028] In einer Ausführungsform der vorliegenden Erfindung werden eine chemische Zusammensetzung und ein Prozeß für eine Naßätzung verwendet, die die weniger dichten Ebenen $\langle 100 \rangle$ und $\langle 110 \rangle$ ätzen können, aber die Ebenen mit höherer Dichte $\langle 111 \rangle$ nicht ätzen können. Da die Hartmaske **212** die weniger dichte Ebene $\langle 100 \rangle$ auf der Oberseite der Siliziumstruktur **214** abdeckt, ist die weniger dichte Ebene vor einer Ätzung geschützt. Da die weniger dichte Ebene $\langle 100 \rangle$ auf der Oberseite geschützt ist und da die chemische Wirksamkeit der Ätzung nicht dazu ausreicht, die Ebene $\langle 111 \rangle$ zu ätzen, kommt die Naßätzung auf der ersten völlig intakten oder angrenzenden Ebene $\langle 111 \rangle$ zum Stehen (siehe [Fig. 2E](#)). Auf diese Weise ist die „Facettierungs-“ oder Naßätzung selbstlimitierend. Somit bleiben auf die Selbstlimitierung der Naßätzung hin nur Ebenen $\langle 111 \rangle$ und ätzresistente Filme, die zum Schutz der weniger dichten Ebenen $\langle 110 \rangle$ und $\langle 100 \rangle$ verwendet werden, freiliegend. Man kann sagen, daß die erfindungsgemäße Facettierungsätzung eine anisotropische Ätzung ist, weil sie in einer Richtung mit einer Geschwindigkeit und in anderen Richtungen mit einer zweiten, geringeren Geschwindigkeit oder überhaupt nicht ätzt. Da der Ätzprozeß die Ebenen $\langle 100 \rangle$ und $\langle 110 \rangle$, aber nicht die Ebenen $\langle 111 \rangle$ ätzt, bildet die Facettierungs- oder Naßätzung eine Siliziumstruktur **230** mit Seitenwänden **232**, die durch die Ebene $\langle 111 \rangle$ definiert sind (siehe [Fig. 2E](#)). Die anisotropische Naßätzung beseitigt die Oberflächenrauigkeit **222** von den Seitenwänden **218** (siehe [Fig. 2D](#)) und erzeugt optisch glatte Seitenwände **232** (siehe [Fig. 2E](#)). Außerdem sind die Seitenwände **218**, nachdem die Struktur **214** lange genug der Facettierungsätzung ausgesetzt worden ist, durch die Ebene $\langle 111 \rangle$ definiert und erzeugen eine Struktur **230** mit einer V-Form oder nach innen verjüngten Seitenwänden **232**. Die Seitenwände **232** verlaufen in einem Winkel α von 62,5 Grad von der Oberseite **219** der Struktur **230** nach innen. In einer Ausführungsform der vorliegenden Erfindung hat die Oberseite **219** der Struktur **230** eine Breite (W1) zwischen seitlich gegenüberliegenden Seitenwänden **232**, die zwischen 20 und 30 nm beträgt, und die Unterseite hat eine Breite (W2) zwischen seitlich gegenüberliegenden Seitenwänden, die zwischen 10 und 15 nm beträgt.

[0029] In einer Ausführungsform der vorliegenden Erfindung ist die Naßätzung oder „Facettierungsätzung“ eine Ätzung auf Hydroxidbasis mit einer ausreichend geringen Hydroxidkonzentration und Nukleophilie (das heißt, chemische Wirksamkeit), so daß die völlig intakten Ebenen $\langle 111 \rangle$ nicht geätzt werden. In einer Ausführungsform der vorliegenden Erfindung wird die Struktur **214** einer Facettierungs- oder Naßätzung ausgesetzt, die weniger als 1 Volumenprozent Ammoniumhydroxid (NH_4OH) umfaßt. In ei-

ner Ausführungsform der vorliegenden Erfindung wird die Struktur **214** einem Naßätzmittel, das zwischen 0,2 und 1 Volumenprozent NH_4OH umfaßt, in einem Temperaturbereich zwischen 5 und 25 °C ausgesetzt. In einer Ausführungsform der vorliegenden Erfindung wird Schallenergie in einem Frequenzbereich zwischen 600 und 800 Kilohertz, die zwischen 0,5 und 3 Watt/cm² abgibt, während der Facettierungsätzung in die Ätzlösung geleitet. In einer Ausführungsform der vorliegenden Erfindung wird die mit der Hartmaske abgedeckte Siliziumstruktur über einen Zeitraum, der zwischen 15 Sekunden und 5 Minuten lang ist, der Facettierungsätzung ausgesetzt.

[0030] In einer anderen Ausführungsform der vorliegenden Erfindung kann die Facettierungs- oder Naßätzung sehr stark verdünnte (< 0,1 Volumenprozent) wässrige Lösungen von Tetraalkylammoniumhydroxiden (zum Beispiel Tetraethylammoniumhydroxid und Tetramethylammoniumhydroxid bei einer Temperatur zwischen 5 und 20 °C) umfassen.

[0031] Die gefertigte Siliziumstruktur **230** ist zur Fertigung von Halbleiterbauelementen, zum Beispiel Transistoren und Kondensatoren sowie mikroelektronische mechanische Systeme (MEMS) und optoelektronische Bauelemente, verwendbar. In einer Ausführungsform der vorliegenden Erfindung wird die Halbleiterstruktur **230** als Halbleiterkörper oder -fin für einen nichtebenen oder dreidimensionalen Transistor verwendet, zum Beispiel, ohne darauf beschränkt zu sein, für einen Tri-Gate-Transistor, einen Dual-Gate-Transistor, einen FinFET, einen Omega-FET oder einen Pi-FET.

[0032] In einer Ausführungsform der vorliegenden Erfindung stellt die Siliziumstruktur **230** einen Siliziumkörper oder -fin für einen Tri-Gate-Transistor **240** bereit (siehe [Fig. 2F](#)). Um einen Tri-Gate-Transistor **240**, wie er in [Fig. 2F](#) veranschaulicht ist, zu fertigen, wird die Hartmaske **212** von der Siliziumstruktur **230** entfernt. In einer Ausführungsform der vorliegenden Erfindung kann, wenn die Hartmaske **212** ein Siliziumnitrid- oder Siliziumoxynitridfilm ist, eine Naßätzung, umfassend Phosphorsäure in vollentsalztem Wasser, zum Entfernen der Hartmaske verwendet werden. In einer Ausführungsform der vorliegenden Erfindung umfaßt das Hartmaskenätzmittel eine wässrige Lösung mit zwischen 80 und 90 Volumenprozent Phosphorsäure, die auf eine Temperatur zwischen 150 und 170 °C, idealerweise auf 160 °C, erhitzt wird. In einer Ausführungsform der vorliegenden Erfindung ist das Substrat unter Verwendung von Standardreinigern SC1 und SC2 säuberbar, nachdem die Hartmaske **212** entfernt worden ist. Es ist wünschenswert, das Substrat zu reinigen, nachdem die Hartmaske mit Phosphorsäure entfernt worden ist, weil Phosphorsäure typischerweise viele metallische Verunreinigungen einschließt, die die Leistungsfähigkeit oder Zuverlässigkeit des Bauelements

beeinträchtigen können. Es versteht sich, daß die Hartmaske **212**, falls man einen FinFET oder ein Dual-Gate-Bauelement bilden möchte, auf der Siliziumstruktur **230** verbleiben kann, um die Oberseite der Halbleiterstruktur **230** gegen die Steuerung durch eine anschließend gebildete Gate-Elektrode zu isolieren.

[0033] Danach wird eine Gate-Dielektrikumschicht **250** auf den Seitenwänden **232** sowie auf der Oberseite des Halbleiterkörpers **230** gebildet. Die Gate-Dielektrikumschicht **250** kann eine beliebige wohlbekannte und geeignete Gate-Dielektrikumschicht sein, zum Beispiel, ohne darauf beschränkt zu sein, eine Gate-Dielektrikumschicht aus Siliziumdioxid oder Siliziumnitrid. Außerdem kann die Gate-Dielektrikumschicht **250** eine High-k-Gate-Dielektrikumschicht sein, zum Beispiel, ohne darauf beschränkt zu sein, Hafniumoxid, Zirkoniumoxid, Titanoxid und Tantaloxid. Eine beliebige wohlbekannte Technik, zum Beispiel, ohne darauf beschränkt zu sein, die Gasphasenabscheidung und die Atomlagenabscheidung, können zur Bildung der Gate-Dielektrikumschicht **250** verwendet werden.

[0034] Danach wird eine Gate-Elektrode **260** auf der Gate-Dielektrikumschicht **250** auf der Oberseite und auf den Seitenwänden der Halbleiterstruktur **230** gebildet (siehe [Fig. 2F](#)). Die Gate-Elektrode **260** wird senkrecht zu den Seitenwänden **232** gebildet. Die Gate-Elektrode ist aus einem beliebigen wohlbekanntem Gate-Elektroden-Material bildbar, zum Beispiel, ohne darauf beschränkt zu sein, aus dotiertem polykristallinen Silizium sowie aus Metallfilmen, zum Beispiel, ohne darauf beschränkt zu sein, Wolfram, Tantal, Titan und ihre Nitride. Außerdem versteht sich, daß eine Gate-Elektrode nicht notwendigerweise aus einem einzigen Material gebildet ist, sondern ein zusammengesetzter Stapel aus Dünnschichten sein kann, zum Beispiel, ohne darauf beschränkt zu sein, ein unterer Metallfilm, ausgebildet auf der Gate-Dielektrikumschicht, mit einem oberen polykristallinen Siliziumfilm. Die Gate-Dielektrikumschicht und die Gate-Elektrode können durch Blanket-Aufbringen oder Aufwachsen der Gate-Dielektrikumschicht über den Halbleiterkörper und anschließendes Blanket-Aufbringen eines Gate-Elektroden-Materials über die Gate-Dielektrikumschicht gebildet werden. Die Musterbildung der Gate-Dielektrikumschicht und des Gate-Elektroden-Materials kann dann gemäß wohlbekanntem Photolithographie- und Ätztechniken erfolgen, um die Gate-Elektrode **260** und die Gate-Dielektrikumschicht **250** zu bilden (siehe [Fig. 2F](#)). Als Alternative dazu können die Gate-Dielektrikumschicht und die Gate-Elektrode unter Verwendung eines wohlbekanntem Replacement-Gate-Prozesses gebildet werden. Eine Source-Zone **272** und eine Drain-Zone **274** werden in dem Siliziumkörper **230** auf gegenüberliegenden Seiten der Gate-Elektrode **260** gebildet (siehe [Fig. 2E](#)). Jede beliebige wohlbe-

kannte und geeignete Technik, zum Beispiel die Feststoffquellendiffusion oder die Ionenimplantation, kann zur Bildung der Source- und der Drain-Zone verwendet werden. In einer Ausführungsform der vorliegenden Erfindung werden die Source-Zone **272** und die Drain-Zone **274** so gebildet, daß sich eine Konzentration zwischen 1×10^{19} und 1×10^{21} Atomen pro cm^3 ergibt.

[0035] Der gefertigte nichtebene Transistor **240** schließt einen Halbleiterkörper **230** ein, der von der Gate-Dielektrikumschicht **250** und der Gate-Elektrode **260** umgeben ist, (siehe [Fig. 2F](#)). Der Abschnitt des Halbleiterkörpers **230**, der sich unterhalb der Gate-Dielektrikumschicht und der Gate-Elektrode befindet, ist die Kanalzone des Bauelements. In einer Ausführungsform der vorliegenden Erfindung werden die Source- und die Drain-Zone so dotiert, daß sich ein erster Leitfähigkeitstyp (n-leitend oder p-leitend) ergibt, während die Kanalzone so dotiert wird, daß sich ein zweiter, entgegengesetzter Leitfähigkeitstyp (p-leitend oder n-leitend) ergibt, oder gar nicht dotiert wird. Wenn ein leitender Kanal durch die Gate-Elektrode **260** in der Kanalzone des Siliziumkörpers **230** gebildet wird, fließen Ladungen (das heißt, Löcher oder Elektronen) zwischen der Source- und der Drain-Zone entlang der Ebene $\langle 110 \rangle$ in dem Siliziumkörper **230**. Das heißt, daß in dem Transistor **240** die Ladungswanderung entlang der Kristallebene $\langle 110 \rangle$ in der Struktur **240** erfolgt. Es hat sich herausgestellt, daß die Ladungsmigration in der Richtung $\langle 110 \rangle$ eine gute Beweglichkeit der Löcher bereitstellt. Entsprechend ist das Bauelement **240** in einer Ausführungsform der vorliegenden Erfindung ein p-leitendes Bauelement, bei dem die Source- und die Drain-Zone so ausgebildet sind, daß sich eine p-Leitfähigkeit ergibt, und bei dem die Ladungsträger Löcher sind. Außerdem kann die Gate-Elektrode **260**, indem die Seitenwände des Siliziumkörpers **230** nach innen verjüngt werden, die Kanalzone des Körpers **230** gut steuern, wodurch ein schnelles Ein- und Ausschalten des Transistors **240** ermöglicht wird.

[0036] Die [Fig. 3A](#) bis [Fig. 3D](#) veranschaulichen ein Verfahren zur Bildung eines/einer monokristallinen Siliziumkörpers oder -struktur gemäß einer anderen Ausführungsform der vorliegenden Erfindung. Wie [Fig. 3A](#) zeigt, wird eine Hartmaske **312** auf einem einkristallinen Siliziumfilm **306** mit einer globalen Kristallorientierung $\langle 100 \rangle$ gebildet. Die Hartmaske **312** ist auf die oben beschriebene Weise bildbar. In [Fig. 3A](#) wird die Hartmaske **312** jedoch so auf dem Siliziumfilm **306** orientiert, daß ein Paar Seitenwände, die auf die Ebene $\langle 100 \rangle$ ausgerichtet sind, und ein zweites Paar Seitenwände, die ebenfalls auf die Ebene $\langle 100 \rangle$ ausgerichtet sind, gebildet werden. (Es versteht sich, daß die Orientierung der Hartmaske **312** relativ zu der Orientierung der Hartmaske **212** in [Fig. 2A](#) um ca. 45° in der xy-Ebene gedreht ist.)

[0037] Danach wird, wie [Fig. 3B](#) zeigt, der Siliziumfilm **306** mit der globalen Kristallorientierung **(100)** so geätzt, daß er auf die Hartmaske **312** ausgerichtet wird, um eine Siliziumstruktur **314** zu bilden, die ein Paar seitlich gegenüberliegende Seitenwände **318**, die auf die Ebene **<100>** ausgerichtet sind, und ein zweites Paar Seitenwände **320**, die senkrecht zu dem ersten Paar liegen und ebenfalls auf die Ebene **<100>** ausgerichtet sind, hat. Der Siliziumfilm **306** ist auf die oben beschriebene Weise ätzbar.

[0038] Danach wird die Siliziumstruktur **314** einer Facettierungsnaßätzung ausgesetzt, während sich die Hartmaske **312** auf der Oberseite **319** der Siliziumstruktur **314** befindet. Die chemische Wirksamkeit der Facettierungsnaßätzung reicht dazu aus, die weniger dichten Ebenen **<110>** und **<100>** zu ätzen, aber die Wirksamkeit reicht nicht dazu aus, die Ebene mit hoher Dichte **<111>** zu ätzen. Da die weniger dichte Ebene **<100>** auf der Oberseite **319** der Siliziumstruktur **314** mit der Hartmaske **312** abgedeckt ist und da die chemische Wirksamkeit der Ätzung nicht dazu ausreicht, die Ebene **<111>** zu ätzen, wird die Siliziumstruktur **314** in eine Siliziumstruktur **330** umgewandelt, die ein Paar Seitenwände **332** hat, das eine Spitzkerbenform aufweist, die durch die sich schneidenden Ebenen **<111>** gebildet wird (siehe [Fig. 3C](#)). Die Facettierungsätzung ist, genau wie oben, selbstlimitierend und kommt an den ersten angrenzenden Ebenen **<111>** zum Stehen. Die Ebenen **<111>** der Seitenwände **332** treffen in einem Winkel β von ca. 55° aufeinander. Eine Kombination von Kristallorientierung, Atomabschirmung und gut gesteuerter anisotropischer Naßätzung ermöglicht die Bildung der Siliziumstruktur **330** mit spitzkerbenförmigen Seitenwänden **332**.

[0039] Wie oben erörtert, ist die Siliziumstruktur **330** dazu verwendbar, nichtebene oder dreidimensionale Siliziumbauelemente sowie Mikromaschinen und MEMS-Bauelemente zu schaffen. In einer Ausführungsform der vorliegenden Erfindung wird die Siliziumstruktur **330** dazu verwendet, einen nichtebenen Transistor, zum Beispiel einen in [Fig. 3D](#) veranschaulichten Tri-Gate-Transistor **330**, zu bilden. Eine Gate-Elektrode **360** wird senkrecht zu den Seitenwänden **332** gebildet (siehe [Fig. 3D](#)). Das nichtebene Bauelement hat eine Gate-Dielektrikumschicht **350** und eine Gate-Elektrode **360**, die über einem Abschnitt des Siliziumkörpers **330** und um diesen Abschnitt herum ausgebildet sind (siehe [Fig. 3D](#)). Eine Source-Zone **372** und eine Drain-Zone **374** werden in dem Siliziumkörper **330** auf gegenüberliegenden Seiten der Gate-Elektrode gebildet. Die Ladungswanderung von der Source- zu der Drain-Zone in dem Transistor **340** erfolgt parallel zu der oder ausgerichtet auf die Ebene **<100>**. Da die Ladungswanderung entlang der Ebene **<100>** erfolgt, stellt die Siliziumstruktur **330** eine gute Elektronenbeweglichkeit bereit und läßt sich daher ideal bei der Fertigung eines n-leiten-

den Feldeffekttransistors (NFET) verwenden, bei dem die Ladungsträger Elektronen sind und die Source-Zone **372** und die Drain-Zone **374** n-leitend sind.

[0040] Die [Fig. 4A](#) bis [Fig. 4D](#) veranschaulichen ein Verfahren zur Bildung eines/einer Halbleiterkörpers oder -struktur gemäß einer anderen Ausführungsform der vorliegenden Erfindung. Wie [Fig. 4A](#) zeigt, wird ein Substrat **400**, zum Beispiel ein SOI-Substrat, das ein unteres monokristallines Siliziumsubstrat **402**, eine vergrabene Oxidschicht **404** und einen einkristallinen Siliziumfilm **406** einschließt, bereitgestellt. Zwar wird idealerweise ein SOI-Substrat **400** verwendet, doch sind, wie oben dargelegt, auch andere wohlbekannte Halbleitersubstrate verwendbar. In einer Ausführungsform der vorliegenden Erfindung hat der einkristalline Siliziumfilm **406** eine globale Kristallorientierung **(110)** (siehe [Fig. 4A](#)). Ein einkristalliner Siliziumfilm mit einer globalen Kristallorientierung **(110)** hat eine Ebene **<110>** des Siliziumgitters, die Planar mit der Oberfläche des Films ist oder parallel zu dieser verläuft. Das heißt, daß, wie in [Fig. 4A](#) veranschaulicht ist, ein einkristalliner Siliziumfilm mit einer globalen Kristallorientierung **(110)** eine Ebene **<110>** in der xy-Ebene mit einer Normalachse in der z-Richtung hat. Außerdem hat ein einkristalliner Siliziumfilm mit einer globalen Kristallorientierung **(110)** Ebenen **<111>** und Ebenen **<110>**, die orthogonal zueinander und orthogonal zu einer Ebene **<110>** liegen. Das heißt, daß in einem einkristallinen Siliziumfilm **406** mit einer globalen Kristallorientierung **(110)** Ebenen **<111>** vorhanden sind, die in der xz-Ebene mit einer Normalachse in der y-Richtung liegen, und Ebenen **<110>** vorhanden sind, die in der zy-Ebene liegen und eine Normalachse in der x-Richtung haben (siehe [Fig. 4A](#)). Danach wird, wie oben beschrieben, eine Hartmaske **412** (siehe [Fig. 4A](#)) auf dem einkristallinen Siliziumfilm **406** mit einer Kristallorientierung **(110)** gebildet. Die Hartmaske **412** wird so auf dem Siliziumfilm **406** orientiert, daß ein Paar Seitenwände, die auf die Ebene **<110>** ausgerichtet sind, und ein zweites Paar senkrechte Seitenwände, die auf die Ebene **<111>** ausgerichtet sind, gebildet werden. Die Hartmaske **412** ist aus bzw. gemäß oben beschriebenen Materialien und Verfahren bildbar.

[0041] Danach wird, wie [Fig. 4B](#) zeigt, der Siliziumfilm **(110)** so geätzt, daß er auf die Hartmaske **412** ausgerichtet wird, um eine Siliziumstruktur **414** zu bilden, die ein Paar seitlich gegenüberliegende Seitenwände **418**, die parallel zu der Ebene **<110>** verlaufen oder auf diese ausgerichtet sind, und ein zweites Paar Seitenwände **420**, die senkrecht zu dem ersten Paar **418** verlaufen und parallel zu einer Ebene **<111>** verlaufen oder auf diese ausgerichtet sind, hat. Die mit der Hartmaske **412** abgedeckte Siliziumstruktur **414** wird dann einer Facettierungsnaßätzung ausgesetzt. Die chemische Wirksamkeit der Facettierungsnaßätzung reicht dazu aus, die weniger dichte Ebene **<110>** zu ätzen, aber die chemische Wirksam-

keit reicht nicht dazu aus, die Ebene mit höherer Dichte $\langle 111 \rangle$ zu ätzen. Da die weniger dichte Ebene $\langle 110 \rangle$ der Oberseite **419** mit der Hartmaske **412** abgedeckt ist und da die chemische Wirksamkeit der Ätzung nicht dazu ausreicht, die Ebene $\langle 111 \rangle$ zu ätzen, wird die Struktur **414** in eine Struktur **430** umgewandelt, die ein Paar seitlich gegenüberliegende Seitenwände **432** hat, die durch Ebenen $\langle 111 \rangle$ definiert sind (siehe [Fig. 4C](#)). Nachdem die Struktur **414** lange genug der Facettierungsätzung ausgesetzt worden ist, sind die Seitenwände **432** durch die Ebenen $\langle 111 \rangle$ definiert und erzeugen eine Struktur mit einer V-Form oder nach innen verjüngten Seitenwänden. Die Seitenwände **432** verlaufen in einem Winkel γ von ca. 62,5 Grad von der Oberseite **419** der Struktur **430** nach innen. In einer Ausführungsform der vorliegenden Erfindung hat die Oberseite **419** eine Breite (W_1) zwischen seitlich gegenüberliegenden Seitenwänden **430**, die zwischen 20 und 30 nm beträgt, und eine Unterseite hat eine Breite (W_2) zwischen seitlich gegenüberliegenden Seitenwänden **440**, die zwischen 10 und 15 nm beträgt. Eine Kombination von Kristallorientierung, Hartmaskenabdeckung und einer Naßätzung mit der geeigneten chemischen Wirksamkeit ermöglicht die Bildung der Siliziumstruktur **430** mit nach innen verjüngten Seitenwänden **432**.

[0042] Wie oben erörtert, ist die Struktur **430** dazu verwendbar, eine Vielfalt von wohlbekannten Halbleiterbauelementen, zum Beispiel nichtebene oder dreidimensionale Siliziumbauelemente sowie optoelektronische Bauelemente und MEMS-Bauelemente, zu schaffen. In einer Ausführungsform der vorliegenden Erfindung wird die Siliziumstruktur **430** dazu verwendet, einen Siliziumkörper eines nichtebenen Transistors, zum Beispiel eines in [Fig. 4D](#) veranschaulichten Tri-Gate-Transistors **440**, zu bilden. Der Tri-Gate-Transistor **440** hat eine Gate-Dielektrikumschicht **450** und eine Gate-Elektrode **460**, die über einem Abschnitt des Siliziumkörpers **430** und um diesen Abschnitt herum ausgebildet sind (siehe [Fig. 4D](#)). Die Gate-Elektrode **460** verläuft senkrecht zu den Seitenwänden **432** (siehe [Fig. 4D](#)). Die Gate-Dielektrikumschicht **450** und die Gate-Elektrode **460** können aus einem beliebigen geeigneten Material und gemäß einem beliebigen geeigneten bekannten Verfahren, zum Beispiel den oben beschriebenen, gebildet werden. Eine Source-Zone **472** und ein Drain **474** werden in dem Siliziumkörper **430** auf gegenüberliegenden Seiten der Gate-Elektrode **460** gebildet. (siehe [Fig. 4D](#)). Die Ladungswanderung von der Source-Zone **472** zu der Drain-Zone **474** in dem Siliziumkörper **430** erfolgt parallel zu der oder ausgerichtet auf die Ebene $\langle 110 \rangle$. Die nach innen verjüngten Seitenwände **432** des Siliziumkörpers **430** stellen eine gute Gate-Steuerung **460** der Kanalzone des Bauelements bereit, was das schnelle Ein- und Ausschalten des Bauelements **440** ermöglicht.

[0043] Zwar ist die vorliegende Erfindung bisher hinsichtlich der Formgebung oder „Facettierung“ von einkristallinen Siliziumstrukturen unter Verwendung einer Kombination von Kristallorientierung, Hartmaskenabdeckung und gut gesteuerten Naßätzmitteln beschrieben worden, doch sind Konzepte der vorliegenden Erfindung ebenso auf andere Typen von einkristallinen Halbleiterfilmen anwendbar, zum Beispiel, ohne darauf beschränkt zu sein, Germanium (Ge), eine Legierung aus Silizium und Germanium (Si_xGe_y), Galliumarsenid (GaAs), Indiumantimonid (InSb), Galliumphosphid (GaP) und Galliumantimonid (GaSb). So ist zum Beispiel eine einkristalline Struktur aus Indiumantimonid (InSb) unter Verwendung eines Naßätzmittels, das eine wässrige Lösung von 0,05 bis 0,1 mol/L Zitronensäure umfaßt, in einem Temperaturbereich zwischen 5 und 15 °C facettierbar. Entsprechend ist eine einkristalline Struktur aus Galliumarsenid (GaAs) facettierbar, indem eine Galliumarsenidstruktur, die mit einer Hartmaske abgedeckt ist, einem Naßätzmittel, das eine wässrige Lösung von weniger als 0,05 mol/L Zitronensäure umfaßt, in einem Temperaturbereich zwischen 5 und 15 °C ausgesetzt wird.

[0044] Außerdem wird in einer Ausführungsform der vorliegenden Erfindung ein integrierter Schaltkreis aus einem p-leitenden Transistor und einem n-leitenden Transistor **520** gebildet, die so orientiert und/oder geformt werden, daß sie die Leistungsfähigkeit jedes Transistortyps optimieren. So erfolgt zum Beispiel in einer Ausführungsform der vorliegenden Erfindung (siehe [Fig. 5](#)) die Musterbildung eines einkristallinen Siliziumfilms mit einer globalen Kristallorientierung (**100**) so, wie das unter Bezugnahme auf die [Fig. 2A](#) bis [Fig. 2F](#) beschrieben wurde, um einen Siliziumkörper **512** für einen p-leitenden nichtebenen Transistor **510** zu bilden, wobei die Wanderung der Ladungen (Löcher) parallel zu einer Ebene $\langle 110 \rangle$ erfolgt, und erfolgt die Musterbildung auch so, wie das unter Bezugnahme auf die [Fig. 3A](#) bis [Fig. 3D](#) beschrieben wurde, um einen Siliziumkörper **522** für einen n-leitenden nichtebenen Transistor **520** zu bilden, wobei die Wanderung der Ladungen (Elektronen) parallel zu einer Ebene $\langle 100 \rangle$ erfolgt. Entsprechend werden in einer Ausführungsform der vorliegenden Erfindung ein p-leitender nichtebener Transistor und ein n-leitender nichtebener Transistor nichtparallel zueinander (zum Beispiel um 45° versetzt) auf einem Substrat orientiert, um die Löcherbeweglichkeit für den p-leitenden Transistor und die Elektronenbeweglichkeit für den n-leitenden Transistor zu optimieren. In anderen Ausführungsformen der vorliegenden Erfindung werden die Halbleiterkörper des p-leitenden Bauelements und des n-leitenden Bauelements so relativ zueinander orientiert, daß ermöglicht wird, daß die Facettierungsätzung die Körper zu Strukturen formt, die die Leistungsfähigkeit jedes Bauelementtyps optimieren. Auf diese Weise ist die Leistungsfähigkeit eines integrierten Schaltkreises, der sowohl

einen n-leitenden nichtebenen Transistor als auch einen p-leitenden nichtebenen Transistor einschließt, stark verbesserbar.

Zusammenfassung

[0045] Es wird ein Verfahren zur Musterbildung eines Halbleiterfilms beschrieben. Gemäß einer Ausführungsform der vorliegenden Erfindung wird ein Hartmaskenmaterial auf einem Siliziumfilm mit einer globalen Kristallorientierung gebildet, wobei der Halbleiterfilm eine erste Kristallebene und eine zweite Kristallebene hat, wobei die erste Kristallebene dichter als die zweite Kristallebene ist und wobei die Hartmaske auf der zweiten Kristallebene gebildet wird. Danach wird ein Muster einer mit einer Hartmaske abgedeckten Halbleiterstruktur aus der Hartmaske und dem Halbleiterfilm gebildet. Die mit einer Hartmaske abgedeckte Halbleiterstruktur wird dann einem Naßätzprozeß ausgesetzt, dessen chemische Wirksamkeit dazu ausreicht, die zweite Kristallebene zu ätzen, aber dessen chemische Wirksamkeit nicht dazu ausreicht, die erste Kristallebene zu ätzen.

Patentansprüche

1. Verfahren zur Musterbildung eines Halbleiterfilms, umfassend:

Bilden eines Hartmaskenmaterials auf einem Halbleiterfilm mit einer globalen Kristallorientierung, wobei der Halbleiterfilm eine erste Kristallebene und eine zweite Kristallebene hat, wobei die erste Kristallebene dichter als die zweite Kristallebene ist und wobei die Hartmaske auf der zweiten Kristallebene gebildet wird,

Bilden eines Musters einer mit einer Hartmaske abgedeckten Halbleiterstruktur aus dem Halbleiterfilm und dem Hartmaskenmaterial, und

Einwirkenlassen eines Naßätzprozesses, dessen chemische Wirksamkeit dazu ausreicht, die zweite Kristallebene zu ätzen, aber dessen chemische Wirksamkeit nicht dazu ausreicht, die erste Kristallebene zu ätzen, auf die mit der Hartmaske abgedeckte Halbleiterstruktur.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß der Halbleiterfilm Silizium ist.

3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß der Halbleiterfilm aus der Gruppe ausgewählt wird, die aus Germanium (Ge), einer Legierung aus Silizium und Germanium (Si_xGe_y), Galliumarsenid (GaAs), Indiumantimonid (InSb), Galliumphosphid (GaP) und Galliumantimonid (GaSb) besteht.

4. Verfahren zur Musterbildung eines monokristallinen Siliziumfilms, umfassend:

Bilden einer Hartmaske auf einem monokristallinen Siliziumfilm,

Ätzen des monokristallinen Siliziumfilms auf eine solche Weise, daß dieser auf die Hartmaske ausgerichtet wird, um eine mit einer Hartmaske abgedeckte monokristalline Siliziumstruktur mit einer Oberseite und einem Paar seitlich gegenüberliegender Seitenwände zu bilden, und

Einwirkenlassen eines naßchemischen Ätzmittels auf den mit der Hartmaske abgedeckten monokristallinen Siliziumfilm, um einen Abschnitt des monokristallinen Siliziumfilms wegzuzüßen, wobei das Ätzmittel selbstlimitierend ist, so daß es auf der ersten angrenzenden Kristallebene $\langle 111 \rangle$ zum Stehen kommt.

5. Verfahren nach Anspruch 4, dadurch gekennzeichnet, daß der monokristalline Siliziumfilm eine globale Kristallorientierung $\langle 100 \rangle$ hat.

6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, daß nach dem Ätzen der Siliziumstruktur die Seitenwände auf eine Ebene $\langle 110 \rangle$ ausgerichtet sind.

7. Verfahren nach Anspruch 5, dadurch gekennzeichnet, daß nach dem Ätzen der Siliziumstruktur die Seitenwände auf eine Ebene $\langle 100 \rangle$ ausgerichtet sind.

8. Verfahren nach Anspruch 4, dadurch gekennzeichnet, daß der monokristalline Siliziumfilm eine globale Kristallorientierung $\langle 110 \rangle$ hat.

9. Verfahren nach Anspruch 8, dadurch gekennzeichnet, daß nach dem Ätzen der Siliziumstruktur die Seitenwände auf eine Ebene $\langle 110 \rangle$ ausgerichtet sind.

10. Verfahren nach Anspruch 4, ferner umfassend das Bilden eines Gate-Dielektrikums und einer Gate-Elektrode oberhalb der Oberseite der Siliziumstruktur und auf den Seitenwänden der Struktur, nachdem die Struktur der Naßätzung ausgesetzt worden ist.

11. Verfahren nach Anspruch 10, ferner umfassend das Entfernen der Hartmaske vor dem Bilden des Gate-Dielektrikums und der Gate-Elektrode.

12. Verfahren nach Anspruch 10, ferner umfassend das Bilden einer Source-Zone und einer Drain-Zone in der Siliziumstruktur auf gegenüberliegenden Seiten der Gate-Elektrode.

13. Verfahren nach Anspruch 4, dadurch gekennzeichnet, daß die chemische Wirksamkeit der Naßätzung dazu ausreicht, Ebenen $\langle 100 \rangle$ und $\langle 110 \rangle$ zu ätzen, aber die chemische Wirksamkeit nicht dazu ausreicht, Ebenen $\langle 111 \rangle$ zu ätzen.

14. Verfahren nach Anspruch 4, dadurch gekennzeichnet, daß das Naßätzmittel NH_4OH umfaßt.

15. Verfahren nach Anspruch 14, dadurch gekennzeichnet, daß das Naßätzmittel NH_4OH und Wasser umfaßt, wobei die NH_4OH -Konzentration weniger als 1 Volumenprozent beträgt.

16. Verfahren nach Anspruch 15, dadurch gekennzeichnet, daß die NH_4OH -Konzentration zwischen 0,2 und 1 Volumenprozent beträgt und das Ätzmittel eine Temperatur zwischen 5 und 25 °C hat.

17. Integrierter Schaltkreis, umfassend:
einen ersten nichtebenen Transistor mit einem ersten Halbleiterkörper, wobei die Ladungswanderung in dem ersten Halbleiterkörper entlang einer ersten Richtung erfolgt, und
einen zweiten nichtebenen Transistor mit einem zweiten Halbleiterkörper, wobei die Ladungswanderung in dem zweiten Halbleiterkörper entlang einer zweiten Richtung erfolgt, wobei die zweite Richtung nicht parallel zu der ersten Richtung verläuft.

18. Integrierter Schaltkreis nach Anspruch 17, dadurch gekennzeichnet, daß die erste Richtung in einem Winkel von ca. 45 Grad relativ zu der zweiten Richtung verläuft.

19. Integrierter Schaltkreis nach Anspruch 17, dadurch gekennzeichnet, daß der erste nichtebene Transistor ein n-leitender Feldeffekttransistor ist und daß der erste Halbleiterkörper aus einem einkristallinen Siliziumfilm gebildet ist und daß die erste Richtung parallel zu einer Ebene $\langle 100 \rangle$ des siliziumkristallinen Siliziumfilms verläuft.

20. Integrierter Schaltkreis nach Anspruch 17, dadurch gekennzeichnet, daß der zweite nichtebene Transistor ein p-leitender Feldeffekttransistor ist und daß der einkristalline zweite Halbleiterkörper ein einkristalliner Siliziumfilm ist und daß die zweite Richtung parallel zu einer Ebene $\langle 100 \rangle$ verläuft.

21. Integrierter Schaltkreis nach Anspruch 17, dadurch gekennzeichnet, daß der zweite nichtebene Transistor ein p-leitender Feldeffekttransistor ist und daß der erste Halbleiterkörper aus einem einkristallinen Siliziumfilm gebildet ist und daß die erste Richtung parallel zu einer Ebene $\langle 110 \rangle$ des Siliziumfilms verläuft und daß der erste nichtebene Transistor ein n-leitender Feldeffekttransistor ist, der zweite Halbleiterkörper ein einkristalliner Siliziumfilm ist und die zweite Richtung parallel zu einer Ebene $\langle 100 \rangle$ verläuft.

Es folgen 9 Blatt Zeichnungen

Anhängende Zeichnungen

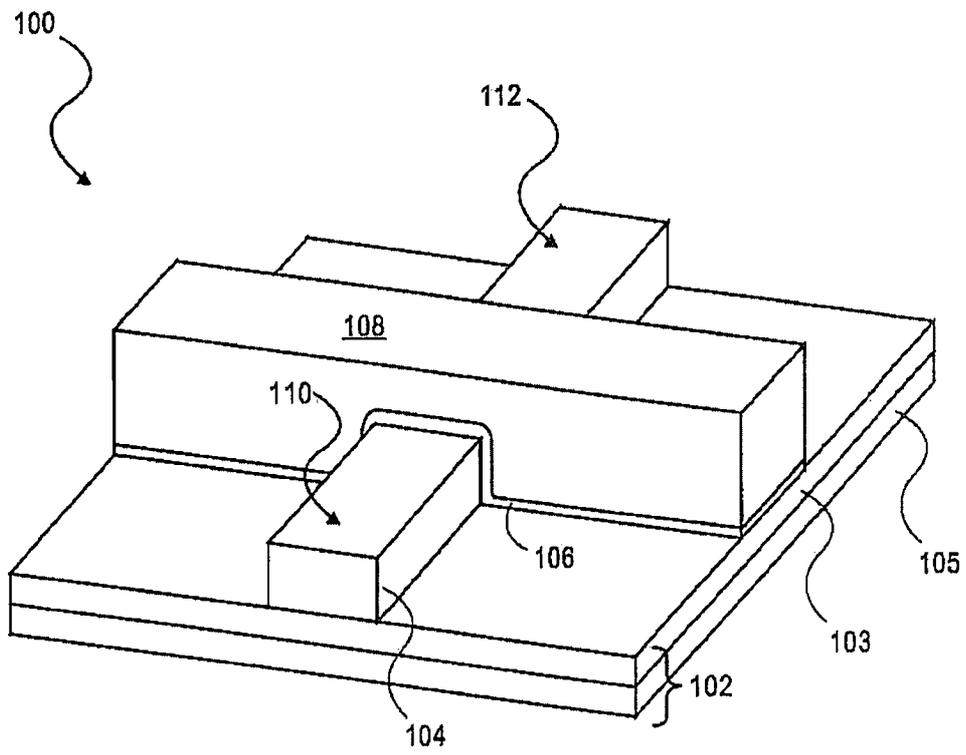


FIG. 1

(STAND DER TECHNIK)

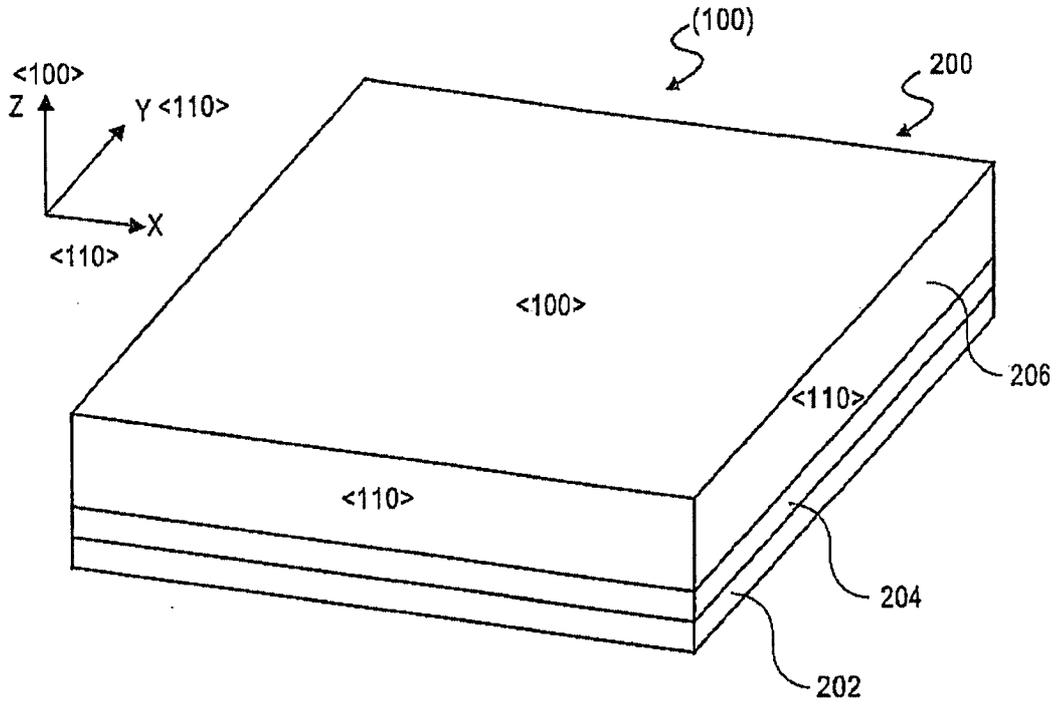


FIG. 2A

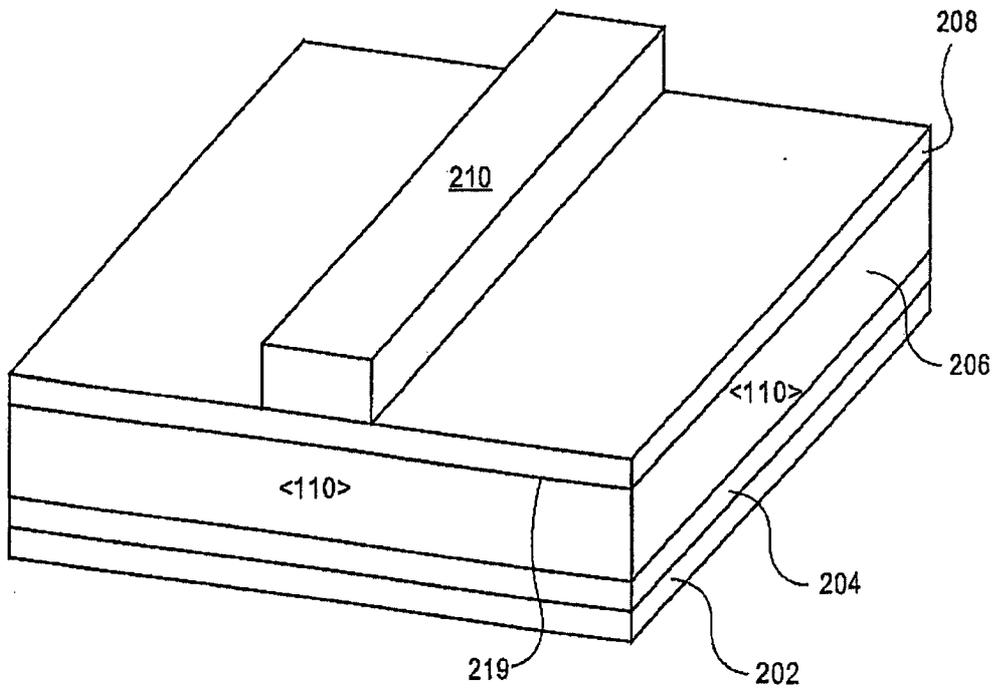


FIG. 2B

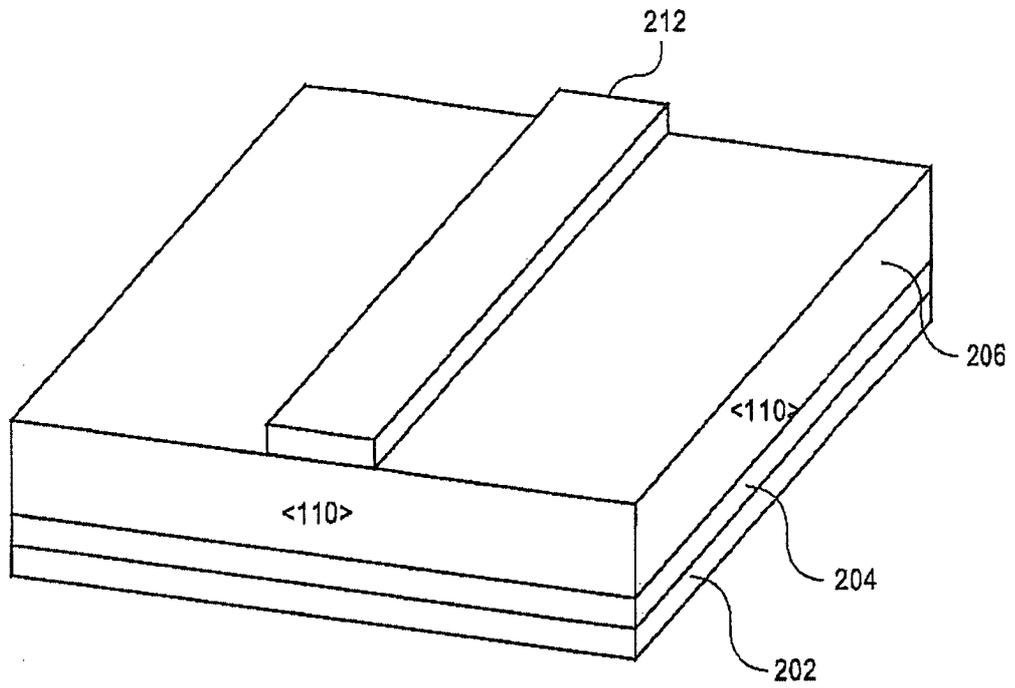


FIG. 2C

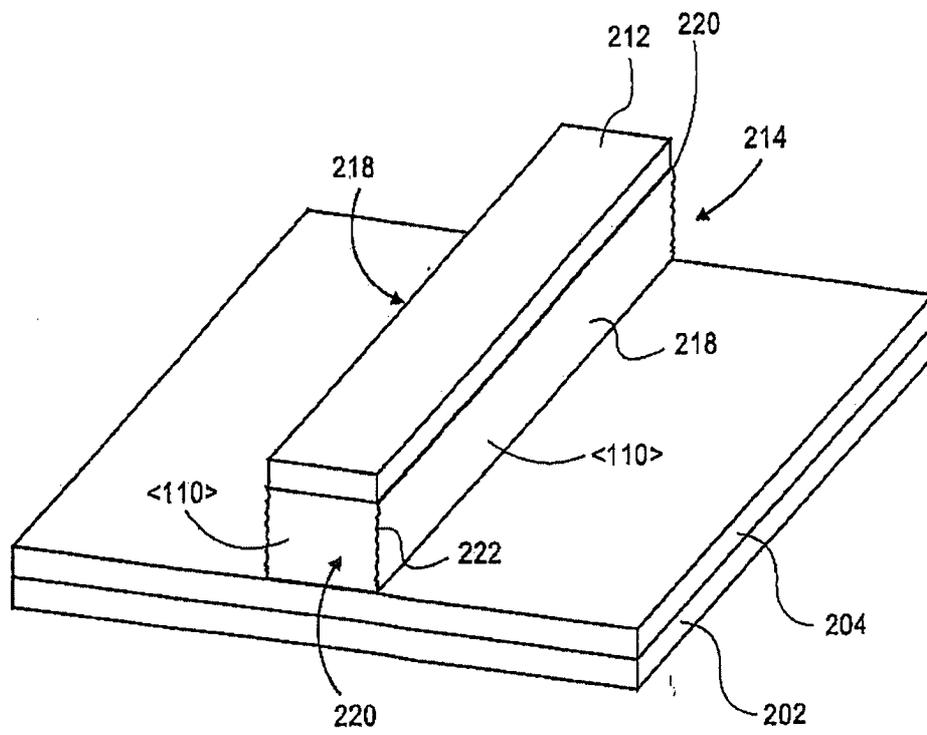


FIG. 2D

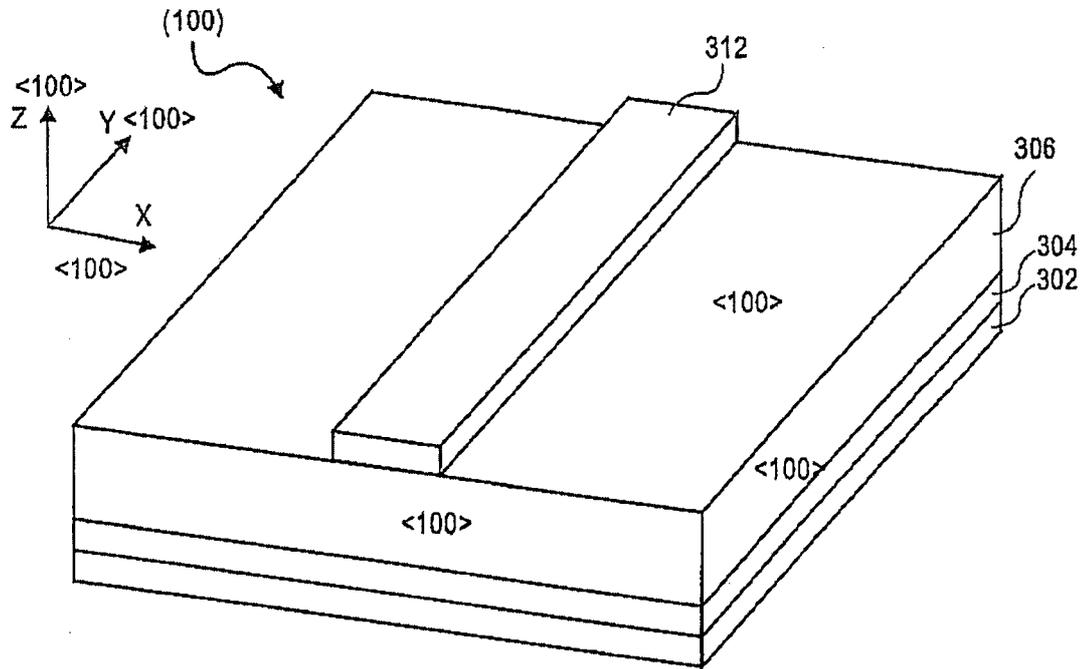


FIG. 3A

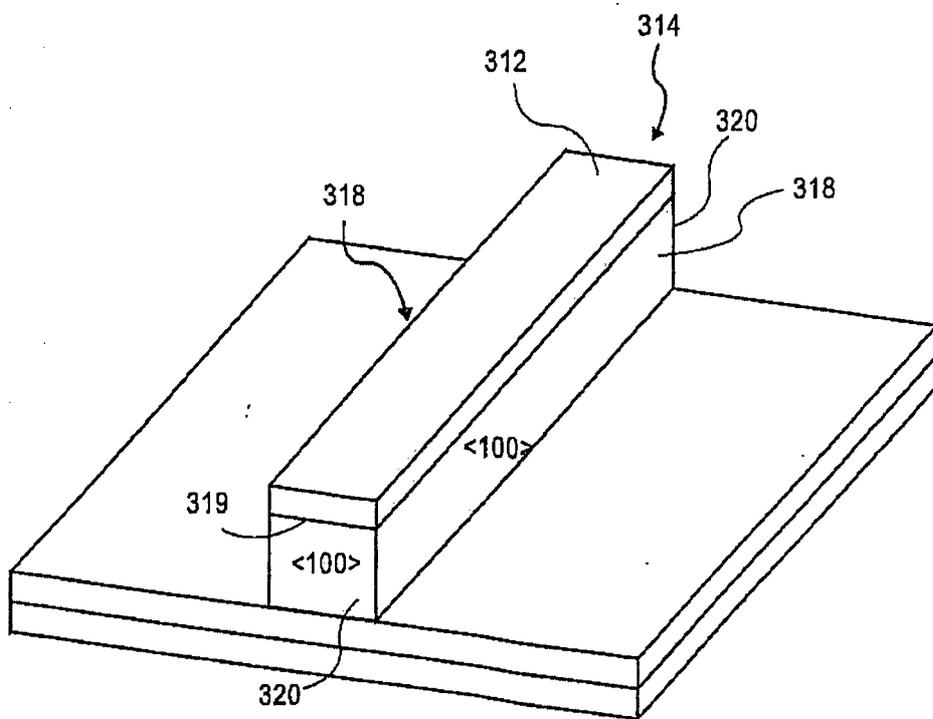


FIG. 3B

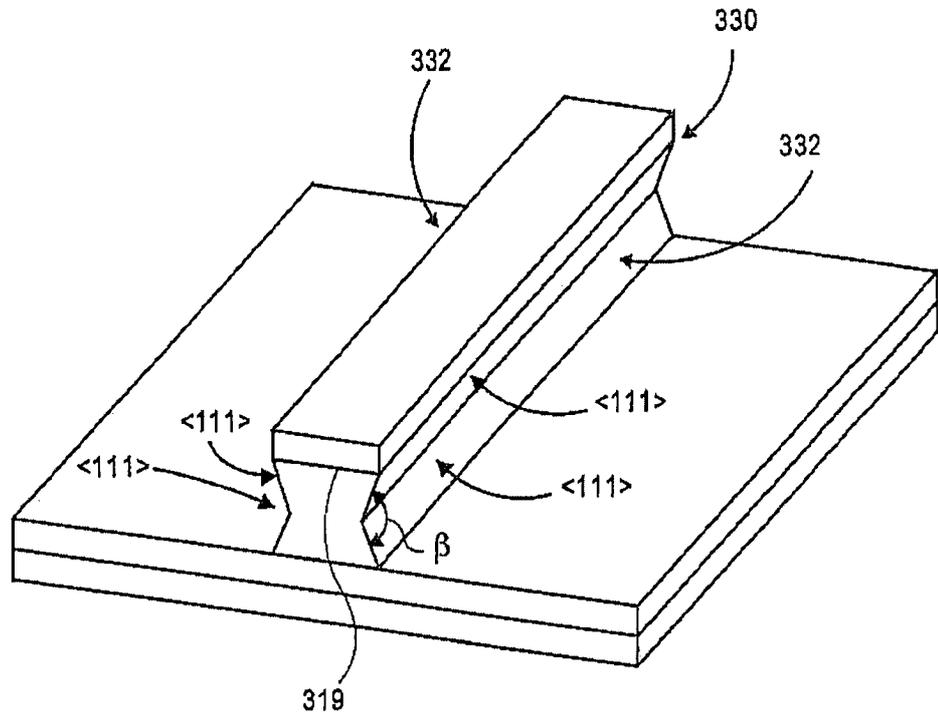


FIG. 3C

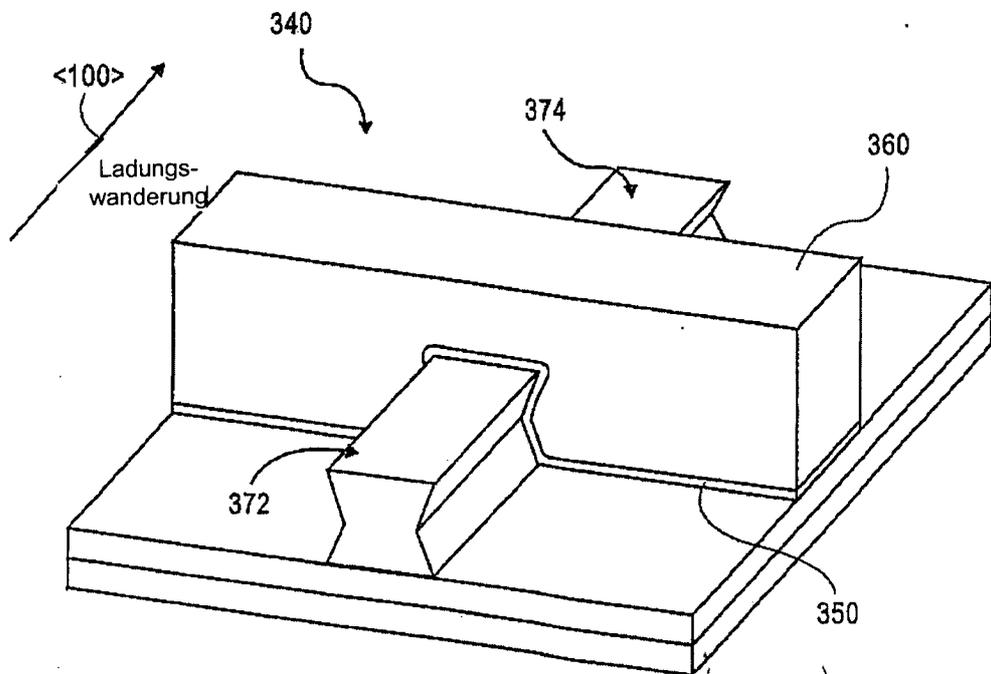


FIG. 3D

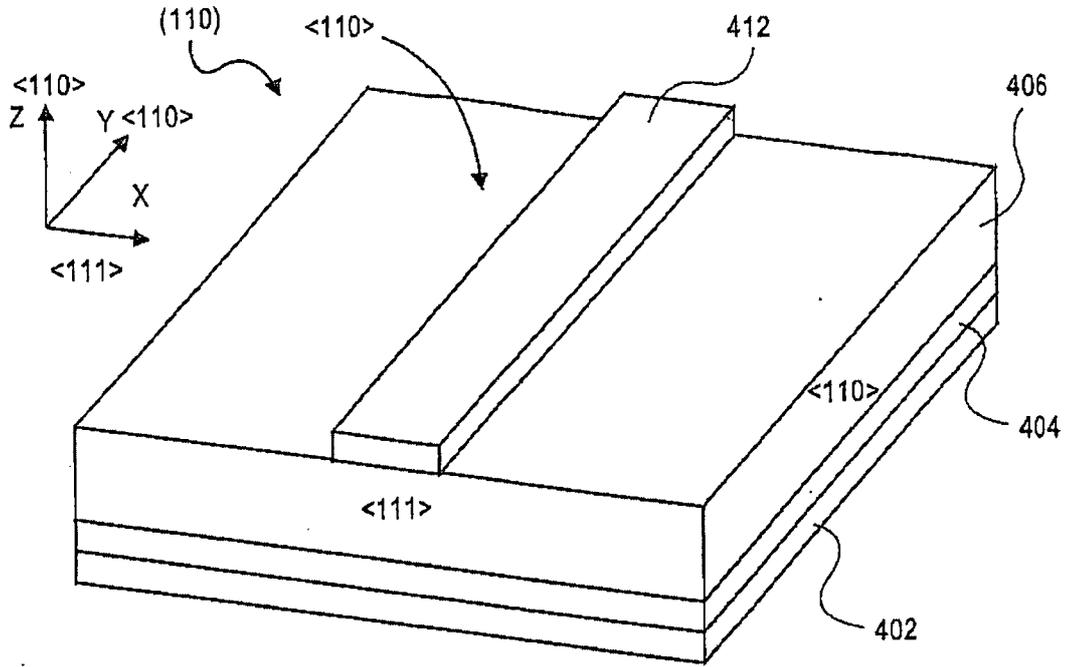


FIG. 4A

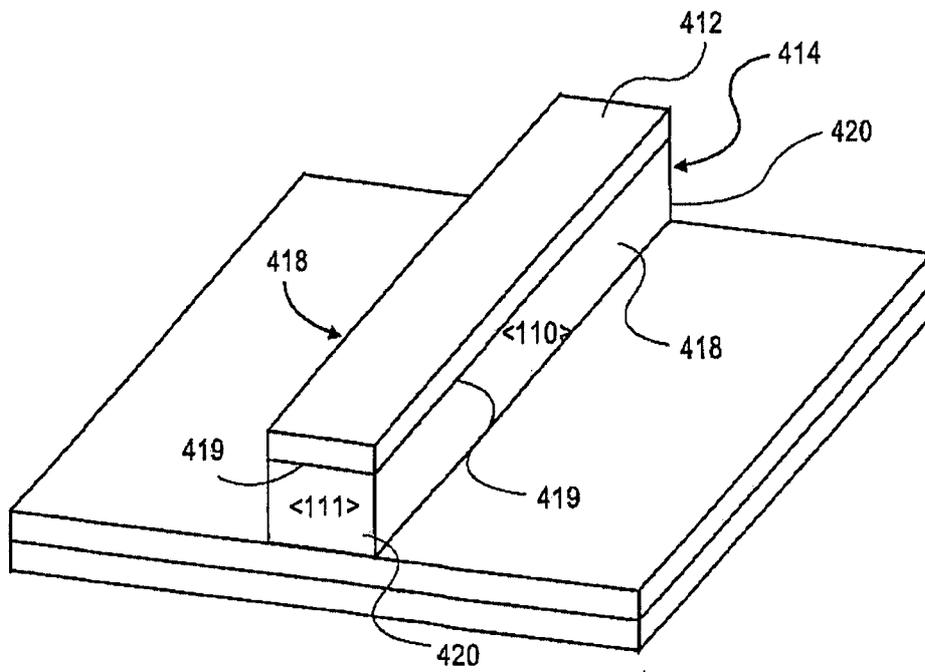


FIG. 4B

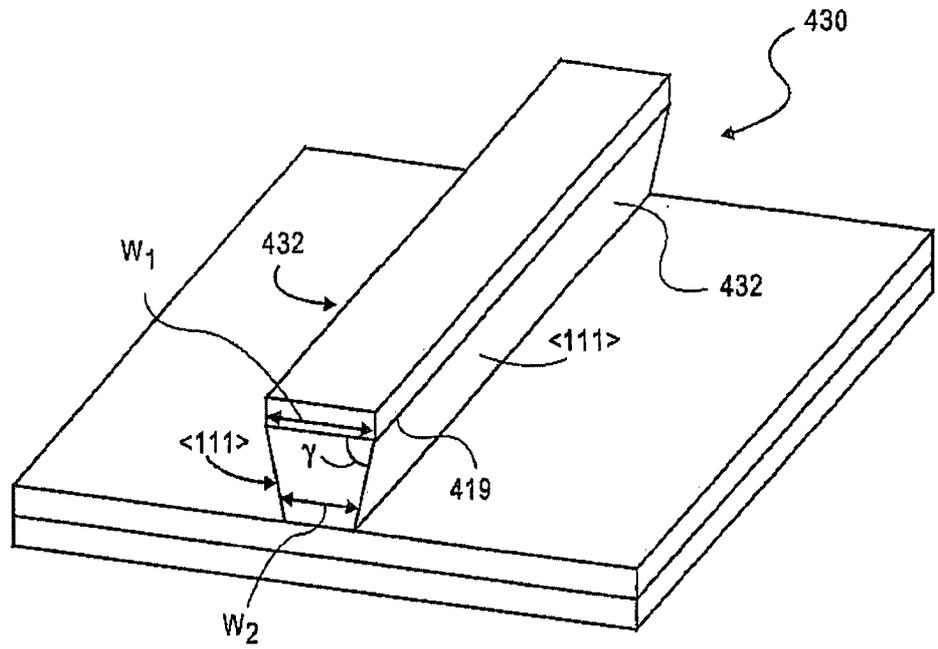


FIG. 4C

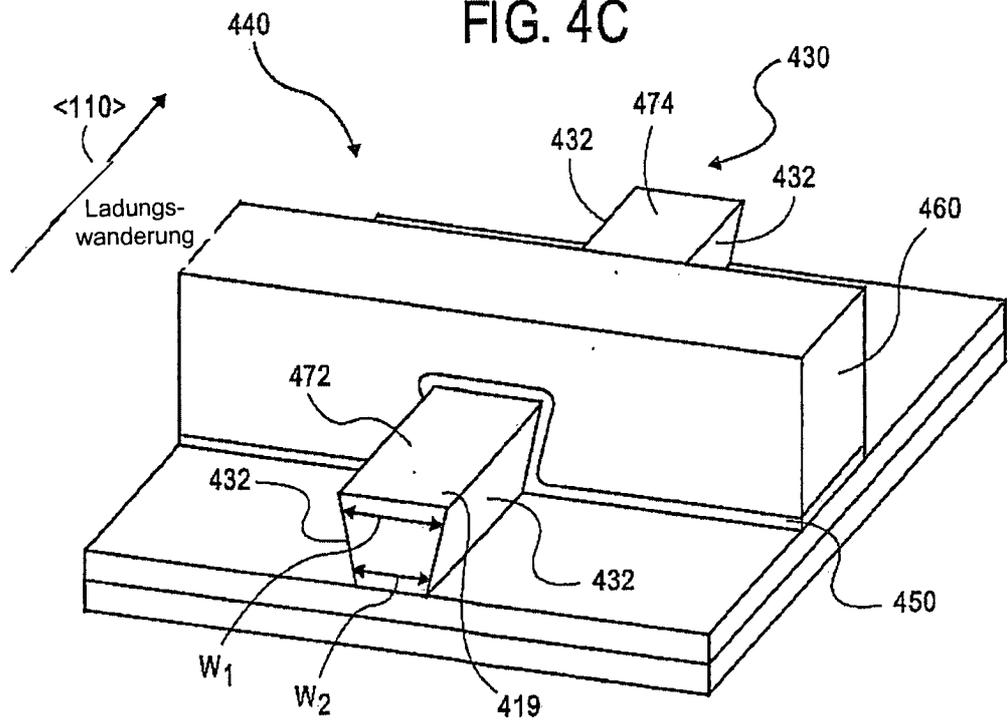


FIG. 4D

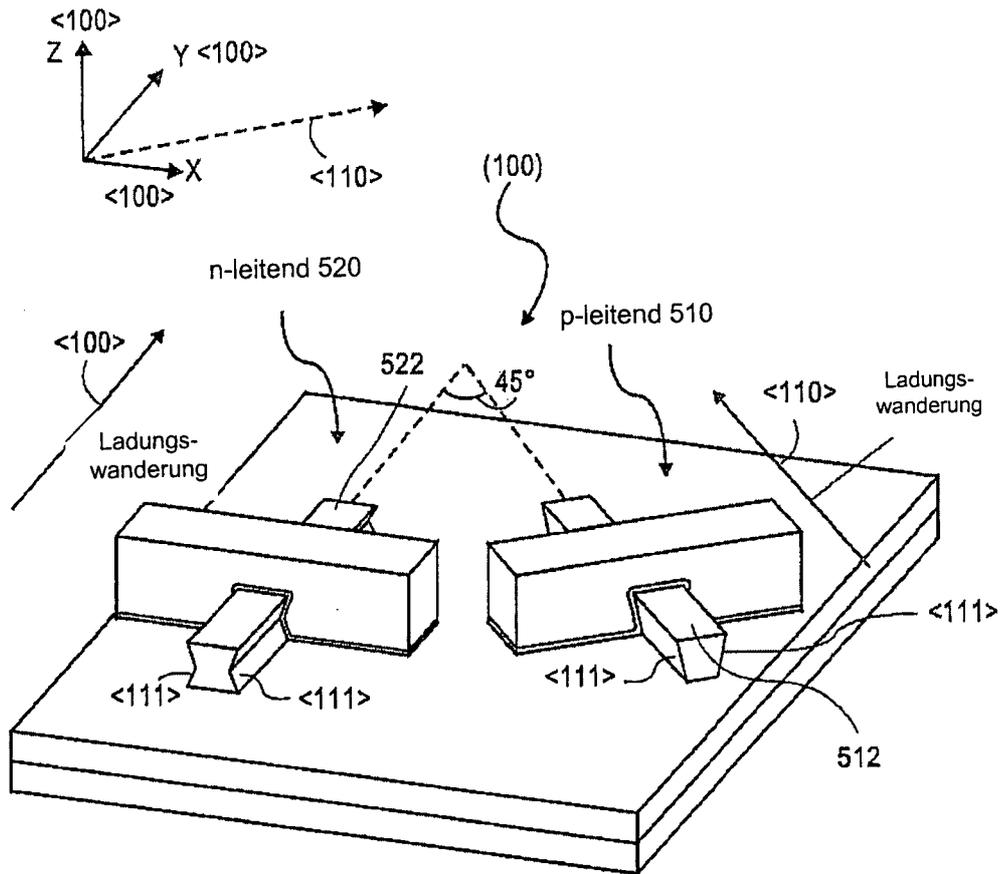


FIG. 5