(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0157569
(43) 공개일자 2022년11월29일

(51) 국제특허분류(Int. Cl.)
H03F 1/22 (2006.01) *H03F 3/45* (2006.01)
(52) CPC특허분류
H03F 1/223 (2013.01)
H03F 3/45183 (2013.01)
(21) 출원번호 10-2021-0065244
(22) 출원일자 2021년05월21일
심사청구일자 2021년05월21일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김철우
서울특별시 강남구 선릉로 221
최요한
서울특별시 성북구 화랑로37길 7(장위동, 모아 뉴캐슬)
(74) 대리인
특허법인주연케이알피

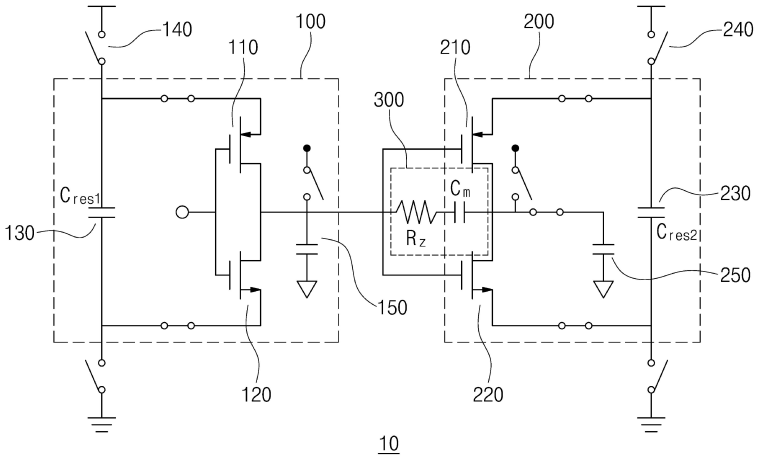
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 **시변 밀러 보상을 사용하는 다단계 증폭기 및 그의 동작 방법**

(57) 요 약

본 개시의 일 양상으로, 다단계 증폭기에 있어서, 제1 스테이지 회로; 상기 제1 스테이지 회로의 출력단과 종속 접속되는 제2 스테이지 회로; 및 상기 제2 스테이지 회로의 입력단 및 상기 제2 스테이지 회로의 출력단 사이에 연결되는 로컬 피드백 회로를 포함하고, 상기 제1 스테이지 회로는: 상기 제1 스테이지 회로의 입력단 및 상기 제1 스테이지 회로의 출력단에 연결되는 제1 인버터; 상기 제1 인버터에 연결되어 상기 제1 인버터를 충전하는 제1 충전 커패시터; 및 상기 제1 스테이지 회로의 출력단에 연결되는 제1 부하 커패시터를 포함하고, 상기 제2 스테이지 회로는: 상기 제2 스테이지 회로의 입력단 및 상기 제2 스테이지 회로의 출력단에 연결되는 제2 인버터; 상기 제2 인버터에 연결되어 상기 제2 인버터를 충전하는 제2 충전 커패시터; 및 상기 제2 스테이지 회로의 출력단에 연결되는 제2 부하 커패시터를 포함하는, 다단계 증폭기이다.

대 표 도 - 도3



(52) CPC특허분류
H03F 2200/213 (2013.01)
H03F 2203/45652 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711129539
과제번호	2019R1A2B5B03100756
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)(R&D)
연구과제명	레퍼런스 및 기생 성분에 둔감한 커패시턴스-디지털 변환기 구현
기 여 율	1/1
과제수행기관명	고려대학교
연구기간	2021.03.01 ~ 2022.02.28

명 세 서

청구범위

청구항 1

다단계 증폭기에 있어서,

제1 스테이지 회로;

상기 제1 스테이지 회로의 출력단과 종속 접속되는 제2 스테이지 회로; 및

상기 제2 스테이지 회로의 입력단 및 상기 제2 스테이지 회로의 출력단 사이에 연결되는 로컬 피드백 회로를 포함하고,

상기 제1 스테이지 회로는:

상기 제1 스테이지 회로의 입력단 및 상기 제1 스테이지 회로의 출력단에 연결되는 제1 인버터;

상기 제1 인버터에 연결되어 상기 제1 인버터를 충전하는 제1 충전 커패시터; 및

상기 제1 스테이지 회로의 출력단에 연결되는 제1 부하 커패시터를 포함하고,

상기 제2 스테이지 회로는:

상기 제2 스테이지 회로의 입력단 및 상기 제2 스테이지 회로의 출력단에 연결되는 제2 인버터;

상기 제2 인버터에 연결되어 상기 제2 인버터를 충전하는 제2 충전 커패시터; 및

상기 제2 스테이지 회로의 출력단에 연결되는 제2 부하 커패시터를 포함하는,

다단계 증폭기.

청구항 2

제1항에 있어서,

상기 로컬 피드백 회로는 로컬 피드백 저항 및 상기 로컬 피드백 저항에 연결되는 로컬 피드백 커패시터를 포함하는,

다단계 증폭기.

청구항 3

제2항에 있어서,

상기 제1 충전 커패시터의 커패시턴스, 상기 제2 충전 커패시터의 커패시턴스, 상기 로컬 피드백 저항 및 상기 로컬 피드백 커패시터의 커패시턴스 중 적어도 하나는 상기 제2 스테이지 회로의 극점 각주파수가 상기 다단계 증폭기의 단위 이득 각주파수 보다 클 것을 만족하도록 설정되는,

다단계 증폭기.

청구항 4

제3항에 있어서,

상기 제2 충전 커패시터의 커패시턴스는 상기 제1 충전 커패시터의 커패시턴스 보다 큰 값을 갖는,

다단계 증폭기.

청구항 5

제3항에 있어서,

상기 제1 스테이지 회로의 입력단에 연결되는 입력 커패시터; 및

상기 제1 스테이지 회로의 입력단 및 상기 제2 스테이지 회로의 출력단 사이에 연결되는 다단계 피드백 커패시터를 더 포함하는,

다단계 증폭기.

청구항 6

제5항에 있어서,

상기 제2 스테이지 회로의 극점 각주파수는 $\frac{g_{m2}(t)}{\frac{C_S C_F}{C_S + C_F} + C_L}$ 로 정의되고, 상기 다단계 증폭기의 단위 이득 각주파수는 $\frac{g_{m1}(t)}{C_m}$ 로 정의되고,

여기서 $g_{m1}(t)$는 상기 제1 스테이지 회로의 트랜스컨덕턴스이고, C_m은 상기 로컬 피드백 커패시터의 커패시턴스이고, $g_{m2}(t)$는 상기 제2 스테이지 회로의 트랜스컨덕턴스이고, C_S는 상기 입력 커패시터의 커패시턴스이고, C_F는 상기 다단계 피드백 커패시터의 커패시턴스이고, C_L은 상기 제2 부하 커패시터의 커패시턴스인,

다단계 증폭기.

청구항 7

다단계 증폭기의 동작 방법으로서,

제1 충전 커패시터 및 제2 충전 커패시터를 충전하는 단계;

상기 제1 충전 커패시터의 충전 전압 및 상기 제2 충전 커패시터의 충전 전압에 기초하여, 제1 스테이지 회로 및 제2 스테이지 회로를 동작시키는 단계; 및

상기 제2 스테이지 회로의 출력단으로부터 출력 신호를 생성하는 단계를 포함하고,

상기 제2 스테이지 회로의 극점 각주파수는 상기 다단계 증폭기의 단위 이득 각주파수 보다 클 것을 만족하도록 설정되는,

동작 방법.

발명의 설명

기 술 분 야

[0001] 본 개시 (present disclosure)는 시변 밀러 보상을 사용하는 다단계 증폭기 및 그의 동작 방법에 관한 것이다.

배 경 기 술

[0002] 최근 미세 반도체 공정에서는 낮은 공급전압으로 인해 종속 접속(cascading)을 이용한 증폭기(amplifier) 설계

가 어려운 실정이다. 충분한 이득(gain)을 얻기 위해서는 다단계 증폭기(multi-stage amplifier)를 사용해야 하는데, 이때 많은 정적 전력(static power)이 소모된다. 따라서, 종속 접속 없이 충분한 이득을 얻을 수 있고, 동작이 필요할 때만 전력을 소모하는 증폭기가 필요하다.

[0003] 일 예로서, 도 1 과 같은 동적 증폭기(DA, dynamic amplifier)는 개루프(open-loop)로 사용되기 때문에, 프로세스, 전압 및 온도 변화를 극복하기 위한 별도의 방법이 요구된다. 또한, 폐루프(closed-loop)로 사용하기엔 개루프 이득이 작고, 공통모드(common-mode) 전압의 변화 때문에 신호를 처리하기가 까다롭다는 문제가 있다.

[0004] 다른 예로서, 도 2a 와 같은 FIA(floating amplifier)는 C_{res}에 의해 전원을 공급받으며, 이때 C_{res}는 동시에 공통모드 캐패시티브 소스 열화(common-mode capacitive source degeneration) 제공한다. 도 2b에서, FIA는 저항적 소스 열화(resistive source degeneration)와 달리 정적 상태(steady-state)가 턴오프(turn-off)이다. 따라서, FIA는 과도 응답(transient response)으로 동작시켜야 하는 회로이며, 공통모드 소스 열화로 인해 차동 모드(differential mode)에서는 트랜스컨덕턴스(transconductance)가 시간에 따라 변하는 증폭기가 된다.

[0005] 다른 예로서, 2-스테이지 폐루프 FIA(2-stage closed-loop floating inverter amplifier)는 안정성(stability) 확보를 위해 항상 출력 극점(output pole)을 지배적인 극점(dominant pole)이 되도록 설계해야 하는 문제가 있다. 이에 따라, 기존의 2-스테이지 폐루프 FIA는 $C_{res1} > C_{res2}$를 반드시 만족해야하고, 그에 따라 동적 전력(dynamic power) 및 대역폭(bandwidth)의 부하(load) 의존도가 매우 높다는 문제가 있다.

선행기술문헌

비특허문헌

[0006] (비특허문헌 0001) RAZAVI, Behzad. Design of analog CMOS integrated circuits. Tata McGraw-Hill Education, 2002.

(비특허문헌 0002) TANG, Xiyuan, et al. A 13.5-ENOB, 107-μW Noise-Shaping SAR ADC With PVT-Robust Closed-Loop Dynamic Amplifier. IEEE Journal of Solid-State Circuits, 2020, 55.12: 3248-3259.

발명의 내용

해결하려는 과제

[0007] 본 개시의 다양한 예들은 회로 설계 중심적인 시변 밀러 보상을 사용하는 다단계 증폭기 및 그의 동작 방법을 제공하기 위함이다.

[0008] 본 개시의 다양한 예들에서 이루고자 하는 기술적 과제들은 이상에서 언급한 사항들로 제한되지 않으며, 언급하지 않은 또 다른 기술적 과제들은 이하 설명할 본 개시의 다양한 예들로부터 당해 기술분야에서 통상의 지식을 가진 자에 의해 고려될 수 있다.

과제의 해결 수단

[0009] 본 개시의 일 양상으로, 다단계 증폭기에 있어서, 제1 스테이지 회로; 상기 제1 스테이지 회로의 출력단과 종속 접속되는 제2 스테이지 회로; 및 상기 제2 스테이지 회로의 입력단 및 상기 제2 스테이지 회로의 출력단 사이에 연결되는 로컬 피드백 회로를 포함하고, 상기 제1 스테이지 회로는: 상기 제1 스테이지 회로의 입력단 및 상기 제1 스테이지 회로의 출력단에 연결되는 제1 인버터; 상기 제1 인버터에 연결되어 상기 제1 인버터를 충전하는 제1 충전 커패시터; 및 상기 제1 스테이지 회로의 출력단에 연결되는 제1 부하 커패시터를 포함하고, 상기 제2 스테이지 회로는: 상기 제2 스테이지 회로의 입력단 및 상기 제2 스테이지 회로의 출력단에 연결되는 제2 인버터; 상기 제2 인버터에 연결되어 상기 제2 인버터를 충전하는 제2 충전 커패시터; 및 상기 제2 스테이지 회로의 출력단에 연결되는 제2 부하 커패시터를 포함하는, 다단계 증폭기이다.

[0010] 상기 로컬 피드백 회로는 로컬 피드백 저항 및 상기 로컬 피드백 저항에 연결되는 로컬 피드백 커패시터를 포함할 수 있다.

[0011] 상기 제1 충전 커패시터의 커패시턴스, 상기 제2 충전 커패시터의 커패시턴스, 상기 로컬 피드백 저항 및 상기 로컬 피드백 커패시터의 커패시턴스 중 적어도 하나는 상기 제2 스테이지 회로의 극점 각주파수가 상기 다단계

증폭기의 단위 이득 각주파수 보다 클 것을 만족하도록 설정될 수 있다.

[0012] 상기 제2 충전 커패시터의 커패시턴스는 상기 제1 충전 커패시터의 커패시턴스 보다 큰 값을 가질 수 있다.

[0013] 상기 제1 스테이지 회로의 입력단에 연결되는 입력 커패시터; 및 상기 제1 스테이지 회로의 입력단 및 상기 제2 스테이지 회로의 출력단 사이에 연결되는 다단계 피드백 커패시터를 더 포함할 수 있다.

[0014] 상기 제2 스테이지 회로의 극점 각주파수는 $\frac{g_{m2}(t)}{\frac{C_S C_F}{C_S + C_F} + C_L}$ 로 정의되고, 상기 다단계 증폭기의 단위 이득 각주파수는 $\frac{g_{m1}(t)}{C_m}$ 로 정의되고, 여기서 $g_{m1}(t)$는 상기 제1 스테이지 회로의 트랜스컨덕턴스(transconductance)이고, C_m은 상기 로컬 피드백 커패시터의 커패시턴스이고, $g_{m2}(t)$는 상기 제2 스테이지 회로의 트랜스컨덕턴스이고, C_S는 상기 입력 커패시터의 커패시턴스이고, C_F는 상기 다단계 피드백 커패시터의 커패시턴스이고, C_L은 상기 제2 부하 커패시터의 커패시턴스일 수 있다.

[0015] 본 개시의 다른 일 양상으로, 다단계 증폭기의 동작 방법으로서, 제1 충전 커패시터 및 제2 충전 커패시터를 충전하는 단계; 상기 제1 충전 커패시터의 충전 전압 및 상기 제2 충전 커패시터의 충전 전압에 기초하여, 제1 스테이지 회로 및 제2 스테이지 회로를 동작시키는 단계; 및 상기 제2 스테이지 회로의 출력단으로부터 출력 신호를 생성하는 단계를 포함하고, 상기 제2 스테이지 회로의 극점 각주파수는 상기 다단계 증폭기의 단위 이득 각주파수 보다 클 것을 만족하도록 설정되는, 동작 방법이다.

[0016] 상술한 본 개시의 다양한 예들은 본 개시의 바람직한 예들 중 일부에 불과하며, 본 개시의 다양한 예들의 기술적 특징들이 반영된 여러 가지 예들이 당해 기술분야의 통상적인 지식을 가진 자에 의해 이하 상술할 상세한 설명을 기반으로 도출되고 이해될 수 있다.

발명의 효과

[0017] 본 개시의 다양한 예들에 따르면 다음과 같은 효과가 있다.

[0018] 본 개시의 다양한 예들에 따르면, 회로 설계 중심적인 시변 밀러 보상을 사용하는 다단계 증폭기 및 그의 동작 방법이 제공된다.

[0019] 또한, 본 발명에 따르면, 중간 극점(intermediate pole)이 지배적인 극점(dominant pole)이 돼서 기존의 2-스테이지 폐루프 FIA의 부하 의존도가 해결될 수 있다.

[0020] 또한, 본 발명은 미세 반도체 공정으로 설계하는 집적 회로에서 OPA(operational amplifier)의 역할을 대체할 수 있고, 이벤트 기반(event-driven) 동작이 필요한 분야에서 가동(power-up) 시간이 긴 OPA를 대체할 수 있다.

[0021] 본 개시의 다양한 예들로부터 얻을 수 있는 효과들은 이상에서 언급된 효과들로 제한되지 않으며, 언급되지 않은 또 다른 효과들은 이하의 상세한 설명을 기반으로 당해 기술분야에서 통상의 지식을 가진 자에게 명확하게 도출되고 이해될 수 있다.

도면의 간단한 설명

[0022] 이하에 첨부되는 도면들은 본 개시의 다양한 예들에 관한 이해를 돕기 위한 것으로, 상세한 설명과 함께 본 개시의 다양한 예들을 제공한다. 다만, 본 개시의 다양한 예들의 기술적 특징이 특정 도면에 한정되는 것은 아니며, 각 도면에서 개시하는 특징들은 서로 조합되어 새로운 실시예로 구성될 수 있다. 각 도면에서의 참조 번호(reference numerals) 들은 구조적 구성요소 (structural elements) 를 의미한다.

도 1은 동적 증폭기의 회로도의 일 예를 도시한 것이다.

도 2a 및 도 2b는 FIA(floating amplifier)의 회로도의 일 예를 도시한 것이다.

도 3은 본 개시의 일 예에 따른 다단계 증폭기의 회로도이다.

도 4는 본 개시의 다른 일 예에 따른 다단계 증폭기의 회로도이다.

도 5는 본 개시의 일 예에 따른 다단계 증폭기의 증폭 동작을 설명하기 위한 것이다.

도 6a 및 도 6b는 본 개시의 일 예에 따른 다단계 증폭기의 루프 이득에 대한 보드선도를 설명하기 위한 것이다.

도 7은 본 개시의 일 예에 따른 다단계 증폭기의 단위계단 응답을 도시한 것이다.

도 8은 본 개시의 일 예에 따른 다단계 증폭기의 동작 방법이다.

발명을 실시하기 위한 구체적인 내용

[0023] 이하, 본 발명에 따른 구현들을 첨부된 도면을 참조하여 상세하게 설명한다. 첨부된 도면과 함께 이하에 개시될 상세한 설명은 본 발명의 예시적인 구현을 설명하고자 하는 것이며, 본 발명이 실시될 수 있는 유일한 구현 형태를 나타내고자 하는 것이 아니다. 이하의 상세한 설명은 본 발명의 완전한 이해를 제공하기 위해서 구체적 세부사항을 포함한다. 그러나 당업자는 본 개시가 이러한 구체적 세부사항 없이도 실시될 수 있음을 안다.

[0024] 몇몇 경우, 본 개시의 개념이 모호해지는 것을 피하기 위하여 공지의 구조 및 장치는 생략되거나, 각 구조 및 장치의 핵심기능을 중심으로 한 블록도 형식으로 도시될 수 있다. 또한, 본 개시 전체에서 동일한 구성요소에 대해서는 동일한 도면 부호를 사용하여 설명한다.

[0025] 본 발명의 개념에 따른 다양한 예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 다양한 예들을 도면에 예시하고 본 개시에 상세하게 설명하고자 한다. 그러나 이는 본 발명의 개념에 따른 다양한 예들을 특정한 개시 형태들에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 변경, 균등물, 또는 대체물을 포함한다.

[0026] 제1 또는 제2 등의 용어를 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만, 예를 들어 본 발명의 개념에 따른 권리 범위로부터 이탈되지 않은 채, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.

[0027] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 표현들, 예를 들어 "~사이에"와 "바로~사이에" 또는 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[0028] 본 개시의 다양한 예에서, “/” 및 “,”는 “및/또는”을 나타내는 것으로 해석되어야 한다. 예를 들어, “A/B”는 “A 및/또는 B”를 의미할 수 있다. 나아가, “A, B”는 “A 및/또는 B”를 의미할 수 있다. 나아가, “A/B/C”는 “A, B 및/또는 C 중 적어도 어느 하나”를 의미할 수 있다. 나아가, “A, B, C”는 “A, B 및/또는 C 중 적어도 어느 하나”를 의미할 수 있다.

[0029] 본 개시의 다양한 예에서, “또는”은 “및/또는”을 나타내는 것으로 해석되어야 한다. 예를 들어, “A 또는 B”는 “오직 A”, “오직 B”, 및/또는 “A 및 B 모두”를 포함할 수 있다. 다시 말해, “또는”은 “부가적으로 또는 대안적으로”를 나타내는 것으로 해석되어야 한다.

[0030] 본 개시에서 사용한 용어는 단지 특정한 다양한 예들을 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 개시에서, "포함하다" 또는 "가지다" 등의 용어는 설시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함으로 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0031] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 개시에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다. 이하, 본 개시의 다양한 예들을 첨부된 도면을 참조하여 상세하게 설명한다.

[0032] **다단계 증폭기**

[0033] 도 3은 본 개시의 일 예에 따른 다단계 증폭기의 회로도이다. 본 개시에서는, 편의상 2-스테이지를 기준으로 설명하나, 본 개시의 일 예에 따른 다단계 증폭기(10)는 2-스테이지뿐만 아니라, n-스테이지 증폭기에도 적용될 수 있다. 또한, 도 3은 싱글엔드(single-ended) 회로도일 수 있다.

[0034] 도 3을 참조하면, 본 개시의 일 예에 따른 다단계 증폭기(10)는 제1 스테이지 회로(100), 제2 스테이지 회로(200) 및 로컬 피드백 회로(300)를 포함한다.

[0035] 제1 스테이지 회로(100)는 제1 인버터(110, 120), 제1 충전 커패시터(130) 및 제1 부하 커패시터(150)를 포함한다. 편의상, 도 3에서는 제1 부하 커패시터(150)가 제1 스테이지 회로(100)에 포함된 것으로 도시되나, 제1 부하 커패시터(150)는 제1 스테이지 회로(100)와 별도로 구분되는 구성일 수도 있다. 제1 인버터(110, 120)는 상보적(complementary) 인버터로서, 예를 들어 제1 PMOS(p-channel metal-oxide-semiconductor field-effect transistor)(110) 및 제1 NMOS(n-channel metal-oxide-semiconductor field-effect transistor)(120)를 포함한다. 제1 PMOS(110)의 소스에는 제1 충전 커패시터(130)의 일 단이 연결되고, 제1 NMOS(120)의 소스에는 제1 충전 커패시터(130)의 타 단이 연결된다.

[0036] 제1 충전 커패시터(130)는 제1 인버터(110, 120)에 연결되어, 제1 인버터(110, 120)를 충전(pre-charging)한다. 예를 들어, 제1 충전 커패시터(130)는 제1 스위칭 소자(140)에 의해 구동 전압(VDD)와 연결되어, 제1 스위칭 소자(140)의 스위칭 동작에 따라 제1 인버터(110, 120)를 충전할 수 있다. 제1 인버터(110, 120)는 제1 충전 커패시터(130)에 의해 구동 전압이 충전된 이후에, 입력 신호를 증폭하는 증폭 동작을 수행한다. 증폭 동작에 의해 증폭된 출력 신호는 제1 부하 커패시터(150)가 연결된 출력단에 출력된다.

[0037] 제2 스테이지 회로(200)는 제2 인버터(210, 220), 제2 충전 커패시터(230) 및 제2 부하 커패시터(250)를 포함한다. 편의상, 도 3에서는 제2 부하 커패시터(250)가 제2 스테이지 회로(200)에 포함된 것으로 도시되나, 제2 부하 커패시터(250)는 제2 스테이지 회로(200)와 별도로 구분되는 구성일 수도 있다. 제2 인버터(210, 220)는 상보적 인버터로서, 예를 들어 제2 PMOS(210) 및 제2 NMOS(220)를 포함한다. 제2 PMOS(210)의 소스에는 제2 충전 커패시터(230)의 일 단이 연결되고, 제2 NMOS(220)의 소스에는 제2 충전 커패시터(230)의 타 단이 연결된다.

[0038] 제2 충전 커패시터(230)는 제2 인버터(210, 220)에 연결되어, 제2 인버터(210, 220)를 충전한다. 예를 들어, 제2 충전 커패시터(230)는 제2 스위칭 소자(240)에 의해 구동 전압(VDD)와 연결되어, 제2 스위칭 소자(240)의 스위칭 동작에 따라 제2 인버터(210, 220)를 충전할 수 있다. 제2 인버터(210, 220)는 제2 충전 커패시터(230)에 의해 구동 전압이 충전된 이후에, 입력 신호를 증폭하는 증폭 동작을 수행한다. 증폭 동작에 의해 증폭된 출력 신호는 제2 부하 커패시터(250)가 연결된 출력단에 출력된다.

[0039] 로컬 피드백 회로(300)는 시변 밀러 보상(miller compensation) 회로로도 칭해질 수 있다. 로컬 피드백 회로(300)는 제2 스테이지 회로(200)의 입력단 및 제2 스테이지 회로(200)의 출력단 사이에 연결되며, 로컬 피드백 회로(300)는 로컬 피드백 저항 및 로컬 피드백 커패시터를 포함한다.

[0040] 도 4는 본 개시의 다른 일 예에 따른 다단계 증폭기의 회로도이다. 도 4는 폐루프(closed-loop) 회로일 수 있다. 이하에서는, 앞서 설명한 부분과 중복되는 부분에 대한 상세한 설명은 생략한다.

[0041] 도 4를 참조하면, 본 개시의 다른 일 예에 따른 다단계 증폭기(10)는 도 3의 다단계 증폭기(10)에 입력 커패시터(410) 및 다단계 피드백 커패시터(420)를 추가로 포함한다.

[0042] 입력 커패시터(410)는 제1 스테이지 회로(100)의 입력단에 연결된다.

[0043] 다단계 피드백 커패시터(420)는 제1 스테이지 회로(100)의 입력단 및 제2 스테이지 회로(200)의 출력단 사이에 연결된다. 이때, 다단계 피드백 커패시터(420)는 피드백 스위칭 소자(430)에 의해 제2 스테이지 회로(200)의 출력단과 연결될 수 있다. 피드백 스위칭 소자(430)의 구비 여부에 따라, 다단계 증폭기(10)는 증폭기 또는 적분기로 동작할 수 있다.

[0044] 다단계 피드백 커패시터(420)는 차동 모드 전압이 입력 전압으로 인가될 때, 차동 모드 출력 전류를 제1 스테이지 회로(100)의 입력단으로 피드백시킴으로써 입력 전압을 감소시키는 폐루프 동작을 수행한다. 이에 따라, 출력 전압이 증폭될 수 있다.

[0045] 이하에서는, 도 5 내지 도 8을 참조하여 본 개시의 다양한 예들에 따른 다단계 증폭기(10)의 보다 구체적인 동작에 대하여 설명한다.

[0046] 도 5는 본 개시의 일 예에 따른 다단계 증폭기의 증폭 동작을 설명하기 위한 것이다.

[0047] 도 5를 참조하면, 다단계 증폭기(10)는 시변성(time-varient)을 가지며, 제1 스테이지 회로(100)의 입력단에 입력 전압 Vi(t)가 인가되면, 제1 스테이지의 출력단에 출력 전압 Vx(t)가 출력된다. 출력 전압 Vx(t)는 제1 인버터(110, 120)에 의해 입력 전압과 논리적으로 구분(NOT)된다.

[0048] 제2 스테이지의 출력단에는 제1 스테이지의 출력단의 출력 전압 Vx(t)가 증폭된 출력 전압 Vo(t)가 출력된다.

[0049] 한편, 시간에 따라 전압 헤드룸(voltage headroom)이 감소하므로, 제1 스테이지 회로(100) 및 제2 스테이지 회로(200) 각각의 충전 커패시터의 커패시턴스는 트랜스컨덕턴스 및 노이즈뿐만 아니라, 출력 스윙 범위(output swing range)도 고려되어 설정될 수 있다.

[0050] 도 6a 및 도 6b는 본 개시의 일 예에 따른 다단계 증폭기의 루프 이득에 대한 보드선도를 설명하기 위한 것이다.

[0051] 도 6a에서와 같이, 다단계 증폭기(10)의 개루프이득 $A_{\infty}(s,t)$ 은 $g_{m1}(t)\{((R_z - 1/g_{m2}(t)) + 1/sC_m\}$ 으로 근사화될 수 있다. 여기서, $g_{m1}(t)$는 제1 스테이지 회로(100)의 트랜스컨덕턴스이고, R_z는 로컬 피드백 저항이고, $g_{m2}(t)$는 제2 스테이지 회로(200)의 트랜스컨덕턴스이고, C_m은 로컬 피드백 커패시터의 커패시턴스다.

[0052] 이때, 도 6b에서와 같이 개루프이득에 대한 다단계 증폭기(10)의 단위 이득 각주파수 $w_{ug}(t)$ 는 $\frac{g_{m1}(t)}{C_m}$ 이고, 영점 각주파수 $|z(t)|$ 는 $\frac{\left|R_z - \frac{1}{g_{m2}(t)}\right|}{C_m}$ 이고, 제2 스테이지 회로(200)의 극점 각주파수 $|p_2(t)|$ 는 $\frac{g_{m2}(t)}{\frac{C_S C_F}{C_S + C_F} + C_L}$ 일 수 있다. 여기서, C_S는 입력 커패시터(410)의 커패시턴스이고, C_F는 다단계 피드백 커패시터(420)이고, C_L은 제2 부하 커패시터(250)의 커패시턴스이다.

[0053] 루프 이득(βA)에 대한 보드선도에서, 다단계 증폭기(10)의 안정성(stability) 확보를 위하여는 제2 스테이지 회로(200)의 극점 각주파수가 단위 이득 각주파수 보다 클 것이 보장되어야 하고, 영점 각주파수가 단위 이득 각주파수 보다 매우 크지(>>) 않은 시점에서는, 영점 각주파수가 LHP(left-half plane)에 위치해야한다.

[0054] 따라서, 본 개시에서 다단계 증폭기(10)의 안정성 및 계단응답의 정착(settling)을 제어하기 위하여, 제1 충전 커패시터(130)의 커패시턴스, 제2 충전 커패시터(230)의 커패시턴스, 인버터의 PMOS 및/또는 NMOS의 W/L(여기서, W는 각 소자의 채널의 폭이고, L은 각 소자의 채널의 길이)로컬 피드백 저항 및 로컬 피드백 커패시터의 커패시턴스 중 적어도 하나가 설계될 수 있다. 다시 말해서, 본 개시에서 제1 충전 커패시터(130)의 커패시턴스, 제2 충전 커패시터(230)의 커패시턴스, 제1 인버터(110, 120) 및/또는 제2 인버터(210, 220)의 PMOS 및/또는 NMOS의 W/L(여기서, W는 각 소자의 채널의 폭이고, L은 각 소자의 채널의 길이)로컬 피드백 저항 및 로컬 피드백 커패시터의 커패시턴스는 제2 스테이지 회로(200)의 극점 각주파수가 다단계 증폭기(10)의 단위 이득 각주파수 보다 클 것을 만족하도록 설정될 수 있다.

[0055] 예를 들어, 제2 충전 커패시터(230)의 커패시턴스는 제1 충전 커패시터(130)의 커패시턴스 보다 큰 값을 가질 수 있다. 제2 충전 커패시터(230)의 커패시턴스는 제1 충전 커패시터(130)의 커패시턴스 보다 큰 값을 가질 때, 다단계 증폭기(10)는 안정성 조건이 만족될 수 있다. 이때, 본 개시의 다양한 예들에 따른 다단계 증폭기(10)는 기존의 보다 큰 부하로 인하여 제2 충전 커패시터(230)의 커패시턴스가 커져도 제1 충전 커패시터(130)의 커패시턴스를 증가시킬 필요가 없다. 즉, 제1 충전 커패시터(130)의 커패시턴스는 기존의 2-스테이지 FIA와 달리 부하 조건으로부터 자유로워질 수 있다.

[0056] 도 7은 본 개시의 일 예에 따른 다단계 증폭기의 단위계단 응답을 도시한 것이다.

[0057] 도 7을 참조하면, t=0+에서는 아직 로컬 피드백 회로(300), 즉 밀러 피드백이 동작하지 않아 안정성이 확보되지

않으며, 오실레이션(oscillation)이 나타난다. t=0+에서는 정착 속도가 가장 빠르다. t1<t<t2에서는 루프 이득이 충분한 위상 마진(phase margin)을 가지게 된다. LHP 영점의 영향으로 실제 단위 전압 이득 각주파수는 이론상의 값보다 크며 제로-폴 더블렛(zero-pole doublet)으로 인해 언더슛(undershoot)이 있는 정착 형태가 된다. t>t2에서는 루프 이득이 높은 위상 마진을 가지면서 가장 정착 속도가 느리다. 이때, 최종적인 등가 노이즈 대역폭(equivalent noise bandwidth)이 결정된다.

[0058] **다단계 증폭기의 동작 방법**

[0059] 도 8은 본 개시의 일 예에 따른 다단계 증폭기의 동작 방법이다.

[0060] 도 8을 참조하면, S110에서 다단계 증폭기(10)는 제1 충전 커패시터(130) 및 제2 충전 커패시터(230)를 충전한다. 제1 충전 커패시터(130) 및 제2 충전 커패시터(230)의 충전은 제1 스위칭 소자(140) 및 제2 스위칭 소자(240) 각각에 의해 수행될 수 있으며, 구동 전압까지 충전될 수 있다.

[0061] S120에서, 다단계 증폭기(10)는 제1 충전 커패시터(130)의 충전 전압 및 제2 충전 커패시터(230)의 충전 전압에 기초하여, 제1 스테이지 회로(100) 및 제2 스테이지 회로(200)를 동작시킨다.

[0062] S130에서, 다단계 증폭기(10)는 다단계 증폭기(10)는 제2 스테이지 회로(200)의 출력단으로부터 출력 신호를 생성한다. 여기서, 제2 스테이지 회로(200)의 극점 각주파수는 다단계 증폭기(10)의 단위 이득 각주파수 보다 클 것을 만족하도록 설정될 수 있다.

[0063] 상술한 본 개시의 다양한 예들에 따른 다단계 증폭기 및 동작 방법에 따르면, 기존의 2-스테이지 폐루프 FIA와 달리 중간 극점이 지배적인 극점이 되므로, 기존의 2-스테이지 폐루프 FIA의 부하 의존도가 해결될 수 있다. 또한, 증폭기의 안정성이 보장되고 증폭기에 포함된 소자들의 값에 따라 계단응답의 정착 시간이 제어될 수 있다.

[0064] 상술한 설명에서 제안 방식에 대한 일례들 또한 본 개시의 구현 방법들 중 하나로 포함될 수 있으므로, 일종의 제안 방식들로 간주될 수 있음은 명백한 사실이다. 또한, 상기 설명한 제안 방식들은 독립적으로 구현될 수 도 있지만, 일부 제안 방식들의 조합 (혹은 병합) 형태로 구현될 수 도 있다.

[0065] 상술한 바와 같이 개시된 본 개시의 예들은 본 개시와 관련된 기술분야의 통상의 기술자가 본 개시를 구현하고 실시할 수 있도록 제공되었다. 상기에서는 본 개시의 예들을 참조하여 설명하였지만, 해당 기술 분야의 통상의 기술자는 본 개시의 예들을 다양하게 수정 및 변경시킬 수 있다. 따라서, 본 개시는 여기에 기재된 예들에 제한되려는 것이 아니라, 여기서 개시된 원리들 및 신규한 특징들과 일치하는 최광의 범위를 부여하려는 것이다.

부호의 설명

[0066] 10: 다단계 증폭기

100: 제1 스테이지 회로

110: 제1 PMOS 120: 제1 NMOS

130: 제1 충전 커패시터 140: 제1 스위칭 소자

150: 제1 부하 커패시터

200: 제2 스테이지 회로

210: 제2 PMOS 220: 제2 NMOS

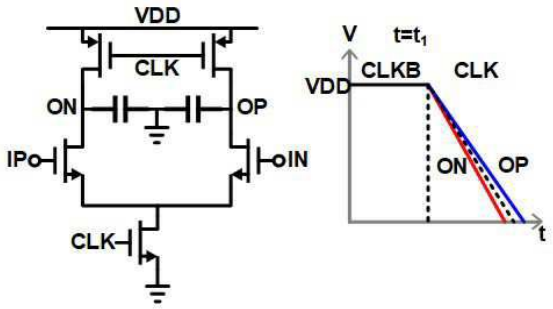
230: 제2 충전 커패시터 240: 제2 스위칭 소자

250: 제2 부하 커패시터

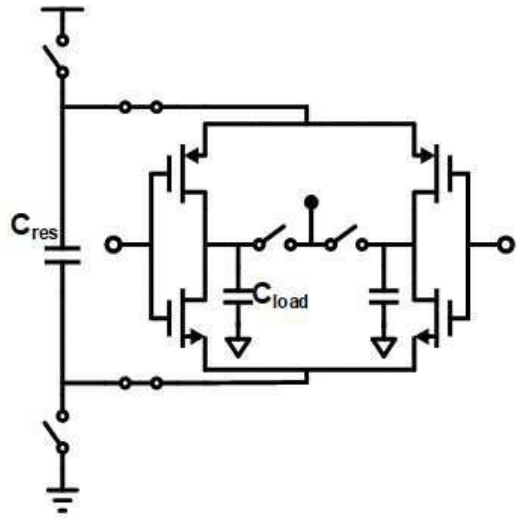
300: 로컬 피드백 회로

도면

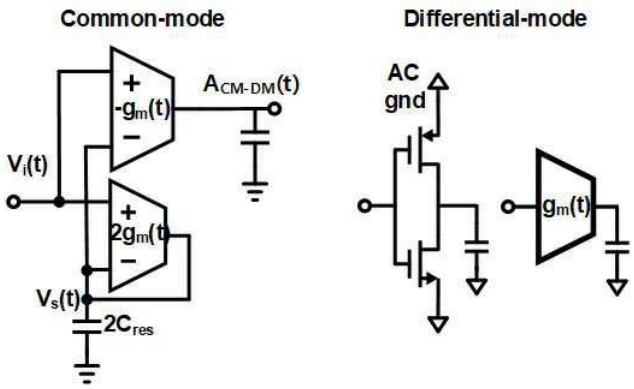
도면1



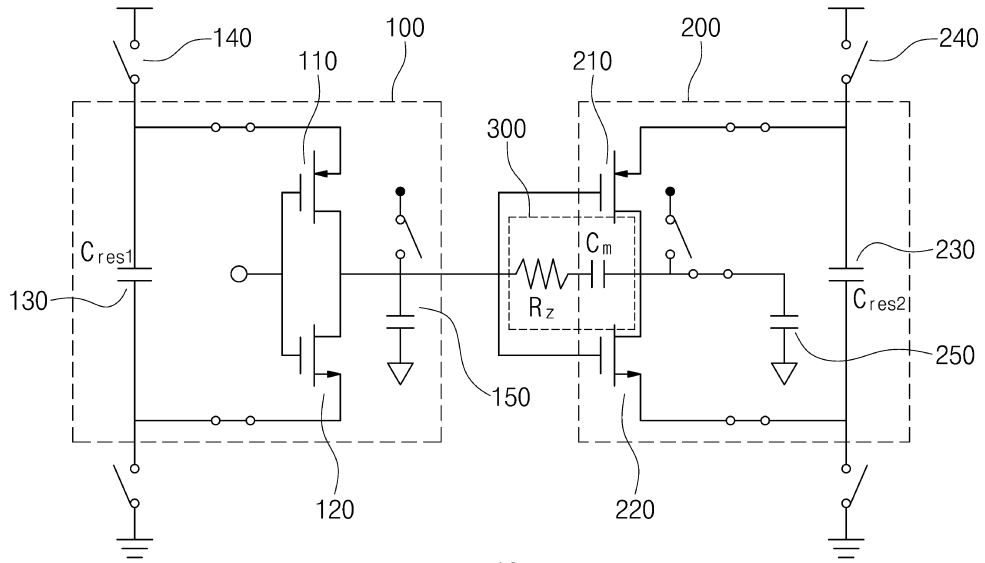
도면2a



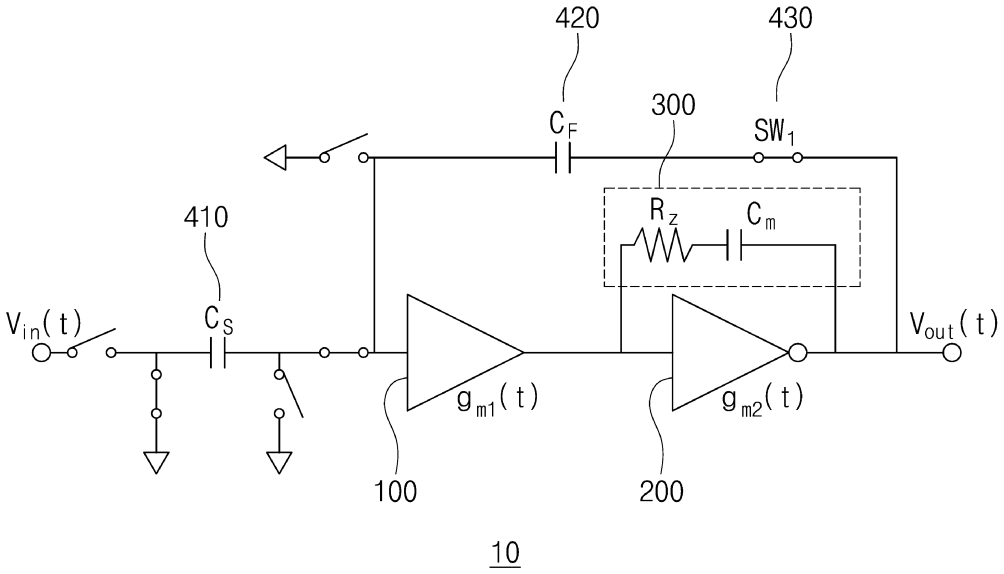
도면2b



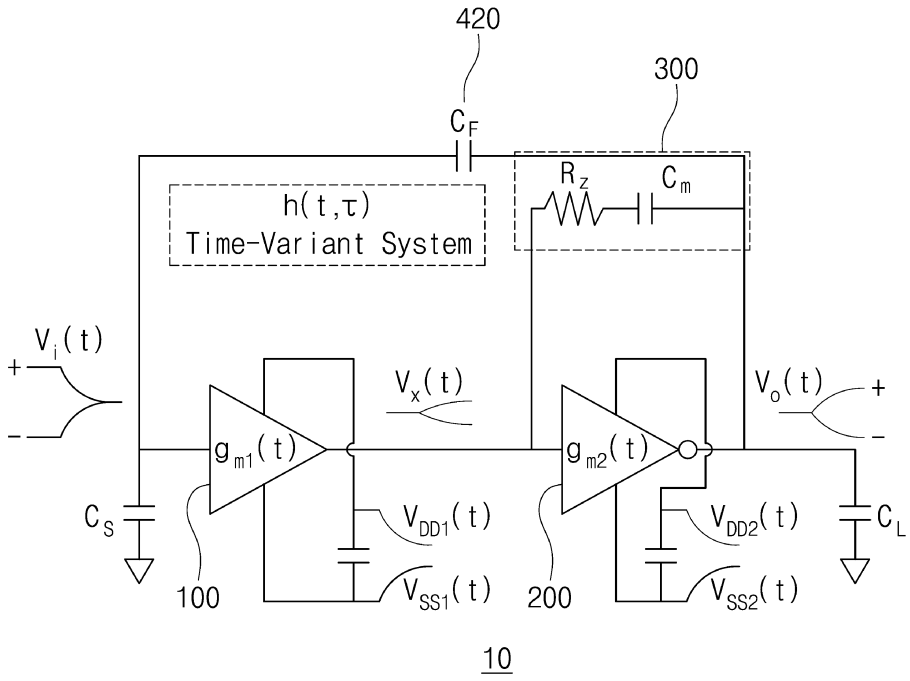
도면3


140
110
100
210
200
240
300
C_{res1}
130
C_m
R_z
230
C_{res2}
250
150
120
220
10

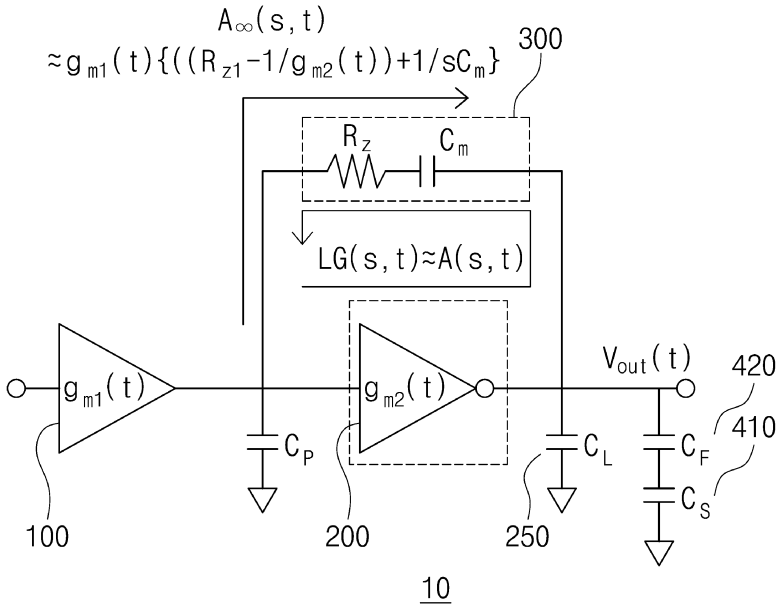
도면4


420
430
C_F
300
SW_1
410
R_z
C_m
$V_{in}(t)$
C_S
$V_{out}(t)$
$g_{m1}(t)$
$g_{m2}(t)$
100
200
10

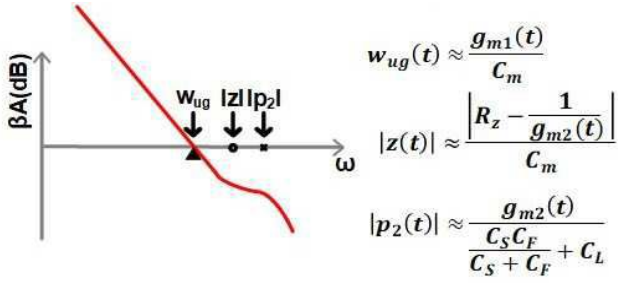
도면5


420
300
C_F
R_z
C_m
h(t,τ)
Time-Variant System
$V_i(t)$
+
-
$V_x(t)$
$V_o(t)$
+
-
$g_{m1}(t)$
$g_{m2}(t)$
C_S
$V_{DD1}(t)$
$V_{SS1}(t)$
$V_{DD2}(t)$
$V_{SS2}(t)$
C_L
100
200
10

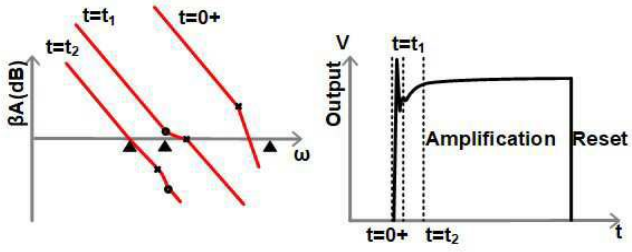
도면6a


$A_\infty(s,t)$
$\approx g_{m1}(t)\{((R_{z1}-1/g_{m2}(t))+1/sC_m\}$
300
R_z
C_m
LG(s,t)≈A(s,t)
$g_{m1}(t)$
$g_{m2}(t)$
$V_{out}(t)$
420
410
C_P
C_L
C_F
C_S
100
200
250
10

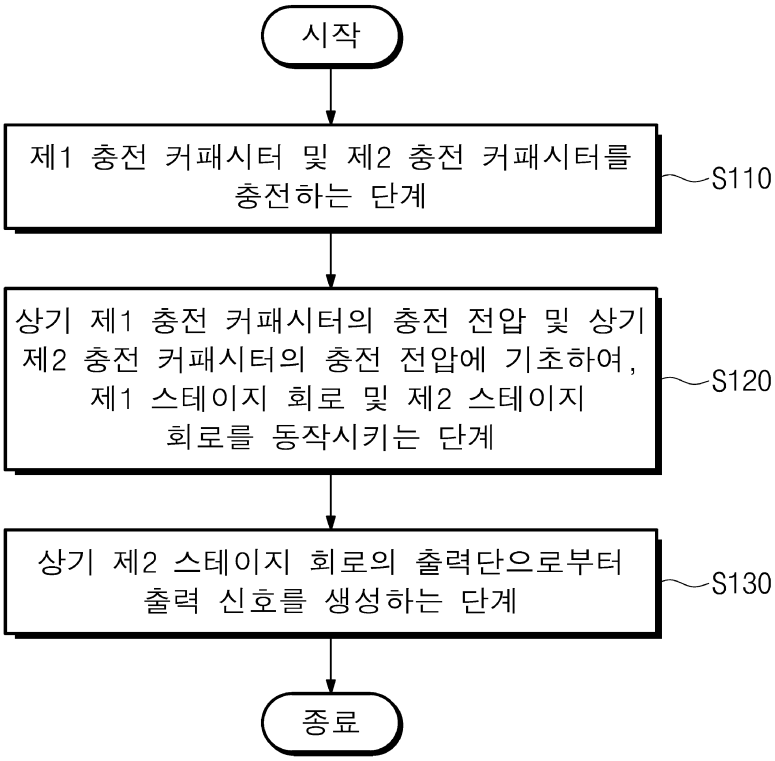
도면6b


βA(dB)
ω
w_{ug}
|z|
$|p_2|$
$w_{ug}(t) \approx \frac{g_{m1}(t)}{C_m}$
$|z(t)| \approx \frac{\left|R_z - \frac{1}{g_{m2}(t)}\right|}{C_m}$
$|p_2(t)| \approx \frac{g_{m2}(t)}{\frac{C_S C_F}{C_S + C_F} + C_L}$

도면7


βA(dB)
ω
t=t1
t=t2
t=0+
V
Output
Amplification
Reset
t

도면8


시작
제1 충전 커패시터 및 제2 충전 커패시터를 충전하는 단계
S110
상기 제1 충전 커패시터의 충전 전압 및 상기 제2 충전 커패시터의 충전 전압에 기초하여, 제1 스테이지 회로 및 제2 스테이지 회로를 동작시키는 단계
S120
상기 제2 스테이지 회로의 출력단으로부터 출력 신호를 생성하는 단계
S130
종료