

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7668252号
(P7668252)

(45)発行日 令和7年4月24日(2025.4.24)

(24)登録日 令和7年4月16日(2025.4.16)

(51)国際特許分類 F I
H 0 3 F 1/42 (2006.01) H 0 3 F 1/42
H 0 3 F 3/20 (2006.01) H 0 3 F 3/20

請求項の数 16 (全36頁)

(21)出願番号	特願2022-142965(P2022-142965)	(73)特許権者	000001292 株式会社京三製作所 神奈川県横浜市鶴見区平安町2丁目2番地の1
(22)出願日	令和4年9月8日(2022.9.8)	(74)代理人	110001151 あいわ弁理士法人
(65)公開番号	特開2024-38728(P2024-38728A)	(72)発明者	國玉 博史 神奈川県横浜市鶴見区平安町二丁目2番地の1 株式会社京三製作所内
(43)公開日	令和6年3月21日(2024.3.21)	(72)発明者	吉田 卓矢 神奈川県横浜市鶴見区平安町二丁目2番地の1 株式会社京三製作所内
審査請求日	令和6年4月22日(2024.4.22)	審査官	福田 正悟

最終頁に続く

(54)【発明の名称】 高周波電源装置

(57)【特許請求の範囲】

【請求項1】

増幅素子のスイッチング動作により高周波増幅させ、高周波の出力電力を出力する高周波増幅部と、

スイッチング素子のスイッチング動作により前記増幅素子のゲート端子にゲート信号を入力し、当該ゲート信号により前記増幅素子を駆動するゲート駆動部と、
を備える高周波電源装置において、

前記高周波増幅部において、前記増幅素子はLDMOSFETであり、

前記ゲート駆動部において、前記スイッチング素子はGaNFETであり、前記高周波増幅部を矩形波信号のゲート信号によりPWM制御するとともに、前記スイッチング素子の出力寄生容量 C_{oss} 、GaNと、前記スイッチング素子のドレイン端子に接続される配線のインダクタンスとのLC共振の振動を減衰するドレイン抵抗(R_d)が、前記スイッチング素子のドレイン端子に接続される、
高周波電源装置。

【請求項2】

前記ゲート駆動部において、前記スイッチング素子のトータルゲートチャージ Q_g は、前記高周波のスイッチング動作のスイッチング周波数 f_{sw} に対応する一周期の時間($1/f_{sw}$)内に、前記スイッチング素子のゲート電流 I_g がゲート端子に注入される総電荷量以下の値である、

請求項1に記載の高周波電源装置。

【請求項 3】

前記ゲート駆動部において、前記スイッチング素子と当該スイッチング素子のゲート端子に駆動信号を印加する駆動用ロジック IC との間の配線インダクタンス L_1 は、前記スイッチング素子のゲート容量 C_{iss_GAN} との LC 共振の共振周波数 f_{o1} が前記高周波のスイッチング動作のスイッチング周波数 f_{sw} 以上となる値に制限される、
請求項 1 に記載の高周波電源装置。

【請求項 4】

前記ゲート駆動部において、前記スイッチング素子と当該スイッチング素子のドレイン端子に接続されるバイパスコンデンサとの間の配線インダクタンス L_2 は、前記スイッチング素子の出力寄生容量 C_{oss_GAN} との LC 共振の共振周波数 f_{o2} が前記高周波のスイッチング動作のスイッチング周波数 f_{sw} 以上となる値に制限される、
請求項 1 に記載の高周波電源装置。

10

【請求項 5】

前記ゲート駆動部及び前記高周波増幅部において、ハイサイド側の前記スイッチング素子のソース端子と前記増幅素子のゲート端子との間の配線インダクタンス L_3 は、前記増幅素子のゲート容量 C_{iss_LD} との LC 共振の共振周波数 f_{o3} が前記高周波のスイッチング動作のスイッチング周波数 f_{sw} 以上となる値に制限される、
請求項 1 に記載の高周波電源装置。

【請求項 6】

前記ハイサイド側の前記スイッチング素子のソース端子と前記増幅素子のゲート端子との間にゲート抵抗 R_{g_LD} が接続され、

20

前記ゲート抵抗 R_{g_LD} は前記増幅素子のゲート容量 C_{iss_LD} と、前記ハイサイド側のスイッチング素子のソース端子と前記増幅素子のゲート端子との間の配線インダクタンス L_3 との LC 共振を減衰する、

請求項 5 に記載の高周波電源装置。

【請求項 7】

前記高周波増幅部は 2 つの増幅素子のソース端子を接地接続するプッシュプル回路であり、

前記ゲート駆動部は、前記 2 つの増幅素子の各ゲート端子にゲート信号を印加する 2 つのゲート駆動回路を備え、

30

前記 2 つのゲート駆動回路は COM 電位を基準として電氣的に対称であり、各ゲート駆動回路を構成する回路素子は、COM 電位を通る対称軸に対して線対称に配置される、
請求項 1 に記載の高周波電源装置。

【請求項 8】

前記各ゲート駆動回路が備えるハイサイド側のスイッチング素子及びローサイド側のスイッチング素子のゲート端子は、各ゲート端子に駆動信号を印加する駆動用ロジック IC との間にゲート抵抗 R_{g_GAN} が接続され、

直線状に配置された前記駆動用ロジック IC とゲート抵抗 R_{g_GAN} との直列回路を複数備え、

前記複数の直列回路は放射状に配置され、各々の直列回路の電気長は均等である、

40

請求項 7 に記載の高周波電源装置。

【請求項 9】

前記ゲート駆動部は、能動素子と受動素子とを備え、

前記受動素子は基板に対して表層に配置されて空冷により冷却され、

前記能動素子は基板に対して裏面に配置されて導伝熱部材を介して接触される放熱部により冷却される、

請求項 1 に記載の高周波電源装置。

【請求項 10】

前記放熱部は水冷プレート又はフィンである、

請求項 9 に記載の高周波電源装置。

50

【請求項 1 1】

前記ゲート駆動部は、能動素子と受動素子とを備え、

前記受動素子の並列個数及び実装パターン幅は、その実効幅が前記高周波増幅部の増幅素子の本体幅と同等又は本体幅より広い、
請求項 1 に記載の高周波電源装置。

【請求項 1 2】

前記ゲート駆動部において、導電性のシールドガasketが、表層側のゲート抵抗 R_g — $L D$ の直下裏面に基板を挟んで配置されて、ゲート駆動部側の接地電位とされ、

前記高周波増幅部において、前記増幅素子のソース電圧は高周波増幅部側の接地電位とされ、

前記ゲート駆動部側の接地電位と高周波増幅部側の接地電位は、放熱部を介して電氣的に接続され、前記ゲート駆動部と高周波増幅部との間に電流ループが形成される、
請求項 6 に記載の高周波電源装置。

【請求項 1 3】

前記ゲート駆動部において、前記スイッチング素子は、基板を挟んで、前記スイッチング素子のドレイン端子に接続されるドレイン抵抗 R_d 及び前記ドレイン抵抗 R_d に接続されるバイパスコンデンサの下方に配置され、基板に設けられた貫通孔を介して電氣的に接続される、

請求項 1 2 に記載の高周波電源装置。

【請求項 1 4】

前記電流ループの経路のループ径は $10 [mm]$ 以下である、
請求項 1 2 に記載の高周波電源装置。

【請求項 1 5】

前記電流ループの経路のループ径は $10 [mm]$ 以下である、
請求項 1 3 に記載の高周波電源装置。

【請求項 1 6】

前記ゲート駆動部は、直列接続されたハイサイド側のスイッチング素子とローサイド側のスイッチング素子を備え、

直流電源と並列接続された、直列抵抗 R_e とツェナーダイオード $Z D$ との直列回路を備え、

前記ハイサイド側のスイッチング素子に、前記直列抵抗 R_e の両端電圧が駆動電圧 V_H として印加され、

前記ローサイド側のスイッチング素子に、前記ツェナーダイオード $Z D$ の両端電圧が逆バイアス電圧 V_L として印加され、

前記高周波増幅部は、前記増幅素子のゲートを保護するゲート保護回路を内蔵し、

前記駆動電圧 V_H 及び逆バイアス電圧 V_L は、前記ゲート保護回路の定格電圧の電圧範囲内であり、

前記ハイサイド側のスイッチング素子のドレイン端子にドレイン抵抗 R_{dh} が接続され、
前記ローサイド側のスイッチング素子のドレイン端子にドレイン抵抗 R_{dl} が接続される、

請求項 1 に記載の高周波電源装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、増幅素子をスイッチングモードで駆動して高周波を出力する高周波電源装置に関する。

【背景技術】

【0002】

高周波電源装置は、増幅素子により高周波を電力増幅して出力する高周波増幅部と、この高周波増幅部の増幅素子のゲート端子に駆動信号を印加するゲート駆動部とを備えてい

10

20

30

40

50

る。

【 0 0 0 3 】

(高周波増幅部)

高周波電源装置の高周波増幅部が備える増幅素子としてMOSFETが知られている。MOSFETには、縦型MOSFET (VDMOSFET) と横型MOSFET (LDMOSFET) の2種類が知られている。

【 0 0 0 4 】

縦型MOSFET (VDMOSFET) は、高耐圧、大電流の特徴から、スイッチング動作によるAC - DCスイッチング電源やインバータに用いられる。このスイッチング動作は、一般的に数十kHz ~ 数十MHzまでの領域に限定される。それ以上の高周波では、素子の特性上からON抵抗を犠牲にする必要がある。

10

【 0 0 0 5 】

これに対して、横型MOSFET (LDMOSFET) は、高耐圧化や低ON抵抗化が難しいという課題がある反面、出力容量 C_{oss} が低容量で、帰還容量 C_{rss} が小さいという特徴がある。LDMOSFETは、この低容量特性を有するという特徴から、非常に高速に動作可能な高周波特性を必要とする高周波アンプの出力制御素子に適した素子である。

【 0 0 0 6 】

LDMOSFETは、一般的にはA級増幅器、B級増幅器、AB級増幅器、C級増幅器などの活性動作領域で使用される高周波リニアアンプに用いられ、スイッチングモードによるD級増幅器、E級増幅器、F級増幅器などのスイッチング用途には用いられない。

20

【 0 0 0 7 】

(ゲート駆動部)

高周波電源装置のゲート駆動部では、一般的なりニア増幅を行う際には、ゲート信号として正弦波状の振幅変調信号が用いられ、スイッチング用の方形波状信号は用いられない。従来の正弦波状のゲート信号でLDMOSFETをスイッチング動作させる場合には、バイアス電圧に交流電圧を重畳させて得られる正弦波状のゲート電圧 V_{gs} が用いられる。バイアス電圧はゲート電圧 V_{gs} の基準レベルを調整し、レベル調整したゲート電圧 V_{gs} とスレッシュホールド電圧 V_{th} とを電圧比較することによりデットタイムDT及びパルス幅 T_{on} を定めている。

30

【 0 0 0 8 】

図14は、従来の高周波電源装置100の一構成例を示している。高周波電源装置100は高周波増幅部110とゲート駆動部120を備える。高周波増幅部110はLDMOSFETの増幅素子111としてLDMOS1及びLDMOS2を備える。ゲート駆動部120はLDMOS1及びLDMOS2のゲート端子にゲート信号を印加する。LDMOS1とLDMOS2は、ゲート信号によりスイッチング動作する。

【 0 0 0 9 】

ゲート駆動回路は、交流電源の交流電圧 V_{ac} による正弦波状のゲート電圧 V_{gs} をLDMOS1及びLDMOS2のゲート端子にバイアス電圧 V_{bias} に重畳して印加する。ゲート電圧 V_{gs} は交流電源からゲートトランスの相互インダクタンス M_g を介してLDMOS1及びLDMOS2のゲートを共有するため、LDMOSFETがオフ区間中に異常発振する現象が発生するという課題がある。

40

【 0 0 1 0 】

(高周波信号の出力要件)

一般的に、スイッチモードで動作する高周波電源装置は、高周波信号を出力することから、高周波増幅部については以下の(a), (b)の要件が求められ、ゲート駆動部については以下の(c)の要件が求められる。

(a) 増幅素子のスイッチング動作

(b) 増幅素子の高速 / 高周波の動作特性

(c) 増幅素子のPWM制御

50

【 0 0 1 1 】

高周波電源装置に求められる高周波信号の要件 (a) , (b) , (c) において、縦型の V D M O S F E T は、増幅素子をスイッチング動作させるという要件 (a) は満たされるものの、高速 / 高周波の動作特性の要件 (b) については満たされない。この増幅素子の高速 / 高周波の動作特性の要件 (b) の対処として、縦型の V D M O S F E T に代えて低容量特性の横型の L D M O S F E T を用いることが考えられる。しかしながら、横型の L D M O S F E T は、A 級増幅器、B 増幅器、C 級増幅器などの活性動作領域を用いて増幅動作を行うリニア増幅の場合には、増幅素子のスイッチング動作の要件 (a) を満たしていない。

【 0 0 1 2 】

一方、横型の L D M O S F E T は、要件 (a) の他に、ゲート駆動部において正弦波状のゲート電圧 V_{gs} によるスイッチング動作では、デットタイム D T 及びパルス幅 T_{on} の調整の精度および再現性に課題が不安定であるため、増幅素子の P W M 制御の要件 (c) の点で課題がある。

【 0 0 1 3 】

横型の L D M O S F E T の駆動において、正弦波状のゲート電圧 V_{gs} によるスイッチング動作では、デットタイム D T 及びパルス幅 T_{on} は増幅素子のスレッシュホールド電圧 V_{th} とゲート電圧 V_{gs} で定まる。そのため、デットタイム D T 及びパルス幅 T_{on} はスレッシュホールド電圧 V_{th} の関係に大きく影響される。スレッシュホールド電圧 V_{th} は、ゲート駆動部を構成する素子特性によりばらつきがあるため、デットタイム D T 及びパルス幅 T_{on} の調整の精度および再現性は不安定である。そのため、高周波増幅素子を駆動するゲート駆動において、正弦波を利用してゲート信号のパルス幅を可変として P W M 制御を行うことは困難である。

【 0 0 1 4 】

このような従来の V D M O S F E T の増幅素子を用いた高周波増幅部に対して、高周波増幅部の出力要件 (a) , (b) を満たす構成として、L D M O S F E T の増幅素子をスイッチング領域 (飽和領域) で駆動する増幅器が提案されている (特許文献 1 参照) 。

【 0 0 1 5 】

また、ゲート駆動部の出力要件 (c) に対して、L D M O S F E T の増幅素子を矩形波のゲート信号で P W M 制御する電源装置が提案されている (特許文献 2 参照) 。

【 先行技術文献 】

【 特許文献 】

【 0 0 1 6 】

【 文献 】 特開 2 0 1 7 - 0 9 2 9 1 5 号 公 報

【 文献 】 特開平 0 8 - 1 4 0 3 4 1 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 7 】

高周波電源装置において、高周波増幅部の要件である (a) 増幅素子のスイッチング動作、及び (b) 増幅素子の高速 / 高周波の動作特性については、特許文献 1 で提案されるように、増幅素子として L D M O S F E T を用い、スイッチング領域 (飽和領域) で駆動する構成が提案されている。

【 0 0 1 8 】

また、ゲート駆動部の要件である (c) 増幅素子の P W M 制御については、特許文献 2 で提案されるように、L D M O S F E T の増幅素子を矩形波のゲート信号で P W M 制御する構成が提案されている。

【 0 0 1 9 】

しかしながら、従来提案されている P W M 制御を行うゲート駆動部は、L D M O S F E T を高速 / 高周波で動作させるには、矩形波 (方形波) のゲート電圧 V_{gs} のデットタイム D T 及びパルス幅 T_{on} の精度 / 再現性の点で不十分であるという課題がある。

10

20

30

40

50

【 0 0 2 0 】

出力が1 [kW] 以上で、かつ周波数範囲が27 [MHz] - 100 [MHz] の高出力 / 高周波数の高周波を出力する高周波電源装置では、LDMOSFETの増幅素子をPWM制御する矩形波のゲート信号のデットタイムDT及びパルス幅 T_{on} について高い精度 / 再現性が求められる。

【 0 0 2 1 】

一方、特許文献2で提案されるゲート駆動部は、矩形波のゲート信号によるPWM制御が提案されているが、このゲート駆動部を構成するスイッチング素子としてBi-MOS (バイポーラモス) によるPWM制御ICが用いられている。一般に、Si-MOSFETはゲートが制御信号を受けてからスイッチング素子がオン状態に至るまでの伝搬遅延に素子の個体差がある。例えば、従来のSi-MOSFETでは1 [ns] - 数 [ns] の個体差が存在する。そのため、Bi-MOS (バイポーラモス) で構成されるPWM制御ICについても、スイッチング素子の伝搬遅延の個体差により、高周波増幅部のLDMOSFETのゲート端子に印加してPWM制御を行うゲート信号のデットタイムDT及びパルス幅 T_{on} にはばらつきが生じ、精度 / 再現性に課題が生じる。

10

【 0 0 2 2 】

出力が1 kW以上で、かつ周波数範囲が27 [MHz] - 100 [MHz] の高出力 / 高周波数の高周波を出力する高周波電源装置では、伝搬遅延の個体差はPWM制御を可能とする上で許されない要件である。特許文献2においては、高出力 / 高周波数の高周波においてPWM制御するための技術的な開示はされていない。

20

【 0 0 2 3 】

また、高出力 / 高周波数の高周波を出力する高周波電源装置では、ゲート駆動部において、スイッチング素子の伝搬遅延の個体差によるゲート信号のデットタイムDT及びパルス幅 T_{on} の精度 / 再現性の課題の他に、ゲート駆動部の高速応答特性、寄生キャパシタンスと配線インダクタンスによる高周波共振の抑制等の課題がある。なお、特許文献2には、これらの課題、及び課題を解決する技術的手段について何ら開示されていない。

【 0 0 2 4 】

したがって、本発明は、前記した従来の課題を解決して、高出力 / 高周波数の高周波を出力する高周波電源装置のゲート駆動部において、スイッチング素子の伝搬遅延の個体差を低減し、PWM制御を行うゲート信号のデットタイムDT及びパルス幅 T_{on} のばらつきを抑制して精度 / 再現性を改善することを目的とする。

30

【 0 0 2 5 】

また、高出力 / 高周波数の高周波を出力する高周波電源装置のゲート駆動部において、高速応答特性を改善し、高周波共振を抑制することを目的とする。

【課題を解決するための手段】

【 0 0 2 6 】

本発明の高周波電源装置は、高周波増幅部とゲート駆動部とを備える。高周波増幅部は増幅素子を備え、この増幅素子のスイッチング動作により高周波増幅させ、高周波の出力電力を出力する。ゲート駆動部はスイッチング素子を備え、このスイッチング素子のスイッチング動作により高周波増幅部の増幅素子のゲート端子にゲート信号を入力し、ゲート信号により増幅素子を駆動する。

40

【 0 0 2 7 】

本発明は、高周波増幅部とゲート駆動部とを備える高周波電源装置において、高周波増幅部の増幅素子としてLDMOSFETを用い、ゲート駆動部のスイッチング素子としてGaNFETを用いる。

【 0 0 2 8 】

ゲート駆動部のGaNFETは、スイッチング動作により矩形波信号のゲート信号を生成し、生成したゲート信号を高周波増幅部のLDMOSFETのゲート端子に印加しPWM制御を行う。

【 0 0 2 9 】

50

高周波増幅部の増幅素子としてLDMOSFETを用いることにより高出力/高周波数の高周波を出力する。また、ゲート駆動部のスイッチング素子としてGaNFETを用いることによりスイッチング素子の伝搬遅延の個体差を低減し、PWM制御を行うゲート信号のデットタイムDT及びパルス幅 T_{on} のばらつきを抑制して精度/再現性を改善する。
【0030】

(高周波共振を抑制するための構成)

高周波増幅部が高出力/高周波数の高周波を出力するには、増幅素子のLDMOSFETのゲート端子に印加する矩形波のゲート信号のデットタイムDT及びパルス幅 T_{on} のばらつきが小さいことが求められる。特に27[MHz]-100[MHz]といった高周波領域では、矩形波波形の立ち上がりや立ち下がりで発生する振動が抑制され、ゲート信号のデットタイムDT及びパルス幅 T_{on} のばらつきが抑制されることが強く求められる。

10

【0031】

本発明では、矩形波波形の立ち上がりや立ち下がりで発生する振動として、スイッチング素子の近傍で発生する高周波共振現象に注目し、この高周波共振現象を抑制することによりゲート信号の矩形波波形の乱れを抑制する。

【0032】

本発明のゲート駆動部では、スイッチング素子の出力寄生容量 C_{oss_GaN} と、スイッチング素子のドレイン端子に接続される配線のインダクタンス L_2 とのLC共振に対して、スイッチング素子のドレイン端子にドレイン抵抗(R_d)を接続して共振振動を減衰する。ドレイン抵抗(R_d)は、出力寄生容量 C_{oss_GaN} と配線インダクタンス L_2 のLC回路による振動を減衰する。これにより、矩形波波形の立ち上がりや立ち下がりでの波形歪みは低減され、ゲート信号のデットタイムDT及びパルス幅 T_{on} のばらつきは抑制される。通常、スイッチング素子は、高効率な高周波動作を行う要求から低抵抗であることが求められるが、本発明では低抵抗特性のGaNFETにおいてドレイン抵抗(R_d)を付加することによりLC共振の振動を抑制する。

20

【0033】

(高速応答特性のための構成)

本発明の高周波電源装置は、高周波増幅部の増幅素子を高周波でかつPWM制御により駆動させるために、高周波の矩形波波形のゲート信号が必要である。本発明のゲート駆動部は、高周波の矩形波波形のゲート信号によるPWM制御を行うために、ゲート駆動部の高周波応答性を高める構成を備える。ゲート駆動部の高周波応答性が不足する場合には、ゲート信号の矩形波波形の立ち上がりや立ち下がりにおいて、時定数が大きくなって立ち上がり時間/立ち下がり時間が矩形波信号のパルス幅と比較して長くなる現象、波形が振動する振動現象等による波形歪み現象等が生じる。

30

【0034】

本発明は、ゲート駆動部及び高周波増幅部において、ゲート駆動部の高周波応答性を高める構成として(A)回路素子の電気特性、及び(B)回路素子の配置に特徴的な構成を備える。

【0035】

(A)回路素子の電気特性

(a)トータルゲートチャージ(ゲート総電荷量) Q_g

回路素子の電気特性として、ゲート駆動部の能動素子であるスイッチング素子のトータルゲートチャージ(ゲート総電荷量) Q_g がある。本発明は、高周波のスイッチング動作のスイッチング周波数 f_{sw} に応じたトータルゲートチャージ Q_g の上限値を定め、この上限値よりも小さいトータルゲートチャージ(ゲート総電荷量) Q_g を持つスイッチング素子を用いる。スイッチング素子のトータルゲートチャージ Q_g の上限値を制限することにより、高周波出力の周波数範囲内のスイッチング周波数 f_{sw} によるスイッチング動作を高速化させる。

40

【0036】

50

トータルゲートチャージ（ゲート総電荷量）はゲート入力電荷量の名称によっても呼称される。以下では、トータルゲートチャージ（ゲート総電荷量）の名称を用いて説明する。

【0037】

（b）ゲート駆動部のLC共振回路

ゲート駆動部では、配線インダクタンス L とスイッチング素子が有する寄生容量 C によりLC共振回路が形成される。このLC共振回路による共振周波数 f_0 がスイッチング動作のスイッチング周波数 f_{sw} の周波数範囲内にある場合には、ゲート信号の波形に波形歪みが発生する要因となる。本発明の高周波電源装置は、配線インダクタンスを制限することによりLC共振回路の共振周波数をスイッチング周波数 f_{sw} よりも高い周波数とし、共振現象による影響を低減する。

10

【0038】

（b1）配線インダクタンスの制限

配線インダクタンス L_1 は、スイッチング素子とこのスイッチング素子のゲート端子に駆動信号を印加する駆動用ロジックICとの間を接続する配線が有するインダクタンスであり、スイッチング素子のゲート容量 C_{iss_GAN} との間でLC共振回路を構成する。LC共振回路による共振周波数 f_{01} がスイッチング動作のスイッチング周波数 f_{sw} の周波数範囲内にある場合には、ゲート信号の波形に波形歪みが発生する要因となる。

【0039】

このLC共振による共振周波数 f_{01} が高周波のスイッチング動作のスイッチング周波数 f_{sw} よりも高い周波数となるように配線インダクタンス L_1 のインダクタンス値の上限値を設定する。配線インダクタンス L_1 の上限値を制限して配線のインダクタンスを小さくすることにより、LC共振による共振周波数 f_{01} は高周波のスイッチング動作のスイッチング周波数 f_{sw} の周波数範囲よりも高い周波数となる。これにより、スイッチング動作のスイッチング周波数 f_{sw} が高周波のスイッチング動作の周波数範囲であればLC共振の発生は抑制され、共振振動による波形歪み現象が抑制され、高周波応答性が向上する。配線の配線長は、配線インダクタンス L_1 が上限値以下となるように設定される。

20

【0040】

（b2）配線インダクタンス L_2 の制限

配線インダクタンス L_2 は、スイッチング素子とこのスイッチング素子のドレイン端子に接続されるバイパスコンデンサとの間の配線が有するインダクタンスである。配線インダクタンス L_2 は、スイッチング素子の出力寄生容量 C_{oss_GAN} との間でLC共振回路を構成する。

30

【0041】

ドレイン端子に接続されるバイパスコンデンサは、配線の接地電位（グラウンド）に対する交流的なインピーダンスを低減して、スイッチング素子のスイッチング動作によって発生するノイズが電源ラインに流出することを抑制する。

【0042】

LC共振回路による共振周波数 f_{02} がスイッチング動作のスイッチング周波数 f_{sw} の周波数範囲内にある場合には、ゲート信号の波形に波形歪みが発生する要因となる。

【0043】

このLC共振による共振周波数 f_{02} が高周波のスイッチング動作のスイッチング周波数 f_{sw} よりも高い周波数となるように配線インダクタンス L_2 のインダクタンス値の上限値を設定する。配線の配線長は、配線インダクタンス L_2 が上限値以下となるように設定される。

40

【0044】

配線インダクタンス L_2 の上限値を制限して配線のインダクタンスを小さくすることにより、LC共振による共振周波数 f_{02} は高周波のスイッチング動作のスイッチング周波数 f_{sw} の周波数範囲よりも高い周波数となる。これにより、スイッチング動作のスイッチング周波数 f_{sw} が高周波のスイッチング動作の周波数範囲であればLC共振現象の発生は抑制され、共振振動による波形歪み現象が抑制され、高周波応答性が向上する。配線

50

の配線長は、配線インダクタンス L_2 が上限値以下となるように設定される。

【0045】

(b3) 配線インダクタンス L_3 の制限

配線インダクタンス L_3 は、ゲート駆動部のハイサイド側のスイッチング素子のソース端子と増幅素子のゲート端子との間の配線が有するインダクタンスである。配線インダクタンス L_3 は、増幅素子のゲート容量 C_{iss_LD} との間で LC 共振回路を構成する。

【0046】

LC 共振回路による共振周波数 f_{o3} がスイッチング動作のスイッチング周波数 f_{sw} の周波数範囲内にある場合には、ゲート信号の波形に波形歪みが発生する要因となる。

【0047】

本発明は、LC 共振による共振周波数 f_{o3} が高周波のスイッチング動作のスイッチング周波数 f_{sw} よりも高い周波数となるように配線インダクタンス L_3 のインダクタンス値の上限値を設定する。配線の配線長は、配線インダクタンス L_3 が上限値以下となるように設定される。

【0048】

配線インダクタンス L_3 の上限値を制限して配線のインダクタンスを小さくすることにより、LC 共振による共振周波数 f_{o3} は高周波のスイッチング動作のスイッチング周波数 f_{sw} の周波数範囲よりも高い周波数となる。これにより、スイッチング動作のスイッチング周波数 f_{sw} が高周波のスイッチング動作の周波数範囲であれば LC 共振現象の発生は抑制され、共振振動による波形歪み現象が抑制され、高周波応答性が向上する。配線の配線長は、配線インダクタンス L_3 が上限値以下となるように設定される。

【0049】

(b4) ドレイン抵抗 (R_{dh} , R_{dl})

(i) 保護回路

高周波増幅部の LDMOSFET は、ゲートを保護するためにゲート保護回路が内蔵されている。ゲート保護回路は、LDMOSFET を飽和領域で使用する際、逆電圧印加時において負電圧の逆バイアス電圧がゲートの許容電圧を超えて印加されることを防ぐ回路である。この保護回路についても許容電圧範囲があり、ゲート駆動部から印加負電圧がゲート保護回路の許容電圧範囲を超える場合にはゲート保護回路が破壊されるおそれがある。

【0050】

本発明は、ゲート保護回路に印加される負電圧を許容電圧範囲内に抑えることにより、ゲート保護回路の破壊を防ぐ構成を備える。

また、本発明の高周波電源装置において、ゲート駆動部は、

(a) 直列接続されたハイサイド側のスイッチング素子とローサイド側のスイッチング素子

(b) 直流電源 (V_{dd}) に並列接続された、直列抵抗 (R_e) とツェナーダイオード (ZD) との直列回路

を備える。

【0051】

この直列抵抗 (R_e) とツェナーダイオード (ZD) との直列回路は、

(c) ハイサイド側のスイッチング素子に、直列抵抗 (R_e) の両端電圧を駆動電圧 V_H として印加し、ローサイド側のスイッチング素子に、ツェナーダイオード (ZD) の両端電圧を逆バイアス電圧 V_L として印加する。

(d) 駆動電圧 V_H 及び逆バイアス電圧 V_L は、高周波増幅部が内蔵する保護回路の定格電圧の電圧範囲内に設定される。

【0052】

(ii) ドレイン抵抗 (R_{dh} , R_{dl})

LDMOSFET のゲートを逆バイアスする際に、共振振動によりゲート電圧 V_{gs} に振動が生じると、LDMOSFET のゲート保護回路の逆耐電圧を超えるおそれがある。この共振振動は、GaNFET の ON 抵抗が数 Ω から数十 Ω で非常に小さいために、GaNFET の出力寄生容量 C_{oss_GaN} と、バイパスコンデンサ間の配線インダ

10

20

30

40

50

クタンス L_2 との間で生じる共振現象によるものである。

【0053】

この共振現象を抑制するために、本発明では $GaNFEET$ のドレイン側にドレイン抵抗 (R_{dh} 、 R_{dl}) を挿入する。ドレイン抵抗 (R_{dh} 、 R_{dl}) としては、例えば $0.5 [ohm]$ から $2 [ohm]$ 程度の抵抗値が用いられる。

【0054】

(b5) 増幅素子のゲート抵抗 (R_{g_LD})

高周波増幅部の電気特性の一つとして増幅素子のゲート端子に接続されるゲート抵抗 (R_{g_LD}) がある。

【0055】

ゲート駆動部のスイッチング素子は、ハイサイド側のスイッチング素子とローサイド側のスイッチング素子の直列回路を備える。ハイサイド側とローサイド側のスイッチング素子の接続点と増幅素子のゲート端子との間の配線インダクタンス L_3 は、増幅素子のゲート容量 C_{iss_LD} と共に LC 共振回路を構成する。この LC 共振回路の共振現象は、ゲート信号の波形にリングング等の波形歪みが発生する要因となる。本発明のゲート抵抗 (R_{g_LD}) は LC 共振回路による共振を減衰する。

【0056】

(C) 回路素子の配置

本発明は、ゲート駆動部の高周波応答性を高める構成として、ゲート駆動部が備える回路素子の配置について、以下の第1の構成 - 第6の構成を備える。第1の構成及び第2の構成は基準電位に対して電気的な不均等が生じないようにする素子配置であり、第3の構成及び第4の構成は回路素子の放熱を高める素子配置であり、第5の構成及び第6の構成は電流ループの経路を短くする素子配置である。

【0057】

高周波電源装置が備える高周波増幅部及びゲート駆動回路において、高周波増幅部は2つの増幅素子のソース端子を接地接続するプッシュプル回路であり、ゲート駆動部は高周波増幅部の2つの増幅素子の各ゲート端子にゲート信号を印加する2つのゲート駆動回路を備える。

【0058】

(a) 回路素子配置に係る第1の構成

回路素子配置に係る第1の構成では、2つのゲート駆動回路は同じ回路構成によりプッシュプル回路が構成され、各ゲート駆動回路を構成する同一の機能の回路素子は COM 電位を通る対称軸に対して対称で等距離の位置に線対称配置される。この線対称配置により、2つのゲート駆動回路の各回路素子は COM 電位を基準電位として電気的に対称に配置される。

【0059】

回路素子が電気的に対称に配置されることにより、ゲート信号のデットタイム DT 及びパルス幅 T_{on} のずれや、両方のゲート信号の同期ずれ等の、ゲート信号が基準電位からのずれに基づいて生じる2つのゲート信号間のずれが抑制される。

【0060】

(b) 回路素子配置に係る第2の構成

回路素子配置に係る第2の構成は、第1の構成である線対称配置と共に放射状配置を有する。

【0061】

各ゲート駆動回路が備えるハイサイド側のスイッチング素子及びローサイド側のスイッチング素子のゲート端子には、各ゲート端子に駆動信号を印加する駆動用ロジック IC との間でゲート抵抗 (R_{g_GaN}) が接続され直列回路が構成される。この駆動用ロジック IC とゲート抵抗 (R_{g_GaN}) の直列回路はゲート端子に対して直線状に配置されると共に、各スイッチング素子に対して放射状に配置される。放射状配置により、各直列回路の配線長及び電気長は均等となる。これにより、配線長が異なることによる配線イン

10

20

30

40

50

ダクタンスの相違や、電気長が異なることによる遅延時間等のずれ等が抑制される。

【0062】

(c) 回路素子配置に係る第3の構成

回路素子配置に係る第3の構成は、回路素子を冷却する構成である。

ゲート駆動部は、能動素子と受動素子とを備える。バイパスコンデンサや抵抗素子の受動素子は基板に対して表層に配置され、空冷により冷却される。GaNFETの能動素子は基板に対して裏面に配置され、導伝熱部材を介して接触される放熱部により冷却される。

【0063】

本発明は、発熱量が異なる能動素子と受動素子とを基板を介して反対側に配置する。発熱量が小さい受動素子が基板に対して表層に配置されることで空冷による冷却が可能であり、発熱量が大きい能動素子が基板に対して裏面に配置されることで放熱部による強制冷却が可能である。放熱部は水冷プレート又はフィンを用いることができる。

10

【0064】

(d) 回路素子配置に係る第4の構成

回路素子配置に係る第4の構成は、熱伝導及び配線インダクタンス低減に係る構成である。

ゲート駆動部において、バイパスコンデンサや抵抗素子の受動素子は、その並列個数(パラ数)及び実装パターン幅が、その実効幅が高周波増幅部の増幅素子の本体幅と同等又は本体幅より広くなるように構成される。

【0065】

受動素子の熱伝導及び配線インダクタンス低減のための実効幅は、並列配置された受動素子の個数、及び実装パターン幅に基づいて定まる。この実効幅が高周波増幅部の増幅素子の本体幅と同等又は本体幅より広くなることにより、受動素子からの熱伝導効率の向上、及び低配線インダクタンス化に反映される。

20

【0066】

(e) 回路素子配置に係る第5の構成

回路素子配置に係る第5の構成は、ゲート駆動部と高周波増幅部との間に流れる電流ループに係る構成である。

【0067】

ゲート駆動部において、表層側のゲート抵抗(R_{g_LD})の直下裏面に基板を挟んで導電性のシールドガasketが配置される。この導電性のシールドガasketはゲート駆動部側の接地電位($GND2$)となる。一方、高周波増幅部において、増幅素子のソース電圧は高周波増幅部側の接地電位($GND1$)となる。ゲート駆動部側の接地電位($GND2$)と高周波増幅部側の接地電位($GND1$)は、放熱部を介して電氣的に接続され、ゲート駆動部と高周波増幅部との間に電流ループが形成される。

30

【0068】

(f) 回路素子配置に係る第6の構成

回路素子配置に係る第6の構成は、ゲート駆動部と高周波増幅部との間に流れる電流ループに係る構成である。

【0069】

ゲート駆動部において、スイッチング素子は、基板を挟んでドレイン抵抗(R_d)及びバイパスコンデンサの下方に配置され、基板に設けられた貫通孔を介して電氣的に接続される。この配置により、スイッチング素子、ドレイン抵抗(R_d)、バイパスコンデンサ等の回路素子は近接して配置され、配線インダクタンスが抑えられ、電流ループの電気長が短縮される。

40

【発明の効果】

【0070】

以上説明したように、本発明によれば、高出力/高周波数の高周波を出力する高周波電源装置のゲート駆動部において、スイッチング素子の伝搬遅延の個体差を低減し、PWM制御を行うゲート信号のデットタイムDT及びパルス幅 T_{on} のばらつきを抑制して精度

50

／再現性を改善する。また、高出力／高周波数の高周波を出力する高周波電源装置のゲート駆動部において、高速応答特性を改善し、高周波共振を抑制する。

【図面の簡単な説明】

【0071】

【図1】本発明の高周波電源装置の構成を説明するための図である。

【図2】ゲート駆動部の動作を説明するための図である。

【図3】ゲート駆動部の動作を説明するための図である。

【図4】ゲート駆動部の動作を説明するための図である。

【図5】ゲート駆動部の配線インダクタンスを説明するための図である。

【図6】ゲート保護回路の保護を説明するための図である。

10

【図7】ゲート保護回路の保護を説明するための図である。

【図8】回路素子の配置を説明するための図である。

【図9】回路素子の配置を説明するための図である。

【図10】回路素子の配置を説明するための図である。

【図11】回路素子の配置を説明するための図である。

【図12】回路素子の配置を説明するための図である。

【図13】回路素子の配置を説明するための図である。

【図14】従来の高周波電源装置の一構成例を説明するための図である。

【発明を実施するための形態】

【0072】

20

以下、図1を用いて本発明の高周波電源装置の構成を説明し、図2 - 図4を用いてゲート駆動部の動作を説明し、図5を用いてゲート駆動部の配線インダクタンスを説明し、図6, 図7を用いてゲート保護回路の保護を説明し、図8 - 図13を用いて回路素子の配置を説明する。

【0073】

(A) 本発明の概略構成

図1は本発明の高周波電源装置の構成を説明するための図である。

本発明の高周波電源装置1は、高周波増幅部10とゲート駆動部20とを備える。高周波増幅部10は増幅素子11を備え、この増幅素子11のスイッチング動作により高周波増幅させ、高周波の出力電力を出力する。

30

【0074】

ゲート駆動部20はスイッチング素子21を備える。このスイッチング素子21は、スイッチング動作により生成した矩形波信号をゲート信号として高周波増幅部10の増幅素子11のゲート端子(Gate)に入力し、増幅素子11を駆動する。

【0075】

高周波増幅部10は増幅素子11としてLDMOSFET(横型MOSFET)を用い、ゲート駆動部20はスイッチング素子21としてGaNFETを用いる。ゲート駆動部20のGaNFETは、スイッチング動作により矩形波信号のゲート信号を生成し、生成したゲート信号を高周波増幅部10のLDMOSFETのゲート端子に印加しPWM制御を行う。

40

【0076】

高周波増幅部10の増幅素子11としてLDMOSFETを用いることにより高出力／高周波数の高周波を出力する。また、ゲート駆動部20のスイッチング素子21としてGaNFETを用いることによりスイッチング素子の伝搬遅延の個体差を低減し、PWM制御を行うゲート信号のデットタイムDT及びパルス幅Tonのばらつきを抑制して精度／再現性を改善する。

【0077】

図1に示す高周波増幅部10は、2つの増幅素子11を用いてプッシュプル構成とすることにより高周波出力を増大させている。

【0078】

50

(高周波増幅部の構成)

プッシュプル構成において、一方の増幅素子 11 (LDMOS1) と他方の増幅素子 11 (LDMOS2) の両方のソース端子は接地され、2つの増幅素子 11 のドレイン端子の端子間には、インダクタンス L_O とキャパシタンス C_O の並列回路と、トランスの一次側のコイルが並列接続される。一次側のコイルの midpoint には直流電圧 V_{dc} が接続される。トランスの二次側のコイルは、負荷に高周波電力を出力する出力端に接続される。なお、インダクタンス L_O とキャパシタンス C_O の構成は一例であり、この構成に限られるものではない。

【0079】

LDMOS1 と LDMOS2 の増幅素子 11 は、互いに逆相のスイッチング動作により互いに逆相のドレイン - ソース電圧 V_{ds1} 及び V_{ds2} を出力する。インダクタンス L_O とキャパシタンス C_O の並列回路は高周波増幅部 10 の出力回路の負荷インピーダンスとして作用し、共振周波数での増幅素子の利得を最大化しドレイン - ソース電圧 V_{ds1} 及び V_{ds2} の出力を高める。高められたドレイン - ソース電圧 V_{ds1} 及び V_{ds2} はトランスを介して出力端 (OUTPUT) から負荷に出力される。図 1 では、負荷として 50 [ohm] を接続して、高周波増幅部 10 との間でインピーダンス整合がなされる。

【0080】

LDMOS1 及び LDMOS2 の増幅素子 11 のゲート端子にはゲート抵抗 12 (R_{g_LD}) が接続される。ゲート抵抗 12 (R_{g_LD}) は、増幅素子 11 のゲート容量 C_{iss_LD} と、ゲート駆動部 20 のハイサイド側のスイッチング素子 21 (QH1、QH2) のソース端子と増幅素子 11 のゲート端子との間の配線インダクタンス L_3 とで形成される LC 共振回路の共振振動を減衰する。

【0081】

(ゲート駆動部の構成)

プッシュプル構成において、ゲート駆動部 20 はゲート駆動回路 20A 及びゲート駆動回路 20B を備える。ゲート駆動回路 20A は増幅素子 11 (LDMOS1) のゲート端子にゲート信号を印加する回路であり、ゲート駆動回路 20B は増幅素子 11 (LDMOS2) のゲート端子にゲート信号を印加する回路である。図 1 中において、ゲート駆動回路 20A は左方に示される回路部分であり、ゲート駆動回路 20B は右方に示される回路部分である。ゲート駆動回路 20A とゲート駆動回路 20B は、COM 電位を基準電位としている。

【0082】

ゲート駆動回路 20A は、ハイサイド側のスイッチング素子 21 (QH1) のソース端子とローサイド側のスイッチング素子 21 (QL1) のドレイン端子がドレイン抵抗 (R_{d11}) に接続され、スイッチング素子 21 (QH1) のソース端子が高周波増幅部 10 のゲート抵抗 12 (R_{g_LD}) を介して増幅素子 11 (LDMOS1) のゲート端子に接続される。

【0083】

スイッチング素子 21 (QH1) のドレイン端子はドレイン抵抗 26 (R_{dh1}) 及びバイパスコンデンサ 24 (CH1) を介して接地電位 (GND2) に接続される。一方、スイッチング素子 21 (QL1) のソース端子は COM 電位に接続され、更にバイパスコンデンサ 24 (CL1) を介して接地電位 (GND2) に接続される。

【0084】

ゲート駆動部 20 は、直流電源 22 と、直列抵抗 27 (R_e) とツェナーダイオード 28 (ZD) の直列回路との並列接続により電源が構成され、直列回路の midpoint は接地電位 (GND2) に接続される。直流電源 22 の直流電源電圧 V_{dd} は、直列抵抗 27 (R_e) の駆動電圧 V_H とツェナーダイオード 28 (ZD) の逆バイアス電圧 V_L に分圧され、ハイサイド側のスイッチング素子 21 (QH1) のドレイン側には正電圧の駆動電圧 V_H が印加され、ローサイド側のスイッチング素子 21 (QL1) のソース端子側には負電圧の逆バイアス電圧 V_L が印加される。

10

20

30

40

50

【 0 0 8 5 】

ゲート駆動回路 2 0 A の構成 :

スイッチング素子 2 1 (Q H 1) は、オン状態のときに正電圧の駆動電圧 V_H を、増幅素子 1 1 (L D M O S 1) のゲート端子に対してゲート信号として印加する。一方、ローサイド側のスイッチング素子 2 1 (Q L 1) は、オン状態のときに負電圧の逆バイアス電圧 V_L を、増幅素子 1 1 (L D M O S 1) のゲート端子に対してゲート信号として印加する。

【 0 0 8 6 】

スイッチング素子 2 1 (Q H 1) のゲート端子には、駆動用ロジック I C 2 3 H の出力端から制御信号が印加され、スイッチング素子 2 1 (Q H 1) のスイッチング動作が制御される。また、スイッチング素子 2 1 (Q L 1) のゲート端子には、駆動用ロジック I C 2 3 L の出力端から制御信号が印加され、スイッチング素子 2 1 (Q L 1) のスイッチング動作が制御される。制御信号は高周波増幅部を P W M 制御する基礎信号となる。

10

【 0 0 8 7 】

なお、駆動用ロジック I C 2 3 H、I C 2 3 L は、それぞれ並列接続の構成とすることにより、スイッチング素子 2 1 (Q H 1、Q L 1) のゲート端子に印加する駆動電流を増やすことができる。

【 0 0 8 8 】

ゲート駆動回路 2 0 B の構成 :

ゲート駆動回路 2 0 B においても、ゲート駆動回路 2 0 A と同様な構成である。ゲート駆動回路 2 0 B は、ハイサイド側のスイッチング素子 2 1 (Q H 2) のソース端子とローサイド側のスイッチング素子 2 1 (Q L 2) はドレイン抵抗 (R_{d12}) に接続され、スイッチング素子 2 1 (Q H 2) のソース端子は高周波増幅部 1 0 のゲート抵抗 1 2 ($R_{g_L D}$) を介して増幅素子 1 1 (L D M O S 2) のゲート端子に接続される。

20

【 0 0 8 9 】

スイッチング素子 2 1 (Q H 2) のドレイン端子はドレイン抵抗 2 6 (R_{dh2}) 及びバイパスコンデンサ 2 4 (C H 2) を介して接地電位 (G N D 2) に接続される。一方、スイッチング素子 2 1 (Q L 2) のソース端子は、C O M 電位に接続され、更にバイパスコンデンサ 2 4 (C L 2) を介して接地電位 (G N D 2) に接続される。

【 0 0 9 0 】

ハイサイド側のスイッチング素子 2 1 (Q H 2) のドレイン側には正電圧の駆動電圧 V_H が印加され、ローサイド側のスイッチング素子 2 1 (Q L 2) のソース端子側には負電圧の逆バイアス電圧 V_L が印加される。

30

【 0 0 9 1 】

スイッチング素子 2 1 (Q H 2) は、オン状態のときに正電圧の駆動電圧 V_H を、増幅素子 1 1 (L D M O S 2) のゲート端子に対してゲート信号として印加する。一方、ローサイド側のスイッチング素子 2 1 (Q L 2) は、オン状態のときに負電圧の逆バイアス電圧 V_L を、増幅素子 1 1 (L D M O S 2) のゲート端子に対してゲート信号として印加する。

【 0 0 9 2 】

スイッチング素子 2 1 (Q H 2) のゲート端子には、駆動用ロジック I C 2 3 H ' の出力端から制御信号が印加され、スイッチング素子 2 1 (Q H 2) のスイッチング動作が制御される。また、スイッチング素子 2 1 (Q L 2) のゲート端子には、駆動用ロジック I C 2 3 L ' の出力端から制御信号が印加され、スイッチング素子 2 1 (Q L 2) のスイッチング動作が制御される。制御信号は高周波増幅部を P W M 制御する基礎信号となる。

40

【 0 0 9 3 】

図 1 の高周波電源装置 1 はプッシュプル構成の回路例であるがシングル構成にも適用することができる。シングル構成の場合には、図 1 の高周波増幅部 1 0 の一方の増幅素子 1 1 と、この増幅素子 1 1 を駆動する一方のゲート駆動回路 (2 0 A 又は 2 0 B) とで構成される。

50

【 0 0 9 4 】

(B) ゲート駆動部の動作

ゲート駆動部の動作を、図 2 - 図 4 を用いて説明する。

(a) 増幅素子をオン状態とする動作

図 2 は高周波増幅部 1 0 の増幅素子 1 1 をオン状態とする際のゲート駆動部 2 0 の動作を示している。図 2 において、実線はゲート駆動回路 2 0 A の動作電流を示し、破線はゲート駆動回路 2 0 B の動作電流を示している。なお、2 0 A と 2 0 B は同時にオン状態になる事はなく、デットタイム D T を間に挟み、交互に動作する。

【 0 0 9 5 】

ゲート駆動回路 2 0 A の動作 :

ゲート駆動回路 2 0 A において、制御信号により駆動用ロジック I C 2 3 H の出力が “ h i g h ” となり、駆動用ロジック I C 2 3 L の出力が “ l o w ” となると、スイッチング素子 2 1 (Q H 1) はオン状態となり、スイッチング素子 2 1 (Q L 1) はオフ状態となる。この間に、ゲート駆動回路 2 0 B 側において、スイッチング素子 2 1 (Q H 2) はオフ状態となり、スイッチング素子 2 1 (Q L 2) はオン状態となる。

10

【 0 0 9 6 】

スイッチング素子 2 1 (Q H 1) のドレイン端子に直列接続されているドレイン抵抗 2 6 (R d h 1) が直列抵抗 2 7 (R e) と接続されているため、スイッチング素子 2 1 (Q H 1) がオン状態となることで、スイッチング素子 2 1 (Q H 1) のソース端子からゲート抵抗 1 2 (R g _ L D) を介して増幅素子 1 1 (L D M O S 1) に駆動電圧 V H が印加され、増幅素子 1 1 (L D M O S 1) がオン状態となる。

20

【 0 0 9 7 】

スイッチング素子 2 1 (Q H 1) 及び増幅素子 1 1 (L D M O S 1) が共にオン状態となることにより、スイッチング素子 2 1 (Q H 1) のソース端子は、ゲート抵抗 1 2 (R g _ L D)、増幅素子 1 1 (L D M O S 1) のゲート端子、増幅素子 1 1 (L D M O S 1) のソース端子の経路を介して、高周波増幅部 1 0 側の接地電位 (G N D 1) に接続される。スイッチング素子 2 1 (Q H 1) のドレイン端子は、ドレイン抵抗 2 6 (R d h 1)、バイパスコンデンサ 2 4 (C H 1) の経路を介して、ゲート駆動部 2 0 側の接地電位 (G N D 2) に接続される。高周波増幅部 1 0 とゲート駆動部 2 0 との間には接地電位 (G N D 1、G N D 2) を介して閉回路が形成され、図中の実線で示す電流が流れる。

30

【 0 0 9 8 】

ゲート駆動回路 2 0 B の動作 :

ゲート駆動回路 2 0 B において、制御信号により駆動用ロジック I C 2 3 H ' の出力が “ h i g h ” となり、駆動用ロジック I C 2 3 L ' の出力が “ l o w ” となると、スイッチング素子 2 1 (Q H 2) はオンとなり、スイッチング素子 2 1 (Q L 2) はオフとなる。この間に、ゲート駆動回路 2 0 A 側において、スイッチング素子 2 1 (Q L 1) はオンとなり、スイッチング素子 2 1 (Q H 1) はオフとなる。

【 0 0 9 9 】

スイッチング素子 2 1 (Q H 2) のドレイン端子に直列接続されているドレイン抵抗 2 6 (R d h 2) が直列抵抗 2 7 (R e) と接続されているため、スイッチング素子 2 1 (Q H 2) がオン状態となることで、スイッチング素子 2 1 (Q H 2) のソース端子からゲート抵抗 1 2 (R g _ L D) を介して増幅素子 1 1 (L D M O S 2) に駆動電圧 V H が印加され、増幅素子 1 1 (L D M O S 2) がオン状態となる。

40

【 0 1 0 0 】

スイッチング素子 2 1 (Q H 2) 及び増幅素子 1 1 (L D M O S 2) が共にオン状態となることにより、スイッチング素子 2 1 (Q H 2) のソース端子は、ゲート抵抗 1 2 (R g _ L D)、増幅素子 1 1 (L D M O S 2) のゲート端子、増幅素子 1 1 (L D M O S 2) のソース端子の経路を介して、高周波増幅部 1 0 側の接地電位 (G N D 1) に接続される。スイッチング素子 2 1 (Q H 2) のドレイン端子は、ドレイン抵抗 2 6 (R d h 2)、バイパスコンデンサ 2 4 (C H 2) の経路を介して、ゲート駆動部 2 0 側の接地電位 (G

50

N D 2) に接続される。高周波増幅部 1 0 とゲート駆動部 2 0 との間には接地電位 (G N D 1、G N D 2) を介して閉回路が形成され、図中の破線で示す電流が流れる。

【 0 1 0 1 】

(b) 増幅素子をオフ状態とする動作

図 3 は高周波増幅部 1 0 の増幅素子 1 1 をオフ状態とする際のゲート駆動部 2 0 の動作を示している。図 3 において、実線の矢印はゲート駆動回路 2 0 A の電圧状態を示し、破線はゲート駆動回路 2 0 B の電圧状態を示している。なお、2 0 A と 2 0 B は、デットタイム中において同時にオフ状態になる事もある。

【 0 1 0 2 】

ゲート駆動回路 2 0 A の動作 :

ゲート駆動回路 2 0 A において、制御信号により駆動用ロジック I C 2 3 L の出力が “ h i g h ” となり、駆動用ロジック I C 2 3 H の出力が “ l o w ” となると、スイッチング素子 2 1 (Q L 1) はオンとなり、スイッチング素子 2 1 (Q H 1) はオフとなる。

【 0 1 0 3 】

スイッチング素子 2 1 (Q L 1) のソース端子にはツェナーダイオード 2 8 (Z D) の負電圧側が接続されているため、スイッチング素子 2 1 (Q L 1) がオン状態となることで、スイッチング素子 2 1 (Q L 1) のドレイン端子からドレイン抵抗 2 6 (R d 1 1) 及びゲート抵抗 1 2 (R g _ L D) を介して増幅素子 1 1 (L D M O S 1) に逆バイアス電圧 V_L が印加され、増幅素子 1 1 (L D M O S 1) はオフ状態となる。実線の矢印は増幅素子 1 1 (L D M O S 1) に印加される逆バイアス電圧 V_L を示している。増幅素子 1 1 (L D M O S 1) のゲート端子には、図 3 中の実線で示される経路を介してゲート電圧 V_{gs1} が印加される、

【 0 1 0 4 】

ゲート駆動回路 2 0 B の動作 :

ゲート駆動回路 2 0 B において、制御信号により駆動用ロジック I C 2 3 L ' の出力が “ h i g h ” となり、駆動用ロジック I C 2 3 H ' の出力が “ l o w ” となると、スイッチング素子 2 1 (Q L 2) はオンとなり、スイッチング素子 2 1 (Q H 2) はオフとなる。

【 0 1 0 5 】

スイッチング素子 2 1 (Q L 2) のソース端子にはツェナーダイオード 2 8 (Z D) の負電圧側が接続されているため、スイッチング素子 2 1 (Q L 2) がオン状態となることで、スイッチング素子 2 1 (Q L 2) のドレイン端子からドレイン抵抗 2 6 (R d 1 2) 及びゲート抵抗 1 2 (R g _ L D) を介して増幅素子 1 1 (L D M O S 2) に逆バイアス電圧 V_L が印加され、増幅素子 1 1 (L D M O S 2) はオフ状態となる。破線の矢印は増幅素子 1 1 (L D M O S 2) に印加される逆バイアス電圧 V_L を示している。増幅素子 1 1 (L D M O S 1) のゲート端子には、図 3 中の破線で示される経路を介してゲート電圧 V_{gs2} が印加される、

【 0 1 0 6 】

(c) スwitchング素子のオン/オフ動作

図 2 はオン状態の L D M O S 1 及び L D M O S 2 を示し、図 3 はオフ状態の L D M O S 1 及び L D M O S 2 を示している。高周波増幅部 1 0 は、L D M O S 1 と L D M O S 2 とを互いに相補的にオン状態とすることにより出力電力を出力する。互いに相補的なオン状態において、L D M O S 1 がオン状態となるときには L D M O S 2 はオフ状態であり、L D M O S 2 がオン状態となるときには L D M O S 1 はオフ状態である。

【 0 1 0 7 】

高周波増幅部 1 0 は、L D M O S 1 と L D M O S 2 とがオフ状態であるとき出力電力を出力しない。また、増幅素子 1 1 (L D M O S 1、L D M O S 2) がオン状態となるときであっても、ゲート駆動回路 2 0 A が備えるスイッチング素子 2 1 (Q H 1、Q L 1)、及びゲート駆動回路 2 0 B が備えるスイッチング素子 2 1 (Q H 2、Q L 2) のオン状態の組み合わせによっては、高周波増幅部 1 0 は正常な動作は行われない。

【 0 1 0 8 】

10

20

30

40

50

例えば、図 2 において、スイッチング素子 2 1 (Q H 1) とスイッチング素子 2 1 (Q H 2) が同時にオン状態となる組み合わせでは、高周波増幅部 1 0 からはプッシュプル構成であるため出力電力は出力されない。また、図 3 において、スイッチング素子 2 1 (Q L 1) とスイッチング素子 2 1 (Q L 2) が同時にオフ状態となる組み合わせでは、高周波増幅部 1 0 は出力しないオフ状態となる。

【 0 1 0 9 】

高周波増幅部 1 0 は、ゲート駆動回路 2 0 A が備えるスイッチング素子 2 1 (Q H 1 , Q L 1)、及びゲート駆動回路 2 0 B が備えるスイッチング素子 2 1 (Q H 2 , Q L 2) のオン状態において、以下の 3 つの組み合わせ (c 1)、(c 2)、(c 3) の動作状態で動作する。(c 1) 及び (c 2) の組み合わせは高周波増幅部 1 0 から出力電圧が出力される場合であり、(c 3) の組み合わせは高周波増幅部 1 0 から出力電圧を零出力とする場合である。

10

【 0 1 1 0 】

(c 1) 第 1 の組み合わせ

第 1 の組み合わせは、ゲート駆動回路 2 0 A のスイッチング素子 2 1 (Q H 1) とゲート駆動回路 2 0 B のスイッチング素子 2 1 (Q L 2) が共にオン状態となる動作状態である。

【 0 1 1 1 】

この第 1 の組み合わせによる動作状態では、スイッチング素子 2 1 (Q H 1) がオン状態となることにより増幅素子 1 1 (L D M O S 1) がオン状態となり、スイッチング素子 2 1 (Q L 2) がオン状態となることにより増幅素子 1 1 (L D M O S 2) がオフ状態となる。この動作状態により、増幅素子 1 1 (L D M O S 1) のドレイン - ソース電圧 V_{ds1} が出力電圧として出力される。

20

【 0 1 1 2 】

(c 2) 第 2 の組み合わせ

第 2 の組み合わせは、ゲート駆動回路 2 0 B のスイッチング素子 2 1 (Q H 2) とゲート駆動回路 2 0 A のスイッチング素子 2 1 (Q L 1) が共にオン状態となる動作状態である。

【 0 1 1 3 】

この第 2 の組み合わせによる動作状態では、スイッチング素子 2 1 (Q H 2) がオン状態となることにより増幅素子 1 1 (L D M O S 2) がオン状態となり、スイッチング素子 2 1 (Q L 1) がオン状態となることにより増幅素子 1 1 (L D M O S 1) がオフ状態となる。この動作状態により、増幅素子 1 1 (L D M O S 2) のドレイン - ソース電圧 V_{ds2} が出力電圧として出力される。

30

【 0 1 1 4 】

(c 3) 第 3 の組み合わせ

第 3 の組み合わせは、ゲート駆動回路 2 0 A のスイッチング素子 2 1 (Q L 1) とゲート駆動回路 2 0 B のスイッチング素子 2 1 (Q L 2) が共にオン状態となる動作状態である。

【 0 1 1 5 】

この第 3 の組み合わせによる動作状態では、スイッチング素子 2 1 (Q L 1) がオン状態となることにより増幅素子 1 1 (L D M O S 1) がオフ状態となり、スイッチング素子 2 1 (Q L 2) がオン状態となることにより増幅素子 1 1 (L D M O S 2) がオフ状態となる。この動作状態により、増幅素子 1 1 (L D M O S 1) 及び増幅素子 1 1 (L D M O S 2) の何れからともドレイン - ソース電圧 V_{ds1} 、 V_{ds2} は出力されない。

40

【 0 1 1 6 】

(d) 動作電流

図 4 を用いて、ゲート駆動回路 2 0 A、2 0 B によるゲート電流を説明する。なお、図 4 はゲート駆動回路 2 0 A のみを示し、増幅素子 1 1 (L D M O S) を駆動するゲート信号の流れを示している。図 4 には、配線インダクタンス L_1 、 L_2 、 L_3 、及びスイッチ

50

グ素子 2 1 (Q H , Q L) の G a N F E T の寄生容量であるゲート容量 (入力寄生容量) $C_{i s s_G a N}$ 、出力寄生容量 $C_{o s s_G a N}$ を示している。

【 0 1 1 7 】

図中に示す実線の矢印は増幅素子 1 1 (L D M O S) をオン状態とするゲート電流を示し、図中に示す破線の矢印は増幅素子 1 1 (L D M O S) をオフ状態とする電圧の印加状態を示している。

【 0 1 1 8 】

駆動用ロジック I C 2 3 H はゲート抵抗 2 5 H ($R_{g_G a N}$) を介してスイッチング素子 2 1 H (Q H) のゲート端子に接続され、スイッチング素子 2 1 H (Q H) をオン/オフするスイッチング動作を行う。駆動用ロジック I C 2 3 H は、例えば 5 V C O M ロジックを用いられる。駆動用ロジック I C 2 3 H の電圧は、ゲート抵抗 2 5 H ($R_{g_G a N}$) により電流に変換され、スイッチング素子 2 1 H (Q H) のゲート端子に注入される。

10

【 0 1 1 9 】

スイッチング素子 2 1 H (Q H) のドレイン端子は、ドレイン抵抗 2 6 H ($R_{d h}$) を介して直列抵抗 2 7 (R_e) の正電圧側が接続され、スイッチング素子 2 1 H (Q H) のソース端子側はゲート抵抗 1 2 ($R_{g_L D}$) を介して増幅素子 1 1 (L D M O S) のゲート端子に接続される。

【 0 1 2 0 】

駆動電圧 V_H が印加された状態で、駆動用ロジック I C 2 3 H がオン状態となると、スイッチング素子 2 1 H (Q H) の導通電流は、ソース端子からゲート抵抗 1 2 ($R_{g_L D}$) を通って増幅素子 1 1 (L D M O S) に印加され、増幅素子 1 1 (L D M O S 1) をオン状態にスイッチング動作させる。

20

【 0 1 2 1 】

増幅素子 1 1 (L D M O S 1) のソース端子は、高周波増幅部 1 0 側の接地電位 (G N D 1) に接続され、更にゲート駆動側の接地電位 (G N D 2) に接続されているため、バイパスコンデンサ 2 4 H (C H) を通してスイッチング素子 2 1 H (Q H) のドレイン端子に戻る電流経路が形成される。

【 0 1 2 2 】

駆動用ロジック I C 2 3 L はゲート抵抗 2 5 L ($R_{g_G a N}$) を介してスイッチング素子 2 1 L (Q L) のゲート端子に接続され、スイッチング素子 2 1 L (Q L) をオン/オフするスイッチング動作を行う。駆動用ロジック I C 2 3 L は、例えば 5 V C O M ロジックが用いられる。駆動用ロジック I C 2 3 L の電圧は、ゲート抵抗 2 5 L ($R_{g_G a N}$) により電流に変換され、スイッチング素子 2 1 L (Q L) のゲート端子に注入される。

30

【 0 1 2 3 】

スイッチング素子 2 1 L (Q L) のソース端子はツェナーダイオード 2 8 (Z D) の負電圧側に接続され、スイッチング素子 2 1 L (Q L) のドレイン端子は、ドレイン抵抗 2 6 L ($R_{d l}$) を介してスイッチング素子 2 1 H (Q H) のソース端子に接続され、ゲート抵抗 1 2 ($R_{g_L D}$) を介して増幅素子 1 1 (L D M O S) のゲート端子に接続される。

【 0 1 2 4 】

逆バイアス電圧 V_L が印加された状態で、駆動用ロジック I C 2 3 L がオン状態となると、スイッチング素子 2 1 L (Q L) の導通により、ドレイン端子からドレイン抵抗 2 6 L ($R_{d l}$) 及びゲート抵抗 1 2 ($R_{g_L D}$) を通って増幅素子 1 1 (L D M O S) のゲート端子に逆バイアス V_L が印加され、増幅素子 1 1 (L D M O S) をオフ状態にスイッチング動作させる。

40

【 0 1 2 5 】

ゲート抵抗 2 5 H , 2 5 L ($R_{g_G a N}$) はスイッチング素子 2 1 (Q H , Q L) のトータルゲートチャージ $Q_{g_G a N}$ を充電するゲート電流を定め、ゲート抵抗 1 2 ($R_{g_L D}$) は増幅素子 1 1 (L D M O S) のトータルゲートチャージ $Q_{g_L D}$ を充電するゲート電流を定める。

50

【 0 1 2 6 】

バイパスコンデンサ 2 4 (C H、 C L) は、配線の接地電位 (グラウンド) に対する交流的なインピーダンスを低減して、スイッチング素子のノイズが電源ラインに流出することを抑制する。

【 0 1 2 7 】

(C) ゲート駆動部の電気特性

図 5 を用いてゲート駆動部 2 0 および高周波増幅部 1 0 において、電気特性による高速応答特性の向上について説明する。以下、トータルゲートチャージ (ゲート総電荷量) Q_g 、LC 共振回路を生成する配線インダクタンス L_1 、 L_2 、 L_3 のゲート駆動部 2 0 の電気特性、及び増幅素子 1 1 のゲート端子に接続されるゲート抵抗 (R_{g_LD}) の高周波増幅部 1 0 の電気特性について説明する。

10

【 0 1 2 8 】

(a) トータルゲートチャージ (ゲート総電荷量) Q_g の制限

ゲート駆動部 2 0 のスイッチング素子の電気特性の一つとして、トータルゲートチャージ (ゲート総電荷量) Q_g がある。トータルゲートチャージ (ゲート総電荷量) Q_g はゲート入力電荷量の名称でも呼称される。

本発明の高周波電源装置は、スイッチング素子のトータルゲートチャージ Q_g の上限値を制限することにより、高周波出力の周波数範囲内のスイッチング周波数 f_{sw} によるスイッチング動作を高速化させることができる。

【 0 1 2 9 】

20

トータルゲートチャージ (ゲート総電荷量) Q_g は、MOSFET を駆動するために必要なゲートに注入する電荷量である。MOSFET のトータルゲートチャージ Q_g が大きいと MOSFET のオンに必要な電荷量を充電する時間が長くなり、スイッチング動作が遅くなる。また、駆動用として専用 IC が必要となる。これに対して、MOSFET のトータルゲートチャージ Q_g が小さいと、ゲートを汎用のロジック IC で駆動できる。さらに、スイッチング動作が速くなり、高周波でのスイッチング動作が可能になる。

【 0 1 3 0 】

本発明は、ゲート駆動回路のスイッチング素子として、トータルゲートチャージ Q_g が小さな GaNFET を用いることにより、スイッチングロスを低減し、スイッチング動作を高速化する。

30

【 0 1 3 1 】

例えば、周波数範囲が 2 7 [MHz] - 1 0 0 [MHz] の帯域において、1 0 0 [MHz] の周波数の矩形波のゲート信号の一周期の時間幅 t_{sw} は 1 0 [ns] となる。ゲート信号の矩形波形において、立ち上がり時及び立ち下がり時の遅延時間 t_d が一周期の時間幅と比較して大きな割合を有すると波形歪みが大きくなる。仮に、1 0 [ns] の一周期の時間幅 t_{sw} に対する遅延時間 t_d の比率を 1 / 1 0 とした場合には、ゲート端子に電荷を注入時間させる時間は 0 . 5 [ns] であることが求められる。

【 0 1 3 2 】

一般に、トータルゲートチャージ Q_g は、ゲート電流 I_g とスイッチング素子のターンオン時間 t_{on} の積 ($Q_g = I_g \times t_{on}$) で表される。この関係から、仮にゲート電流 I_g を 1 [A] とし、ターンオン時間 t_{on} をゲート端子に電荷を注入時間させる時間に対応させて 0 . 5 [ns] としたときには、トータルゲートチャージ (ゲート総電荷量) Q_g は 5 [nC] となる。

40

【 0 1 3 3 】

この例から、トータルゲートチャージ Q_g が 5 [nC] の GaNFET を用いることにより 1 0 0 [MHz] の高周波数において遅延時間による波形歪みが低減されたゲート信号が得られ、増幅素子 1 1 を駆動して 1 0 0 [MHz] の高周波出力を得ることができる。

【 0 1 3 4 】

なお、GaNFET のゲート端子に印加されるゲート信号は、駆動用ロジック IC により供給される。このとき、一つの駆動用ロジック IC の出力電流が小さい場合には、複数

50

個の駆動用ロジックICを並列接続することによりGaN FETを駆動するに十分な電流を得ることができる。なお、現時点での最速の5 [V]のCMOSロジックICは175 [MHz]であるため、27 [MHz] - 100 [MHz]用のGaN FETを駆動するドライバICとして十分な周波数特性を有している。

【0135】

(b) ゲート駆動部のLC共振回路

ゲート駆動部20において、配線インダクタンスLとスイッチング素子が有する寄生容量CとによりLC共振回路が形成される。このLC共振回路による共振周波数 f_0 がスイッチング動作のスイッチング周波数 f_{sw} の周波数範囲内にある場合には、ゲート信号の波形に波形歪み(減衰)が発生する要因となる。本発明の高周波電源装置は、配線インダクタンスのインダクタンス値の上限を制限することにより、スイッチング動作のスイッチング周波数 f_{sw} の周波数範囲内においてLC共振回路により共振現象が生じることを抑制する。

10

以下、3種類の配線インダクタンス L_1 , L_2 , 及び L_3 の制限、ドレイン抵抗(R_{dh} , R_{dl})について説明する。

【0136】

(b1) 配線インダクタンス L_1 の制限

ゲート駆動部20のスイッチング素子の電気特性の一つとして配線インダクタンス L_1 がある。配線インダクタンス L_1 は、スイッチング素子とこのスイッチング素子のゲート端子に駆動信号を印加する駆動用ロジックICとの間を接続する配線が有するインダクタンスである。配線インダクタンス L_1 は、スイッチング素子のゲート容量 C_{iss_GaN} との間でLC共振回路LC1を構成する。LC共振回路LC1の共振周波数 f_{o1} がスイッチング動作のスイッチング周波数 f_{sw} の周波数範囲内にある場合には、ゲート信号の波形に波形歪み(減衰)が発生する要因となる。

20

【0137】

本発明は、LC共振による共振周波数 f_{o1} が高周波のスイッチング動作のスイッチング周波数 f_{sw} よりも高い周波数となるように配線インダクタンス L_1 のインダクタンス値の上限値を設定する。配線の配線長は、配線インダクタンス L_1 が上限値以下となるように設定される。

【0138】

配線インダクタンス L_1 の上限値を制限して配線のインダクタンスを小さくすることにより、LC共振による共振周波数 f_{o1} は高周波のスイッチング動作のスイッチング周波数 f_{sw} の周波数範囲よりも高い周波数となる。これにより、スイッチング動作のスイッチング周波数 f_{sw} が高周波のスイッチング動作の周波数範囲であればLC共振現象の発生は抑制され、共振振動による波形歪み(減衰)現象が抑制され、高周波応答性が向上する。

30

【0139】

ゲート駆動部20において、スイッチング素子のゲート端子と駆動用ロジックICとの間の配線の配線インダクタンス L_1 は配線長に応じて変化する。この配線インダクタンス L_1 とスイッチング素子のゲート容量 C_{iss_GaN} との間でLC共振回路が構成される。

40

【0140】

一般に、LC共振回路の共振周波数 f_0 は以下の式(1)で表される。

[数式1]

$$f_0 = (1/2) \cdot \{1/(L \cdot C)\}^{1/2} \dots (1)$$

【0141】

GaN FETのスイッチング素子の寄生容量Cと配線インダクタンスLとにより形成されるLC共振回路LC1では、Lは配線インダクタンス L_1 であり、Cはゲート容量 C_{iss_GaN} である。式(1)中の共振周波数 f_0 を f_{o1} で表すと、共振周波数 f_{o1} は $\{1/(L \cdot C)\}^{1/2}$ に比例し、 $L^{1/2}$ に逆比例する。

50

【 0 1 4 2 】

配線インダクタンス L_1 のインダクタンス値の上限値を設定し、スイッチング周波数 f_{sw} の周波数範囲において、配線インダクタンス L_1 のインダクタンス値が上限値以下のインダクタンス値となるように設定し、共振周波数 f_{o1} がスイッチング動作を行うスイッチング周波数 f_{sw} よりも高い周波数となるように設定する。これにより、増幅素子11を駆動するスイッチング周波数 f_{sw} の周波数範囲は共振周波数 f_{o1} より低い周波数となるため、LC共振の発生は抑制され、共振振動による波形歪み（減衰）現象が抑制され、高周波応答性が向上される。

【 0 1 4 3 】

スイッチング素子としてGaNFETを用いる構成では、GaNFETのゲート容量 C_{iss_GaN} は一般的に200 [pF]程度であるため、共振周波数 f_{o1} を例えば140 [MHz]とした場合には配線インダクタンス L_1 は6 [nH]となる。また、スイッチング動作のスイッチング周波数 f_{sw} が周波数帯域の上限周波数の100 [MHz]である場合には、共振現象が発生する配線インダクタンス L_1 は12 [nH]となるが、配線インダクタンス L_1 の上限は6 [nH]に制限されているため、スイッチング周波数 f_{sw} において共振現象は発生しない。

10

【 0 1 4 4 】

上記したように、配線インダクタンス L_1 を6 [nH]以下に制限することで、140 [MHz]以下のゲート信号により増幅素子11を駆動する場合には、共振振動の発生が抑制され、27 [MHz] - 100 [MHz]の周波数範囲では、低歪みの方形波状の高周波出力が得られる。配線インダクタンス L と配線長との間には正の増減関係があるため、配線インダクタンス L_1 の配線長は、上限値に対応する配線長よりも短くなるように設定する。

20

【 0 1 4 5 】

(b 2) 配線インダクタンス L_2 の制限

ゲート駆動部20のスイッチング素子の電気特性の一つとして配線インダクタンス L_2 がある。配線インダクタンス L_2 は、スイッチング素子とこのスイッチング素子のドレイン端子に接続されるバイパスコンデンサとの間の配線が有する配線インダクタンスである。配線インダクタンス L_2 は、スイッチング素子の出力寄生容量 C_{oss_GaN} との間でLC共振回路LC2を構成する。

30

【 0 1 4 6 】

なお、ドレイン端子に接続されるバイパスコンデンサは、配線の接地電位（グラウンド）に対する交流的なインピーダンスを低減して、スイッチング素子のスイッチング動作によって発生するノイズが電源ラインに流出することを抑制する。

【 0 1 4 7 】

LC共振回路LC2による共振周波数 f_{o2} がスイッチング動作のスイッチング周波数 f_{sw} の周波数範囲内にある場合には、LDMOSに与えるゲート信号の波形に波形歪み（減衰）が発生する要因となる。

【 0 1 4 8 】

本発明は、LC共振による共振周波数 f_{o2} が高周波のスイッチング動作のスイッチング周波数 f_{sw} よりも高い周波数となるように配線インダクタンス L_2 のインダクタンス値の上限値を設定する。配線の配線長は、配線インダクタンス L_2 が上限値以下となるように設定される。

40

【 0 1 4 9 】

配線インダクタンス L_2 の上限値を制限することにより、LC共振による共振周波数 f_{o2} は高周波のスイッチング動作のスイッチング周波数 f_{sw} の周波数範囲よりも高い周波数となる。これにより、スイッチング動作のスイッチング周波数 f_{sw} が高周波のスイッチング動作の周波数範囲であればLC共振現象の発生は抑制され、共振振動による波形歪み（減衰）現象が抑制され、高周波応答性が向上する。

【 0 1 5 0 】

50

ゲート駆動部 20 において、スイッチング素子のドレイン端子とこのスイッチング素子のドレイン端子に接続されるバイパスコンデンサとの間の配線の配線インダクタンス L_2 は配線長に応じて変化する。この配線インダクタンス L_2 とスイッチング素子の出力寄生容量 C_{oss_GaN} との間で LC 共振回路 LC2 が構成される。

【0151】

一般に、LC 共振回路の共振周波数 f_0 は上記した式 (1) で表される。

GaN FET のスイッチング素子の寄生容量 C と配線インダクタンス L とにより形成される LC 共振回路 LC2 では、 L は配線インダクタンス L_2 であり、 C は出力寄生容量 C_{oss_GaN} である。式 (1) 中の共振周波数 f_0 を f_{02} で表すと、共振周波数 f_{02} は $\{1 / (L \cdot C)\}^{1/2}$ に比例し、 $L^{1/2}$ に逆比例する。

10

【0152】

配線インダクタンス L_2 のインダクタンス値の上限値を設定する際に、スイッチング周波数 f_{sw} の周波数範囲において、配線インダクタンス L_2 のインダクタンス値が上限値以下のインダクタンス値となるように設定し、共振周波数 f_{02} がスイッチング動作を行うスイッチング周波数 f_{sw} よりも高い周波数となるように設定する。これにより、増幅素子 11 を駆動するスイッチング周波数 f_{sw} の周波数範囲は共振周波数 f_{02} より低い周波数となるため、LC 共振の発生は抑制され、共振振動による波形歪み (減衰) 現象が抑制され、高周波応答性が向上される。

【0153】

スイッチング素子として GaN FET を用いる構成では、GaN FET の出力寄生容量 C_{oss_GaN} を $300 [pF]$ としたとき、共振周波数 f_{02} を例えば $140 [MHz]$ とした場合には配線インダクタンス L_2 は $4 [nH]$ となる。また、スイッチング動作のスイッチング周波数 f_{sw} が周波数帯域の上限周波数の $100 [MHz]$ である場合には、共振現象が発生する配線インダクタンス L_2 は $8 [nH]$ となるが、配線インダクタンス L_2 の上限は $4 [nH]$ に制限されているため、スイッチング周波数 f_{sw} において共振現象は発生しない。

20

【0154】

上記したように、配線インダクタンス L_2 を $4 [nH]$ 以下に制限することで、 $140 [MHz]$ 以下のゲート信号により増幅素子 11 を駆動する場合には、共振振動の発生が抑制され、 $27 [MHz] - 100 [MHz]$ の周波数範囲では低歪みの方形波状の高周波出力が得られる。

30

【0155】

配線インダクタンス L と配線長との間には正の増減関係があるため、配線インダクタンス L_2 の配線長は上限値に対応する配線長よりも短くなるように設定される。

【0156】

配線インダクタンス L_2 の制限は、バイパスコンデンサ $24H (CH)$, $24L (CL)$)、ドレイン抵抗 $26H (R_{dh})$, $26L (R_{dl})$ の並列接続数 (パラ数) 及び実装パターン幅を、スイッチング素子 $21H$, $21L (GaN FET)$ 本体幅と同等又は本体幅よりも広くなるように設定することで行われる。

【0157】

(b3) 配線インダクタンス L_3 の制限

ゲート駆動部 20 及び高周波増幅部 10 の電気特性の一つとして配線インダクタンス L_3 がある。配線インダクタンス L_3 は、ゲート駆動部 20 のハイサイド側のスイッチング素子のソース端子と、高周波増幅部 10 の増幅素子 11 のゲート端子との間の配線が有する配線インダクタンスである。

40

【0158】

配線インダクタンス L_3 は、増幅素子 11 のゲート容量 C_{iss_LD} との間で LC 共振回路 LC3 を構成する。ハイサイド側のスイッチング素子のソース端子とローサイド側のスイッチング素子のドレイン端子とは接続されているため、LC 共振回路 LC3 はローサイド側のスイッチング素子のドレイン端子に対しても接続される。

50

【 0 1 5 9 】

LC共振回路LC3による共振周波数 f_{o3} がスイッチング動作のスイッチング周波数 f_{sw} の周波数範囲内にある場合には、ゲート信号の波形に波形歪み(減衰)が発生する要因となる。

【 0 1 6 0 】

本発明は、LC共振による共振周波数 f_{o3} が高周波のスイッチング動作のスイッチング周波数 f_{sw} よりも高い周波数となるように配線インダクタンス L_3 のインダクタンス値の上限値を設定する。配線の配線長は、配線インダクタンス L_3 が上限値以下となるように設定される。

【 0 1 6 1 】

配線インダクタンス L_3 の上限値を制限し配線のインダクタンスを小さくすることにより、LC共振による共振周波数 f_{o3} は高周波のスイッチング動作のスイッチング周波数 f_{sw} の周波数範囲よりも高い周波数となる。これにより、スイッチング動作のスイッチング周波数 f_{sw} が高周波のスイッチング動作の周波数範囲であればLC共振現象の発生は抑制され、共振振動による波形歪み(減衰)現象が抑制され、高周波応答性が向上する。

【 0 1 6 2 】

ゲート駆動部20のハイサイド側のスイッチング素子のソース端子と増幅素子11のゲート端子との間の配線が有する配線インダクタンス L_3 は配線長に応じて変化する。この配線インダクタンス L_3 と増幅素子11のゲート容量 C_{iss_LD} との間でLC共振回路LC3が構成される。

【 0 1 6 3 】

一般に、LC共振回路の共振周波数 f_o は上記した式(1)で表される。

LDMOSFETの増幅素子11の寄生容量Cと配線インダクタンスLとにより形成されるLC共振回路LC3では、Lは配線インダクタンス L_3 であり、Cはゲート容量 C_{iss_LD} である。式(1)中の共振周波数 f_o を f_{o3} で表すと、共振周波数 f_{o3} は $\{1/(L \cdot C)^{1/2}\}$ に比例し、 $L^{1/2}$ に逆比例する。

【 0 1 6 4 】

配線インダクタンス L_3 のインダクタンス値の上限値を設定し、スイッチング周波数 f_{sw} の周波数範囲において、配線インダクタンス L_3 のインダクタンス値が上限値以下のインダクタンス値となるように設定し、共振周波数 f_{o3} がスイッチング動作を行うスイッチング周波数 f_{sw} よりも高い周波数となるように設定する。増幅素子11を駆動するスイッチング周波数 f_{sw} の周波数範囲は共振周波数 f_{o3} より低い周波数となるため、LC共振の発生は抑制され、共振振動による波形歪み現象が抑制され、高周波応答性が向上される。

【 0 1 6 5 】

増幅素子11としてLDMOSFETを用いる構成では、LDMOSFETのゲート容量 C_{iss_LD} を400[pF]としたとき、共振周波数 f_{o3} を140[MHz]とした場合には配線インダクタンス L_3 は3[nH]となる。また、スイッチング動作のスイッチング周波数 f_{sw} が周波数帯域の上限周波数の100[MHz]である場合には、共振現象が発生する配線インダクタンス L_3 は6[nH]となるが、配線インダクタンス L_2 の上限は3[nH]に制限されているため、スイッチング周波数 f_{sw} において共振現象は発生しない。

【 0 1 6 6 】

上記したように、配線インダクタンス L_3 を3[nH]以下に制限することで、140[MHz]以下のゲート信号により増幅素子11を駆動する場合には、共振振動の発生が抑制され、27[MHz]-100[MHz]の周波数範囲では低歪みの方形波状の高周波出力が得られる。

【 0 1 6 7 】

配線インダクタンスLと配線長との間には正の増減関係がある。そこで、配線長は配線インダクタンス L_3 の上限値に対応する配線長よりも短くなるように設定する。配線長を

10

20

30

40

50

短くする構成として、スイッチング素子 2 1 H、2 1 L (Q H , Q L)、バイパスコンデンサ 2 4 H , 2 4 L (C H , C L)、ゲート抵抗 1 2 (R g _ L D)、ドレイン抵抗 R d (R d h , R d l) を、増幅素子 1 1 (L D M O S 1 , L D M O S 2) のゲート端子の直下に、例えば 2 5 [m m] 以内の位置に配置する配置構成、増幅素子 1 1 (L D M O S 1 , L D M O S 2) のゲート抵抗 1 2 (R g _ L D) の並列接続数 (パラ数) 及び実装パターン幅を増幅素子 1 1 (L D M O S 1 , L D M O S 2) のゲート抵抗 1 2 (R g _ L D) の電極の幅と同等又はそれ以上になるようなサイズを設定する構成とする。さらに、基板 3 0 に対する配置として、基板 3 0 の表面側に設けたゲート抵抗 1 2 (R g _ L D) の直下の基板 3 0 の裏面側に接地電位 (G N D 2) を配置し、導電性のシールドガスカート 2 9 等を用いて増幅素子 1 1 (L D M O S 1 , L D M O S 2) のソース端子側の接地電位 (G N D 1) の放熱部 3 1 を介して接続する配置構成とする。ここで、シールドガスカート 2 9 は、増幅素子 1 1 (L D M O S 1 , L D M O S 2) のゲート端子の幅と同等又は幅広のものを用いる。なお、シールドガスカート 2 9、基板 3 0、及び放熱部 3 1 の符号 2 9、3 0、3 1 は図 8 ~ 図 1 0 に記載されている。

10

【 0 1 6 8 】

上記した配置構成により、スイッチング素子 2 1 H , 2 1 L (Q H , Q L) のソース端子から、配線インダクタンス L 3 の配線及びゲート抵抗 1 2 (R g _ L D) を通って増幅素子 1 1 (L D M O S 1 , L D M O S 2) のゲート端に接続され、増幅素子 1 1 (L D M O S 1 , L D M O S 2) のソース端子から接地電位 (G N D 1) 及び接地電位 (G N D 2) に接続されてなる電流ループの断面方向から見た直径を 1 0 [m m] 以下とする。これにより、配線インダクタンス L 3 は低減される。この点については、以後の電流ループで説明する。

20

【 0 1 6 9 】

(b 4) ドレイン抵抗 (R d h , R d l)

(i) ゲート保護回路

高周波増幅部の L D M O S F E T は、ゲートを保護するためにゲート保護回路が設けられる。ゲート保護回路は、L D M O S F E T を飽和領域で使用する際、逆電圧印加時においてゲートに許容電圧を超える負電圧の逆バイアス電圧が印加されることを防ぐ回路である。ゲート保護回路としては、高周波増幅部内に内蔵された構成が知られている。

【 0 1 7 0 】

図 6 (a) はゲート保護回路 1 3 の回路例を示し、図 6 (b) はゲート保護回路の保護電圧範囲を示している。保護回路は、外部からの静電気による静電放電 (E S D : E l e c t r o S t a t i c D i s c h a r g e) から半導体素子を保護する回路である。

30

【 0 1 7 1 】

図 6 (a) に示されるゲート保護回路 1 3 の回路例では、ベース端子に抵抗が接続された n p n 型の第 1 バイポーラトランジスタ Q 1 , Q 2 と、ゲート端子がソース端子に接続された n 型の第 2 M O S トランジスタ M 1 , M 2 から成る。第 1 バイポーラトランジスタ Q 1 , Q 2 は、コレクタ - ベース間のリーク電流によるコレクタ - エミッタ間の導通により、逆方向にバイアスされたダイオードとして動作する。第 2 M O S トランジスタ M 1 , M 2 は、寄生ダイオードにより逆方向にバイアスされたダイオードとして動作する。

40

【 0 1 7 2 】

第 1 バイポーラトランジスタ Q 1 と第 2 M O S トランジスタ M 2 の直列回路は、G a t e に正電圧が印加される際の第 1 の保護回路を構成し、第 1 バイポーラトランジスタ Q 2 と第 2 M O S トランジスタ M 1 の直列回路は、G a t e に負電圧が印加される際の第 2 の保護回路を構成する。第 1 バイポーラトランジスタ Q 1 のブレイクダウン電圧と第 2 M O S トランジスタ M 2 のブレイクダウン電圧との和は正電圧に対するゲート保護回路のブレイクダウン電圧となり、第 1 バイポーラトランジスタ Q 2 のブレイクダウン電圧と第 2 M O S トランジスタ M 1 のブレイクダウン電圧との和は負電圧に対するゲート保護回路のブレイクダウン電圧となる。

【 0 1 7 3 】

50

ゲート保護回路には許容電圧範囲があり、ゲート駆動部から逆電圧印加に供給される負電圧がゲート保護回路の許容電圧範囲を超える場合にはゲート保護回路が破壊されるおそれがある。

【0174】

図6(b)において、保護電圧範囲が $-6[V]$ から $+11[V]$ のゲート保護回路を備えたLDMOSを飽和領域で使用する場合、仮に振幅が零電位に対して $\pm 9V$ の正弦波電圧 V_{ac} でLDMOSのゲートを駆動すると、直流バイアス電圧 V_{bias} を $1[V]$ に設定した場合であっても、逆電圧印加時に $-8[V]$ の負電圧がゲートに印加される。ゲート保護回路には、負電圧側において保護電圧範囲を超えた過剰電圧が印加されるため、ゲート保護回路は破壊されるおそれがある。

10

【0175】

GaN FETを用いたゲート回路でも同様の問題があり、LDMOS FETのゲートを逆バイアスする際に、共振振動によりゲート電圧 V_{gs} に振動が生じると、LDMOS FETのゲート保護回路の逆耐電圧を超えるおそれがある。この共振振動は、GaN FETのON抵抗が非常に小さいため(数ohmから数十ohm)、GaN FETの出力寄生容量 C_{oss_GaN} と、バイパスコンデンサ間の配線インダクタンス L_2 との間で生じる共振現象によるものである。

【0176】

(ii) ドレイン抵抗(R_{dh} 、 R_{dl})

この共振現象を抑制するために、本発明ではGaN FETのドレイン側にドレイン抵抗26(R_{dh} 、 R_{dl})を挿入する。ドレイン抵抗26(R_{dh} 、 R_{dl})としては、例えば $0.5[ohm]$ から $2[ohm]$ 程度の抵抗値が用いられる。

20

【0177】

なお、一般的に $27[MHz]$ 以下の周波数帯で使用されるゲート駆動回路では、スイッチング素子として一般的にSi-MOSFETが使用され、ON抵抗が $0.5[ohm]$ 以上と比較的大きいため、共振現象が生じる可能性は低い。

【0178】

これに対して、本発明のように、周波数帯域が $27[MHz]$ から $100[MHz]$ の帯域で方形波のゲート信号で駆動するためにGaN FETを用いる場合にはGaN FETのON抵抗が低いため、配線インダクタンス L_2 とGaN FETの出力寄生容量 C_{oss_GaN} の共振がほとんど減衰しない。この共振現象を減衰させるために、本発明はドレイン抵抗(R_{dh} 、 R_{dl})を備える。

30

【0179】

図7は、増幅素子11(LDMOS)のゲートに印加されるゲート電圧 V_{gs} を示し、図7(a)はドレイン抵抗26(R_{dh} 、 R_{dl})がないときのゲート電圧 V_{gs} を示し、図7(b)はドレイン抵抗26(R_{dh} 、 R_{dl})があるときのゲート電圧 V_{gs} を示している。図7(a)、(b)において、破線で表されるS1の矩形波形は理想的なゲート電圧 V_{gs} を示し、実線で表されるS2の波形は模式的に表したゲート電圧 V_{gs} の実信号波形を示している。また、S3で示される破線はゲート保護回路の逆耐電圧を示している。なお、各波形形状は模式的に表しており、実際の波形形状を示すものではない。

40

【0180】

ドレイン抵抗26(R_{dh} 、 R_{dl})がない場合には、ゲート電圧 V_{gs} の負電圧のピークはゲート保護回路の逆耐電圧を超え、ゲート保護回路が破損する要因となる。一方、ドレイン抵抗26(R_{dh} 、 R_{dl})がある場合には、ゲート電圧 V_{gs} の負電圧のピークはゲート保護回路の逆耐電圧を超えないため、ゲート保護回路は保護される。

【0181】

なお、GaN FETのソース端子側に抵抗を直列接続させる構成により共振現象の減衰が可能であるが、この場合には、GaN FETのゲート側に影響が生じるため好適ではない。

【0182】

50

(i i i) ゲート保護回路の保護

本発明は、ゲート保護回路に印加される負電圧を許容電圧範囲内に抑えることにより、ゲート保護回路の破壊を防ぐ構成を備える。G a N F E T に印加する駆動電圧 V_H 及び逆バイアス電圧 V_L を、ゲート保護回路の定格電圧内に設定する。

【 0 1 8 3 】

本発明の高周波電源装置 1 において、ゲート駆動部 2 0 は、電源構成として、直流電源 2 2 (V_{dd}) と、この直流電源 2 2 に並列接続された直列抵抗 2 7 (R_e) とツェナーダイオード 2 8 (ZD) との直列回路とを備える。

【 0 1 8 4 】

この直列抵抗 2 7 (R_e) とツェナーダイオード 2 8 (ZD) の直列回路は、ハイサイド側のスイッチング素子 2 1 (QH) に、直列抵抗 2 7 (R_e) の両端電圧を駆動電圧 V_H として印加し、ローサイド側のスイッチング素子 2 1 (QL) に、ツェナーダイオード 2 8 (ZD) の両端電圧を逆バイアス電圧 V_L として印加する。

【 0 1 8 5 】

駆動電圧 V_H 及び逆バイアス電圧 V_L を、高周波増幅部 1 0 が内蔵するゲート保護回路の定格電圧の電圧範囲内に設定することにより、ゲート保護回路を過剰電圧から保護し、延いては増幅素子 1 1 ($LDMOS$) のゲートを保護する。

$LDMOS$ のゲート保護回路の定格電圧を $+11 [V] \sim -6 [V]$ としたとき、

駆動電圧 V_H 及び逆バイアス電圧 V_L の電圧範囲を

$$V_H = 6 \sim 11 [V]$$

$$V_L = 0.5 \sim 6 [V]$$

とすれば、 $LDMOS$ のゲートには最大でも $V_{gs} = 11 [V] \sim -6 [V]$ が印加され、ゲートの破壊を防ぐことができる。

【 0 1 8 6 】

ゲート保護回路において、 $LDMOSFET$ のオフ状態において、 $LDMOSFET$ のゲートは逆バイアス電圧 V_L で常に負電圧が印加されているため、半導体製造装置で使用される ON/OFF パルス運転のオフ区間中においても異常発振を防ぐことができる。

【 0 1 8 7 】

(b 5) 増幅素子のゲート抵抗 (R_{g_LD})

高周波増幅部 1 0 の電気特性の一つとして増幅素子 1 1 のゲート端子に接続されるゲート抵抗 (R_{g_LD}) がある。

【 0 1 8 8 】

ゲート駆動部 2 0 のスイッチング素子は、直列接続されたハイサイド側のスイッチング素子とローサイド側のスイッチング素子を備える。

【 0 1 8 9 】

ハイサイド側とローサイド側のスイッチング素子の接続点と増幅素子 1 1 のゲート端子との間の配線インダクタンス L_3 は、増幅素子 1 1 のゲート容量 C_{iss_LD} と共に LC 共振回路 $LC3$ を構成する。この LC 共振回路 $LC3$ の共振現象は、ゲート信号の波形にリングング等の波形歪みが発生する要因となる。本発明のゲート抵抗 (R_{g_LD}) は、 LC 共振回路 $LC3$ による共振を減衰する。

【 0 1 9 0 】

本発明は、ゲート駆動部 2 0 のスイッチング素子 2 1 の出力端と増幅素子 1 1 のゲート端子との間にゲート抵抗 (R_{g_LD}) を接続することにより、 LC 共振回路による振動の振幅を減衰させ、ゲート信号が立ち上がり時におけるターンオン時間 t_{on} 内でのリングングを抑制する。

【 0 1 9 1 】

ゲート抵抗 (R_{g_LD}) を所定値に設定することにより、 LC 共振回路 $LC3$ による振動の振幅が減衰され、ゲート信号が立ち上がり時におけるオン時間内でのリングングが抑制される。

【 0 1 9 2 】

10

20

30

40

50

(D) 回路素子の配置

図 8 から図 13 を用いて本発明の高周波電源装置の回路素子の配置を説明する。図 8 は平面配置を示し、図 9 は図 8 中の破線 a - a で示す位置の断面配置を示し、図 10 は高周波電源装置の一部分の斜視図である。図 11 は回路素子の配置上の電流ループを示す。図 12 は回路素子の線対称配置、及び放射状配置を示している。

【0193】

図 8 から図 13 に示す回路素子の配置において、高周波増幅部は 2 つの増幅素子のソース端子を接地接続してプッシュプル回路が構成され、ゲート駆動部は高周波増幅部の 2 つの増幅素子の各ゲート端子にゲート信号を印加する 2 つのゲート駆動回路を備える。

【0194】

(a) 回路素子の線対称配置

図 8 において、同じ回路構成の 2 つのゲート駆動回路 20A, 20B によりプッシュプル回路が構成され、ゲート駆動回路 20A, 20B を構成する同一の機能の回路素子は COM 電位を通る対称軸に対して線対称に配置される。図 8 において、一点鎖線の b - b は線対称の対称線を示している。

【0195】

対称線 b - b の一方の側 (図中の左方) には、高周波増幅部の増幅素子 11 (LDMOS1)、及びゲート駆動部のゲート駆動回路 20A が配置され、対称線 b - b の他方の側 (図中の右方) には、高周波増幅部の増幅素子 11 (LDMOS2)、及びゲート駆動部のゲート駆動回路 20B が配置される。

【0196】

ゲート駆動回路 20A は、対称線 b - b の一方の側 (図中の左方) において、基板 30 の表面側には、バイパスコンデンサ 24 (CH1) 及び 24 (CL1)、ドレイン抵抗 26L (R_{d11}) が配置され、増幅素子 11 (LDMOS1) のゲート端子と接続されるゲート抵抗 12 (R_{gLD}) が配置される。

【0197】

一方、基板 30 の裏面側には、スイッチング素子 21 (QH1) 及び 21 (QL1)、ドレイン抵抗 26H (R_{d11}) が配置され、ゲート抵抗 12 (R_{gLD}) の下方位置に導電性のシールドガasket 29 が配置される。

【0198】

ゲート駆動回路 20B は、対称線 b - b の他方の側 (図中の右方) において、基板 30 の表面側には、バイパスコンデンサ 24 (CH2) 及び 24 (CL2)、ドレイン抵抗 26L (R_{d12}) が配置され、増幅素子 11 (LDMOS2) のゲート端子と接続されるゲート抵抗 12 (R_{gLD}) が配置される。

【0199】

一方、基板 30 の裏面側には、スイッチング素子 21 (QH2) 及び 21 (QL2)、ドレイン抵抗 26H (R_{d12}) が配置され、ゲート抵抗 12 (R_{gLD}) の下方位置に導電性のシールドガasket 29 が配置される。

【0200】

ゲート駆動回路 20A を構成する各回路素子とゲート駆動回路 20B を構成する各回路素子において、同一の機能の回路素子は対称線 b - b に対して等距離に配置され、線対称配置が行われる。

【0201】

一点鎖線 b - b で示される対称線とした空間的に線対称に配置することにより、2 つのゲート駆動回路の各回路素子は COM 電位を基準電位として電氣的に対称に配置される。また、回路素子が電氣的に対称に配置されることにより、ゲート信号のデットタイム DT 及びパルス幅 T_{on} のずれや、両方のゲート信号の同期ずれ等の、ゲート信号が基準電位からのずれに基づいて生じる 2 つのゲート信号間のずれが抑制される。

【0202】

(b) 回路素子の表裏配置

10

20

30

40

50

図9は、図8中の破線 a - a の位置の断面を模式的に示している。

高周波増幅部において、増幅素子 1 1 (L D M O S) のゲート端子はゲート抵抗 1 2 (R_{g_LD}) と接続され、ソース端子は高周波増幅部側の接地電位 ($GND1$) として、放熱部 3 1 に接触して配置される。

【0203】

ゲート駆動部において、基板 3 0 の裏面側に配置された導電性のシールドガスカート 2 9 は、ゲート駆動部側の接地電位 ($GND2$) として、放熱部 3 1 に接触して配置される。また、基板 3 0 の裏面側に配置されたスイッチング素子 2 1 ($GaN FET (QH, QL)$) は、熱伝導性のシリコンゴム等の熱導電部材を介して放熱部 3 1 に接触して配置される。放熱部 3 1 は、水冷プレートやフィン等の放熱機能を有する導電性のある金属性部材であり、接地電位 ($GND1$) と接地電位 ($GND2$) との間を電氣的に接続する導電性を備える。

10

【0204】

バイパスコンデンサ 2 4 (CH, CL) 及びドレイン抵抗 2 6 (R_{dh}, R_{dl}) と、スイッチング素子 2 1 (QH, QL) は、基板 3 0 を挟んでほぼ上下の位置に配置される。

【0205】

図10は、高周波電源装置の一部分を斜視図で示している。基板 3 0 の表面側には、バイパスコンデンサ 2 4 ($CH1$) 及びゲート抵抗 1 2 (R_{g_LD}) が配置され、裏面側の下方位置にはスイッチング素子 2 1 ($GaN FET (QH1)$)、及び当該スイッチング素子 2 1 ($GaN FET (QH1)$) に接続されたゲート抵抗 2 5 (R_{g_GaN}) が配置される。スイッチング素子 2 1 ($GaN FET (QH1)$) は、ゲート抵抗 2 5 (R_{g_GaN}) を介して駆動用ロジック IC 2 3 が接続される。駆動用ロジック IC 2 3 は、基板 3 0 の裏面側に配置される他、基板 3 0 を挟んで表面側にも配置する構成としてもよい。基板 3 0 を破線で表面側及び裏面側の両側に駆動用ロジック IC 2 3 を 2 個配置することにより、スイッチング素子 2 1 ($GaN FET (QH1)$) に供給する電流を増加させることができる。

20

【0206】

基板 3 0 を挟んで表面に配置されるバイパスコンデンサ 2 4 ($CH1$) と裏面に配置される導電性のシールドガスカート 2 9 との間は、基板 3 0 の貫通孔を介して接続することができる。また、基板 3 0 を挟んで裏面に配置されるドレイン抵抗 2 6 (R_{dh1}) 及び裏面に配置されるスイッチング素子 2 1 ($GaN FET (QH1)$) と、表面に配置されるバイパスコンデンサ 2 4 ($CH1$) との間は、基板 3 0 の貫通孔を介して接続することができる。

30

【0207】

(c) 回路素子の冷却

ゲート駆動部において、バイパスコンデンサ 2 4、ゲート抵抗 1 2 の抵抗素子の受動素子は、基板 3 0 に対して表面側に配置されて空冷により冷却される。一方、スイッチング素子 2 1 ($GaN FET (QH, QL)$) の能動素子は基板 3 0 に対して裏面側に配置されて導伝熱部材を介して接触される放熱部 3 1 により冷却される。

【0208】

発熱量が異なる能動素子と受動素子とを基板を介して反対側に配置し、発熱量が小さい受動素子を基板に対して表面側に配置されることにより空冷での冷却を可能としている。一方、発熱量が大きい能動素子を基板に対して裏面側に配置し放熱部により強制的に冷却する。放熱部は水冷プレート又はフィンを用いることができる。

40

【0209】

(d) 回路素子の熱伝導

ゲート駆動部において、バイパスコンデンサ 2 4 や抵抗素子の受動素子は、並列接続する素子の並列個数 (パラ数)、その実効的な幅が高周波増幅部の増幅素子の本体幅と同等又は本体幅より広くなるように構成される。

【0210】

50

受動素子の熱伝導の実効幅は、並列接続された受動素子の個数、及び実装パターン幅に依存する。この受動素子の実効幅を高周波増幅部の増幅素子の本体幅と同等又は本体幅より広くすることにより、相互の熱伝導効率が向上し、熱的な不均等さが解消される。また、受動素子の広い実効幅は、配線インダクタンスの低減に寄与する。

【0211】

(e) 駆動電流の電流ループ

ゲート駆動部と高周波増幅部との間には、駆動電流の電流ループが形成される。図11は駆動電流の電流ループを説明するための図であり、図11(a)は図4の回路図を用いて電流ループを示し、図11(b)は図9の断面図を用いて電流ループを示している。

【0212】

駆動電流の電流ループにおいて、ハイサイド側のスイッチング素子21H(QH)がオン状態において、増幅素子11(LDMOS)のゲートを駆動するゲート電流が、スイッチング素子21H(QH)のソース端子からゲート抵抗12(R_{g-LD})を通して増幅素子11(LDMOS)のゲート端子に印加される。

【0213】

そして駆動電流は、図11(a)に示すように、増幅素子11(LDMOS)のソース端子から高周波増幅部側の接地電位(GND1)、及びゲート駆動部側の接地電位(GND2)を通り、バイパスコンデンサ24H(CH)及びドレイン抵抗26H(R_{dh})を通ってスイッチング素子21H(QH)のドレイン端子に戻る。

【0214】

図11(b)において、基板30の裏面側に設けられたスイッチング素子21(QH)のソース端子からの電流は、基板30の貫通孔を通して基板30の表面側に設けられたゲート抵抗12(R_{g-LD})に流れ、増幅素子11(LDMOS)のゲート端子から増幅素子11(LDMOS)を駆動する。増幅素子11(LDMOS)のソース端子は接地電位(GND1)となっているため、放熱部31を介してゲート駆動部側の接地電位(GND2)である導電性のシールドガスカート29に流れる。導電性のシールドガスカート29からは基板30の貫通孔を通してバイパスコンデンサ24(CH)に流れ、再度、基板30の貫通孔を通して基板30の裏面側に設けられたスイッチング素子21(QH)のドレイン端子にドレイン抵抗26H(R_{dh})を介して戻る。

【0215】

ゲート駆動部において、表層側のゲート抵抗12(R_{g-LD})の直下裏面に基板を挟んで導電性のシールドガスカート29が配置される。この導電性のシールドガスカート29はゲート駆動部側の接地電位(GND2)となる。一方、高周波増幅部において、増幅素子のソース電圧は高周波増幅部側の接地電位(GND1)となる。ゲート駆動部側の接地電位(GND2)と高周波増幅部側の接地電位(GND1)は、放熱部を介して電氣的に接続され、ゲート駆動部と高周波増幅部との間に電流ループが形成される。

【0216】

ゲート駆動部において、スイッチング素子21は、基板30を挟んでドレイン抵抗26(R_d)及びバイパスコンデンサ24の下方に配置され、基板30に設けられた貫通孔を介して電氣的に接続される。この配置により、スイッチング素子21、ドレイン抵抗26(R_d)、バイパスコンデンサ24等の回路素子は近接配置が可能となる。これにより、電流ループの電気長が短縮され、これにより配線インダクタンスを小さな値に抑えることが可能となる。

【0217】

電流ループの電気長について、断面方向から見たときの電流ループの直径を10[mm]程度以下とすることにより、矩形波形状のゲート信号の配線インダクタンスによる減衰を抑えて伝送することができる。

【0218】

(g) 回路素子の直線状及び放射状配置

本発明の高周波電源装置の回路素子は、線対称に配置されると共に放射状に配置される

10

20

30

40

50

。図 1 2、図 1 3 は放射状配置を説明するための図である。

図 1 2 (a) は基板 3 0 の表面側に配置される回路素子を示し、図 1 2 (b) は基板 3 0 の裏面側に配置される回路素子を示している。

【 0 2 1 9 】

各回路素子は、基板 3 0 の表面側及び裏面側において対称線 b - b に対して線対称に配置されると共に、駆動用ロジック IC 2 3 及びゲート抵抗 2 5 は直線状に配置されると共に、この直列回路は放射状に配置される。基板 3 0 の裏面側に配置された駆動用ロジック IC 2 3 は、その駆動用ロジック IC 2 3 に接続されるゲート抵抗 2 5 とで直列回路が構成され、この直列回路において両回路素子は直線状に配置されると共に放射状に配置され、基板 3 0 の表面側に配置された駆動用ロジック IC 2 3 についても放射状に配置される。

10

【 0 2 2 0 】

例えば、スイッチング素子 2 1 (Q H 1) を駆動するための駆動用ロジック IC 2 3 H 及びゲート抵抗 2 5 はスイッチング素子 2 1 (Q H 1) に対して直線状に配置される。また、スイッチング素子 2 1 (Q L 1) を駆動するための駆動用ロジック IC 2 3 L 及びゲート抵抗 2 5 の直列回路についても、両回路素子は直線状に配置される。そして、これらの直列回路はそれぞれ放射状に配置される。

【 0 2 2 1 】

他の直列回路についても同様に配置され、各ゲート駆動回路 2 0 A , 2 0 B が備えるハイサイド側のスイッチング素子及びローサイド側のスイッチング素子のゲート端子に対して、各ゲート端子に駆動信号を印加する駆動用ロジック IC とゲート抵抗 2 5 (R_{g_GaN}) の直列回路は、直線状かつ放射状に配置される。直列回路の直線状配置及び放射状配置により、各直列回路の電気長及びスイッチング素子のゲート端子との間の電気長は均等となり、配線長が異なることによる配線インダクタンスの相違や、遅延時間等のずれ等が抑制される。

20

【 0 2 2 2 】

図 1 3 (a) は、駆動用ロジック IC とゲート抵抗 (R_{g_GaN}) とが直線状に配置されてなる直列回路が放射状に配置される構成を模式的に示している。

【 0 2 2 3 】

駆動用ロジック IC 2 3 H とゲート抵抗 2 5 H (R_{g_GaN}) とからなる直列回路は直線状かつ放射状に配置される。

30

【 0 2 2 4 】

駆動用ロジック IC 2 3 L とゲート抵抗 2 5 L (R_{g_GaN}) とからなる直列回路についても同様に、直列回路はスイッチング素子のゲート端子に対して直線状に配置されると共に放射状に配置される。この配置は、線対称に配置されるゲート駆動回路 2 0 A 及びゲート駆動回路 2 0 B の両駆動回路においても行われる。

【 0 2 2 5 】

図 1 3 (b) は、駆動用ロジック IC 2 3 とゲート抵抗 2 5 (R_{g_GaN}) とが非直線状に配置された状態を示している。この配置では、各スイッチング素子 2 1 に対する配置において、駆動用ロジック IC 2 3 とゲート抵抗 2 5 (R_{g_GaN}) とを結ぶ配線の線路長、及びゲート抵抗 2 5 (R_{g_GaN}) とスイッチング素子 2 1 のゲート端子とを結ぶ配線の線路長は異なるため、各電気長が相違する。この電気長の相違は、配線インダクタンスの相違や、遅延時間のずれの要因となる。なお、非直線状でも配線の線路長と電気長が各々で同じであれば、非直線配置でも良い。

40

【 0 2 2 6 】

本発明によれば、LDMOSFET を用いた高周波増幅器のスイッチングモード動作 (D 級 ~ F 級) が可能であり、増幅素子のゲートに印加するゲート電圧 V_{gs} のデットタイム ΔT とゲートパルス幅 T_{on} を可変とすることができ、27 [MHz] ~ 100 [MHz] の高周波帯域での PWM 制御が可能である。また、増幅素子 (LDMOSFET) がオフ時には、増幅素子 (LDMOSFET) のゲートは常に逆バイアスとしているため、異常発振の発生は抑制される。

50

【 0 2 2 7 】

なお、上記実施の形態及び変形例における記述は、本発明に係る広帯域 R F 電源の一例であり、本発明は各実施の形態に限定されるものではなく、本発明の趣旨に基づいて種々変形することが可能であり、これらを本発明の範囲から排除するものではない。

【 産業上の利用可能性 】

【 0 2 2 8 】

本発明の高周波電源装置は、出力が 1 k W 以上で周波数範囲が 2 7 [M H z] - 1 0 0 [M H z] の半導体製造装置、液晶や有機 E L によるフラットパネルディスプレイ製造装置、C O 2 レーザー加工機などの産業用途に適用することができる。

【 符号の説明 】

10

【 0 2 2 9 】

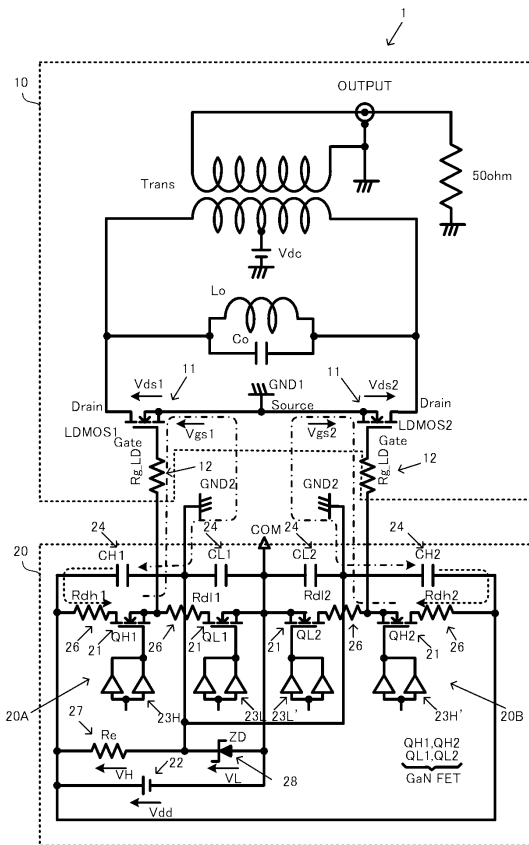
1	高周波電源装置	
1 0	高周波増幅部	
1 1	増幅素子	
1 2	ゲート抵抗	
1 3	ゲート保護回路	
2 0	ゲート駆動部	
2 0 A , 2 0 B	ゲート駆動回路	
2 1	スイッチング素子	
2 2	直流電源	20
2 3	駆動用ロジック I C	
2 4	バイパスコンデンサ	
2 5	ゲート抵抗	
2 6	ドレイン抵抗	
2 7	直列抵抗	
2 8	ツェナーダイオード	
2 9	シールドガasket	
3 0	基板	
3 1	放熱部	
1 0 0	高周波電源装置	30
1 1 0	高周波増幅部	
1 1 1	増幅素子	
1 2 0	ゲート駆動部	
C	寄生容量	
C ₀	キャパシタンス	
C _{iss}	ゲート容量 (入力寄生容量)	
C _{oss}	出力寄生容量	
D _T	デットタイム	
I _g	ゲート電流	
L	配線インダクタンス	40
L ₁ , L ₂ , L ₃	配線インダクタンス	
L _{C1} , L _{C2} , L _{C3}	L C 共振回路	
L ₀	インダクタンス	
M _g	相互インダクタンス	
Q _g	トータルゲートチャージ (ゲート総電荷量)	
T _{on}	パルス幅	
V _H	駆動電圧	
V _L	逆バイアス電圧	
V _{ac}	交流電圧	
V _{bias}	直流バイアス電圧	50

- V_{dc} 直流電圧
- V_{dd} 電源電圧
- V_{gs} ゲート電圧
- V_{in} 入力電圧
- V_{th} スレッシュホールド電圧
- b - b 対称線
- f_{o1} 共振周波数
- f_{o2} 共振周波数
- f_{o3} 共振周波数
- f_{sw} スイッチング周波数
- t_d 遅延時間
- t_{on} ターンオン時間
- t_{sw} 時間幅

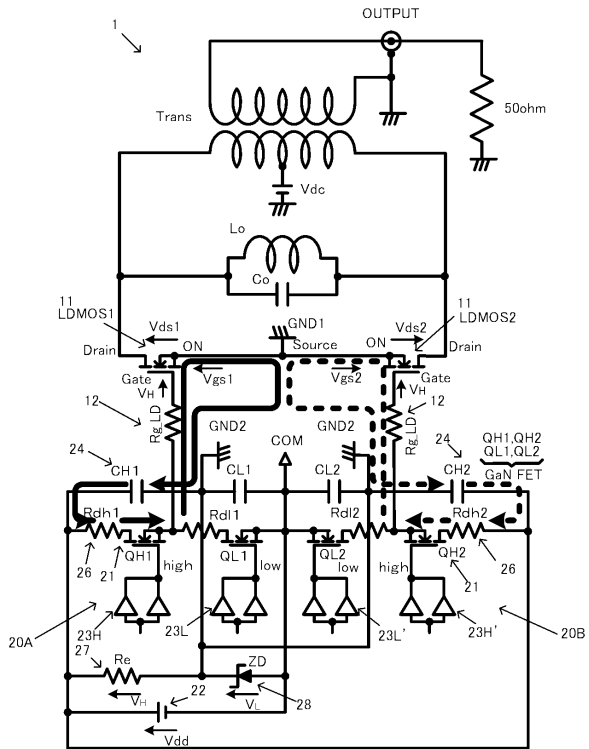
10

【図面】

【図1】



【図2】



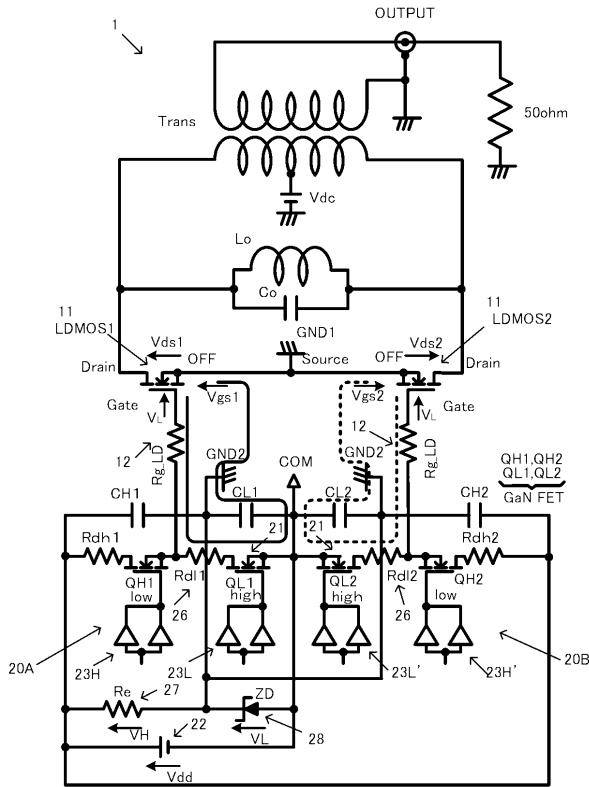
20

30

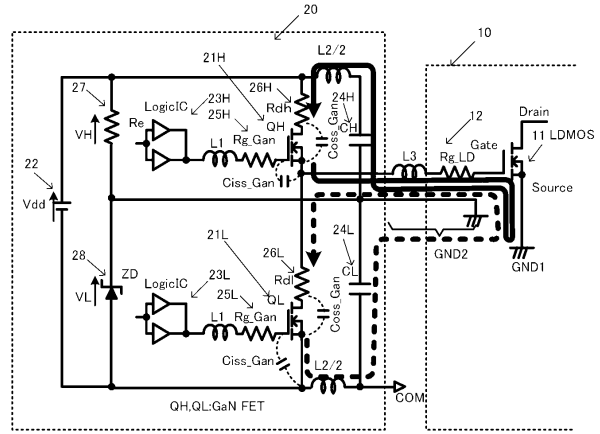
40

50

【 図 3 】



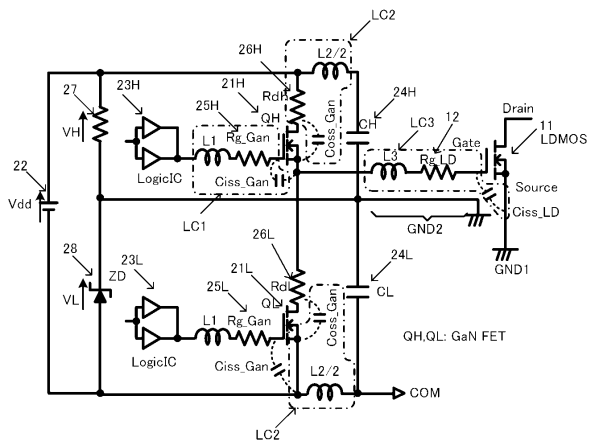
【 図 4 】



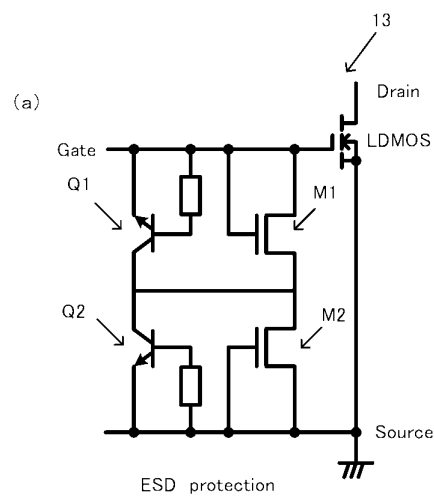
10

20

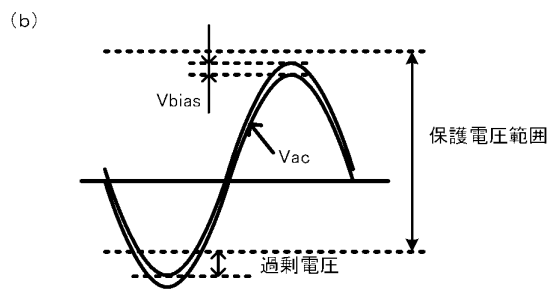
【 図 5 】



【 図 6 】



30

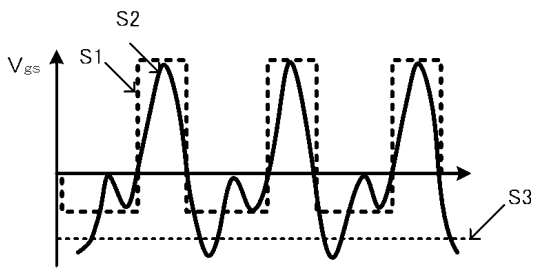


40

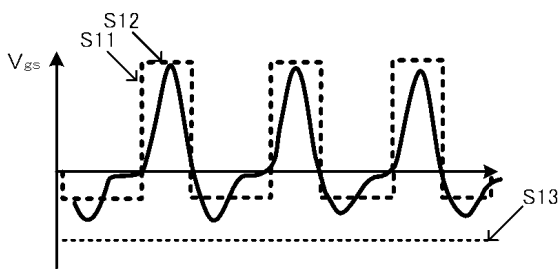
50

【 図 7 】

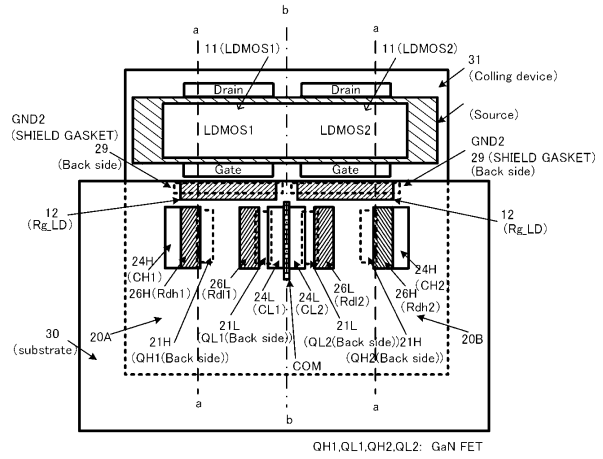
(a) Rd無し



(b) Rd有り



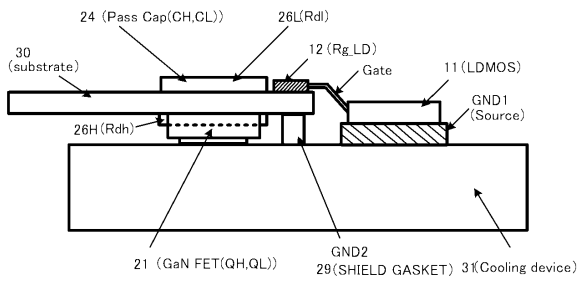
【 図 8 】



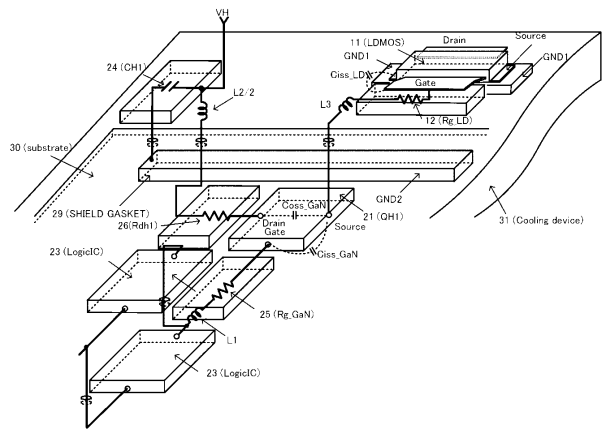
10

20

【 図 9 】



【 図 10 】

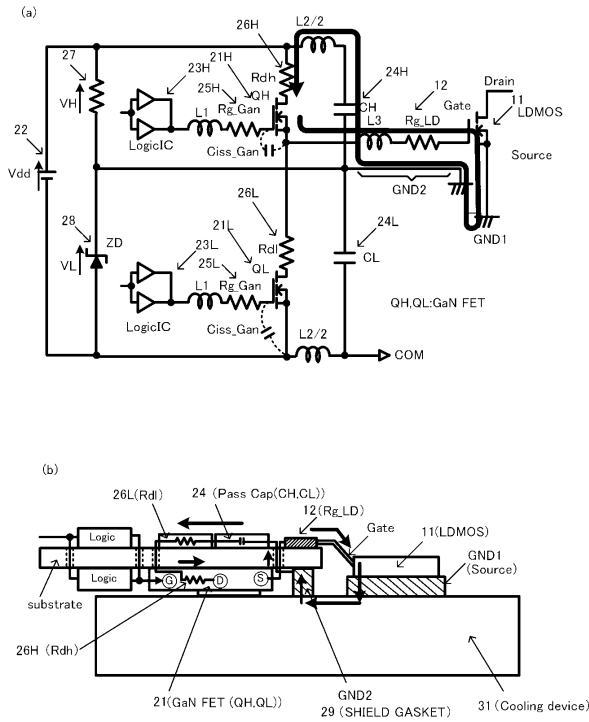


30

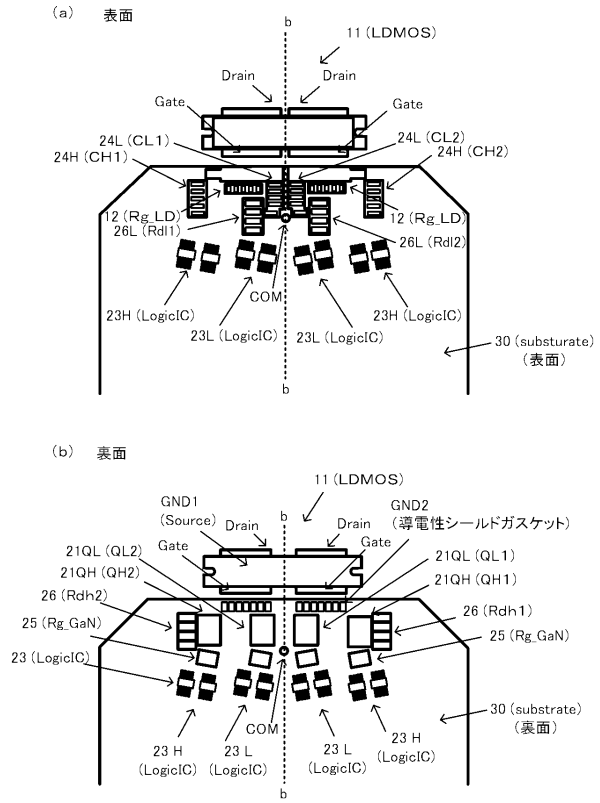
40

50

【図 1 1】



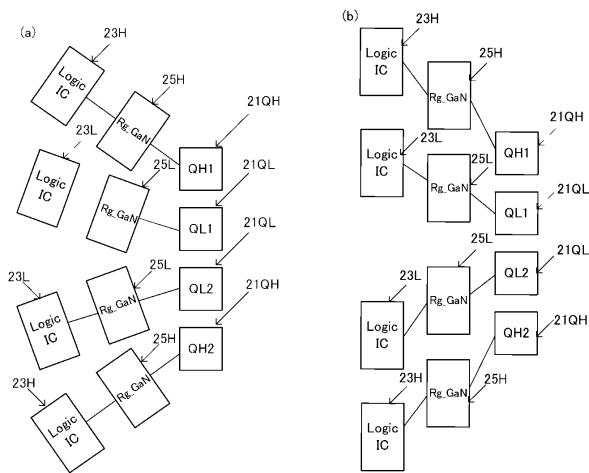
【図 1 2】



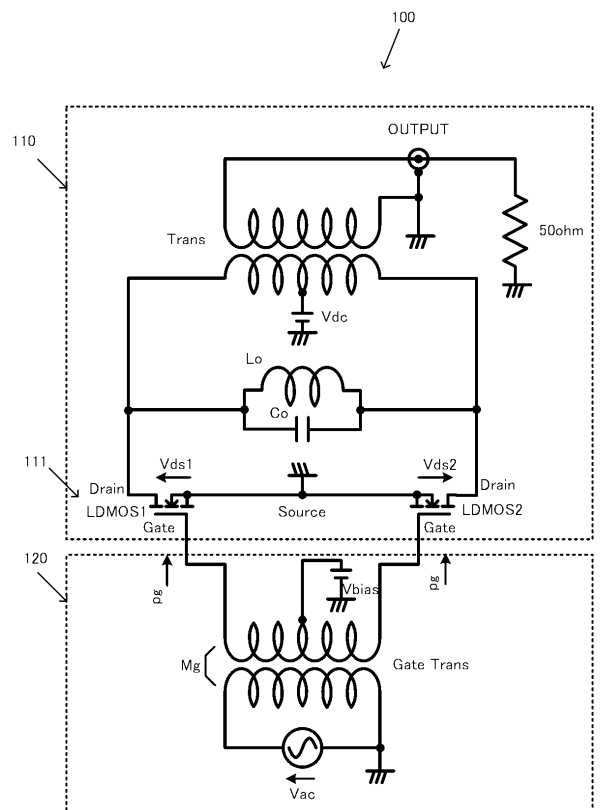
10

20

【図 1 3】



【図 1 4】



30

40

50

フロントページの続き

- (56)参考文献 特許第7068540(JP, B1)
特表2021-535702(JP, A)
特開2022-81242(JP, A)
- (58)調査した分野 (Int.Cl., DB名)
H03F 1/42
H03F 3/20