



[12] 发明专利申请公开说明书

[21] 申请号 03102090.9

[43] 公开日 2003 年 8 月 13 日

[11] 公开号 CN 1435896A

[22] 申请日 2003.1.29 [21] 申请号 03102090.9

[30] 优先权

[32] 2002.1.31 [33] JP [31] 023548/2002

[71] 申请人 株式会社东芝

地址 日本东京都

[72] 发明人 宫野清孝 大内和也 水岛一郎

[74] 专利代理机构 北京市中咨律师事务所

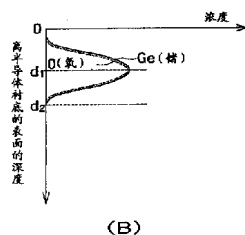
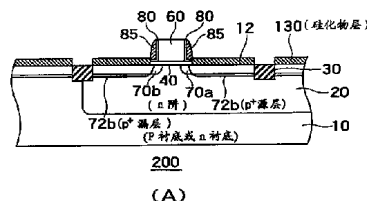
代理人 陈海红 段承恩

权利要求书 3 页 说明书 14 页 附图 13 页

[54] 发明名称 半导体装置和半导体装置的制造方法

[57] 摘要

本发明提供能在低温在扩散层上形成可充分地使用于升高的源漏技术的单晶层的半导体装置的制造方法。提供具备膜厚、膜质均匀的硅化物层的、将扩散层与电极的接触电阻维持得较低的、可进一步实现微细化的半导体装置。本发明的半导体装置的制造方法具备下述步骤：在半导体衬底 10 的表面 12 上形成栅绝缘膜 20、在栅绝缘膜上形成栅电极 60 的步骤；在栅电极的两侧形成扩散层 70、72 的步骤；在扩散层上形成非晶质层 100 的步骤；通过半导体衬底的表面与非晶质层的边界向半导体衬底离子注入惰性物质的步骤；在低温对半导体衬底进行热处理、使非晶质层的一部分成为硅单晶层 120 的步骤；以及通过在单晶上溅射金属由单晶和金属来形成硅化物层 130 的步骤。



1. 一种半导体装置，该半导体装置具备：半导体衬底；在该半导体衬底的表面上形成的栅绝缘膜；在该栅绝缘膜上形成的栅电极；在上述半导体衬底上形成的成为源层和漏层的扩散层；以及在上述扩散层的上方形成的硅化物层，其特征在于：

在与该半导体装置的表面垂直的剖面中，氧的浓度为最大的氧浓度峰值处于上述半导体衬底的表面之下。

2. 如权利要求1中所述的半导体装置，其特征在于：

惰性物质的浓度为最大的惰性物质浓度峰值离上述半导体衬底的表面的深度与上述氧浓度峰值离上述半导体衬底的表面的深度大致相等。

3. 如权利要求2中所述的半导体装置，其特征在于：

上述氧浓度峰值离上述半导体衬底的表面的深度或上述惰性物质浓度峰值离上述半导体衬底的表面的深度中的某一方或双方比上述扩散层离上述半导体衬底的表面的深度浅。

4. 如权利要求2中所述的半导体装置，其特征在于：

上述半导体衬底的每单位面积的上述半导体衬底内包含的惰性物质浓度是大于等于上述半导体衬底的每单位面积的上述半导体衬底内包含的氧浓度。

5. 如权利要求2中所述的半导体装置，其特征在于：

上述惰性物质是锗或其同族元素、砷或其同族元素、硼或其同族元素、或者氩或其同族元素。

6. 如权利要求1至5的任一项中所述的半导体装置，其特征在于：

还具备覆盖上述栅电极侧面的侧面保护层或覆盖上述栅电极上表面的上表面保护层中的某一方或双方。

7. 如权利要求1至5的任一项中所述的半导体装置，其特征在于：

还具备在上述扩散层上形成的外延单晶层，在该外延单晶层上形成有上述硅化物层。

8. 一种半导体装置的制造方法，其特征在于，具备下述步骤：

在半导体衬底的表面上形成栅绝缘膜的步骤;

在该栅绝缘膜上形成栅电极的步骤;

在位于该栅电极两侧的上述半导体衬底中以自对准的方式形成扩散层的步骤;

在上述扩散层中的上述半导体衬底的表面上形成非晶质层的非晶质层形成步骤;

通过上述半导体衬底的表面与上述非晶质层的边界向上述半导体衬底离子注入惰性物质的注入步骤;

通过比较低温度对上述半导体衬底进行热处理使上述非晶质层的一部分成为单晶层的热处理步骤; 以及

通过在上述单晶上溅射金属, 由该单晶和该金属来形成硅化物层的步骤。

9. 如权利要求8中所述的半导体装置的制造方法, 其特征在于:

在上述热处理步骤中, 只使上述非晶质层中的处于上述扩散层上的非晶质层成为单晶层, 使除此以外的非晶质层保持非晶质层的原有状态或成为多晶层,

在上述热处理步骤后, 还具备有选择地除去上述非晶质层或上述多晶层的刻蚀步骤。

10. 如权利要求8或权利要求9中所述的半导体装置的制造方法, 其特征在于:

上述惰性物质是锗或其同族元素、砷或其同族元素、硼或其同族元素、或者氩或其同族元素。

11. 如权利要求8或权利要求9中所述的半导体装置的制造方法, 其特征在于:

在上述热处理步骤中, 在600℃或以下的温度对上述半导体衬底进行热处理。

12. 如权利要求9中所述的半导体装置的制造方法, 其特征在于:

在上述非晶质层形成步骤以前, 还具备形成覆盖上述栅电极侧壁和该栅电极上表面的保护层的保护层形成步骤,

在上述刻蚀步骤中，在 700℃ 或以上的温度对上述非晶质层或上述多晶层进行刻蚀。

半导体装置和半导体装置的制造方法

技术领域

本发明涉及半导体装置和半导体装置的制造方法。

背景技术

具有 MOS（金属氧化物半导体）晶体管的集成电路正在实现微细化，其工作正在实现高速化。为了防止伴随 MOS 晶体管的微细化而产生的穿通等的短沟道效应，将源和漏的扩散层形成得较浅。

另外，为了使 MOS 晶体管的工作实现高速化，频繁地使用通过在扩散层上以自对准的方式形成硅化物层以使扩散层与金属的接触电阻下降的自对准多晶硅化物（SALICIDE（自对准硅化物））技术。在自对准多晶硅化物技术中，使已被淀积的金属与作为衬底材料的硅反应来形成硅化物。因此，在被形成得较浅的源和漏的扩散层上直接淀积金属的情况下，有时以穿过这些扩散层之下的方式形成了硅化物。由此，在源和漏的扩散层与衬底之间产生漏泄。

因此，开发了升高（Elevated）的源漏技术。升高的源漏技术是在源和漏的扩散层上有选择地形成了的硅单晶层上淀积金属以形成硅化物层的技术。由于该硅单晶层的硅与金属反应而形成硅化物，故硅化物不会过度地侵蚀源或漏的扩散层，硅化物不会向源或漏的扩散层下穿透。

在升高的源漏技术中，在半导体衬底的表面中的源和漏的扩散层上有选择地使硅外延生长。为了在该外延生长中得到充分膜厚的硅单晶层，必须用气相外延生长（VPE）法在 800℃ 或以上的高温进行热处理。

但是，这样的高温的热处理使源和漏的扩散层内的杂质产生了热扩散。如果在外延生长的工序中让这些扩散层过度地扩散，则已被微细化的 MOS 晶体管有时产生短沟道效应。于是，在形成了源和漏后，不优选对半导体衬底进行高温的热处理。

另一方面，还有在半导体衬底上淀积了非晶硅后，在约 600℃ 下进行热处理而使硅实现单晶化的固相外延生长（SPE）法。利用该固相外延生长法也能在源和漏的扩散层上形成硅单晶层。这样，如果在约 600℃ 这样的比较低的温度下进行热处理，则源和漏的扩散层的热扩散不成为问题。

但是，在固相外延生长法中，在半导体衬底的表面上残留硅氧化物时，产生在硅氧化物上被淀积的非晶硅不实现单晶化的情况。因此，在源和漏的扩散层上的非晶硅只是部分地实现单晶化，不能以可适用于升高的源漏技术的程度充分地实现单晶化。在这样的情况下，在有选择地对半导体衬底的表面上被淀积的非晶硅进行刻蚀的工序中，处于源和漏的扩散层上的未被单晶化的硅也同时被刻蚀。因而，存在不能充分地得到升高的源漏技术的效果的问题。

特别是，由于包含硼等作为杂质的 p 型的半导体衬底容易被氧化，故在包含硼等的 p 型半导体衬底的表面上淀积的非晶硅难以充分地实现单晶化。

以下，在附图中说明现有的问题。

图 20 至图 24 是按工序的顺序示出现有的半导体装置的制造方法的半导体衬底的扩大剖面图。

参照图 20，在半导体衬底 10 上形成有元件隔离部 30。在半导体衬底 10 的表面上形成有栅绝缘膜 40，在栅绝缘膜 40 上形成有栅电极 60。在栅电极 60 的侧壁上形成有侧壁保护层 85。此外，在半导体衬底 10 中作为源和漏层形成有扩散层 70、72。

使扩散层 70、72 中的半导体衬底 10 的表面露出，以便使硅单晶层在该表面上进行外延生长。但是，由于半导体衬底 10 的表面与空气接触而被氧化。因此，在半导体衬底 10 的表面上形成了硅氧化物 90。

参照图 21，在半导体衬底 10 的表面上和栅电极 60 上淀积有非晶硅层 100。

参照图 22，对非晶硅层 100 进行热处理。但是，在半导体衬底 10 的表面与非晶硅层 100 之间存在硅氧化物 90。由于硅氧化物 90 的缘故，非晶硅层 100 只能部分地与半导体衬底 10 的表面接触。非晶硅层 100 沿半导体

衬底 10 表面的结晶进行外延生长。于是,即使对非晶硅层 100 进行热处理,没有与半导体衬底 10 的表面接触的非晶硅层 100 的部分也不能进行外延生长。因此,在半导体衬底 10 的表面中不能均匀地形成非晶硅层 100 由于热处理而变质的硅单晶层 120 的膜厚及膜质。

参照图 23,如果利用硅单晶层与非晶硅或多晶硅的选择比进行刻蚀,则非晶硅层 100 或由非晶硅层 100 产生的多晶硅被刻蚀,硅单晶层 120 会残留。

参照图 24,其后,金属在半导体衬底 10 上淀积,并与硅发生反应,形成硅化物层 130。在硅单晶层 120 的膜厚薄的部分中,被淀积的金属不仅与硅单晶层 120 的硅反应,而且与扩散层 70、72 的硅反应。于是,为了形成硅化物层 130,扩散层 70、72 被过度地侵蚀。进一步,也有硅化物层 130 穿透扩散层 70、72 的情况。因而,不能充分地得到升高的源漏技术的效果。

发明内容

因此,本发明的目的在于,提供在比较低的温度下,可以在源和漏的扩散层上形成可充分地使用于升高的源漏技术中的硅单晶层的半导体装置的制造方法。

另外,本发明的目的在于,提供具备膜厚和膜质均匀的由升高的源漏技术得到的硅化物层,将源和漏的扩散层与源和漏极的接触电阻维持得较低,且与以往相比可实现微细化的半导体装置。

按照本发明的实施方案的半导体装置是具备半导体衬底;在该半导体衬底的表面上形成的栅绝缘膜;在该栅绝缘膜上形成的栅电极;在上述半导体衬底中形成的成为源层和漏层的扩散层;以及在上述扩散层的上方形成的硅化物层的半导体装置,其特征在于:在与该半导体装置的表面垂直的剖面中,氧的浓度为最大的氧浓度峰值处于上述半导体衬底的表面之下。

优选是,惰性物质的浓度为最大的惰性物质浓度峰值离上述半导体衬底的表面的深度与上述氧浓度峰值离上述半导体衬底的表面的深度大致相等。

进一步,优选是,上述氧浓度峰值离上述半导体衬底的表面的深度或上述惰性物质浓度峰值离上述半导体衬底的表面的深度中的某一方或双方比上述扩散层离上述半导体衬底的表面的深度浅。

优选是,上述半导体衬底的每单位表面积的上述半导体衬底内包含的惰性物质浓度是大于等于上述半导体衬底的每单位表面积的上述半导体衬底内包含的氧浓度。

优选是,本实施方案的半导体装置中,上述惰性物质是锗或其同族元素、砷或其同族元素、硼或其同族元素、或者氩或其同族元素。

本实施方案的半导体装置还可进一步具备覆盖上述栅电极侧面的侧面保护层或覆盖上述栅电极上表面的上表面保护层中的某一方或双方。

优选是,本实施方案的半导体装置中,进一步具备在上述扩散层上形成的外延单晶层,在该外延单晶层上形成有上述硅化物层。

本发明的实施方案的半导体装置的制造方法,具备下述步骤:在半导体衬底的表面上形成栅绝缘膜的步骤;在该栅绝缘膜上形成栅电极的步骤;在位于该栅电极两侧的上述半导体衬底中以自对准的方式形成扩散层的步骤;在上述扩散层中的上述半导体衬底的表面上形成非晶质层的非晶质层形成步骤;通过上述半导体衬底的表面与上述非晶质层的边界向上述半导体衬底离子注入惰性物质的注入步骤;通过用比较低的温度对上述半导体衬底进行热处理使上述非晶质层的一部分成为单晶层的热处理步骤;以及通过在上述单晶上溅射金属而由该单晶和该金属来形成硅化物层的步骤。

优选是,在上述热处理步骤中,只使上述非晶质层中的处于上述扩散层上的非晶质层成为单晶层,使除此以外的非晶质层维持非晶质层的原有状态或成为多晶层,在上述热处理步骤后,进一步具备有选择地除去上述非晶质层或上述多晶层的刻蚀步骤。

优选是,上述惰性物质是锗或其同族元素、砷或其同族元素、硼或其同族元素、或者氩或其同族元素。

优选是,在上述热处理步骤中,在600℃或以下的温度对上述半导体衬底进行热处理。

在上述非晶质层形成步骤以前，可进一步具备形成覆盖上述栅电极侧壁和该栅电极上表面的保护层的保护层形成步骤，此时，在上述刻蚀步骤中，在700℃或以上的温度对上述非晶质层或上述多晶层进行刻蚀。

本发明的半导体装置的制造方法，可在比较低的温度在源和漏的扩散层上形成可充分地使用于升高的源漏技术的硅单晶层。

另外，本发明的半导体装置具有利用升高的源漏技术得到的膜厚和膜质均匀的硅化物层，在将源和漏的扩散层与源和漏电极的接触电阻维持得较低的状态下，与以往相比，可实现进一步的微细化。

附图说明

图1是示出了按照本发明的第1实施方案的半导体装置的制造方法的半导体衬底的扩大剖面图。

图2是示出了接着图1的半导体装置的制造方法的半导体衬底的扩大剖面图。

图3是示出了接着图2的半导体装置的制造方法的半导体衬底的扩大剖面图。

图4是示出了接着图3的半导体装置的制造方法的半导体衬底的扩大剖面图。

图5是示出了接着图4的半导体装置的制造方法的半导体衬底的扩大剖面图。

图6是示出了接着图5的半导体装置的制造方法的半导体衬底的扩大剖面图。

图7是示出了接着图6的半导体装置的制造方法的半导体衬底的扩大剖面图。

图8是示出了接着图7的半导体装置的制造方法的半导体衬底的扩大剖面图。

图9是示出了接着图8的半导体装置的制造方法的半导体衬底的扩大剖面图。

图10是示出了接着图9的半导体装置的制造方法的半导体衬底的扩大

剖面图。

图 11 是利用第 1 实施方案的半导体装置的制造方法制造的半导体装置 200 的剖面图。

图 12 是示出了按照本发明的第 2 实施方案的半导体装置的制造方法的半导体衬底的扩大剖面图。

图 13 是示出了按照本发明的第 2 实施方案的半导体装置的制造方法的半导体衬底的扩大剖面图。

图 14 是示出了接着图 13 的半导体装置的制造方法的半导体衬底的扩大剖面图。

图 15 是示出了接着图 14 的半导体装置的制造方法的半导体衬底的扩大剖面图。

图 16 是示出了接着图 15 的半导体装置的制造方法的半导体衬底的扩大剖面图。

图 17 是示出了接着图 16 的半导体装置的制造方法的半导体衬底的扩大剖面图。

图 18 是示出了接着图 17 的半导体装置的制造方法的半导体衬底的扩大剖面图。

图 19 是示出了接着图 18 的半导体装置的制造方法的半导体衬底的扩大剖面图。

图 20 是按工序的顺序示出了现有的半导体装置的制造方法的半导体衬底的扩大剖面图。

图 21 是按工序的顺序示出了现有的半导体装置的制造方法的半导体衬底的扩大剖面图。

图 22 是按工序的顺序示出了现有的半导体装置的制造方法的半导体衬底的扩大剖面图。

图 23 是按工序的顺序示出了现有的半导体装置的制造方法的半导体衬底的扩大剖面图。

图 24 是按工序的顺序示出了现有的半导体装置的制造方法的半导体衬底的扩大剖面图。

符号说明

10: 半导体衬底; 12: 表面; 20: n 型阱区; 30: 元件隔离部; 40: 栅绝缘膜; 60: 栅电极; 70、72: 扩散层; 80: 侧壁衬垫层; 85: 侧壁保护层; 90: 硅氧化物; 100: 非晶硅层; 110: 离子注入; 120: 硅单晶层; 130: 硅化物层; 200: 半导体装置。

具体实施方案

以下, 参照附图, 说明本发明的实施方案。另外, 本实施方案不限定本发明。另外, 附图中不按照比例尺来表示构成要素。

图 1 至图 10 是按工序的顺序示出了按照本发明的第 1 实施方案的半导体装置的制造方法的半导体衬底的扩大剖面图。在本实施方案中, 形成有 p 型的 MOS 晶体管。

参照图 1, 在半导体衬底 10 中注入砷或磷等杂质, 通过进行热处理, 形成 n 型阱区 20。在本实施方案中, n 型阱区 20 离半导体衬底 10 的表面 12 的深度约为 1 微米。

其次, 在规定的区域中埋入氧化物, 形成元件隔离部 30。在本实施方案中, 通过 STI (浅槽隔离) 法来形成元件隔离部 30。元件隔离部 30 离半导体衬底 10 的表面 12 的深度约为 400 纳米。

参照图 2, 其次, 在半导体衬底 10 的表面 12 上形成衬底保护氧化膜 48。衬底保护氧化膜 48 是为了保护衬底, 使之免受之后的沟道离子注入 58 的冲击而设置的。在本实施方案中, 衬底保护氧化膜 48 的厚度约为 10 纳米。进一步, 进行调节 MOS 晶体管的阈值电压的沟道离子注入 58。

参照图 3, 其次, 除去衬底保护氧化膜 48, 之后, 在半导体衬底 10 的表面 12 上形成栅绝缘膜 40。栅绝缘膜 40 的厚度约为几个纳米。栅绝缘膜可以说硅氧化膜, 但也可使用在硅氧化膜中包含有百分之几的氮的氧氮化物膜、 TaO_2 、 ZrOx 、 HfOx (x 是正整数) 等的高介电常数的电介质。

其次, 例如使用 CVD (化学汽相淀积) 法等, 在栅绝缘膜 40 上淀积多晶硅。之后, 使用光刻技术, 通过对被淀积的多晶硅进行构图, 形成栅电

极 60。在本实施方案中，栅电极 60 的厚度约为 150 纳米。

参照图 4，其次，为了形成扩散层 70 而进行离子注入 75。通过栅绝缘膜 40 向半导体衬底 10 的表面 12 注入离子，在栅电极 60 的两侧以自对准的方式形成扩散层 70。

扩散层 70 是作为源层或漏层使用的扩散层，也可作成 LDD(轻掺杂漏)结构。按照本实施方案，扩散层 70 作为将源层或漏层作成二重结构的 LDD 结构用的延伸层来使用。通过将源层或漏层作成 LDD 结构，可抑制热电子的产生，防止短沟道效应。

在本实施方案中，在延伸层离子注入 75 中使用的杂质，例如是硼等。硼的注入量例如约为 $5 \times 10^{14} \text{cm}^{-2}$ ，注入能量例如约为 10keV。因此，扩散层 70 具有 p 型的导电性。扩散层 70 离表面 12 的深度约为 40 纳米。

其次，淀积硅氧化膜，覆盖表面 12 和栅电极 60，进一步，在其上淀积硅氮化膜。这些硅氧化膜和硅氮化膜都是例如利用 LP-CVD 法等被淀积的。硅氧化膜作为衬垫层，具有作为刻蚀硅氮化膜时阻止刻蚀的作用。

参照图 5，刻蚀硅氮化膜和硅氧化膜，在栅电极 60 的侧壁上分别残留侧壁衬垫层 80 和侧壁保护层 85。侧壁衬垫层 80 和侧壁保护层 85 的厚度例如分别约为 5 和 50 纳米。

侧壁衬垫层 80 和侧壁保护层 85 保护栅电极 60 的侧壁，而且也起到形成源和漏的扩散层 72 用的离子注入中的隔离层的作用。即，利用侧壁保护层 85 以自对准的方式形成源和漏的扩散层 72。由此，扩散层 70 和扩散层 72 形成 LDD 结构。在本实施方案中，扩散层 72 的深度约为 50 纳米。

在除去了这些硅氧化膜和硅氮化膜后，在半导体衬底 10 的表面 12 上的扩散层 70 或扩散层 72 被露出。通过使半导体衬底 10 的表面 12 的结晶面露出，可在表面 12 上对硅单晶层进行外延生长。

另一方面，由于半导体衬底 10 的表面 12 的结晶面被暴露于空气中，故表面 12 的硅被氧化，生成了硅氧化物 90。

参照图 6，其次，在被露出的表面 12 上和栅电极 60 上淀积非晶硅层 100。非晶硅层 100 是，例如利用 LP-CVD 法等并使用硅烷 (SiH_4) 等在约 600 $^{\circ}\text{C}$ 的气氛中形成的。在本实施方案中，非晶硅层 100 的厚度约为 50 纳米。

参照图 7，其次，通过半导体衬底 10 与非晶硅层 100 之间的边界向半导体衬底 10 离子注入惰性物质。在该离子注入 110 中使用的惰性物质例如是锗、砷、硼或氩、或它们的同族元素。按照本实施方案，在离子注入 110 中使用的惰性物质是锗。离子注入 110 中的惰性物质的注入量例如，约为 $1 \times 10^{15} \text{cm}^{-2}$ ，注入能量例如约为 7keV。

由离子注入 110 加速的锗离子，通过非晶硅层 100，与硅氧化物 90 碰撞。因此，锗离子使硅氧化物 90 中包含的氧从半导体衬底 10 与非晶硅层 100 之间的边界反弹至半导体衬底 10 的表面 12 的下方。即，以离子方式被注入的锗将处于半导体衬底 10 与非晶硅层 100 的边界的界面氧撞到表面 12 的下方。

这里，锗的注入量由硅氧化物 90 的量或界面氧的量来决定。硅氧化物 90 的量或界面氧的量依赖于半导体衬底 10 的表面 12 暴露于空气中时的诸条件、例如表面 12 暴露于空气中的时间、气温、空气中的氧浓度等的条件。通常，在制造半导体装置的工序中，将这些条件维持为恒定。于是，以可以适合于半导体装置的制造工序内的诸条件的方式来设定锗的注入量。

在本实施方案中，处于半导体衬底 10 与非晶硅层 100 之间的边界的界面氧的量约为 $1 \times 10^{15} \text{cm}^{-2}$ 。因此，锗的注入量也与界面氧的量相同，约为 $1 \times 10^{15} \text{cm}^{-2}$ 。另外，为了可靠地将更多的界面氧撞到表面 12 的下方，锗的注入量优选与处于半导体衬底 10 与非晶硅层 100 之间的边界的界面氧的量相等、或比其多。

相反，为了防止对半导体衬底 10 造成过度的损伤，也可使锗的注入量比界面氧的量少。

关于锗的注入能量，需要锗能通过非晶硅层 100 的程度的能量。另一方面，由于锗和氧被注入到或被撞到比扩散层 72 的深度深的位置上的缘故，有在扩散层 72 与阱区 20 之间的接合部处产生漏泄的情况。因此，锗的注入能量最好是锗不通过扩散层 72 的程度的能量。

按照本实施方案，优选将锗或氧分别注入到或撞到比扩散层 72 的深度浅的位置上。但是，在没有作为源和漏层的扩散层 72、只有作为延伸层的扩散层 70 的情况下，优选将锗或氧分别注入到或撞到比扩散层 70 的深度

浅的位置上。此时，由于扩散层 70 比扩散层 72 浅，故将锗的注入能量设定得比本实施方案的注入能量低。

参照图 8，对非晶硅层 100 进行热处理。利用该热处理，使扩散层 70、72 上的非晶硅层 100 进行外延生长，成为硅单晶层 120。即，为了得到硅单晶层 120 而采用 SPE 法。在本实施方案中，热处理是在 LP-CVD 法用的装置内在氢气气氛中并在约 600℃ 下进行的。

在热处理时已经将界面氧撞到半导体衬底 10 的表面下，故在半导体衬底 10 与非晶硅层 100 之间不存在硅氧化物 90。因此，非晶硅层 100 的整体与处于源和漏的扩散层 70、72 的表面 12 的硅结晶接触。于是，非晶硅层 100 在扩散层 70、72 上能以充分的厚度且以均匀的质量进行外延生长而成为硅单晶层 120。

另一方面，元件隔离部 30、栅电极 60 和侧壁保护层 85 的表面分别利用硅氧化、多晶硅和硅氮化膜形成。于是，元件隔离部 30、栅电极 60 和侧壁保护层 85 上的非晶硅层 100 不进行外延生长，或是维持非晶硅层的原有状态，或是成为多晶硅层。

参照图 9，对硅单晶层 120 有选择地刻蚀非晶硅层和多晶硅层 100'。在本实施方案中，该刻蚀是在与淀积了非晶硅层 100 的反应室为同一的室内使用由氢稀释为约 10% 的氯气并利用 LP-CVD 法来进行的。非晶硅相对于硅单晶的刻蚀的选择比为 10 或以上。

按照本实施方案，在同一反应室内进行硅单晶层 120 的外延生长和非晶硅层和多晶硅层 100' 的选择刻蚀。因此，可缩短半导体装置的制造工序、提高生产效率、降低制造成本。另外，可提高硅单晶层 120 的膜质。

另外，即使是使用不同的反应室的情况，通过使用所谓的工具组来进行一系列的外延生长及选择刻蚀等的处理，也可得到同样的效果。

在有选择地刻蚀非晶硅层和多晶硅层 100' 时，利用侧壁衬垫层 80 和侧壁保护层 85 来保护栅电极 60 的侧壁。另外，多晶硅层 100' 与栅电极 60 的上表面直接相接。但是，由于利用多晶硅形成了栅电极 60，故可不完全除去多晶硅层 100' 而使其遗留下来也没什么问题。另一方面，由于栅电极 60 相对于非晶硅层和多晶硅层 100' 来说足够厚，故栅电极 60 的上

表面即使有一些过度刻蚀也没有关系。

参照图 10，其次，在硅单晶层 120 上淀积金属。金属例如是钴、镍、钛等。被淀积的金属与硅单晶层 120 的硅发生反应，形成为使接触电阻下降而使用的硅化物层 130。

由于金属与硅单晶层 120 的硅发生反应，不侵蚀处于半导体衬底 10 的表面 12 下面的扩散层 70、72 内的硅。即使在侵蚀扩散层 70、72 内的硅的情况下，也只是侵蚀扩散层 70、72 的表面 12 上的微小量的硅。因此，硅化物层 130 不会穿透扩散层 70、72 之下。因此，源和漏的扩散层 70、72 与衬底 10 或阱区 20 的阱之间不产生漏泄。即，按照本实施方案，利用硅单晶层 120 可充分地得到升高的源漏技术的效果。

接着，经过形成接点的工序及形成布线的工序（未图示）等，完成本实施方案的半导体装置。

如上所述，在本实施方案的半导体装置的制造工序中，在形成了扩散层 70、72 后不对半导体衬底 10 在 600℃ 或以上的温度下进行热处理，因此，扩散层 70、72 不会扩散的很大。因此，可形成离半导体衬底 10 的表面 12 的深度比较浅的扩散层 70、72，即使在非常微细化的半导体装置中，也可防止穿通等的短沟道效应。

以下，说明利用第 1 实施方案的半导体装置的制造方法制造的半导体装置 200 的结构。

图 11 (A) 是利用第 1 实施方案的半导体装置的制造方法制造的半导体装置 200 的剖面图。本实施方案的半导体装置 200 具备半导体衬底 10、在半导体衬底 10 的表面上形成的栅绝缘膜 40 和在栅绝缘膜 40 上形成的栅电极 60。在栅电极 60 一侧的半导体衬底 10 上利用栅电极 60 的侧壁以自对准的方式形成有连接到源电极上的源侧延伸层 70a。另外，同样，在栅电极 60 另一侧的半导体衬底 10 上利用栅电极 60 的侧壁以自对准的方式形成有连接到漏电极上的漏侧延伸层 70b。

在栅电极 60 的侧壁上，为了保护栅电极 60 而经衬垫层 80 设置有侧壁保护层 85。在栅电极 60 一侧的半导体衬底 10 上将侧壁保护层 85 作为隔离层以自对准的方式形成有源层 72a。同样，在栅电极 60 另一侧的半导体

衬底 10 上将侧壁保护层 85 作为隔离层以自对准的方式形成有漏层 72b。

在本实施方案中，一同形成了源侧延伸层 70a 和漏侧延伸层 70b(以下，将其称为扩散层 70)以及源层 72a 和漏层 72b(以下，将其称为扩散层 72)这两者。但是，即使是只形成了扩散层 70 或扩散层 72 的某一方的情况，也不会丧失本发明的效果。

半导体装置 200 还具备在扩散层 70 或扩散层 72 的上方形成的硅化物层 130。为了降低扩散层 70、72 与源或漏电极的接触电阻，硅化物层 130 最好直接连接到扩散层 70、72 上。

但是，为了完全地防止在形成硅化物层 130 时扩散层 70、72 内的硅被侵蚀，也可在硅化物层 130 与扩散层 70、72 之间残存硅单晶层(未图示)。此时，利用杂质对介于硅化物层 130 与扩散层 70、72 之间的硅单晶层进行掺杂。

图 11(B) 示出了氧和锗的浓度相对于离半导体装置 200 的表面 12 的深度的曲线图。将表面 12 的深度定为 0，将氧的浓度为最大的氧浓度峰值和锗的浓度为最大的锗浓度峰值的深度定为 d_1 ，将扩散层 72 的深度定为 d_2 。

根据图 11(B) 的曲线图，氧浓度峰值和锗浓度峰值处于表面 12 之下。另外，分别将锗和界面氧注入和撞到离表面 12 大致相同的深度 d_1 处。因此，氧浓度峰值离半导体装置的表面 12 的深度与锗浓度峰值离半导体装置的表面 12 的深度大致相等。

另外，使得锗和氧不穿透扩散层 72 而到达 n 阱 20 那样来调节锗的注入能量。因此，按照本实施方案，氧浓度峰值和锗浓度峰值的离表面 12 的深度 d_1 都比扩散层 72 的深度 d_2 浅。

如上所述，由界面氧的量来决定锗的注入量。例如，在以大于等于界面氧的量注入了锗的情况下，在半导体衬底 10 的每单位面积的半导体衬底 10 内包含的锗浓度大于等于在半导体衬底 10 的每单位面积的半导体衬底 10 内包含的氧浓度。即，锗浓度峰值的值与氧浓度峰值的值相等，或比其大。

按照本实施方案，锗的注入量大致与界面氧的量相等。因此，在图 11

(B) 中, 锗浓度峰值的值与氧浓度峰值的值大致相等。因此, 在不对表面 12 造成过度损伤的情况下, 锗可将大致全部的界面氧撞出。

使氧浓度峰值处于半导体衬底 10 的表面 12 的下方, 意味着在表面 12 上不存在硅氧化物。因此, 在扩散层 70、72 上能以充分的厚度且均匀的质量形成硅单晶层。利用具有充分的厚度且质量均匀的硅单晶层, 可形成具有充分的厚度且质量均匀的硅化物层 130 而不过度侵蚀扩散层 70、72 的硅。

在进一步实现了半导体装置 200 微细化的情况下, 必须具有杂质浓度更高的、更浅的扩散层 70、72。按照本实施方案, 可形成将接触电阻维持得较低的硅化物层 130 而不侵蚀浅的扩散层 70、72。

于是, 本实施方案的半导体装置可解决短沟道效应及接触电阻的上升等的伴随微细化的课题。

图 12 至图 19 是按工序的顺序示出了按照本发明的第 2 实施方案的半导体装置的制造方法的半导体衬底的扩大剖面图。对于与第 1 实施方案中的半导体装置的构成要素相同的构成要素附以同一参照序号。

按照第 2 实施方案, 在栅电极 60 的上表面上形成有上表面保护层 88 这一点上不同 (参照图 13 至图 19)。

参照图 12, 与第 1 实施方案相同, 在半导体衬底 10 上形成有 n 型阱区 20、元件隔离部 30 和栅绝缘膜 40。在栅绝缘膜 40 上形成有多晶硅层 65。

参照图 13, 其次, 形成硅氮化膜 88。硅氮化膜 88 是在淀积了硅氮化物后通过使用光刻技术进行构图而形成的。在本实施方案中, 硅氮化膜 88 的厚度约为 50 纳米。

参照图 14, 其次, 以硅氮化膜 88 为掩模来刻蚀多晶硅层 65, 形成栅电极 60。

参照图 15, 其次, 与第 1 实施方案相同, 形成衬垫层 80、侧壁保护层 85 和扩散层 70、72。进一步, 在半导体衬底 10 的表面 12 和栅电极 60 上形成非晶硅层 100。在表面 12 与非晶硅层 100 之间生成了硅氧化物 90。

参照图 16, 其次, 通过半导体衬底 10 与非晶硅层 100 之间的边界向半导体衬底 10 离子注入惰性物质。由此, 将界面氧撞到半导体衬底 10 的表面 12 的下方。

参照图 17, 其次, 在约 600℃ 的温度下对半导体衬底 10 进行热处理。由于界面氧已被撞倒半导体衬底 10 的表面之下, 故非晶硅层 100 成为在扩散层 70、72 上具有充分的厚度且质量均匀的硅单晶层 120。

另一方面, 元件隔离部 30、侧壁保护层 85 和上表面保护层 88 上的非晶硅层 100 不进行外延生长, 或是保持非晶硅层的原有状态, 或是成为多晶硅层。

参照图 18, 其次, 对硅单晶层 120 有选择地刻蚀非晶硅层或多晶硅层 100' 。

按照本实施方案, 由于存在上表面保护层 88, 故栅电极 60 不被刻蚀。即, 上表面保护层 88 起到阻止刻蚀的作用。因此, 可充分地刻蚀多晶硅层 100' 而不刻蚀栅电极 60。因此, 在本实施方案中, 即使在栅电极 60 比较薄的情况下, 栅电极 60 也不会被过度刻蚀。

另外, 在本实施方案中, 可在 700℃ 或以上的高温下进行非晶硅层或多晶硅层 100' 的刻蚀。由此, 可加快刻蚀速度, 非晶硅层或多晶硅层 100' 的刻蚀工序与第 1 实施方案中的非晶硅层或多晶硅层 100' 的刻蚀工序相比, 可缩短时间。因而, 可提高半导体装置的生产效率, 降低制造成本。

参照图 19, 其次, 与第 1 实施方案相同, 在硅单晶层 120 上淀积金属, 形成硅化物层 130。

进一步, 经过形成接点的工序及形成布线的工序 (未图示) 等, 完成本实施方案的半导体装置。

本实施方案也具有与第 1 实施方案同样的效果。由于在本实施方案中对栅电极 60 的侧面和上表面进行了保护, 故没有必要考虑栅电极 60 的过度刻蚀。另外, 还具有与第 1 实施方案相比可缩短刻蚀非晶硅层或多晶硅层 100' 的时间的效果。

在以上的实施方案中, 即使采用 n 型的半导体来代替 p 型的半导体而且采用 p 型的半导体来代替 n 型的半导体, 也不丧失本发明的效果。

图 1

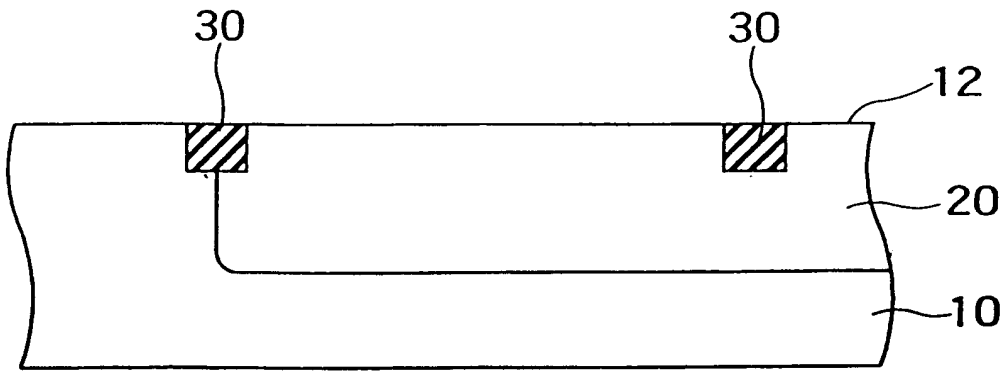


图 2

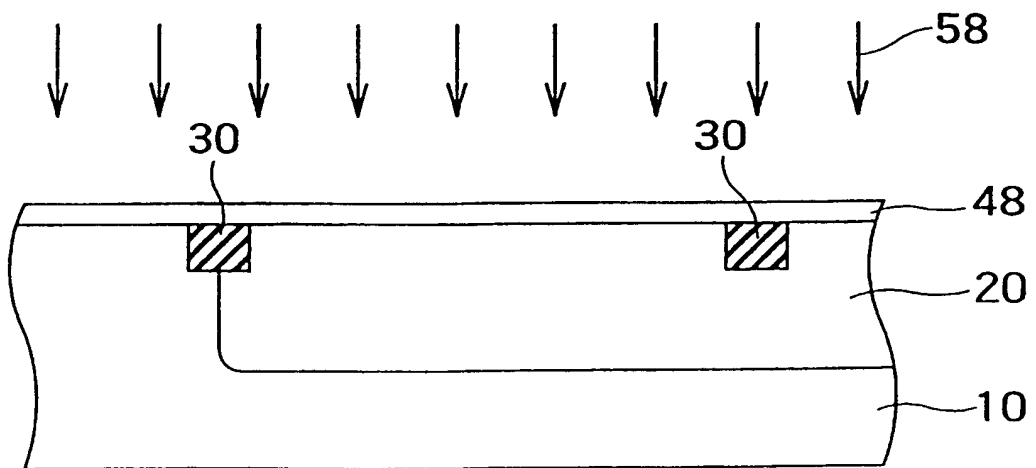
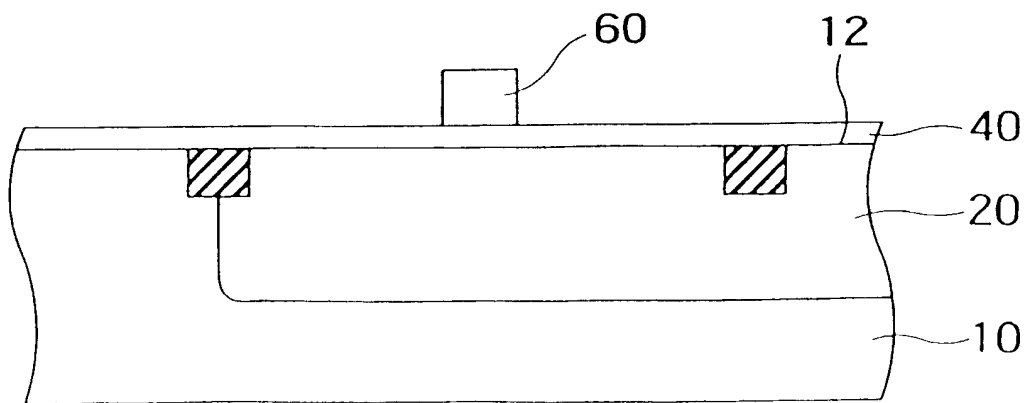


图 3



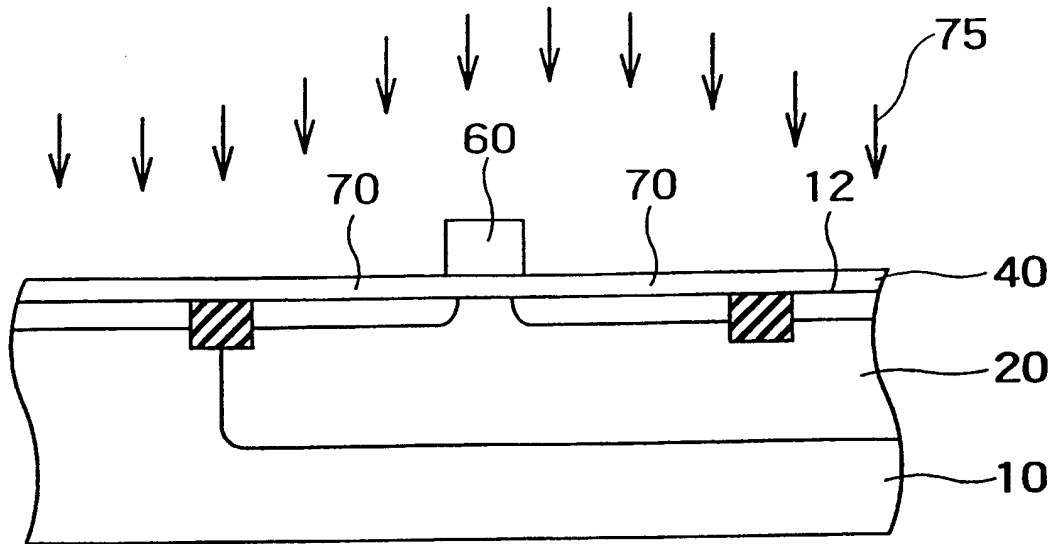


图 4

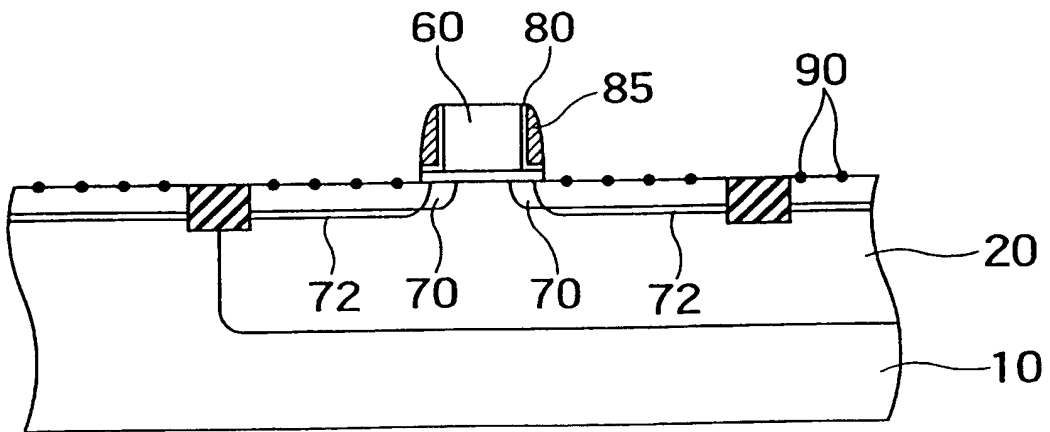


图 5

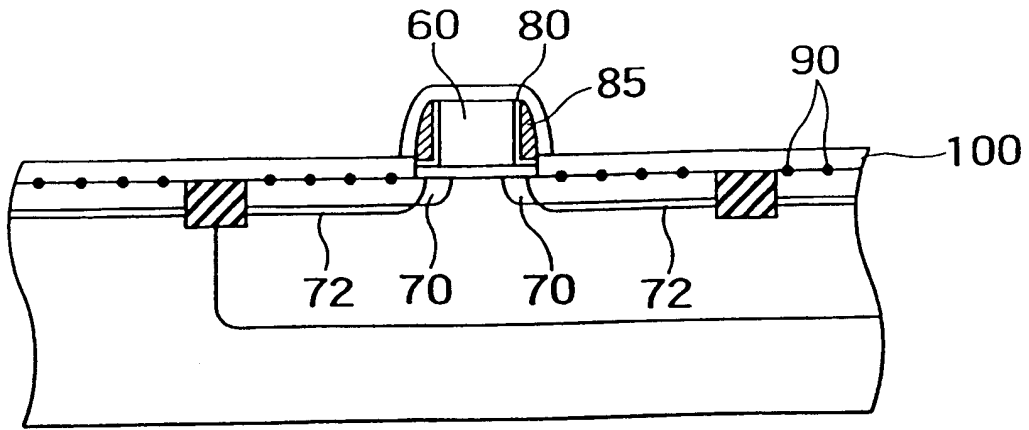


图 6

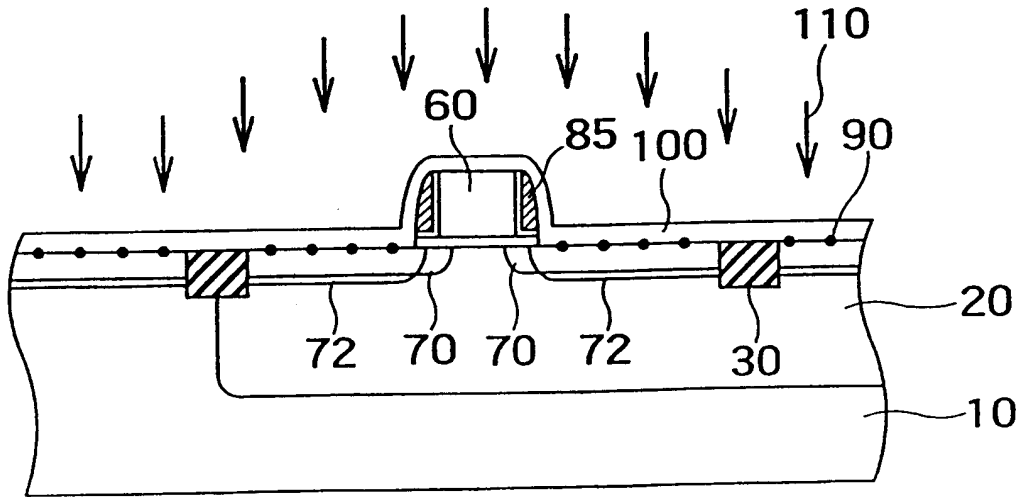


图 7

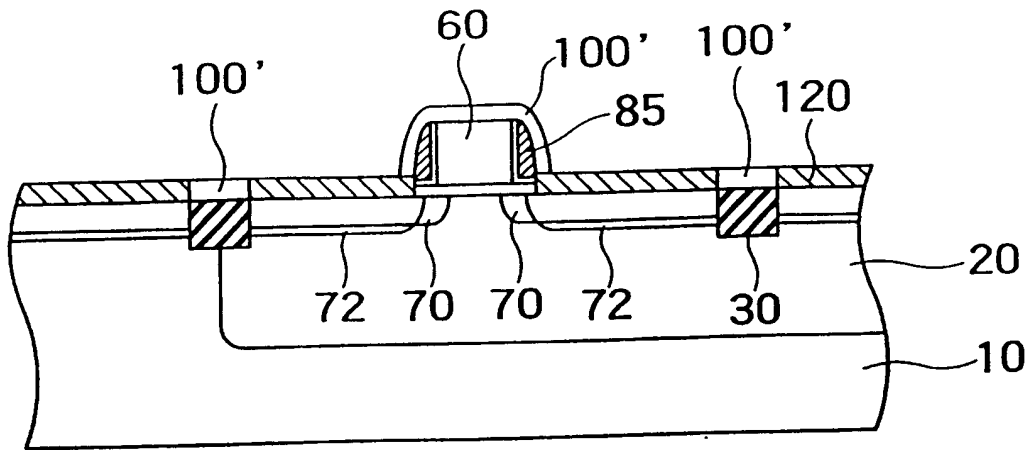


图 8

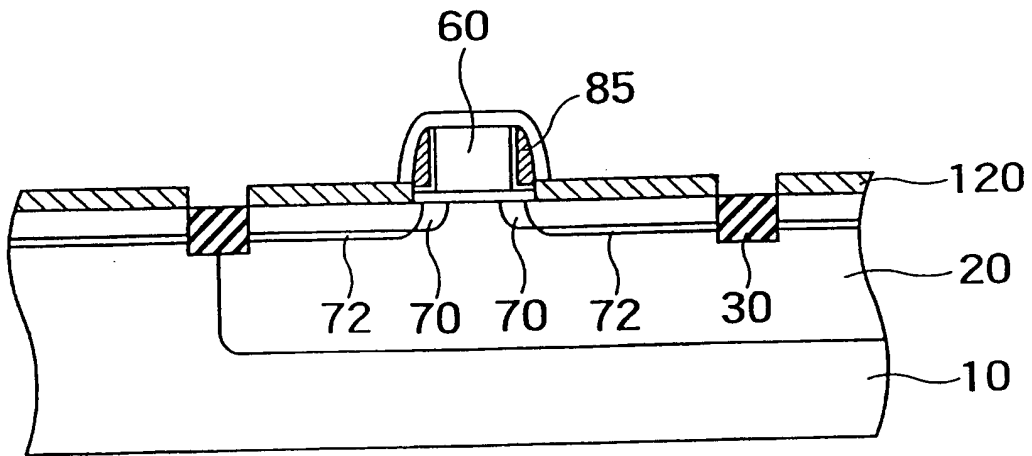


图 9

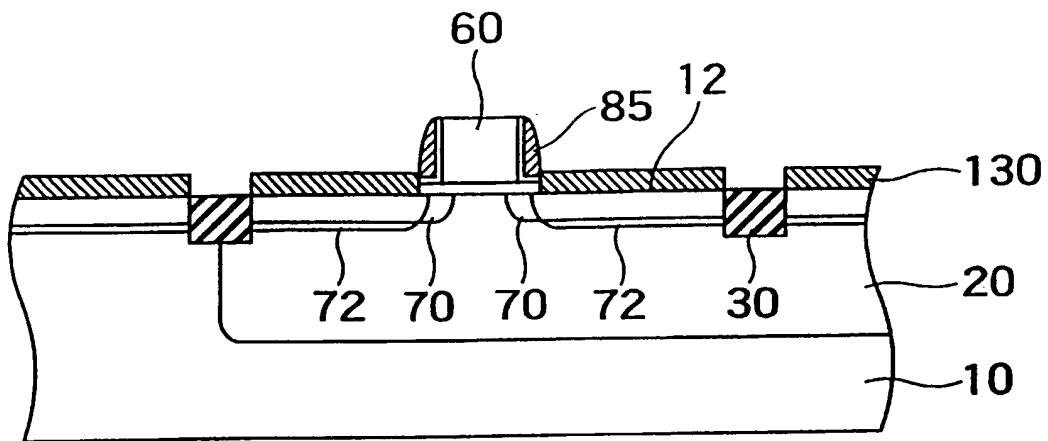
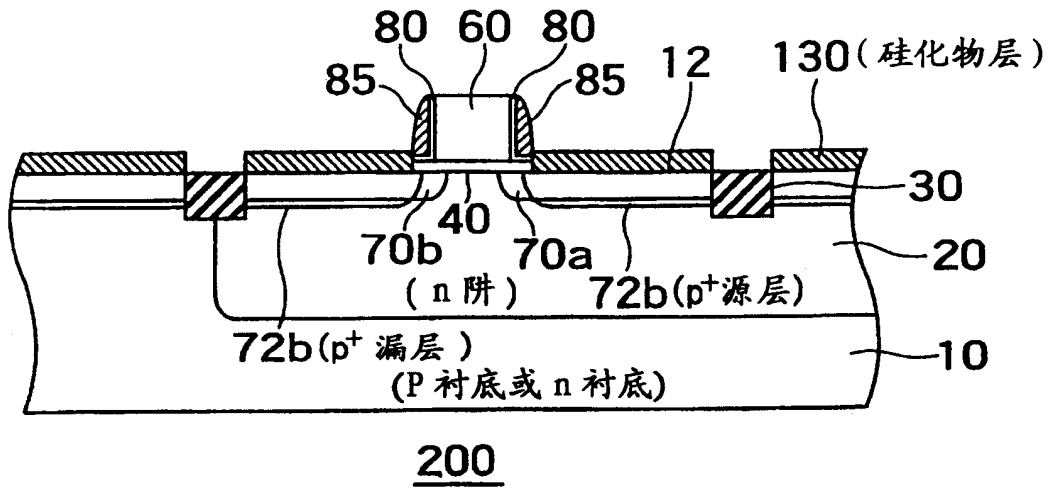
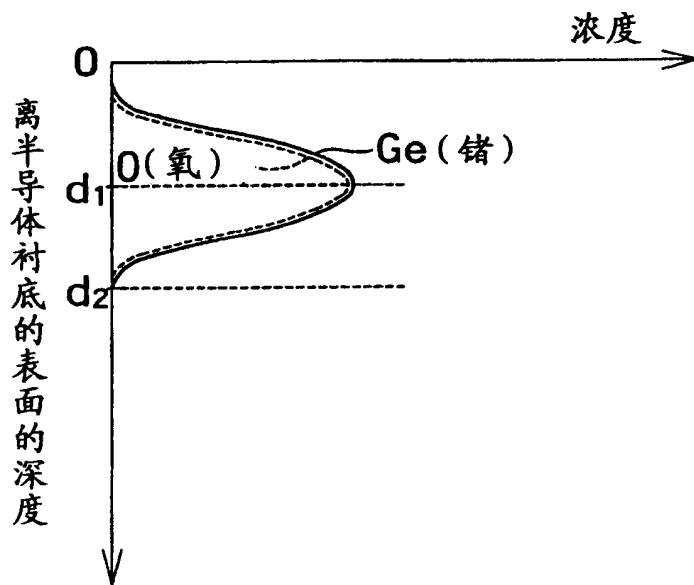


图 10



(A)



(B)

图 11

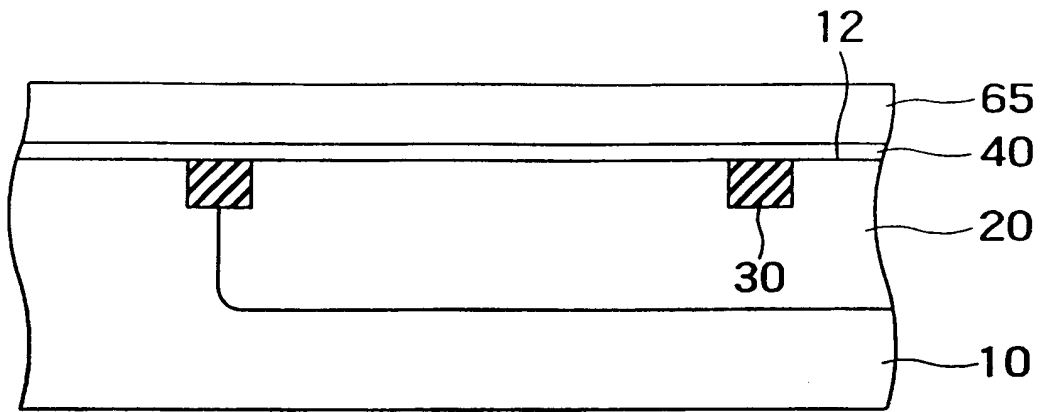


图 12

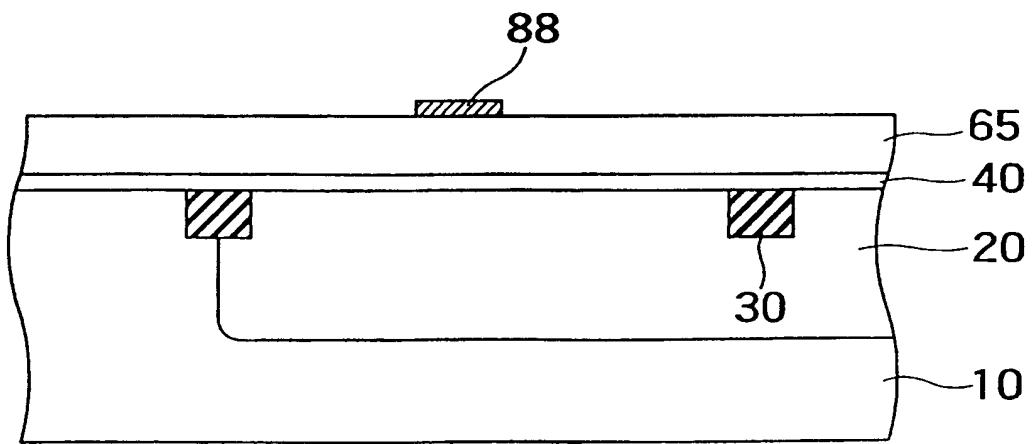


图 13

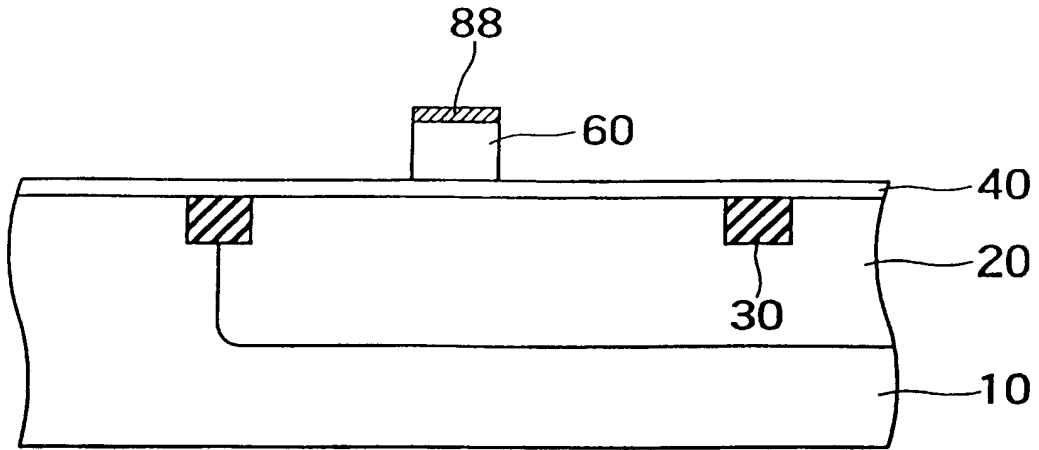


图 14

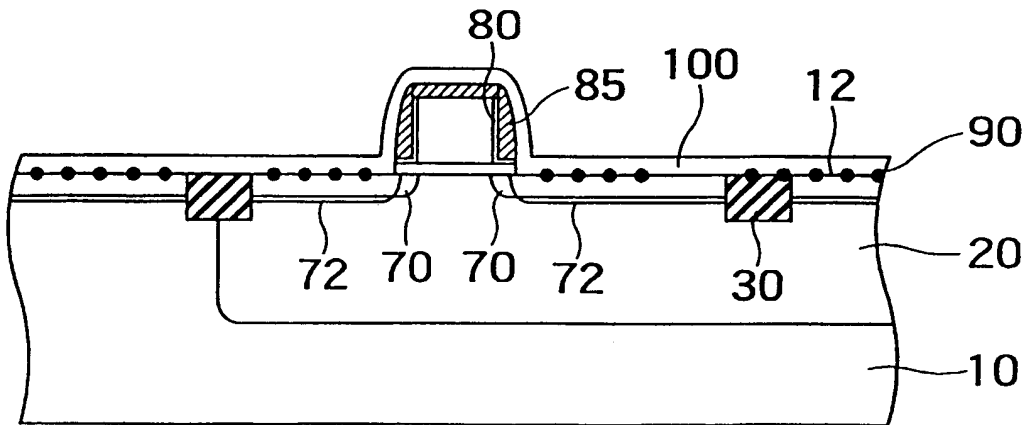


图 15

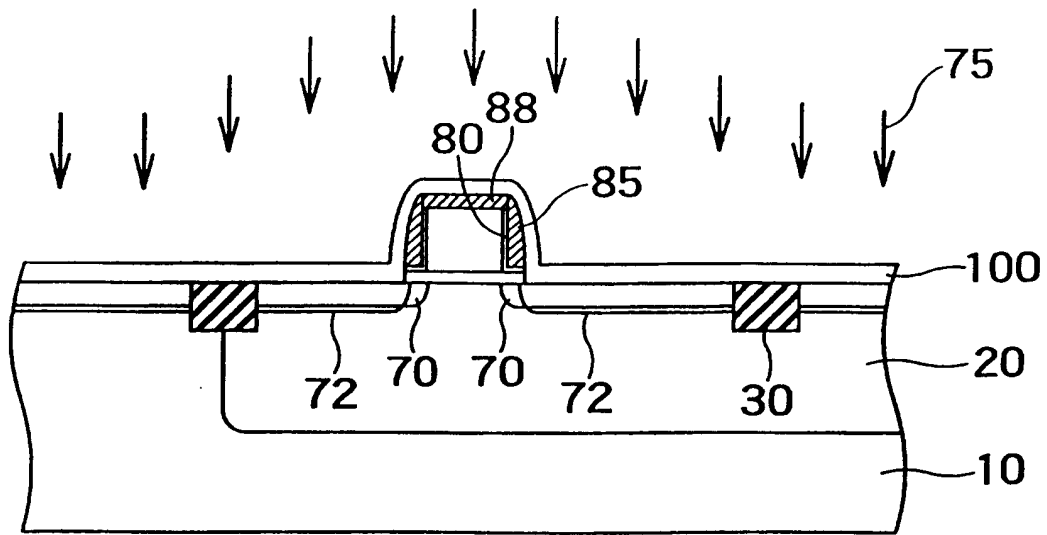


图 16

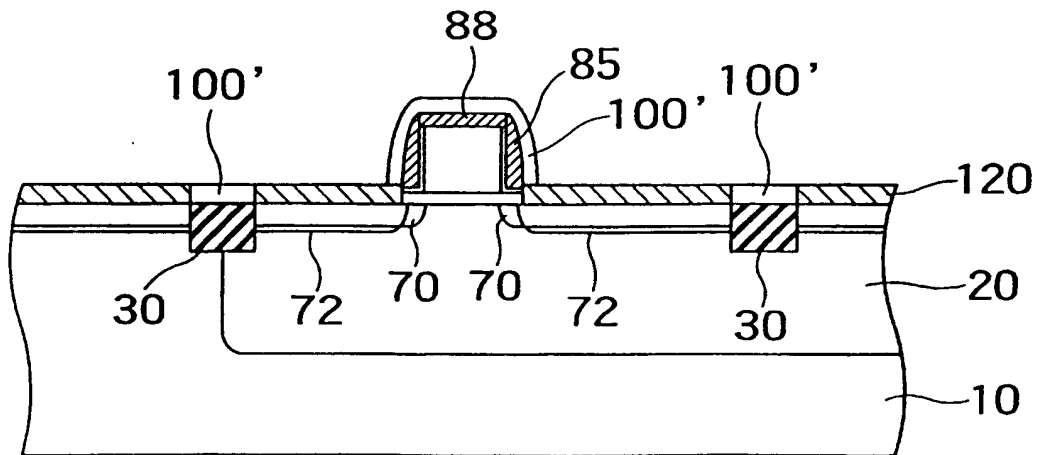


图 17

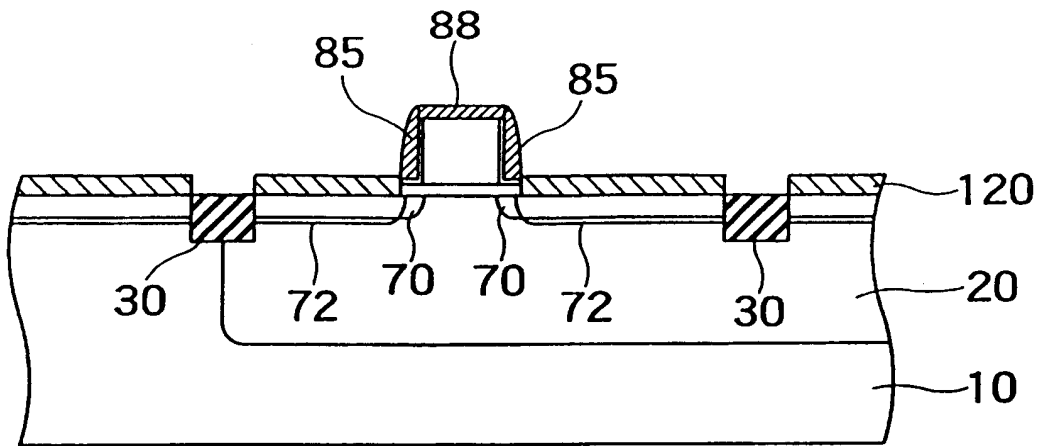


图 18

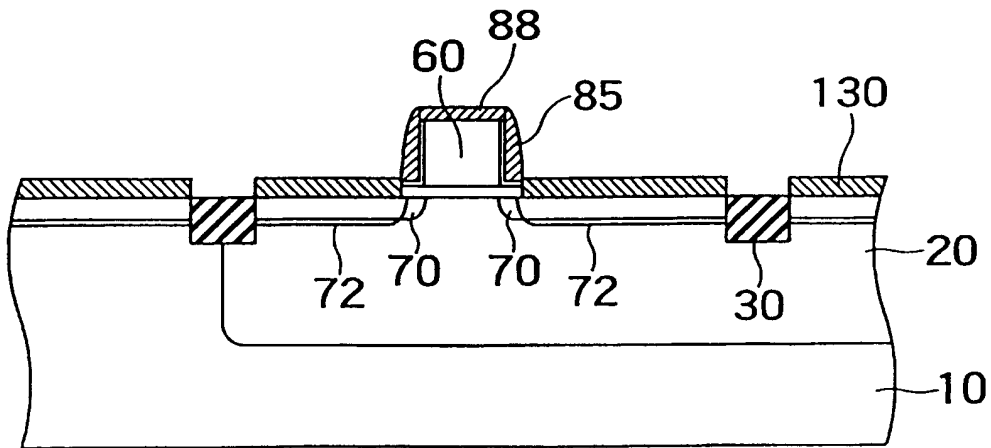


图 19

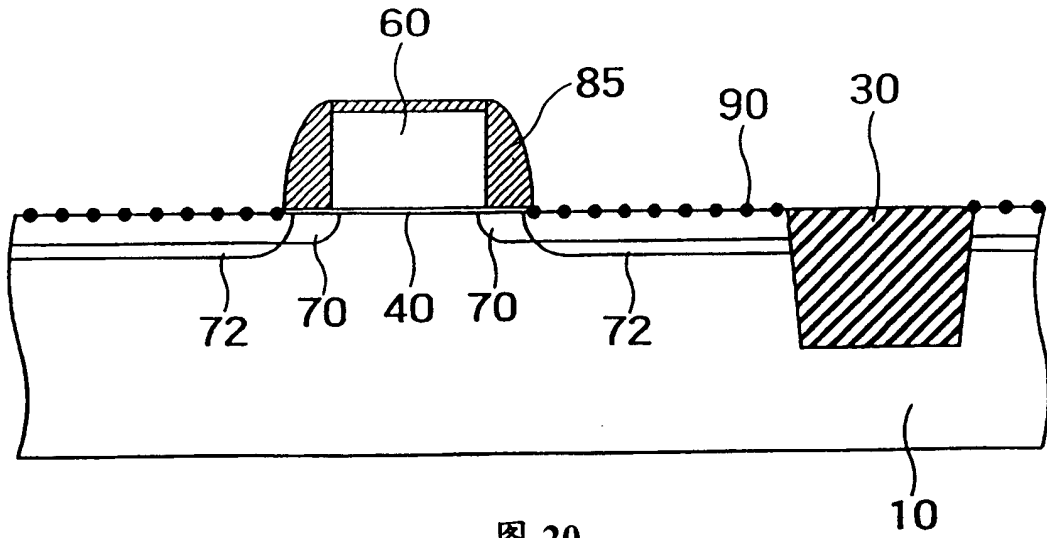


图 20

【图 21】

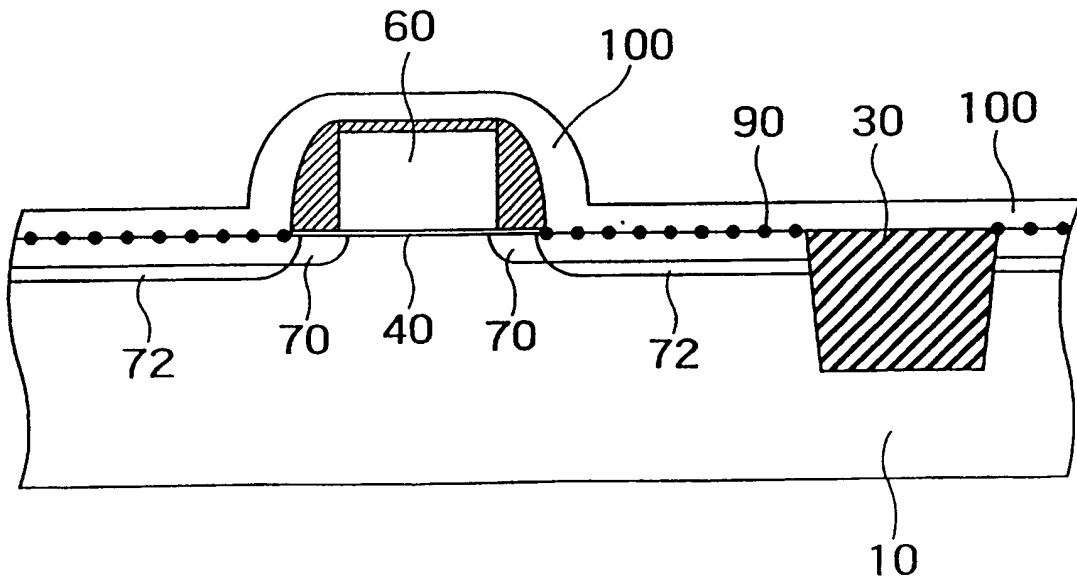


图 21

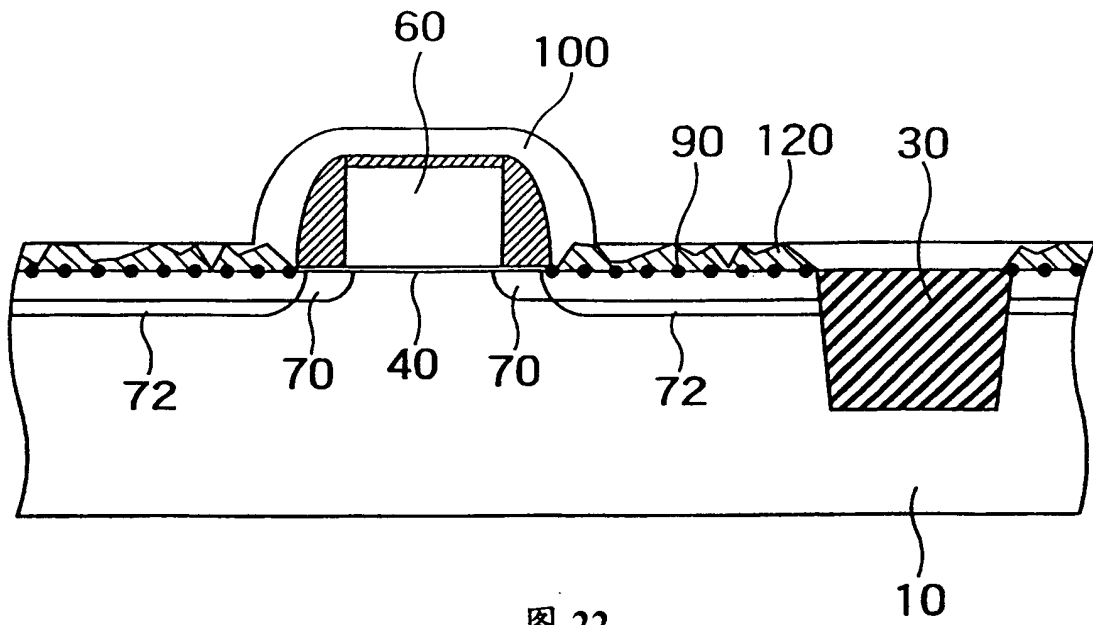


图 22

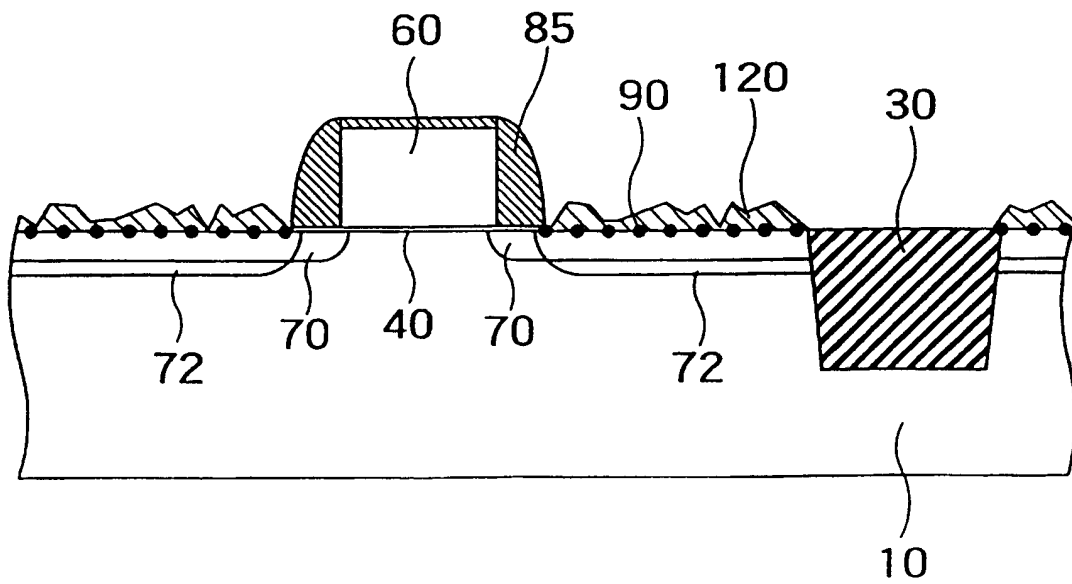


图 23

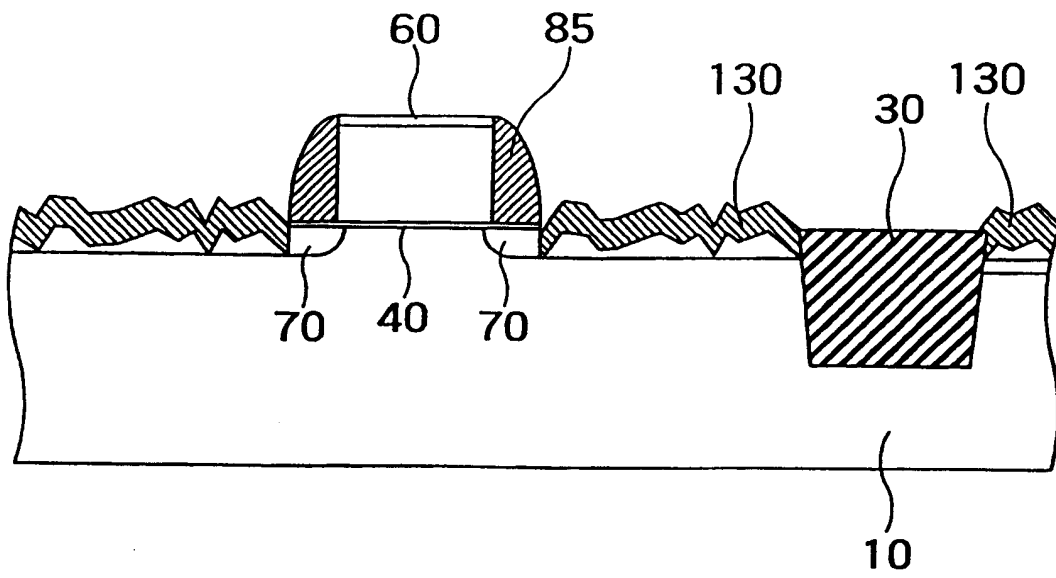


图 24