



**FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY**

(21) PV 2134-88.V
(22) Přihlášeno 30 03 88

(40) Zveřejněno 11 04 89
(45) Vydáno 27.7.1990

(11)

(13) B1

(51) Int. Cl.⁴
G 08 C 19/12

(75)
Autor vynálezu

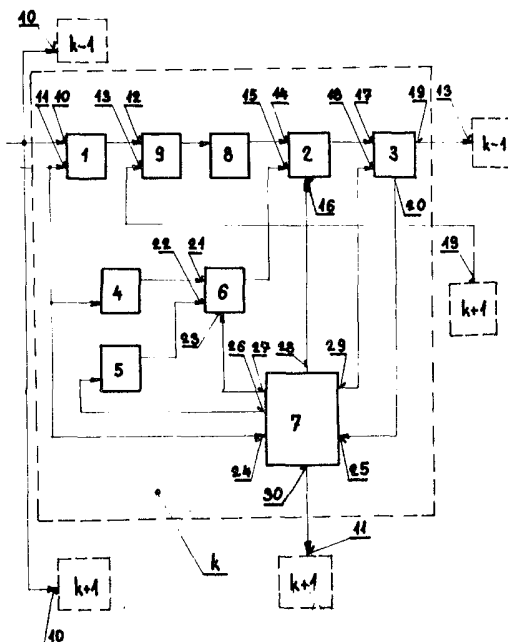
JIROUT LUBOŠ ing., PRAHA

(54)

Zapojení pro přenos dat v systémech s náhodnými
požadavky na přenos

(57) V mnoha případech je potřebné zajistit přenos dat s rozdílnou rychlostí přijímaných požadavků a vysílaných dat v systémech, kdy požadavky na přenos přicházejí rychle za sebou po jistou omezenou dobu, a to nepravdělně a zpravidla náhodně. Jedná se především o přenos dat v systémech, kdy požadavky na přenos dat představují funkci náhodných veličin. Požadavky na přenos vznikají zpravidla podstatně rychleji než by odpovídalo přenosové rychlosti přenosového systému. Tento jev se vyskytuje i v systémech, kdy vstupní data v paralelním tvaru musí být pro vysílání převedena do sériového tvaru. V těchto případech se potom musí používat jedna nebo více pamětí s velkou kapacitou. Kapacita této paměti může být při jistém rozložení náhodných požadavků na přenos, tj. malý počet ojedinělých požadavků, zbytečně velká a při jiném rozložení, např. při větším počtu rychle za sebou jdoucích náhodných požadavků, nemusí naopak dostačovat. Tato okolnost znamená ve svém důsledku, že může dojít dokonce ke ztrátě zdrojových dat nebo musí být k ní přihlédnuto při návrhu systému, který poskytuje data, což v některých případech není ani možné zajistit. Tyto nevýhody jsou odstraněny zapojením obsahujícím vstupní registr, který je přes paměťový blok připojen k přenosovému obvodu, přičemž je podstatné, že druhý vstup vstupního registru je spojen se vstupem vstupního čítače a s prvním vstupem radiče, výstup vstupního čítače je spojen s prvním vstupem multiplexoru, je

hož výstup je spojen s druhým vstupem paměťového bloku, první výstup řadiče a přes výstupní čítač spojen s druhým vstupem multiplexoru, druhý výstup řadiče je spojen s třetím vstupem multiplexoru, třetí výstup řadiče je spojen s třetím vstupem paměťového bloku, čtvrtý výstup řadiče je spojen s druhým vstupem přenosového obvodu a druhý vstup řadiče je spojen s druhým výstupem přenosového obvodu.



Vynález se týká zapojení pro přenos dat v systémech s náhodně vznikajícími požadavky na přenos, jehož vstupní registr je přes paměťový blok připojen k přenosovému obvodu.

V mnoha případech je potřebné zajistit přenos dat s rozdílnou rychlostí přijímaných požadavků a vysílaných dat v systémech, kdy požadavky na přenos přicházejí rychle za sebou po jistou omezenou dobu, a to nepravidelně a zpravidla náhodně. Jedná se především o přenos dat v systémech, kdy požadavky na přenos dat představují funkci náhodných veličin. Požadavky na přenos vznikají zpravidla podstatně rychleji než by odpovídalo přenosové rychlosti přenosového systému. Tento jev se vyskytuje i v systémech, kdy vstupní data v paralelním tvaru musí být pro vysílání převedena do sériového tvaru. V těchto případech se potom musí používat jedna nebo více pamětí s velkou kapacitou. Kapacita této paměti může být při jistém rozložení náhodných požadavků na přenos, tj. malý počet ojedinělých požadavků, zbytečně velká a při jiném rozložení, např. při větším počtu rychle za sebou jdoucích náhodných požadavků, nemusí naopak dostačovat. Tato okolnost znamená ve svém důsledku, že může dojít dokonce ke ztrátě zdrojových dat nebo musí být k ní přihlédnuto při návrhu systému, který poskytuje data, což v některých případech není ani možné zajistit.

Uvedené nevýhody jsou odstraněny zapojením podle vynálezu, jehož podstata spočívá v tom, že druhý vstup jeho vstupního registru je spojen se vstupem vstupního čítače a s prvním vstupem řadiče, výstup vstupního čítače je spojen s prvním vstupem multiplexoru, jehož výstup je spojen s druhým vstupem paměťového bloku, první výstup řadiče je přes výstupní čítač spojen s druhým vstupem multiplexoru, druhý výstup řadiče je spojen s třetím vstupem multiplexoru, třetí výstup řadiče je spojen s třetím vstupem paměťového bloku, čtvrtý výstup řadiče je spojen s druhým vstupem přenosového

obvodu a druhý vstup řadiče je spojen s druhým výstupem přenosového obvodu.

Při výhodném provedení tohoto zapojení je mezi výstupem vstupního registru a prvním vstupem paměťového bloku zapojen druhý vstupní registr.

Při dalším výhodném provedení je mezi výstupem vstupního registru a vstupem druhého vstupního registru zapojen multiplexor vstupních registrů.

Podstata dalšího výhodného provedení tohoto zapojení spočívá v tom, že první vstup vstupního registru přenosového systému základní úrovně je spojen s prvním vstupem vstupního registru přenosového systému vyšší úrovně a přenosového systému nižší úrovně, první výstup přenosového obvodu přenosového systému základní úrovně je spojen s druhým vstupem multiplexoru vstupních registrů přenosového systému nižší úrovně, druhý vstup multiplexoru vstupních registrů přenosového systému základní úrovně je spojen s prvním výstupem přenosového obvodu přenosového systému vyšší úrovně a pátý výstup řadiče přenosového systému základní úrovně je spojen s druhým vstupem vstupního registru přenosového systému vyšší úrovně.

Hlavní výhody zapojení podle vynálezu spočívají v tom, že umožňuje přenášet data s velmi pomalou přenosovou rychlostí a přitom během přenosu přijímat další vstupní požadavky na přenos dat, přičemž kapacita paměťového bloku nemusí být velká. Zároveň toto zapojení umožňuje indikovat ze stavů vstupního a výstupního čítače počet přijatých a odvysílaných požadavků na přenos dat. Zapojení podle vynálezu je výhodné i v tom, že po naplnění paměťového bloku požadavky na přenos dat, umožňuje zapsat do části paměti, odpovídající vyslaným datům, další nová vstupní data. Další výhodou je, že toto zapojení umožňuje jednotlivé přenosové systémy sobě podřizovat a rovněž umožňuje zpracovat extrémně rychlé požadavky na přenos.

Na připojeném výkresu je v blokovém schématu znázorněn příklad provedení zapojení podle vynálezu v přenosovém systému o třech úrovních, přičemž pro zjednodušení je nakresleno

zapojení toliko přenosového systému základní úrovně.

Zapojení podle vynálezu sestává ze shodných zapojení přenosového systému základní úrovně k, přenosového systému vyšší úrovně k+1 a přenosového systému nižší úrovně k-1. V každé z těchto úrovní je výstup vstupního registru 1 spojen s prvním vstupem 12 multiplexoru 9 vstupních registrů, jehož výstup je přes druhý vstupní registr 8 připojen k prvnímu vstupu 14 paměťového bloku 2. Výstup paměťového bloku 2 je spojen s prvním vstupem 17 přenosového obvodu 3. Druhý vstup 11 vstupního registru 1 je spojen se vstupem vstupního čítače 4 a s prvním vstupem 24 řadiče 7. Výstup vstupního čítače 4 je spojen s prvním vstupem 21 multiplexoru 6, jehož výstup je spojen s druhým vstupem 15 paměťového bloku 2. První výstup 26 řadiče 7 je přes výstupní čítač 5 spojen s druhým vstupem 22 multiplexoru 6. Druhý výstup 27 řadiče 7 je spojen s třetím vstupem 23 multiplexoru 6, třetí výstup 28 řadiče 7 je spojen s třetím vstupem 16 paměťového bloku 2 a čtvrtý výstup 29 řadiče 7 je spojen s druhým vstupem 18 přenosového obvodu 3. Druhý vstup 25 řadiče 7 je spojen s druhým výstupem 20 přenosového obvodu 3. První vstup 10 vstupního registru 1 přenosového systému základní úrovně k je spojen jednak s prvním vstupem 10 vstupního registru 1 přenosového systému vyšší úrovně k+1 a jednak s prvním vstupem 10 vstupního registru 1 přenosového systému nižší úrovně k-1. První výstup 19 přenosového obvodu 3 přenosového systému základní úrovně k je spojen s druhým vstupem 13 multiplexoru 9 vstupních registrů přenosového systému nižší úrovně k-1. Druhý vstup 13 multiplexoru 9 vstupních registrů přenosového systému základní úrovně k je spojen s prvním výstupem 19 přenosového obvodu 3 přenosového systému vyšší úrovně k+1. Pátý výstup 30 řadiče 7 přenosového systému základní úrovně k je spojen s druhým vstupem 11 vstupního registru 1 přenosového systému vyšší úrovně k+1.

Vstupní data jsou přiváděna na první vstup 10 vstupního registru 1 a po příchodu signálu požadavku na přenos, který je přiváděn na druhý vstup 11 vstupního registru 1, na vstupní čítač 4 a na první vstup 24 řadiče 7, se do vstupního

registru 1 zaznamenají. Vstupní čítač 4 určí paměťovou lokaci, do které budou vstupní data zaznamenána. K určení paměťové lokace dochází přes multiplexor 6 a druhý vstup 15 paměťového bloku 2, který je vstupem adresovým. Okamžik zápisu určuje řadič 7, a to přes třetí vstup 16 paměťového bloku 2. Řadič 7 zároveň určuje okamžik zahájení vysílání a po odeslání dat inkrementuje výstupní čítač 5. Stav vstupního čítače 4 udává počet přijatých požadavků na přenos a stav výstupního čítače 5 udává počet odvysílaných požadavků. Funkcí druhého vstupního registru 8 je zajistit, aby vstupní informace zůstala zachována i v těch případech, kdy přišel požadavek na přenos dat v okamžiku, kdy bylo dokončeno vysílání dat z dané paměťové lokace a proběhla nebo právě probíhá inkrementace výstupního čítače 5 a multiplexor 6 přenáší ze svého druhého vstupu 22 na výstup stav výstupního čítače 5, který určuje další paměťovou lokaci, jejíž obsah se přenáší do přenosového obvodu 3. Při podřizování přenosových systémů několika úrovní, je požadavek na přenos přiveden do druhého vstupu 11 vstupního registru přenosového systému např. základní úrovně k. Požadavek na přenos dat do vstupního registru 1 přenosového systému vyšší úrovně k+1 je pak přiveden z pátého výstupu 30 řadiče 7 přenosového systému základní úrovně k a je dán naplněním kapacity paměťového bloku 2 přenosového systému základní úrovně k.

Zapojení podle vynálezu je využitelné zejména při přenosu dat, v měřicí technice a při vyhodnocování signálů všude tam, kde probíhá srovnávací proces, na jehož podkladě může nastat případ, že po relativně dlouhou dobu vyhodnocování nedochází k přenosu dat a pak se během krátkého časového intervalu vyskytnou požadavky na přenos většího bloku dat. Zapojení lze rovněž využít v řídící a regulační technice.

1. Zapojení pro přenos dat v systémech s náhodnými požadavky na přenos, jehož vstupní registr je přes paměťový blok připojen k přenosovému obvodu, vyznačené tím, že druhý vstup (11) vstupního registru (1) je spojen se vstupem vstupního čítače (4) a s prvním vstupem (24) řadiče (7), výstup vstupního čítače (4) je spojen s prvním vstupem (21) multiplexoru (6), jehož výstup je spojen s druhým vstupem (15) paměťového bloku (2), první výstup (26) řadiče (7) je přes výstupní čítač (5) spojen s druhým vstupem (22) multiplexoru (6), druhý výstup (27) řadiče (7) je spojen s třetím vstupem (23) multiplexoru (6), třetí výstup (28) řadiče (7) je spojen s třetím vstupem (16) paměťového bloku (2), čtvrtý výstup (29) řadiče (7) je spojen s druhým vstupem (18) přenosového obvodu (3) a druhý vstup (25) řadiče (7) je spojen s druhým výstupem (20) přenosového obvodu (3).

2. Zapojení podle bodu 1, vyznačené tím, že mezi výstupem vstupního registru (1) a prvním vstupem (14) paměťového bloku (2) je zapojen druhý vstupní registr (8).

3. Zapojení podle bodu 2, vyznačené tím, že mezi výstupem vstupního registru (1) a vstupem druhého vstupního registru (8) je zapojen multiplexor (9) vstupních registrů.

4. Zapojení podle bodu 3, vyznačené tím, že první vstup (10) vstupního registru (1) přenosového systému základní úrovně (k) je spojen s prvním vstupem (10) vstupního registru (1) přenosového systému vyšší úrovně (k+1) a přenosového systému nižší úrovně (k-1), první výstup (19) přenosového obvodu (3) přenosového systému základní úrovně (k) je spojen s druhým vstupem (13) multiplexoru (9) vstupních registrů přenosového systému nižší úrovně (k-1), druhý vstup (13) multiplexoru (9) vstupních registrů přenosového systému základní úrovně (k) je spojen s prvním výstupem (19) přenosového obvodu (3) přenosového systému vyšší úrovně (k+1) a pátý výstup (30) řadiče (7) přenosového systému základní úrovně (k) je spojen s druhým vstupem (11) vstupního registru (1) přenosového systému vyšší úrovně (k+1).

