

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2013-128264
(P2013-128264A)

(43) 公開日 平成25年6月27日 (2013.6.27)

(51) Int.Cl.

F I

テーマコード (参考)

H O 3 K 7/08 (2006.01)

H O 3 K 7/08 G

H O 3 K 4/06 (2006.01)

H O 3 K 4/06 H

審査請求 未請求 請求項の数 20 O L (全 20 頁)

(21) 出願番号	特願2012-125197 (P2012-125197)	(71) 出願人	504199127
(22) 出願日	平成24年5月31日 (2012.5.31)		フリースケール セミコンダクター イン
(31) 優先権主張番号	13/159,440		コーポレイテッド
(32) 優先日	平成23年6月14日 (2011.6.14)		アメリカ合衆国 テキサス州 78735
(33) 優先権主張国	米国 (US)		オースティン ウィリアム キャノン
			ドライブ ウェスト 6501
		(74) 代理人	100142907
			弁理士 本田 淳
		(72) 発明者	サンジェイ ケイ. ワドゥワ
			インド国 201301 ノイダ シー
			33 セクター-20
		(72) 発明者	ディペンドラ ケイ. ジェイン
			インド国 483220 ジャバルプル
			ジェイン スイーツ ニア カマニヤ ゲ
			ート パナガール

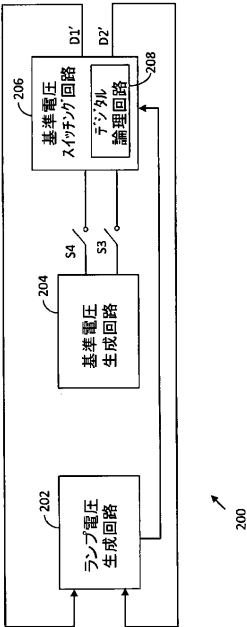
(54) 【発明の名称】 低電力消費の弛張型オシレータ

(57) 【要約】

【課題】 電流消費を増加せずにOSC_OUT信号の周波数の増加を可能にする弛張型オシレータを提供する。

【解決手段】 発振信号を生成する弛張型オシレータは、ランプ電圧生成回路、基準電圧生成回路、基準電圧スイッチング回路およびデジタル論理回路を含んでなる。基準電圧生成回路は1つまたは複数の基準電圧を生成し、ランプ電圧生成回路は1つまたは複数のランプ電圧を生成する。ランプ電圧は、基準電圧スイッチング回路によって生成される基準電圧スイッチング信号を用いて順次的にスイッチングすることによって基準電圧の各々と比較される。デジタル論理回路によって生成される発振信号は比較の結果に基づく。

【選択図】 図2A



【特許請求の範囲】

【請求項 1】

発振信号を生成するためのシステムにおいて、
ランプ電圧スイッチング信号に基づいてランプ信号を生成するランプ電圧生成回路と、
電圧源に接続され、少なくとも 1 つの基準電圧を生成する基準電圧生成回路と、
前記ランプ電圧生成回路および基準電圧生成回路に接続される基準電圧スイッチング回路であって、

前記ランプ電圧を受ける第 1 入力端子および少なくとも 1 つの基準電圧を受ける第 2 入力端子を有する少なくとも 1 つのコンパレータと、

前記少なくとも 1 つのコンパレータの出力端子に接続されて、基準電圧スイッチング信号、前記ランプスイッチング信号および前記発振信号を生成するデジタル論理回路と、

前記基準電圧生成回路と前記少なくとも 1 つのコンパレータの前記第 2 入力端子との間に接続され、前記基準電圧スイッチング信号に基づいて前記少なくとも 1 つのコンパレータの第 2 入力端子に前記少なくとも 1 つの基準電圧を与える少なくとも 1 つの基準電圧スイッチであって、前記基準電圧スイッチング信号、前記発振信号および前記ランプ電圧スイッチング信号は、前記ランプ電圧と前記少なくとも 1 つの基準電圧との間の所定の関係に基づいてトグルする、基準電圧スイッチとを備える、基準電圧スイッチング回路と、を備える、発振信号を生成するためのシステム。

【請求項 2】

前記所定の関係には、前記ランプ電圧が前記少なくとも 1 つの基準電圧と等しいことが含まれる、請求項 1 に記載のシステム。

【請求項 3】

前記デジタル論理回路は、第 1 のセットおよび第 2 のセットの、2 によって除算する 2 除算カウンタを備え、前記 2 除算カウンタの第 1 のセットおよび第 2 のセットの各々が、少なくとも 2 つの直列に接続される 2 除算カウンタを備え、2 除算カウンタの第 1 のセットおよび第 2 のセットの出力端子は X O R ゲートの入力端子に接続され、前記 X O R ゲートが前記ランプ電圧スイッチング信号を生成する、請求項 1 に記載のシステム。

【請求項 4】

前記 2 除算カウンタの前記第 1 のセットの前記少なくとも 2 つの直列に接続される 2 除算カウンタの第 1 の出力端子で前記基準電圧スイッチング信号および前記発振信号を取得される、請求項 3 に記載のシステム。

【請求項 5】

前記ランプ電圧生成回路は、

前記第 1 ランプ電圧スイッチによって接地に接続される少なくとも 1 つのキャパシタと

、
第 2 ランプ電圧スイッチによって少なくとも第 1 キャパシタに接続される第 1 端子および前記電圧源に接続される第 2 端子を有する少なくとも 1 つのレジスタであって、前記第 1 および前記第 2 ランプ電圧スイッチが前記ランプ電圧スイッチング信号に基づいてトグルする、レジスタと、

を備える、請求項 1 に記載のシステム。

【請求項 6】

前記基準電圧生成回路は、前記電圧源に接続されるレジスタラダーネットワークを備える、請求項 1 に記載のシステム。

【請求項 7】

前記レジスタラダーネットワークが、少なくとも 1 つの基準電圧を生成する少なくとも 1 つの電圧タップを備える、請求項 6 に記載のシステム。

【請求項 8】

前記基準電圧生成回路が、少なくとも 1 つの基準電圧を生成するバンドギャップ基準回路を備える、請求項 1 に記載のシステム。

【請求項 9】

発振信号を生成するための弛張型オシレータにおいて、
ランプ電圧スイッチング信号に基づいて第1ランプおよび第2ランプ電圧を生成するランプ電圧生成回路と、

少なくとも第1および第2基準電圧を生成する基準電圧生成回路と、

前記ランプ電圧生成回路および前記基準電圧生成回路に接続される基準電圧スイッチング回路であって、

前記第1ランプ電圧を受ける負入力端子および前記第1基準電圧を受ける正入力端子を有する第1コンパレータと、

前記第2ランプ電圧を受ける負入力端子および前記第2基準電圧を受ける正入力端子を有する第2コンパレータと、

前記第1および第2コンパレータの出力端子に接続され、基準電圧スイッチング信号、前記ランプ電圧スイッチング信号および前記発振信号を生成するデジタル論理回路と、

前記基準電圧スイッチング信号に基づいてそれぞれの第1および第2基準電圧を前記第1および第2コンパレータの前記正端子に与えるための前記第1および前記第2コンパレータと前記基準電圧生成回路との間に接続される第1および第2基準電圧スイッチとを備える、基準電圧スイッチング回路と、
を備える、弛張型オシレータ。

【請求項10】

前記デジタル論理回路は、

前記第1および前記第2コンパレータの前記出力端子に接続されるANDゲートと、

前記ANDゲートの出力端子に接続され、前記発振信号を生成する第1の2除算カウンタと、

前記第1の2除算カウンタに直列に接続され、前記ランプ電圧スイッチング信号を生成する第2の2除算カウンタと、

を備える、請求項9に記載の弛張型オシレータ。

【請求項11】

前記基準電圧スイッチング信号は前記発振信号を補うことによって取得される、請求項10に記載の弛張型オシレータ。

【請求項12】

少なくとも1つの前記第1および第2ランプ電圧がそれぞれの第1および前記第2基準電圧と等しくなる時、前記基準電圧スイッチング信号、前記発振信号および前記ランプ電圧スイッチング信号をトグルする、請求項10に記載の弛張型オシレータ。

【請求項13】

前記ランプ電圧生成回路は、

第1ランプ電圧スイッチによって接地に接続される第1キャパシタと、

第2ランプ電圧スイッチによって接地に接続される第2キャパシタと、

第3ランプ電圧スイッチによって前記第1キャパシタに接続され、第4ランプ電圧スイッチによって前記第2キャパシタに接続される第1端子および電圧源に接続される第2端子を有するレジスタであって、前記第1、前記第2、前記第3および前記第4ランプ電圧スイッチは前記ランプ電圧スイッチング信号に基づいてトグルされる、レジスタと、
を備える、請求項9に記載の弛張型オシレータ。

【請求項14】

前記ランプ電圧生成回路は

それぞれの第1および第2ランプ電圧スイッチによって接地に接続される第1および第2キャパシタと、

前記第3および前記第4ランプ電圧スイッチによってそれぞれの前記第1および前記第2キャパシタに接続される電流源であって、前記第1、前記第2、前記第3および前記第3ランプ電圧スイッチが前記ランプ電圧スイッチング信号に基づいてトグルする、電流源とを備える、請求項9に記載の弛張型オシレータ。

【請求項15】

10

20

30

40

50

前記基準電圧生成回路が、電圧源に接続されるレジスタラダーネットワークを備える、請求項 9 に記載の弛張型オシレータ。

【請求項 16】

レジスタラダーネットワークが、少なくとも第 1 および第 2 基準電圧を生成する少なくとも第 1 および第 2 電圧タップを備える、請求項 15 に記載の弛張型オシレータ。

【請求項 17】

前記基準電圧生成回路が、少なくとも第 1 および第 2 基準電圧を生成するバンドギャップ電圧基準回路を備える、請求項 9 に記載の弛張型オシレータ。

【請求項 18】

発振信号を生成するための弛張型オシレータにおいて、

10

第 1 ランプ電圧および第 2 ランプ電圧を生成するランプ電圧生成回路であって、前記ランプ電圧生成回路は、

それぞれの第 1 および第 2 ランプ電圧スイッチによって接地に接続される第 1 および第 2 キャパシタと、

第 3 ランプ電圧スイッチによって前記第 1 キャパシタにおよび第 4 ランプ電圧スイッチによって前記第 2 キャパシタに接続される電流源であって、前記第 1、前記第 2、前記第 3 および前記第 4 ランプ電圧スイッチがランプ電圧スイッチング信号に基づいてトグルする、電流源とを備えているランプ電圧生成回路と、

電圧源に接続され、1 つまたは複数の基準電圧を生成する基準電圧生成回路であって、レジスタラダーネットワークおよび前記レジスタラダーネットワークの 1 つまたは複数の電圧タップによって取得される 1 つまたは複数の基準電圧を備える、基準電圧生成回路と、

20

前記基準電圧生成回路に接続される基準電圧スイッチング回路であって、前記基準電圧スイッチング回路は、

第 1 ランプ電圧を受ける負端子および前記 1 つまたは複数の基準電圧の第 1 基準電圧を受ける正端子を有する第 1 コンパレータと、

第 2 ランプ電圧を受ける負端子および前記 1 つまたは複数の基準電圧の第 2 基準電圧を受ける正端子を有する第 2 コンパレータと、

前記第 1 および前記第 2 コンパレータの出力端子に接続され、基準電圧スイッチング信号、前記ランプ電圧スイッチング信号および前記発振信号を生成するデジタル論理回路と、

30

前記第 1 コンパレータに前記第 1 基準電圧を与えるために、前記基準電圧生成回路と前記第 1 コンパレータの正入力端子との間に接続される第 1 基準電圧スイッチと、前記第 2 コンパレータに前記第 2 基準電圧を与えるために、前記基準電圧生成回路と前記第 2 コンパレータの前記正端子との間に接続される第 2 基準電圧スイッチとを備える、基準電圧スイッチング回路と、

を含んでなる、弛張型オシレータ。

【請求項 19】

前記デジタル論理回路は、

前記第 1 および前記第 2 コンパレータの出力端子に接続される A N D ゲートと、

40

前記 A N D ゲートの出力端子に接続され、前記発振信号を生成する第 1 の 2 除算カウンタと、

前記第 1 の 2 除算カウンタと直列に接続され、前記ランプ電圧スイッチング信号を生成する第 2 の 2 除算カウンタとを備える、請求項 18 に記載の弛張型オシレータ。

【請求項 20】

前記第 1 および前記第 2 ランプ電圧の少なくとも 1 つがそれぞれの前記第 1 および前記第 2 コンパレータに与えられる前記第 1 および前記第 2 基準電圧と等しくなる時、前記基準電圧スイッチング信号、前記発振信号および前記ランプ電圧スイッチング信号がトグルする、請求項 18 に記載の弛張型オシレータ。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、概して弛張型オシレータに関する。より詳細には低電力オシレータに関するものである。

【背景技術】

【0002】

弛張型オシレータは、発振信号を生成するために、ラジオ、通信、コンピュータおよび他の電子システムなど、現在の電子システムに広く使用されている。発振信号は、通信システムでのメッセージ信号の変調および復調、電子回路の同期的動作などの、タイミングに厳しい要件を満たす必要がある。弛張型オシレータには、抵抗・キャパシタ（RC）回路がある。発振信号は、RC回路を介してキャパシタを充電および放電することによって生成される。発振信号の周波数は、RC回路の時間定数を変えることによって変化させる。例えば、発振信号の周波数を増加するために、レジスタの値が減少され得る。しかしながら、これがより高い電力消費を生じる。

【0003】

図1Aを参照する。従来の弛張型オシレータ100の概略図が示される。従来の弛張型オシレータ100は、ランプ電圧生成回路102、基準電圧生成回路104、スイッチング信号生成回路106および発振信号生成回路108を含んでなる。ランプ電圧生成回路102は、充電レジスタ110（ R_{charge} ）およびキャパシタ112a, 112b（それぞれ C_1 および C_2 ）を含んでなる。基準電圧生成回路104は、レジスタ114a, 114b（それぞれ R_1 および R_2 ）を含んでなる。スイッチング信号生成回路106は、コンパレータ116a, 116b、ANDゲート118および2によって除算する2除算カウンタ120を含む。発振信号生成回路108が、NOTゲート122a, 122bを含む。

【0004】

充電レジスタ110は電圧源VDDに接続される。キャパシタ122aは充電レジスタ110と接地との間に接続される。より具体的に、キャパシタ122aの1つの端子はスイッチD2を介して充電レジスタ110に接続され、他の端子は接地に接続される。スイッチS1はキャパシタ112aと並列に接続される。キャパシタ112aの充電はスイッチD2を閉じて、スイッチS1を開けたままに維持することによって開始される。キャパシタ112bを充電および放電するために使用されるキャパシタ112bは、スイッチD1およびD2とキャパシタ112aの構成と同様に、充電レジスタ110と接地との間に接続される。

【0005】

キャパシタ112a, 112bもそれぞれのコンパレータ116a, 116bの負端子に接続される。コンパレータ116aおよび116bの正端子は、電圧タップT1で基準電圧生成回路104に接続される。電圧生成回路104のレジスタ114aおよび114bは、レジスタ114aと114bとの間のノードに配置される電圧タップT1とともに電圧源VDDと接地との間に直列に接続される。

【0006】

コンパレータ116a, 116bの出力端子はANDゲート118の入力端子に接続される。ANDゲート118の出力は2除算カウンタ120に接続される。2によって除算する2除算カウンタ120の出力は、それぞれのスイッチS1、D1およびS2、D2を制御するために、ランプ電圧生成回路102へ送信されるランプ電圧スイッチング信号D1'およびD2'である。ランプ電圧スイッチングD2'はランプ電圧スイッチング信号D1'の相補的な信号である。

【0007】

図1Bを参照する。電圧VRAMP1、VRAMP2の電圧および従来の弛張型オシレータ100のAND__OUT信号の波形を示すタイミングチャートである。弛張型オシレータ100の動作は今図1Bを参照して説明される。時間t0でスイッチD2が閉じられ

10

20

30

40

50

、スイッチ S 1 が開けられ、充電レジスタ 1 1 0 を介してキャパシタ 1 1 2 a の充電が開始される。さらに、スイッチ D 1 が開けられ、スイッチ S 2 が閉じられる。結果として、キャパシタ 1 1 2 b は接地電位にある。

【0008】

キャパシタ 1 1 2 a の充電が、コンパレータ 1 1 6 a の負端子 (VRAMP 1) の電圧の増加を生じさせる。キャパシタ 1 1 2 b は接地電位であるので、電圧 VRAMP 1 が増加し、同時に、コンパレータ 1 1 6 b (VRAMP 2) の負端子の電圧が接地電位に残る。コンパレータ 1 1 6 a, 1 1 6 b の正端子が、電圧タップ T 1 を介して基準生成回路 1 0 4 によって生成される一定電圧を受ける。基準電圧生成回路 1 0 4 が、レジスタ 1 1 4 a および 1 1 4 b から形成されるレジスタラダーを用いて一定電圧を生成する。レジスタ 1 1 4 a および 1 1 4 b は同一であり、一定電圧 VDD を供給するレジスタラダーの第 1 端部は電圧源 VDD に接続され、第 2 端部は接地に接続される場合、電圧タップ T 1 で取得される電圧は $VDD/2$ である。この一定電圧はコンパレータ 1 1 6 a, 1 1 6 b の正端子に供給される。

【0009】

それぞれの出力信号 X および Y を生成するために、コンパレータ 1 1 6 a, 1 1 6 b がそれぞれの電圧 VRAMP 1 および VRAMP 2 を電圧 $VDD/2$ と比較する。回路動作の開始において、VRAMP 1 および VRAMP 2 は $VDD/2$ より少ない、よって、出力 X および Y は高い。結果として、AND ゲート 1 1 8、AND__OUT 信号の出力も高い。AND__OUT 信号の相補的な信号は入力クロック信号として 2 除算カウンタ 1 2 0 に与えられる。入力クロック信号が低状態にスイッチする時、2 除算カウンタ 1 2 0 が出力信号の状態 (ランプ電圧スイッチング信号 D 1' および D 2') をトグルする。よって、VRAMP 1 および VRAMP 2 は $VDD/2$ より少ない時、出力の状態は安定である。結果として、発振信号生成回路 1 0 8 によって生成される OSC__OUT 信号も高い。

【0010】

続いて、時間 t 1 において、出力信号 X が低になり、それによって AND__OUT 信号を低になるように引き起こるように VRAMP 1 が $VDD/2$ と等しくなる。これが、それぞれの状態をトグルするランプ電圧スイッチング信号 D 1' および D 2' を生じる。よって、ランプ電圧スイッチング信号 D 1' が高状態にスイッチングし、ランプ電圧スイッチング信号 D 2' が低状態にスイッチングする。結果として、スイッチ S 2 および D 2 が開口され、スイッチ S 1 および D 1 は閉じられる。これが、キャパシタ 1 1 2 a の放電およびキャパシタ 1 1 2 b の充電の開始を生じる。結果として、VRAMP 1 が接地電位にスイッチし、VRAMP 2 が増加始める。コンパレータ 1 1 6 a の出力信号 X が一時的に低になるが (VRAMP 1 が $VDD/2$ より高くなる時)、VRAMP 1 を接地電位にスイッチングする後、出力信号 X が高くなる。また、キャパシタ 1 1 2 b が充電し始める時、VRAMP 2 は $VDD/2$ より少ないので、コンパレータ 1 1 6 b の出力 Y も高い。よって、AND__OUT 信号が一時的に低くなり、その後再び高くなる。上記のように、AND__OUT 信号が低くなる時、ランプ電圧スイッチング信号 D 1' が状態を変化し、よって、AND__OUT 信号が低くなるたびに、パルスは OSC__OUT 信号に取得される。キャパシタ 1 1 2 a および 1 1 2 b の充電および放電の上述記載されるシケンスは繰り返され、OSC__OUT 信号の生成を生じる。

【0011】

OSC__OUT 信号の生成のシステムは、 R_{charge} と C 1 および R_{charge} および C 2 を含む RC 回路の継続的充電および放電に関するものである。よって、OSC__OUT 信号の周波数は、キャパシタ 1 1 2 a および 1 1 2 b の充電を要する時間または RC 回路の時間定数によって制御される。OSC__OUT 信号の周波数を増加するために、キャパシタ 1 1 2 a および 1 1 2 b の充電を要する時間は減少しなければならない。キャパシタの充電時間の減少を達成するために、キャパシタを充電するために用いられる充電電流が増加されなければならない。よって、OSC__OUT 信号の周波数が高いほど、電流消費が高くなる。電流消費および周波数は関連するので、電流消費の減少が OSC__

OUT 信号の周波数の減少を意味する。

【先行技術文献】

【特許文献】

【0012】

【特許文献1】 米国特許第7443254号明細書

【特許文献2】 米国特許第7109804号明細書

【特許文献3】 米国特許第7733191号明細書

【発明の概要】

【発明が解決しようとする課題】

【0013】

10

電流消費を増加せずにOSC__OUT 信号の周波数の増加を可能にする弛張型オシレータを提供することによって、低電力で高周波数発振信号を与えることが有利である。

【課題を解決するための手段】

【0014】

第1の実施形態に係る発明は、発振信号を生成するためのシステムにおいて、ランプ電圧スイッチング信号に基づいてランプ信号を生成するランプ電圧生成回路と、電圧源に接続され、少なくとも1つの基準電圧を生成する基準電圧生成回路と、前記ランプ電圧生成回路および基準電圧生成回路に接続される基準電圧スイッチング回路であって、

前記ランプ電圧を受ける第1入力端子および少なくとも1つの基準電圧を受ける第2入力端子を有する少なくとも1つのコンパレータと、

20

前記少なくとも1つのコンパレータの出力端子に接続されて、基準電圧スイッチング信号、前記ランプスイッチング信号および前記発振信号を生成するデジタル論理回路と、

前記基準電圧生成回路と前記少なくとも1つのコンパレータの前記第2入力端子との間に接続され、前記基準電圧スイッチング信号に基づいて前記少なくとも1つのコンパレータの第2入力端子に前記少なくとも1つの基準電圧を与える少なくとも1つの基準電圧スイッチであって、前記基準電圧スイッチング信号、前記発振信号および前記ランプ電圧スイッチング信号は、前記ランプ電圧と前記少なくとも1つの基準電圧との間の所定の関係に基づいてトグルする、基準電圧スイッチとを備える、基準電圧スイッチング回路と、を備える、発振信号を生成するためのシステムを要旨とする。

30

【0015】

第1の実施形態に係る発明において、前記所定の関係には、前記ランプ電圧が前記少なくとも1つの基準電圧と等しいことが含まれるものであってもよい。

また、前記デジタル論理回路は、第1のセットおよび第2のセットの、2によって除算する2除算カウンタを備え、前記2除算カウンタの第1のセットおよび第2のセットの各々が、少なくとも2つの直列に接続される2除算カウンタを備え、2除算カウンタの第1のセットおよび第2のセットの出力端子はXORゲートの入力端子に接続され、前記XORゲートが前記ランプ電圧スイッチング信号を生成するものであってもよい。この場合、前記2除算カウンタの前記第1のセットの前記少なくとも2つの直列に接続される2除算カウンタの第1の出力端子で前記基準電圧スイッチング信号および前記発振信号を取得されることもできる。

40

【0016】

第1の実施形態に係る発明において、前記ランプ電圧生成回路は、

前記第1ランプ電圧スイッチによって接地に接続される少なくとも1つのキャパシタと、

第2ランプ電圧スイッチによって少なくとも第1キャパシタに接続される第1端子および前記電圧源に接続される第2端子を有する少なくとも1つのレジスタであって、前記第1および前記第2ランプ電圧スイッチが前記ランプ電圧スイッチング信号に基づいてトグルする、レジスタとを備えるのもよい。

【0017】

50

第1の実施形態に係る発明において、前記基準電圧生成回路は、前記電圧源に接続されるレジスタラダーネットワークを備えることもあり、この場合、前記レジスタラダーネットワークが、少なくとも1つの基準電圧を生成する少なくとも1つの電圧タップを備えるものであってもよい。

【0018】

第1の実施形態に係る発明において、前記基準電圧生成回路が、少なくとも1つの基準電圧を生成するバンドギャップ基準回路を備えるのでもよい。

第2の実施形態に係る発明は、発振信号を生成するための弛張型オシレータにおいて、ランプ電圧スイッチング信号に基づいて第1ランプおよび第2ランプ電圧を生成するランプ電圧生成回路と、

10

少なくとも第1および第2基準電圧を生成する基準電圧生成回路と、

前記ランプ電圧生成回路および前記基準電圧生成回路に接続される基準電圧スイッチング回路であって、

前記第1ランプ電圧を受ける負入力端子および前記第1基準電圧を受ける正入力端子を有する第1コンパレータと、

前記第2ランプ電圧を受ける負入力端子および前記第2基準電圧を受ける正入力端子を有する第2コンパレータと、

前記第1および第2コンパレータの出力端子に接続され、基準電圧スイッチング信号、前記ランプ電圧スイッチング信号および前記発振信号を生成するデジタル論理回路と、

20

前記基準電圧スイッチング信号に基づいてそれぞれの第1および第2基準電圧を前記第1および第2コンパレータの前記正端子に与えるための前記第1および前記第2コンパレータと前記基準電圧生成回路との間に接続される第1および第2基準電圧スイッチとを備える、基準電圧スイッチング回路と、
を備える、弛張型オシレータを要旨とする。

【0019】

第2の実施形態に係る発明において、前記デジタル論理回路は、

前記第1および前記第2コンパレータの前記出力端子に接続されるANDゲートと、

前記ANDゲートの出力端子に接続され、前記発振信号を生成する第1の2除算カウンタと、

30

前記第1の2除算カウンタに直列に接続され、前記ランプ電圧スイッチング信号を生成する第2の2除算カウンタとを備えることができる。この場合、前記基準電圧スイッチング信号は前記発振信号を補うことによって取得されるものであってもよく、少なくとも1つの前記第1および第2ランプ電圧がそれぞれの第1および前記第2基準電圧と等しくなる時、前記基準電圧スイッチング信号、前記発振信号および前記ランプ電圧スイッチング信号をトグルするものであってもよい。

【0020】

第2の実施形態に係る発明において、前記ランプ電圧生成回路は、

第1ランプ電圧スイッチによって接地に接続される第1キャパシタと、

第2ランプ電圧スイッチによって接地に接続される第2キャパシタと、

40

第3ランプ電圧スイッチによって前記第1キャパシタに接続され、第4ランプ電圧スイッチによって前記第2キャパシタに接続される第1端子および電圧源に接続される第2端子を有するレジスタであって、前記第1、前記第2、前記第3および前記第4ランプ電圧スイッチは前記ランプ電圧スイッチング信号に基づいてトグルされる、レジスタと、
を備えることもできる。

【0021】

また、第2の実施形態に係る発明において、前記ランプ電圧生成回路は

それぞれの第1および第2ランプ電圧スイッチによって接地に接続される第1および第2キャパシタと、

前記第3および前記第4ランプ電圧スイッチによってそれぞれの前記第1および前記第2キャパシタに接続される電流源であって、前記第1、前記第2、前記第3および前記第

50

3 ランプ電圧スイッチが前記ランプ電圧スイッチング信号に基づいてトグルする、電流源とを備えることもある。

【0022】

第2の実施形態に係る発明において、前記基準電圧生成回路が、電圧源に接続されるレジスタラダーネットワークを備えることもでき、この場合、レジスタラダーネットワークが、少なくとも第1および第2基準電圧を生成する少なくとも第1および第2電圧タップを備えることがある。

【0023】

さらに第2の実施形態に係る発明において、前記基準電圧生成回路が、少なくとも第1および第2基準電圧を生成するバンドギャップ電圧基準回路を備えることもある。

10

第3の実施形態によると、発振信号を生成するための弛張型オシレータにおいて、

第1ランプ電圧および第2ランプ電圧を生成するランプ電圧生成回路であって、前記ランプ電圧生成回路は、

それぞれの第1および第2ランプ電圧スイッチによって接地に接続される第1および第2キャパシタと、

第3ランプ電圧スイッチによって前記第1キャパシタにおよび第4ランプ電圧スイッチによって前記第2キャパシタに接続される電流源であって、前記第1、前記第2、前記第3および前記第4ランプ電圧スイッチがランプ電圧スイッチング信号に基づいてトグルする、電流源とを備えているランプ電圧生成回路と、

電圧源に接続され、1つまたは複数の基準電圧を生成する基準電圧生成回路であって、レジスタラダーネットワークおよび前記レジスタラダーネットワークの1つまたは複数の電圧タップによって取得される1つまたは複数の基準電圧を備える、基準電圧生成回路と、

20

前記基準電圧生成回路に接続される基準電圧スイッチング回路であって、前記基準電圧スイッチング回路は、

第1ランプ電圧を受ける負端子および前記1つまたは複数の基準電圧の第1基準電圧を受ける正端子を有する第1コンパレータと、

第2ランプ電圧を受ける負端子および前記1つまたは複数の基準電圧の第2基準電圧を受ける正端子を有する第2コンパレータと、

前記第1および前記第2コンパレータの出力端子に接続され、基準電圧スイッチング信号、前記ランプ電圧スイッチング信号および前記発振信号を生成するデジタル論理回路と、

30

前記第1コンパレータに前記第1基準電圧を与えるために、前記基準電圧生成回路と前記第1コンパレータの正入力端子との間に接続される第1基準電圧スイッチと、前記第2コンパレータに前記第2基準電圧を与えるために、前記基準電圧生成回路と前記第2コンパレータの前記正端子との間に接続される第2基準電圧スイッチとを備える、基準電圧スイッチング回路とを含んでなる、弛張型オシレータを要旨とする。

【0024】

第3の実施形態に係る発明において、前記デジタル論理回路は、

前記第1および前記第2コンパレータの出力端子に接続されるANDゲートと、

前記ANDゲートの出力端子に接続され、前記発振信号を生成する第1の2除算カウンタと、

40

前記第1の2除算カウンタと直列に接続され、前記ランプ電圧スイッチング信号を生成する第2の2除算カウンタとを備えることがある。

【0025】

第3の実施形態に係る発明において、前記第1および前記第2ランプ電圧の少なくとも1つがそれぞれの前記第1および前記第2コンパレータに与えられる前記第1および前記第2基準電圧と等しくなる時、前記基準電圧スイッチング信号、前記発振信号および前記ランプ電圧スイッチング信号がトグルすることができる。

【図面の簡単な説明】

50

【0026】

【図1A】従来の弛張型オシレータの概略を示す回路図。

【図1B】図1Aの従来の弛張型オシレータの波形VRAMP1、VRAMP2およびAND__OUTを示すタイミングチャート。

【図2A】本発明の一実施形態による弛張型オシレータの概略を示す概念図。

【図2B】本発明の一実施形態によって図2Aに示される弛張型オシレータの詳細な回路図。

【図2C】図2B示される弛張型オシレータの波形VRAMP1、VRAMP2およびAND__OUTを示すタイミングチャート。

【図3】本発明の別の実施形態による弛張型オシレータの概略を示す回路図。

10

【図4】本発明の別のさらなる実施形態にしたがって、弛張型オシレータの概略を示す回路図。

【発明を実施するための形態】

【0027】

後述の好ましい実施形態の詳細な説明は、添付図面を伴って読むと、より良く理解される。本発明は例示の方法により説明されており、添付の図面により限定されるものではなく、図面において、同様の参照符号は類似の要素を示す。図中の要素は簡潔かつ明確に説明されており、必ずしも寸法通りに描かれていない。

【0028】

添付の図面の詳細な説明は、本発明の現時点での好適実施形態の説明であり、本発明を実施し得る唯一の形態を表すものではない。理解されるように、同一又は等価な機能が、本発明の主旨及び範囲の中に含まれる異なる実施形態によって達成されてもよい。

20

【0029】

本発明の一実施形態において、発振信号を生成するシステムが提供される。このシステムは、ランプ電圧スイッチング信号に基づいてランプ電圧を生成するランプ電圧生成回路、電圧に接続され、少なくとも1つの基準電圧を生成する基準電圧生成回路およびランプ電圧生成回路に接続される基準電圧スイッチング回路を備える。基準電圧スイッチング回路が、ランプ電圧を受ける第1入力端子および少なくとも1つの基準電圧を受ける第2入力端子を有するコンパレータを備える。さらに、基準電圧スイッチング回路が、コンパレータの出力端子に接続され、基準電圧スイッチング信号、ランプ電圧スイッチング信号および発振信号を生成するデジタル論理回路を備える。基準電圧スイッチング回路が、基準電圧生成回路とコンパレータの第2入力端子との間に接続され、基準電圧スイッチング信号に基づいてコンパレータの第2入力端子に少なくとも1つの基準電圧を与える規準電圧スイッチをさらに含む。基準電圧スイッチング信号、発振信号およびランプ電圧スイッチング信号は、ランプ電圧と少なくとも1つの基準電圧との間の所定関係に基づいてトグルする。

30

【0030】

本発明の別の実施形態において、発振信号を生成する弛張型オシレータが提供される。弛張型オシレータが、ランプ電圧スイッチング信号に基づいて第1および第2ランプ電圧を生成するランプ電圧生成回路および第1と第2基準電圧を生成する基準電圧生成回路を含む。さらに、弛張型オシレータが、ランプ電圧生成回路および基準電圧生成回路に接続される基準電圧スイッチング回路を含む。基準電圧スイッチング回路が、第1ランプ電圧を受ける負入力端子および第1基準電圧を受ける正入力端子を有する第1コンパレータを含む。基準電圧スイッチング回路が、第2ランプ電圧を受ける負入力端子および第2基準電圧を受ける正端子を有する第2コンパレータをさらに含む。基準電圧スイッチング回路が、第1および第2コンパレータの出力端子に接続され、基準電圧スイッチング信号、ランプ電圧スイッチング信号および発振信号を生成するデジタル論理回路をさらに含む。また、基準電圧スイッチング回路が、基準電圧生成回路とそれぞれの第1および第2コンパレータとの間に接続される第1および第2基準電圧スイッチを含む。第1および第2基準電圧スイッチが、基準電圧スイッチング信号に基づいて第1および第2コンパレータの正

40

50

端子に第 1 および第 2 基準電圧を与える。

【0031】

本発明の別のさらなる実施形態において、発振信号を生成する弛張型オシレータが提供される。弛張型オシレータが、第 1 および第 2 ランプ電圧を生成するランプ電圧生成回路を含む。ランプ電圧生成回路が、それぞれの第 1 および第 2 ランプ電圧スイッチによって接地に接続される第 1 および第 2 キャパシタを含む。ランプ電圧生成回路が、第 3 ランプ電圧スイッチによって第 1 コンパレータに接続され、第 4 ランプ電圧スイッチによって第 2 コンパレータに接続される電流源をさらに含み、ここで、第 1、第 2、第 3 および第 4 ランプ電圧スイッチはランプ電圧スイッチング信号によってトグルされる。

【0032】

弛張型オシレータはさらに、電圧源に接続され、基準電圧を生成する基準電圧生成回路を含む。基準電圧生成回路が、レジスタラダーネットワークを含み、ここで、基準電圧はレジスタラダーネットワークの 1 つまたは複数の電圧タップから取得される。さらに、弛張型オシレータが、第 1 コンパレータおよび第 2 コンパレータを含む基準電圧生成回路に接続される基準電圧スイッチング回路を含む。第 1 コンパレータの負端子が第 1 ランプ電圧を受け、第 1 コンパレータの正端子が第 1 基準電圧を受ける。第 2 コンパレータの負端子が第 2 ランプ電圧を受け、第 2 コンパレータの正端子が第 2 基準電圧を受ける。基準電圧スイッチング回路が、第 1 および第 2 コンパレータの出力端子に接続され、基準電圧スイッチング信号、ランプ電圧スイッチング信号および発振信号を生成するデジタル論理回路をさらに含む。また、基準電圧スイッチング回路が、基準電圧生成回路と第 1 および第 2 コンパレータの正端子との間に接続される第 1 および第 2 基準電圧スイッチを含む。第 1 基準電圧スイッチが、第 1 コンパレータに 1 つまたは複数の基準電圧の第 1 基準電圧を与える。さらに、第 2 基準電圧スイッチが、第 2 コンパレータに 1 つまたは複数の基準電圧の第 2 基準電圧を与える。

【0033】

本発明の様々な実施形態が、基準電圧生成回路、ランプ電圧生成回路、基準電圧スイッチング回路およびデジタル回路を備える弛張型オシレータを提供する。ランプ電圧姿勢回路が、基準電圧生成回路によって生成される基準電圧のうちの 1 つに比較される少なくとも 1 つのランプ電圧を生成する。開始において、ランプ電圧は、基準電圧生成回路によって生成される最も低い基準電圧と比較される。ランプ電圧が最も低い基準電圧と等しい時、基準電圧は、前の基準電圧より高い値にスイッチングされる。比較のために複数の基準電圧のおかげで、複数のパルスは、ランプ電圧が基準電圧と等しい時いくつかの時点で取得され得る。このように取得されるパルスはデジタル回路を用いて発振信号に変換される。キャパシタの充電抵抗の相当減少がないまたはキャパシタによって消費される充電電流を減少せず、周波数を増加させ得る。発振の周波数を増加するために、基準電圧生成回路は、抵抗の実際値を増加せずに複数の基準電圧を生成するためにレジスタラダーネットワークの別のタップを加えることによって変化される。よって、発振の周波数が追加的基準電圧の生成旅に 2 倍になる。例えば、1 つの基準電圧 $VDD/2$ が生成される場合、追加的基準電圧 $VDD/4$ すなわち $VDD/2$ の半分が発振の周波数の 2 倍を生じる。さらに、別の基準電圧 $VDD/8$ すなわち $VDD/4$ の半分が生成される場合、発振の周波数が 4 倍になる。つまり、所与周波数において、上述記載されるように基準電圧を加えて電力消費は半分になる。よって、本発明の弛張型オシレータの発振の周波数は電力消費を増加せずに増加させ得る。

【0034】

図 2 A を参照すると、本発明の一実施形態にしたがって弛張型オシレータ 200 の概略図が示されている。弛張型オシレータ 200 は、ランプ電圧生成回路 202、基準電圧生成回路 204 および基準電圧スイッチング回路 206 を含んでなる。基準電圧スイッチング回路 206 がデジタル論理回路 208 を含む。ランプ電圧生成回路 202 が 1 つまたは複数のランプ電圧を生成する。基準電圧生成回路 204 が 1 つまたは複数の基準電圧を生成する。基準電圧スイッチング回路 206 は、スイッチ S3 および S4 を介して基準電

10

20

30

40

50

圧生成回路 204 に接続され、ランプ電圧スイッチング信号 D1' および D2' を生成する。1 つまたは複数の電圧を生成するために、ランプ電圧スイッチング信号 D1' および D2' はランプ電圧生成回路 202 に与えられる。デジタル論理回路 208 が基準電圧スイッチング信号 S3' および S4' (図示せず) を生成する。

【0035】

図 2B を参照する。本発明の一実施形態にしたがって図 2A に示される弛張型オシレータ 200 の詳細な回路図が示されている。弛張型オシレータ 200 が、コンパレータ 210a, 210b、AND ゲート 212、2 除算カウンタ 214a, 214b、レジスタ 216a, 216b, 216c, 216d (それぞれ R_1 , R_2 , R_3 , R_4 で示される)、NOT ゲート 218a および 218d、キャパシタ 220a, 220b (C_1 , C_2) および充電レジスタ 222 (R_{charge}) を含んでなる。

10

【0036】

ランプ電圧生成回路 202 は、キャパシタ 220a, 220b、充電レジスタ 222 およびスイッチ S1、S2、D1 および D2 を含んでなる。キャパシタ 220a は充電レジスタ 222 と接地との間に接続される。キャパシタ 220a の 1 つの端子はスイッチ D2 を介して充電レジスタ 222 に接続され、別の端子はスイッチ S1 とともに接地と並列に接続される。さらに、キャパシタ 220b は、キャパシタ 220a と同様な構成で充電レジスタ 222 と接地との間に接続される。充電レジスタ 222 は、それぞれのスイッチ D2 および D1 を介して電圧源 VDD とキャパシタ 220a および 220b との間に接続される。キャパシタ 220a の充電は、スイッチ D2 を閉じてスイッチ S1 を開けるまにすることによって開始され得る。キャパシタ 220a は、スイッチ S1 を閉じてスイッチ D2 を開けることによって放電される。スイッチ D1 および S2 は、キャパシタ 220b を充電および放電するために使用される。

20

【0037】

基準電圧生成回路 204 は、直列に接続されるレジスタ 216a, 216b, 216c, 216d を含むレジスタラダーネットワークを有する。レジスタラダーネットワークが 4 つより多くのレジスタを含んでもよいが、説明を簡潔にするために 4 つのレジスタのみが示されている。レジスタラダーネットワークの第 1 端部は電圧源 VDD に接続され、第 2 端部は接地に接続される。本発明の一実施形態において、レジスタ 216a, 216b, 216c, 216d が同一抵抗値すなわち、 $R_1 = R_2 = R_3 = R_4$ を有してもよい。レジスタ 216b の第 1 端子はレジスタ 216a に接続される。電圧タップ T1 を達成するために、レジスタ 216b の第 2 端子はレジスタ 216c の第 1 端子に接続される。電圧タップ T2 を達成するために、レジスタ 216d の第 1 端子はレジスタ 216c の第 2 端子に接続される。また、基準電圧生成回路 204 は電圧タップ T1 および T2 で基準電圧スイッチング回路 206 に接続される。

30

【0038】

基準電圧スイッチング回路 206 はコンパレータ 210a, 210b を含む。コンパレータ 210a, 210b の負端子はキャパシタ 220a, 220b に接続される。コンパレータ 210a, 210b の正端子は互いに、スイッチ S4 および S3 を介して電圧タップ T1 および T2 に接続される。スイッチ S4 および S3 を開けるおよび閉じることによってコンパレータ 210a, 210b の正端子はそれぞれの電圧タップ T1 または T2 に接続または切断される。これが、電圧 $VDD/2$ または $VDD/4$ を基準電圧としてコンパレータ 210a および 210b に与えられる。レジスタ 216a, 216b, 216c, 216d を含むレジスタラダーネットワークは、所定基準電圧 (例えば、 $VDD/2$ および $VDD/4$) の一連を生成するようにプログラムされ得るバンドギャップ基準電圧生成器 (図示せず) を交換してもよい。バンドギャップ基準電圧生成器は当技術分野で周知であり、さらなる説明は本発明の完全な理解のために必要ではない。

40

【0039】

コンパレータ 210a, 210b の出力端子はデジタル論理回路 208 に接続される。デジタル論理回路 208 が、AND ゲート 212 および 2 除算カウンタ 214a, 214

50

bを含む。本発明の一実施形態において、2除算カウンタ214a、214bの各々が、入力クロック信号の半分の周波数を有する出力信号を生成するために、Dフリップフロップに入力信号として与えられるDフリップフロップの反転される出力信号を有するDフリップフロップを含む。ANDゲート212の入力端子はコンパレータ210a、210bに接続され、ANDゲート212の出力端子は2除算カウンタ214aに接続される。2除算カウンタ214aの出力端子は入力クロック信号として2除算カウンタ214bに与えられる。2除算カウンタ214aの出力信号は発振信号(OSC__OUT信号)である。2除算カウンタ214bの出力は、スイッチD1、D2、S1およびS2の動作を制御するためにランプ電圧生成回路202に与えられるランプ電圧スイッチング信号D1'およびD2'である。ランプ電圧スイッチング信号D2'はランプ電圧スイッチング信号D1'の相補的な信号である。ランプ電圧スイッチング信号D1'はスイッチS1およびD1に与えられ、ランプ電圧スイッチング信号D2'はスイッチS2およびD2に与えられる。スイッチS3を制御するために使用される基準電圧スイッチング信号S3'を生成するために、OSC__OUT信号はNOTゲート218aによって補われる。スイッチS4を制御するために使用される基準電圧スイッチング信号S4'を取得するために、基準電圧スイッチング信号S3'はNOTゲート218bによって補われる。

【0040】

図2Cを参照する。本発明の一実施形態による、図2Bに示される弛張型オシレータ200の波形VRAMP1、VRAMP2およびAND__OUTを示すタイミングチャートが示される。時間t0において、弛張型オシレータ200の動作が、スイッチD2を閉じて(ランプ電圧スイッチング信号D2'は高いことを意味する)、スイッチS1が開ける(ランプ電圧スイッチング信号D1'は低いことを意味する)ことによって開始する。これが、充電レジスタ222を介して電圧源VDDによってキャパシタ220aの充電を開始する。さらに、スイッチD1は開き、スイッチS2は閉じられる。結果として、キャパシタ220bが接地電位に残る。

【0041】

キャパシタ220aの充電により、コンパレータ210a(VRAMP1)の負端子の電圧が増加始める。キャパシタ220bは接地電位であることにより、コンパレータ210b(VRAMP2)の負端子が接地電位に残り、同時に、電圧VRAMP1が増加する。

【0042】

コンパレータ210a、210bの正端子は、基準電圧生成回路204によって生成される基準電圧を受ける。本発明の一実施形態において、基準電圧生成回路204が2つの異なる基準電圧、すなわち、 $VDD/2$ および $VDD/4$ を生成する。電圧 $VDD/2$ は電圧タップT1で取得され、スイッチS4を閉じてスイッチS3を開けたままに残るようにコンパレータ210aおよび210bの正端子に与えられる。電圧 $VDD/4$ は電圧タップT2で取得され、スイッチS3を閉じてスイッチS4を開けるままに残るようにコンパレータ210aおよび210bの正端子に与えられる。本発明の別の実施形態において、基準電圧生成回路204が3つの異なる基準電圧、すなわち、 $VDD/2$ 、 $VDD/4$ および $VDD/8$ を生成する、このように実施形態において、追加的スイッチS5は基準電圧生成回路204とコンパレータ210aおよび210bとの間に加えられ、スイッチS4およびS3と並列である。

【0043】

回路動作の開始において、電圧タップT2はコンパレータ210a、210bの正端子に接続するようにスイッチS3が閉じられ、(OSC__OUTは低いことを意味する)それによって、電圧 $VDD/4$ をコンパレータ210a、210bの正端子に与えられることを生じる。それぞれの出力信号XおよびYを生成するために、コンパレータ210a、210bが、それぞれの電圧VRAMP1およびVRAMP2を電圧 $VDD/4$ と比較する。電圧VRAMP1およびVRAMP2は電圧 $VDD/4$ より少ないので、出力信号XおよびYは高い。結果として、ANDゲート212、AND__OUT信号の出力も高い。

AND__OUT信号の相補的な信号は入力クロック信号として2除算カウンタ214aに与えられる。入力クロック信号が低状態に移行する時、2除算カウンタ214aが出力信号すなわちOSC__OUT信号をトグルする。よって、電圧VRAMP1およびVRAMP2は電圧VDD/4より少ない間OSC__OUT信号の初期状態が維持される。本発明の一実施形態において、基準電圧スイッチング信号S3'を高荷なるようにイネーブルするために、OSC__OUT信号は回路動作の開始で低いに構成され、よって、スイッチS3は閉じられる。さらに、OSC__OUT信号は2除算カウンタ214bに与えられる。2除算カウンタ214aと同様に、2除算カウンタ214bも、入力信号、すなわち、OSC__OUT信号、が高状態から低状態に遷移する時、出力すなわちスイッチング信号D1'およびD2'の状態をトグルする特徴を有する。本発明の一実施形態において、ラン
10 プ電圧スイッチング信号D1'およびD2'は、回路動作の開始でそれぞれの低状態および高状態になるように構成され、よって、スイッチD1およびS1は開き、かつスイッチD2およびS2を閉じることを生じる。

【0044】

キャパシタ220aの継続的充電のおかげで、時間t1で電圧VRAMP1が電圧VDD/4と等しくなる。結果として、出力信号Xが低く、それによって、AND__OUT信号を低くする。本発明の一実施形態において、電圧VRAMP1と電圧VDD/4との間の所定の関係に基づいて出力信号Xが低くなる。例えば、所定の関係が電圧VRAMP1と電圧VDD/4との間の絶対差額が所定値と等しくなることを含み、次に、OSC__OUT
20 信号が低状態から高状態にトグルする場合、それによって、基準電圧スイッチング信号S4'およびS3'のトグルを生じる。よって、スイッチS4が閉じられ、スイッチS3が開ける。結果として、コンパレータ210aおよび210bの正端子は電圧タップT1に接続され、よって、電圧VDD/2を供給する。よって、出力信号Xは高状態に復元され、それによって、AND__OUT信号を高状態に復元されることを生じる。

【0045】

OSC__OUT信号が低状態から高状態に遷移するので、ランプ電圧スイッチング信号D1'およびD2'が以前の状態を維持する。結果として、キャパシタ220aが充電
30 して、キャパシタ220bが接地電位に残る。よって、電圧VRAMP1が電圧VDD/4を超えて増加され、電圧VRAMP2が接地電位で一定される。時間t2において、電圧VRAMP1が電圧VDD/2に等しいになり、出力信号Xが低状態に遷移し、それによって、AND__OUT信号を低状態にスイッチングすることを生じ、OSC__OUT信号を低状態にスイッチングすることをさらに生じる。本発明の一実施形態において、電圧VRAMP1と電圧VDD/2との間の所定関係に基づいて出力信号Xが低くなる。例
40 において、所定関係が、電圧VRAMP1と電圧VDD/2との間の絶対差額が所定値に等しくなることを含む。これが、スイッチング信号D1'およびD2'がそれぞれの信号の状態をトグルすることを生じる。よって、ランプ電圧スイッチング信号D1'が高状態にスイッチングし、ランプ電圧スイッチング信号D2'が低状態にスイッチングする。結果として、スイッチS1およびD1が閉じられ、スイッチS2およびD2が開けられる。これが、キャパシタ220aを放電し、充電レジスタ222を介してキャパシタ220bの充電を開始することを生じる。結果として、電圧VRAMP1が接地電位にスイッチング
50 氏、電圧VRAMP2が増加始める。出力信号Xが一時的に低になるが（電圧VRAMP1がVDD/2より高くなる）、電圧VRAMP1を接地電位にスイッチングした後、出力Xが高になる。また、キャパシタ220bの充電の開始で電圧VRAMP2は電圧VDD/4より少ないので、コンパレータ220bの出力信号Yも高い。よって、キャパシタ220aが放電され、キャパシタ220bが充電始めると、AND__OUT信号が高状態に戻る。キャパシタ220bは電圧VDD/4に、次に電圧VDD/2に充電され、2つのパルスを生成する。パルス生成後のステップはキャパシタ220aに関連し上述の説明と同様である。時点t0~t2の間AND__OUT信号に取得される2つのパルスが、OSC__OUT信号の発振の周波数の2倍に移す。よって、キャパシタ220aおよび220bを充電するために使用される充電電流の大きさを変化させずに、OSC__OUT信

号の周波数が増加される。

【0046】

本発明の一実施形態において、2つより多い基準電圧、すなわち、3つの基準電圧はコンパレータ210a、210bに順番に供給される。3つの基準電圧の例は $VDD/8$ 、 $VDD/4$ および $VDD/2$ であってよい。第3電圧レベルをコンパレータ210aおよび210bに供給するために、追加的スイッチS5は、基準電圧生成回路204とコンパレータ210aおよび210bとの間に、スイッチS3およびS4に並列に加えられてもよい。このような場合において、電圧VRAMP1がそれぞれの $VDD/8$ 、 $VDD/4$ および $VDD/2$ と等しくなる時と相当する時点 $t_0 \sim t_2$ の間3つのパルスはAND__OUT信号に取得される。これが、OSC__OUT信号の発振の周波数の3場合増加に生じる。本発明の別の実施形態二において、4つの基準電圧、すなわち、 $VDD/16$ 、 $VDD/8$ 、 $VDD/4$ および $VDD/2$ はコンパレータ210aおよび210bに与えられる。本発明の一実施形態において、レジスタラダーはバンドギャップ基準電圧生成器によって交換されてもよい。この場合において、バンドギャップ基準電圧生成器は、様々な基準電圧、すなわち、 $VDD/8$ 、 $VDD/4$ および $VDD/2$ を生成するようにプログラムされる。様々な基準電圧は次にコンパレータ210aおよび210bの正端子に供給される。本発明の別の実施形態二において、充電レジスタ222は図3に示される電流源によって交換される（以下に説明される）。

10

【0047】

図3を参照する。本発明の別の実施形態にしたがって弛張型オシレータ300の概略図を示す。弛張型オシレータ200の一部として示される素子を加えて、弛張型オシレータ300が電流源302を含む。充電レジスタ222は電流源302によって交換される。電流源302がキャパシタ220aおよび220bに充電する一定な電流を供給する。弛張型オシレータ300の動作は弛張型オシレータ200と同様である。

20

【0048】

図4を参照する。本発明の別のさらなる実施形態による弛張型オシレータ400の概略図を示す。弛張型オシレータ400が、2除算カウンタ402a、402b、402c、402d、XORゲート404、コンパレータ406、レジスタ408a、408b、408c、408d、キャパシタ410、電流源412およびNOTゲート414a、414b、414cを含む。

30

【0049】

キャパシタ410は電流源412と接地との間に接続される。キャパシタ410の1つの端子はスイッチD2を介して電流源412に接続され、他の端子は並列でスイッチS1に接地に接続される。キャパシタ410の充電は、スイッチD2を閉じて、スイッチS1を開いたままに残ることによって開始される。キャパシタ410は、スイッチS1を閉じて、スイッチD2を開くことによって放電される。

【0050】

レジスタラダーネットワークを形成するために、レジスタ408a、408b、408cおよび408dは直列に接続される。当業者が、レジスタラダーネットワークが4つより多いレジスタを含んでもよい、4つのレジスタのみは簡潔のために示されることを理解されるべきである。レジスタラダーネットワークの第1端部は電圧源VDDに接続され、第2端部は接地に接続される。レジスタ408bの第1端子はレジスタ408aに接続される。電圧タップT1を達成するために、レジスタ408bの第2端子はレジスタ408cの第1端子に接続される。電圧タップT2を達成するために、レジスタ408cの第2端子はレジスタ408dの第1端子に接続される。

40

【0051】

電圧タップT1およびT2は、スイッチS3およびS4を介してコンパレータ406の正端子に接続される。スイッチS3およびS4の閉じるおよび開くことによって、正端子は電圧タップT1またはT2に接続されてもよく、よって、基準電圧として電圧 $VDD/2$ または電圧 $VDD/4$ をコンパレータ406の正端子に供給する。コンパレータ406

50

の負端子はスイッチD 2を介してキャパシタ4 1 0の第1端子におよびスイッチS 1を介してキャパシタ4 1 0の第2端子に接続される。よって、スイッチD 2はオンである時、負端子はキャパシタ4 1 0の第1端子で電圧を供給される。本発明の一実施形態において、電圧源VDDはバンドギャップ基準電圧生成器（図示せず）によって交換され得る。バンドギャップ基準電圧が、基準電圧 $VDD/2$ および $VDD/4$ を生成するレジスタラダーネットワークに供給される一定基準電圧VDDを生成する。バンドギャップ基準電圧生成器は当技術分野で周知であるので、本明細書の簡潔ために、詳細な説明が記載されない。

【0052】

コンパレータ406の出力信号Xは、第1のセットおよび第2のセットの2除算カウンタに与えられる。第1のセットの2除算カウンタが、直列に接続される2除算カウンタ402a, 402bを含んでなり、ここで、2除算カウンタ402aが、スイッチS3を制御する基準電圧スイッチング信号S3'を生成する。基準電圧スイッチング信号S3'（S4'）の相補的な信号は入力クロック信号として2除算カウンタ402cに供給される。2除算カウンタ402bの出力端子は入力信号としてXORゲート404に与えられる。また、発振信号、OSC_OUT信号、を生成するために、基準電圧スイッチング信号S3'はNOTゲート414aおよび414bを用いてバッファリングされる。

【0053】

第2のセットの2除算カウンタは、2除算カウンタ402c, 402dを含んでなり、ここで、2除算カウンタ402cによって生成される出力信号の相補的な信号は入力クロック信号として2除算カウンタ402d与えられ、2除算カウンタ402dの出力信号は入力信号としてXORゲート404に与えられる。スイッチS1を制御するためのランプ電圧スイッチング信号D1'を生成するためにXORゲート404が2除算カウンタ402b, 402dから受信される入力信号で動作する。スイッチD2を制御するためのランプ電圧スイッチング信号D2'を生成するために、NOTゲート414cがランプ電圧スイッチング信号D1'を補う。

【0054】

弛張型オシレータ300の動作は図2Cに関連して詳細に説明される。また図2Cを参照して、弛張型オシレータ200の波形VRAMP1、VRAMP2およびAND_OUTを示すタイミングチャートが示される。弛張型オシレータ300が、1つのキャパシタ、すなわち、キャパシタ410および単一ランプ電圧、すなわち、電圧VRAMP1、を含むので、電圧VRAMP1は弛張型オシレータ300の動作の間取得される。時間t0において、弛張型オシレータ300の動作が、スイッチD2を閉じて（よって、ランプ電圧スイッチング信号D2'は高い）、スイッチS1は開く（よって、ランプ電圧スイッチング信号D1'は低）ことによって開始される。これが、電流源412によってキャパシタ410の充電を開始する。

【0055】

キャパシタ410の充電が、コンパレータ406の負端子（VRAMP1）の電圧を増加始めることを引き起こる。コンパレータ406の正端子が、上述のレジスタラダーネットワークによって生成される基準電圧を受ける。本発明の一実施形態において、レジスタラダーネットワークが2つの異なる基準電圧、電圧 $VDD/2$ および $VDD/4$ を生成し、ここで、電圧 $VDD/2$ は電圧タップT1で取得され、スイッチS4を閉じて、スイッチS3を開くままに残ることによってコンパレータ406の正端子に供給される。電圧 $VDD/4$ は電圧タップT2で取得され、スイッチS3を閉じて、スイッチS4を開くままに残ることによってコンパレータ406の正端子に供給される。本発明の実施形態において、レジスタラダーネットワークが3つの異なる基準電圧、すなわち、電圧 $VDD/2$ 、 $VDD/4$ および $VDD/8$ を生成し得る。このような場合において、追加的スイッチS5はレジスタラダーネットワークとコンパレータ406との間にスイッチS3およびS4と並列に加えられる。

【0056】

回路動作の開始において、スイッチ S 3 が閉じられ (OSC__OUT 信号は高い)、よって、電圧タップ T 2 はコンパレータ 406 の正端子に接続される。これが、電圧 VDD / 4 をコンパレータ 406 の正端子に供給されることを生じる。出力信号 X を生成するために、コンパレータ 406 が電圧 V R A M P 1 を電圧 VDD / 4 に比較する。電圧 V R A M P 1 は電圧 VDD / 4 より少ないので、出力 X は高である。出力信号 X は入力クロック信号として 2 除算カウンタ 402 a に与えられる。

【0057】

2 除算カウンタ 402 a が出力信号の状態、すなわち、入力クロック信号、すなわち、出力クロック信号 X が低状態にスイッチングする時の基準電圧スイッチング信号 S 4 ' および S 3 '、をトグルする。よって、基準電圧スイッチング信号 S 4 ' および S 3 ' の初期状態は、電圧 V R A M P 1 は VDD / 4 より少ない時維持される。本発明の一実施形態において、電圧タップ T 2 をコンパレータ 406 の正端子に接続するようにイネーブルするために、動作の開始で基準電圧スイッチング信号 S 3 ' は高に構成される。これも、基準電圧スイッチング信号 S 4 ' を低いように構成される。さらに、動作の開始で OSC__OUT 信号 (基準電圧スイッチング信号 S 3 ' をバッファリングすることによって得られる) も高い。

【0058】

出力信号 X も入力クロック信号として 2 除算カウンタ 402 c に与えられる。入力信号、すなわち、出力信号 X、が高状態にスイッチングする時、2 除算カウンタ 402 c が出力信号 U および V の状態をトグルする。本発明の一実施形態において、それぞれの出力信号 U および V の初期状態は、それぞれ、低および高である。基準電圧スイッチング信号 S 4 ' および出力信号 U の相補的な信号は入力クロック信号として、2 除算カウンタ 402 b, 402 d のそれぞれに与えられる。よって、入力クロック信号、すなわち、S 4 ' および U、が低状態にスイッチングする時、2 除算カウンタ 402 b, 402 d もそれぞれの出力信号、すなわち、M および N の状態をトグルする。出力信号 M および N は入力信号として XOR ゲート 404 に与えられる。XOR ゲート 404 が、ランプ電圧スイッチング信号 D 1 ' を生成し、入力信号、すなわち、M および N は同一である時、該ランプ電圧スイッチング信号 D 1 ' 低であり、入力信号が異なる時、高である。回路動作の開始でランプ電圧スイッチング信号 D 1 ' は低くしなければならないので、入力信号 M および N は同一に構成される。本発明の一実施形態において、入力信号 M および N の初期状態は高に構成される。

【0059】

キャパシタ 410 の継続的充電のおかげで、時間 t 1 で電圧 V R A M P 1 が電圧 VDD / 4 と等しくなる。結果として、出力 X が低になり、それによって、基準電圧スイッチング信号 S 4 ' を高状態にスイッチングし、基準電圧スイッチング信号 S 3 ' および OSC__OUT 信号を低状態にスイッチングすることを生じる。本発明の一実施形態二において、電圧 V R A M P 1 と電圧 VDD / 4 との間の所定関係に基づいて出力信号 X が低になる。例えば、所定関係が、電圧 V R A M P 1 と電圧 VDD / 4 との間の絶対差額を所定値に等しくなることを含む場合、スイッチ S 4 が閉じられ、S 3 が開けられる。よって、電圧タップ T 2 はコンパレータ 406 の正端子から切断され、電圧タップ T 1 はコンパレータ 406 の正端子に接続し、よって、電圧 VDD / 2 をコンパレータ 406 の正端子に供給することを生じる。基準電圧スイッチング信号 S 4 ' スイッチが高状態にスイッチングするので、出力信号 M の状態は変化されない。また、出力信号 X が低状態にスイッチングするので、出力信号 U および V の状態も一定に維持する。これが、出力信号 N を以前の状態を維持することを生じる。よって、ランプ電圧スイッチング信号 D 1 ' が自体の状態を変化せず、すなわち、低いままである。これが、キャパシタ 410 を電圧 VDD / 4 を超えて充電されることを生じる。よって、出力信号 X 工状態にスイッチングし、これが、出力信号 U をトグルすることを生じる。出力信号 U の初期状態は低であるので、出力信号 U が高状態にスイッチングする。2 除算カウンタ 402 d が、入力信号がいつ低状態にスイッチングすることをトグルするので、出力信号 N は変わらないままである。

【0060】

時間 t_2 において、電圧 V_{RAMP1} が電圧 $V_{DD}/2$ と等しくなる。これが、出力信号 X を低状態にスイッチングすることを生じ、それによって、基準電圧スイッチング信号 S_3' および S_4' がそれぞれの信号状態をトグルすることを生じる。本発明の一実施形態において、出力信号 X が、電圧 V_{RAMP1} と電圧 $V_{DD}/2$ との間の所定関係に基づいて低になる。一例において、所定関係が、電圧 V_{RAMP1} と電圧 $V_{DD}/2$ との間の絶対差額が所定値と等しくなることを含む。よって、基準電圧スイッチング信号 S_4' が低状態にスイッチングし、基準電圧スイッチング信号 S_3' および OSC_OUT 信号が高状態にスイッチングする。これが、出力信号 M を高から低に遷移することを生じる。2除算カウンタ $402c$, $402d$ の出力がトグルしないので、 XOR ゲート 404 の入力信号が異なることになる。これが、ランプ電圧スイッチング信号 D_1' を低から高状態に遷移する。これが、スイッチ S_1 を閉じて、スイッチ D_2 を開くことを寄与し、よって、キャパシタ 410 を放電するように引き起こる。放電のおかげで、電圧 V_{RAMP1} はゼロに減少され、出力信号 X が高状態にスイッチングする。これが、出力信号 U のトグルを低状態になることを生じる。これが、出力信号 N を高状態から低状態にトグルすることを生じる。 XOR ゲート 404 へ入信号 M および N が同一になるので、ランプ電圧スイッチング信号 D_1' が低状態にトグルする。これが、スイッチ S_1 開き、スイッチ D_2 を閉じることを引き起こり、よって、時間 t_0 で開始する充電サイクルと同一キャパシタ 410 の充電サイクルを開始する。このサイクルが継続し、 OSC_OUT 信号が高と低状態との間に発振続く。本発明の一実施形態において、2除算カウンタの第1のセットおよび第2のセットは、上述記載される信号と同一の基準電圧スイッチング信号 S_3' および S_4' かつランプ電圧スイッチング信号 D_1' を生成し得る論理部品を含む適切な論理回路で変換してもよい。本発明の様々な実施形態において、2除算カウンタが D フリップフロップを含み、ここで、 D フリップフロップの反転される出力信号は入信号として D フリップフロップに与えられる。これが、入力クロック信号の発振の周波数の半分の出力信号を生じる。本発明の一実施形態において、レジスタラダーネットワークはバンドギャップ基準電圧生成器によって変換され得る。この場合において、バンドギャップ基準電圧生成器は、様々な基準電圧、すなわち、 $V_{DD}/8$ 、 $V_{DD}/4$ および $V_{DD}/2$ 、を生成するようにプログラムされる。様々な基準電圧は次にコンパレータ 406 の正端子に与えられる。本発明の別実施形態において、電流源 412 は、上述の図 $2B$ 示される充電レジスタによって変換され得る。

【0061】

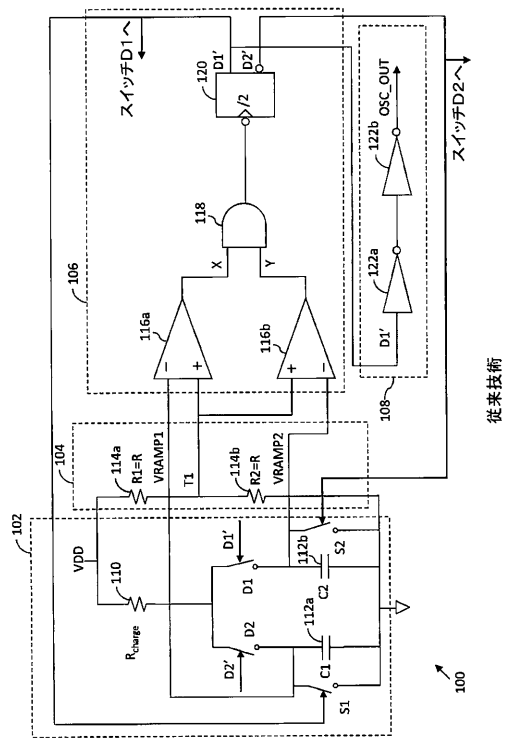
本発明をそのある好ましいバージョンについてかなり詳細に記述したが、他のバージョン及び変更は可能でありかつ考えられる。当業者は、請求の範囲によって定義したような発明の精神及び範囲から逸脱せずに本発明の同一目的を提供するように他の構造を設計或いは修正する基礎として開示概念及び特定の実施の形態を容易に使用できることを理解するべきである。

【符号の説明】

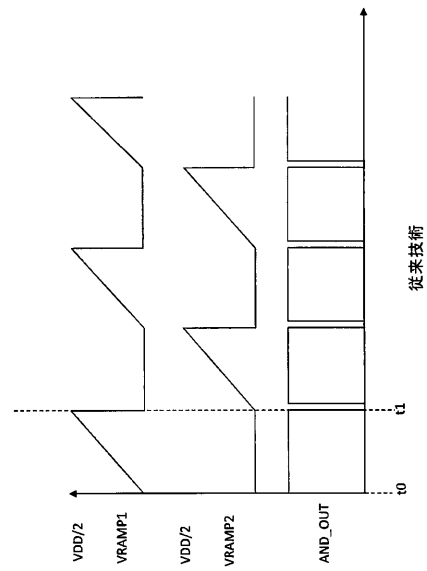
【0062】

200…弛張型オシレータ、202…ランプ電圧生成回路、204…基準電圧生成回路、206…基準電圧スイッチング回路、208…デジタル論理回路。

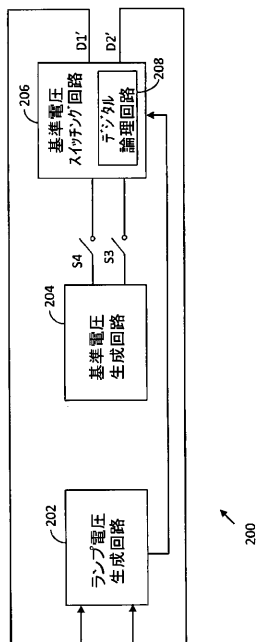
【図 1 A】



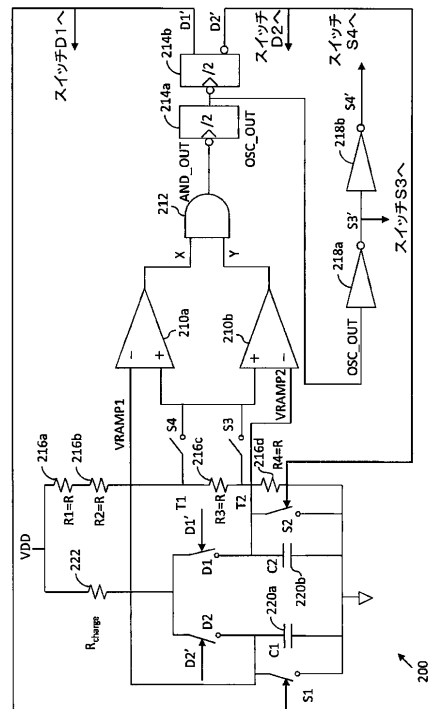
【 図 1 B 】



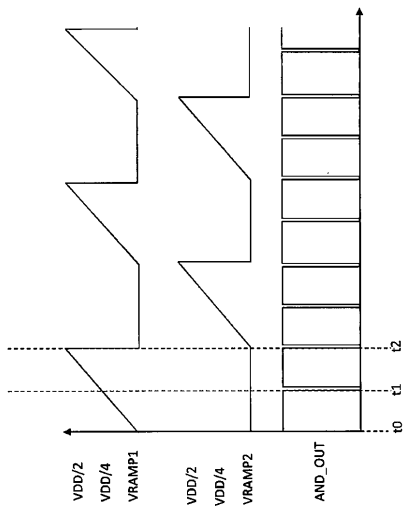
【図 2 A】



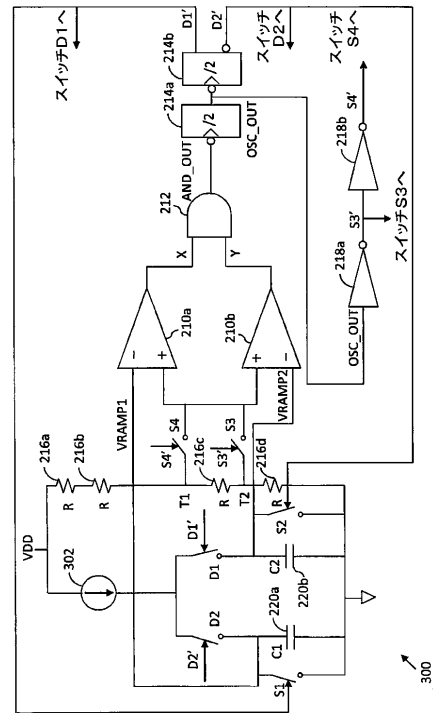
【 図 2 B 】



【図 2 C】



【図 3】



【図 4】

