

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年6月27日(27.06.2024)



(10) 国際公開番号

WO 2024/135656 A1

(51) 国際特許分類:
G05F 1/56 (2006.01) H02M 3/155 (2006.01)

(21) 国際出願番号: PCT/JP2023/045428

(22) 国際出願日: 2023年12月19日(19.12.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2022-205671 2022年12月22日(22.12.2022) JP

(71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).

(72) 発明者: 安坂 信 (YASUSAKA Makoto);
〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).

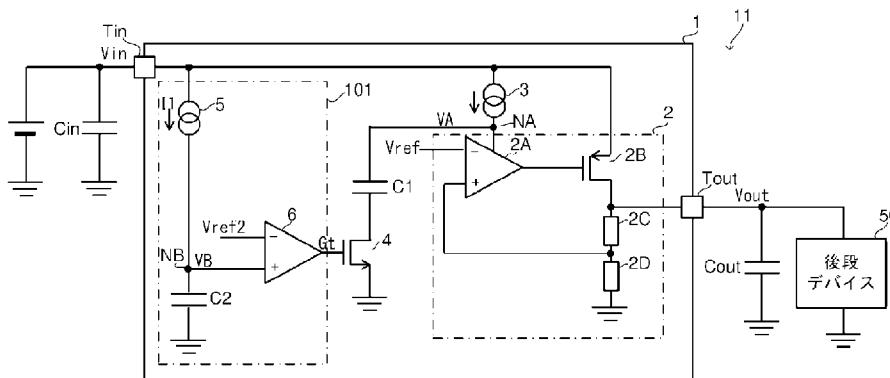
(74) 代理人: 弁理士法人 佐野特許事務所 (SANO PATENT OFFICE); 〒5400032 大阪府大阪市中央区天満橋京町 2 - 6 天満橋八千代ビル別館 5 F Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(54) Title: POWER SUPPLY DEVICE AND POWER SYSTEM

(54) 発明の名称: 電源装置、および電源システム

[図1]



50... SUBSEQUENT-STAGE DEVICE

(57) Abstract: A power supply device (1) comprises: an input terminal (Tin) configured as an external terminal to which an input voltage (Vin) can be applied; a power supply circuit (2); a first constant current source (3) that is connected between a power supply voltage application terminal (NA) and the input terminal and is configured to supply a power supply voltage (VA) to a predetermined circuit (2A) in the power supply circuit; a first capacitor (C1) and a first transistor (4) which are connected in series to the power supply voltage application terminal; and a transistor control unit (101) that is configured to switch the first transistor from an off state to an on state at a second timing (t3) after a first timing (t2) when the input voltage starts and reaches the operating voltage (V1) of the first constant current source.

[続葉有]

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 電源装置 (1) は、入力電圧 (V_{in}) を印加可能な外部端子として構成される入力端子 (T_{in}) と、電源回路 (2) と、前記電源回路における所定回路 (2A) に電源電圧 (V_A) を供給するように構成される電源電圧印加端 (N_A) と前記入力端子との間に接続される第1定電流源 (3) と、前記電源電圧印加端に対して直列に接続される第1コンデンサ (C_1) および第1トランジスタ (4) と、前記入力電圧が起動して前記第1定電流源の動作電圧 (V_1) に到達する第1タイミング (t_2) よりも後の第2タイミング (t_3) で前記第1トランジスタをオフ状態からオン状態へ切り替えるように構成されるトランジスタ制御部 (101) と、を備える。

明 細 書

発明の名称：電源装置、および電源システム

技術分野

[0001] 本開示は、電源装置に関する。

背景技術

[0002] 従来、電源回路（スイッチングレギュレータ、シリーズレギュレータなど）をＩＣ（集積回路）に集積化して有する電源装置が知られている。このような電源装置では、入力電圧が変動した場合に出力電圧が変動する場合がある。電源装置では、入力電圧に関わらず出力電圧を一定にすることが要求されるため、入力側に入力コンデンサ（バイパスコンデンサ）を接続して入力変動を抑制する場合がある（例えば、特許文献１）。

先行技術文献

特許文献

[0003] 特許文献１：特開２０２１－９３８４１号公報（第６図）

発明の概要

発明が解決しようとする課題

[0004] しかしながら、上記のような入力コンデンサは外付けのコンデンサで対応することが多く、当該コンデンサの容量が大きくなる場合があった。

[0005] 本開示は、入力コンデンサの容量を小さくしつつ、あるいは入力コンデンサを設けずとも、出力電圧の変動を抑制することを効果的に実現する電源装置を提供することを目的とする。

課題を解決するための手段

[0006] 例えば、本開示に係る電源装置は、
入力電圧を印加可能な外部端子として構成される入力端子と、
電源回路と、
前記電源回路における所定回路に電源電圧を供給するように構成される電源電圧印加端と前記入力端子との間に接続される第１定電流源と、

前記電源電圧印加端に対して直列に接続される第1コンデンサおよび第1トランジスタと、

前記入力電圧が起動して前記第1定電流源の動作電圧に到達する第1タイミングよりも後の第2タイミングで前記第1トランジスタをオフ状態からオン状態へ切り替えるように構成されるトランジスタ制御部と、を備える構成としている。

発明の効果

[0007] 本開示に係る電源装置によれば、入力コンデンサの容量を小さくしつつ、あるいは入力コンデンサを設けずとも、出力電圧の変動を抑制することを効果的に実現できる。

図面の簡単な説明

[0008] [図1]図1は、本開示の第1実施形態に係る電源システムの構成を示す図である。

[図2]図2は、第1実施形態に係る電源システムの動作波形例を示す図である。

[図3]図3は、第1実施形態に係る電源システムの定常状態における波形例を示す図である。

[図4]図4は、本開示の第2実施形態に係る電源システムの構成を示す図である。

[図5]図5は、本開示の第3実施形態に係る電源システムの構成を示す図である。

[図6]図6は、第3実施形態に係る電源システムの動作波形例を示す図である。

[図7]図7は、本開示の第4実施形態に係る電源システムの構成を示す図である。

[図8]図8は、本開示の第5実施形態に係る電源システムの構成を示す図である。

[図9]図9は、第5実施形態に係る電源システムの動作波形例を示す図である。

。

[図10]図10は、本開示の第6実施形態に係る電源システムの構成を示す図である。

[図11]図11は、第6実施形態に係る電源システムの動作波形例を示す図である。

[図12]図12は、本開示の第7実施形態に係る電源システムの構成を示す図である。

[図13]図13は、第7実施形態に係る電源システムの動作波形例を示す図である。

[図14]図14は、本開示の第8実施形態に係る電源システムの構成を示す図である。

[図15]図15は、第1実施形態に係る電源システムにおける動作波形の別例を示す図である。

[図16]図16は、本開示の第9実施形態に係る電源システムの構成を示す図である。

[図17]図17は、第9実施形態に係る電源システムの動作波形例を示す図である。

[図18]図18は、本開示の第10実施形態に係る電源システムの構成を示す図である。

[図19]図19は、本開示の第11実施形態に係る電源システムの構成を示す図である。

[図20]図20は、本開示の第12実施形態に係る電源システムの構成を示す図である。

[図21]図21は、第1比較例に係る電源システムの構成を示す図である。

[図22]図22は、第1比較例に係る電源システムの定常状態における波形例を示す図である。

[図23]図23は、第2比較例に係る電源システムの構成を示す図である。

[図24]図24は、第2比較例に係る電源システムの定常状態における波形例

を示す図である。

[図25]図 2 5 は、第 3 比較例に係る電源システムの構成を示す図である。

[図26]図 2 6 は、第 3 比較例に係る電源システムの定常状態における波形例を示す図である。

[図27]図 2 7 は、第 3 比較例に係る電源システムの第 1 動作波形例を示す図である。

[図28]図 2 8 は、第 3 比較例に係る電源システムの第 2 動作波形例を示す図である

[図29]図 2 9 は、上記第 1 または第 2 比較例の構成での動作波形例を示す図である。

発明を実施するための形態

[0009] 以下に本開示の例示的な実施形態について図面を参照して説明する。

[0010] <比較例>

ここでは、本開示の実施形態について説明する前に、比較例について説明する。これにより、課題がより明らかとなる。

[0011] 図 2 1 は、第 1 比較例に係る電源システム 1 0 0 A の構成を示す図である。図 2 1 に示す電源システム 1 0 0 A は、電源装置 1 と、出力コンデンサ C_{out} と、を備える。電源装置 1 は、入力電圧 V_{in} に基づき出力電圧 V_{out} を出力して、出力電圧 V_{out} を後段デバイス 5 0 に供給する。

[0012] 電源装置 1 は、電源回路 2 を集積化した IC を有する半導体装置である。電源回路 2 は、例えば LDO (Low Dropout)、またはスイッチングレギュレータなどにより構成される。電源装置 1 は、外部との電氣的接続を確立するための外部端子として、入力端子 T_{in} と出力端子 T_{out} を有する。入力端子 T_{in} は、入力電圧 V_{in} の印加端に接続される。出力端子 T_{out} は、電源装置 1 の外部に配置される出力コンデンサ C_{out} に接続される。電源回路 2 は、入力端子 T_{in} に入力される入力電圧 V_{in} に基づき出力電圧 V_{out} を出力端子 T_{out} から出力する。

[0013] 電源装置 1 は、入力電圧 V_{in} の変動に関わらず一定の出力電圧 V_{out}

を出力することが要求される。しかしながら、図 21 の構成においては、図 22 に示すように、入力電圧 V_{in} が変動すると、それに伴って出力電圧 V_{out} も変動する場合がある。この出力電圧 V_{out} の変動が大きい場合、出力端子 T_{out} に接続される後段デバイス 50 に誤動作などの悪影響を及ぼす可能性がある。

[0014] 図 23 は、第 2 比較例に係る電源システム 100B の構成を示す図である。電源システム 100B においては、先述の第 1 比較例に対して、入力端子 T_{in} に入力コンデンサ C_{in} を接続している。これにより、図 24 に示すように、入力電圧 V_{in} の変動を抑制することで出力電圧 V_{out} の変動を抑制する。出力電圧 V_{out} の変動を抑制することで、後段デバイス 50 の誤動作などを抑制できる。

[0015] しかしながら、入力コンデンサ C_{in} を接続する電源ラインのインピーダンスは小さいため、容量の小さい入力コンデンサ C_{in} では十分な改善効果を得ることができず、或る程度容量の大きな入力コンデンサ C_{in} （例えば $0.1\mu F$ 以上）が必要となる。このような入力コンデンサ C_{in} では電源装置 1 内部に設けることが容易でなく、外付けコンデンサで対策することになる。入力電圧 V_{in} の変動次第では、外付けコンデンサの容量が大きくなったり、外付けコンデンサの追加が必要になる。

[0016] 図 25 は、第 3 比較例に係る電源システム 100C の構成を示す図である。電源システム 100C において、電源装置 1 は、LDO として構成される電源回路 2 と、定電流源 3 と、第 1 コンデンサ C_1 と、を有する。

[0017] 電源回路 2 は、エラーアンプ 2A と、出力トランジスタ 2B と、分圧抵抗 2C、2D と、を有する。出力トランジスタ 2B は、P チャネル MOSFET (metal-oxide-semiconductor field-effect transistor) により構成される。エラーアンプ 2A の反転入力端 (−) は、基準電圧 V_{ref} の印加端に接続される。エラーアンプ 2A の出力端は、出力トランジスタ 2B のゲートに接続される。出力トランジスタ 2B のソースは、入力端子 T_{in} に接続される。出力トランジスタ 2B のドレインは、出力端子 T_{out} とともに分

圧抵抗 2 C の一端に接続される。分圧抵抗 2 C の他端はノード N 2 において分圧抵抗 2 D の一端に接続される。分圧抵抗 2 D の他端は、接地端に接続される。ノード N 2 は、エラーアンプ 2 A の非反転入力端 (+) に接続される。

[0018] このような電源回路 2 においては、出力電圧 V_{out} を分圧抵抗 2 C, 2 D により分圧して得られる帰還電圧 V_{fb} がノード N 2 に発生し、帰還電圧 V_{fb} が基準電圧 V_{ref} と一致するように制御される。これにより、出力電圧 V_{out} が一定になるように制御される。

[0019] エラーアンプ 2 A の電源電圧 V_A は、電源電圧印加端 N A から供給される。定電流源 3 は、入力端子 T i n と電源電圧印加端 N A との間に接続される。入力電圧 V_{in} が変動すると、電源電圧 V_A も変動する。出力電圧 V_{out} を制御するエラーアンプ 2 A に供給される電源電圧 V_A の変動は、出力電圧 V_{out} の変動の一因になる。そこで、図 25 の構成では、電源装置 1 において、電源電圧印加端 N A に第 1 コンデンサ C 1 を接続している。第 1 コンデンサ C 1 を設けることで、図 26 に示すように入力電圧 V_{in} の変動に対して電源電圧 V_A の変動を抑制し、出力電圧 V_{out} の変動を抑制する。

[0020] 電源電圧印加端 N A は、入力端子 T i n に対して定電流源 3 を介して配置される。従って、定電流源 3 によるインピーダンス変換により、第 1 コンデンサ C 1 の容量を第 2 比較例の場合の入力コンデンサ C_{in} より小さくしても電源電圧 V_A の変動を抑制できる。これにより、入力コンデンサ C_{in} の容量を小さくしたり、入力コンデンサ C_{in} を削除しても、図 26 に示すように、出力電圧 V_{out} の変動を十分に抑制することができる。

[0021] しかしながら、上記の第 3 比較例には、次のような課題がある。図 27 は、第 3 比較例に係る電源システム 100 C の第 1 動作波形例を示す図である。図 27 に示すように、タイミング t_a で入力電圧 V_{in} が起動して上昇を開始する。そして、タイミング t_b で入力電圧 V_{in} が動作電圧 V_1 に達すると、定電流源 3 が起動する。しかしながら、第 1 コンデンサ C 1 により、図 27 に示すように電源電圧 V_A は緩やかに上昇する。タイミング t_c で電

源電圧 V_A が動作電圧 V_1 に達すると、エラーアンプ2Aが起動し、エラーアンプ2Aによる出力電圧 V_{out} の制御が開始される。これにより、タイミング t_c で出力電圧 V_{out} が上昇を開始し、目標値に達すると一定になる。このように、第1コンデンサ C_1 により、遅延時間（タイミング t_b と t_c の間）が発生し、出力電圧 V_{out} の起動が遅れる。

[0022] また、電源電圧 V_A が動作電圧 V_1 に達していないときの動作では、必ずしも出力トランジスタ2Bがオフ状態であるとは限らない。図28は、第3比較例に係る電源システム100Cの第2動作波形例を示す図である。図28に示すように、タイミング t_b で電源電圧 V_A が緩やかに上昇を開始し、電源電圧 V_A が動作電圧 V_1 に達していないときはエラーアンプ2Aが出力電圧 V_{out} の制御を行えないが、出力トランジスタ2Bがオン状態であるため、出力電圧 V_{out} が入力電圧 V_{in} の定常状態の電圧値まで上昇する場合がある。これにより、後段デバイス50に悪影響を及ぼす可能性がある。なお、電源電圧 V_A が動作電圧 V_1 に達したタイミング t_c でエラーアンプ2Aによる出力電圧 V_{out} の制御が開始され、出力電圧 V_{out} が目標値へ低下する。

[0023] なお、図27、図28では、説明の便宜上、定電流源3の動作電圧とエラーアンプ2Aの動作電圧を同じ動作電圧 V_1 としたが、これらの動作電圧は異なってもよい。動作電圧が異なる場合でも、上記と同様の課題が生じる可能性がある。

[0024] また、参考として、図29は、上記第1または第2比較例の構成、すなわち、第1コンデンサ C_1 を設けない構成の場合での動作波形例を示す。この場合、入力電圧 V_{in} が動作電圧 V_1 に達するタイミング t_b で、電源電圧 V_A は即時に動作電圧 V_1 まで上昇するため、出力電圧 V_{out} が起動される。従って、出力電圧 V_{out} の起動が遅くなったり、エラーアンプ2Aの無制御期間が発生することで出力電圧 V_{out} が過剰に上昇することが抑制される。

[0025] <第1実施形態>

上記のような課題に鑑み、以下説明する本開示の実施形態が実施される。

図1は、本開示の第1実施形態に係る電源システム11の構成を示す図である。電源システム11に設けられる電源装置1は、電源回路2、定電流源3、および第1コンデンサC1に加えて、トランジスタ4と、トランジスタ制御部101と、を有する。トランジスタ制御部101は、定電流源5と、コンパレータ6と、第2コンデンサC2と、を有する。トランジスタ制御部101は、トランジスタ4のゲート（制御端）を制御する。定電流源5は、第2コンデンサC2に電流を供給する電流供給部として機能する。

[0026] 本実施形態では、電源電圧印加端NAに対して第1コンデンサC1とトランジスタ4を直列に接続する。トランジスタ4は、NチャネルMOSFETにより構成される。第1コンデンサC1の一端は、電源電圧印加端NAに接続される。第1コンデンサC1の他端は、トランジスタ4のドレインに接続される。トランジスタ4のソースは、接地端に接続される。なお、トランジスタ4は、第1コンデンサC1と電源電圧印加端NAとの間に接続してもよい。

[0027] 入力端子Tinと第2コンデンサC2の一端の間に定電流源5が設けられる。第2コンデンサC2の他端は、接地端に接続される。第2コンデンサC2の一端は、コンパレータ6の非反転入力端（+）に接続される。コンパレータ6の反転入力端（-）は、基準電圧Vref2の印加端に接続される。コンパレータ6の出力端は、トランジスタ4のゲートに接続される。これにより、トランジスタ4のゲートは、コンパレータ6の出力により制御される。

[0028] 図2は、第1実施形態に係る電源システム11の動作波形例を示す図である。なお、図2では、入力電圧Vin、出力電圧Vout、電源電圧VA、コンデンサC2の一端であるノードNBに発生する電圧VB、およびトランジスタ4のゲート電圧Gt（コンパレータ6の出力）の各波形を示す。

[0029] 初期にゲート電圧Gtはローレベルであるため、トランジスタ4はオフ状態であり、第1コンデンサC1は無効である。タイミングt1で入力電圧V

i_n が起動し、タイミング t_2 で動作電圧 V_1 に達する。このとき、定電流源3が起動するが、第1コンデンサ C_1 は無効であるため、電源電圧 V_A は即時に動作電圧 V_1 まで上昇する。従って、エラーアンプ2Aは出力電圧 V_{out} を制御可能となり、出力電圧 V_{out} が起動される。

[0030] 一方、タイミング t_2 で定電流源5が起動するため、第2コンデンサ C_2 の充電が開始される。第2コンデンサ C_2 の充電により電圧 V_B が上昇し、電圧 V_B が基準電圧 V_{ref2} に達するタイミング t_3 で、コンパレータ6の出力、すなわちゲート電圧 G_t がローレベルからハイレベルに切り替わる。これにより、トランジスタ4はオン状態に切り替えられ、第1コンデンサ C_1 が有効となる。

[0031] このように、タイミング t_2 で第1コンデンサ C_1 が無効であるため、電源電圧 V_A が即時に動作電圧 V_1 まで上昇し、出力電圧 V_{out} が起動する。これにより、出力電圧 V_{out} の起動の遅れが抑制される。また、電源電圧 V_A が即時に動作電圧 V_1 まで上昇することでエラーアンプ2Aの無制御状態が抑制され、出力電圧 V_{out} が過剰に上昇することも抑制される。

[0032] また、第2コンデンサ C_2 の充電によりタイミング t_2 から t_3 までの遅延時間 D_1 が設けられる。遅延時間 D_1 は、 $D_1 = (C_2 \times V_{ref2}) / I_1$ で設定される。ただし、 I_1 は、定電流源5による定電流である。遅延時間 D_1 の経過後にゲート電圧 G_t がハイレベルに切り替わり、トランジスタ4がオン状態に切り替わり、第1コンデンサ C_1 が有効となる。なお、図2に示すように、遅延時間 D_1 に相当する期間が第1コンデンサ C_1 の無効期間 T_1 であり、トランジスタ4が切り替わってから第1コンデンサ C_1 の有効期間 T_2 が開始される。

[0033] 有効期間 T_2 では、図3に示すように入力電圧 V_{in} に変動が生じた場合でも、第1コンデンサ C_1 により電源電圧 V_A の変動が抑制され、出力電圧 V_{out} の変動を抑制できる。従って、本実施形態によれば、入力コンデンサ C_{in} の容量を小さくしつつ、あるいは入力コンデンサ C_{in} を設けなくても出力電圧 V_{out} の変動を抑制することを効果的な構成により実現する

ことができる。

[0034] <第2実施形態>

図4は、本開示の第2実施形態に係る電源システム12の構成を示す図である。本実施形態に係る電源装置1においては、第1実施形態との相違点として、トランジスタ制御部102においてコンパレータ6を設けず、ノードNBをトランジスタ4のゲートに直接的に接続している。

[0035] このような場合、遅延時間D1は、 $D1 = (C2 \times V_{th}) / I1$ となる。ただし、 V_{th} は、トランジスタ4のゲート・ソース間の閾値電圧である。本実施形態により、第1実施形態と同様な効果を享受できる。ただし、本実施形態では、 V_{th} のばらつき、または V_{th} の温度特性の影響を受けるため、遅延時間D1のばらつきが発生する。しかしながら、精度が必要でない場合では本実施形態は適用可能であり、コンパレータ6を設けないため回路サイズを小さくすることができる。

[0036] <第3実施形態>

図5は、本開示の第3実施形態に係る電源システム13の構成を示す図である。本実施形態に係る電源装置1においては、第1実施形態との相違点として、トランジスタ制御部103において定電流源5の代わりに抵抗7を用いている。すなわち、抵抗7の一端が入力端子Tinに接続され、抵抗7の他端が第2コンデンサC2の一端（ノードNB）に接続される。抵抗7は、第2コンデンサC2に電流を供給する電流供給部として機能する。

[0037] 図6は、第3実施形態に係る電源システム13の動作波形例を示す図である。なお、図6では、入力電圧Vin、出力電圧Vout、電源電圧VA、電圧VB、およびゲート電圧Gtの各波形を示す。

[0038] 図6に示すように、入力電圧Vinが起動するタイミングt1で抵抗7により第2コンデンサC2の充電が開始され、電圧VBの上昇が開始する。そして、入力電圧Vinが動作電圧V1に達するタイミングt2で第1コンデンサC1は無効であるため、電源電圧VAが即時に動作電圧V1まで上昇する。これにより、出力電圧Voutが起動する。その後、タイミングt3で

電圧 V_B が基準電圧 V_{ref2} に達すると、コンパレータ6の出力、すなわちゲート電圧 G_t がハイレベルに切り替わる。これにより、トランジスタ4がオン状態に切り替わり、第1コンデンサ C_1 が有効となる。

[0039] 本実施形態では、図6に示すように、抵抗7の抵抗値と第2コンデンサ C_2 の容量値で決まる時定数により電圧 V_B が上昇し、タイミング t_1 から t_3 までの遅延時間 D_1 が設定される。

[0040] 本実施形態では、抵抗7のばらつきにより遅延時間 D_1 がばらつくが、精度が必要ない場合には適用可能である。定電流源5を用いるよりも素子数を削減できる。ただし、第1実施形態のように定電流源5を用いるほうが遅延時間 D_1 のばらつきが抑制されるため、第1コンデンサ C_1 が有効となるタイミング（図2のタイミング t_3 ）を出力電圧 V_{out} が起動して目標値に達するタイミングになるべく近づけることができる。遅延時間 D_1 のばらつきが大きい場合、ばらつきを考慮して第1コンデンサ C_1 が有効となるタイミングが出力電圧 V_{out} が目標値に達するタイミングよりも後となるように遅延時間 D_1 が設定されるが、遅延時間 D_1 が長くなるため、入力電圧 V_{in} の変動に対して出力電圧 V_{out} が変動しやすい期間が延びてしまう。

[0041] <第4実施形態>

図7は、本開示の第4実施形態に係る電源システム14の構成を示す図である。本実施形態に係る電源装置1においては、第1実施形態との相違点として、トランジスタ4の代わりにトランジスタ41を用いる。より具体的には、トランジスタ41は、PチャネルMOSFETにより構成される。トランジスタ41のソースは、電源電圧印加端 N_A に接続される。トランジスタ41のドレインは、第1コンデンサ C_1 の一端に接続される。第1コンデンサ C_1 の他端は、接地端に接続される。

[0042] トランジスタ41のゲートは、トランジスタ制御部104におけるコンパレータ6の出力により制御される。コンパレータ6の入力端については第1実施形態と異なり、反転入力端（-）がノード N_B に接続され、非反転入力端（+）が基準電圧 V_{ref2} の印加端に接続される。これにより、第2コ

ンデンサC 2が充電されて電圧V Bが基準電圧V r e f 2に達すると、コンパレータ6の出力、すなわちゲート電圧G tがハイレベルからローレベルに切り替わる。これにより、トランジスタ4 1はオフ状態からオン状態に切り替わり、第1コンデンサC 1が有効となる。

[0043] <第5実施形態>

図8は、本開示の第5実施形態に係る電源システム15の構成を示す図である。本実施形態に係る電源装置1は、第2実施形態（図4）においてトランジスタ4の代わりにトランジスタ4 1（PチャネルMOSFET）を用いた構成となる。ただし、トランジスタ制御部105において定電流源5と第2コンデンサC 2の接続関係を変更している。具体的には、第2コンデンサC 2の一端は、入力端子T i nに接続される。第2コンデンサC 2の他端は、ノードN Bに接続される。ノードN Bと接地端との間に定電流源5が設けられる。ノードN Bの電圧V Bによってトランジスタ4 1のゲートが制御される。トランジスタ4 1と第1コンデンサC 1の接続関係は、第4実施形態（図7）と同様である。

[0044] 図9は、第5実施形態に係る電源システム15の動作波形例を示す図である。なお、図9では、入力電圧V i n、出力電圧V o u t、電源電圧V A、電圧V Bの各波形、およびトランジスタ4 1のオンオフ状態を示す。

[0045] 入力電圧V i nが起動するタイミングt 1で電圧V Bが起動し、電圧V Bは入力電圧V i nと同様に上昇する。そして、入力電圧V i nが動作電圧V 1に達するタイミングt 2で、定電流源5による第2コンデンサC 2の充電が開始され、以降、電圧V Bは入力電圧V i nの上昇に対して第2コンデンサC 2の充電によって低下した電圧となる。図9では、入力電圧V i nの上昇の傾きが第2コンデンサC 2の充電による低下の傾きよりも十分に大きい場合を示しており、電圧V Bは、ほぼ入力電圧V i nの定常値（厳密にはV i nより若干低い電圧）まで上昇し、その後、第2コンデンサC 2の充電によって低下する。電圧V Bが、電源電圧V i nからトランジスタ4 1のゲート・ソース間の閾値電圧V t h 2だけ低い電圧まで低下すると、トランジス

タ41がオン状態に切り替わる（タイミング t_3 ）。これにより、第1コンデンサC1が有効となる。

[0046] <第6実施形態>

図10は、本開示の第6実施形態に係る電源システム16の構成を示す図である。本実施形態に係る電源装置1においては、第1実施形態との相違点として、トランジスタ制御部106において第2コンデンサC2および定電流源5は用いず、コンパレータ6の非反転入力端（+）に出力電圧 V_{out} を入力させる。

[0047] 図11は、第6実施形態に係る電源システム16の動作波形例を示す図である。なお、図11では、入力電圧 V_{in} 、出力電圧 V_{out} 、電源電圧 V_A 、およびゲート電圧 G_t の各波形を示す。初期には出力電圧 V_{out} は0Vであり、コンパレータ6の出力、すなわちゲート電圧 G_t はローレベルであり、トランジスタ4はオフ状態であり、第1コンデンサC1は無効である。図11に示すように、入力電圧 V_{in} が動作電圧 V_1 に達するタイミング t_2 で、第1コンデンサC1は無効であるため、電源電圧 V_A は即時に入力電圧 V_{in} まで上昇する。これにより、出力電圧 V_{out} が起動する。そして、出力電圧 V_{out} が上昇して基準電圧 V_{ref2} に達するタイミング t_3 で、コンパレータ6の出力、すなわちゲート電圧 G_t がハイレベルに切り替わる。これにより、トランジスタ4がオン状態に切り替わり、第1コンデンサC1が有効となる。

[0048] このような本実施形態によっても、第1実施形態と同様の効果を享受できる。なお、出力電圧を分圧抵抗2C、2Dにより分圧して得られる帰還電圧 V_{fb} をコンパレータ6の非反転入力端（+）に入力させてもよい。

[0049] また、第4実施形態と同様に本実施形態において、トランジスタ4の代わりにPチャネルMOSFETにより構成されるトランジスタ41を用いてもよい。この場合、コンパレータ6の入力端の極性は図10と逆にする必要がある。

[0050] <第7実施形態>

図12は、本開示の第7実施形態に係る電源システム17の構成を示す図である。本実施形態に係る電源装置1においては、第1実施形態との相違点として、エラーアンプ2Aをイネーブル信号ENでオン／オフする構成としている。さらに、トランジスタ制御部107において、ノードNBと接地端との間にトランジスタ8を接続している。トランジスタ8は、NチャネルMOSFETにより構成される。トランジスタ8のドレインは、ノードNBに接続される。トランジスタ8のソースは、接地端に接続される。トランジスタ8のゲートは、イネーブル反転信号XENにより制御される。イネーブル反転信号XENは、イネーブル信号ENの論理を反転した信号である。イネーブル信号EN＝ローレベルでエラーアンプ2Aはオフ状態であり、イネーブル信号EN＝ハイレベルでエラーアンプ2Aはオン状態である。

[0051] 図13は、第7実施形態に係る電源システム17の動作波形例を示す図である。なお、図13では、入力電圧 V_{in} 、出力電圧 V_{out} 、電源電圧 V_A 、イネーブル信号EN、イネーブル反転信号XEN、電圧VB、およびゲート電圧 G_t の各波形を示す。

[0052] タイミング t_1 で入力電圧 V_{in} が起動して、イネーブル反転信号XENはハイレベルに向かって上昇を開始する。イネーブル信号ENは、ローレベルである。ハイレベルになったイネーブル反転信号XENによりトランジスタ8がオン状態に切り替わり、第2コンデンサC2が放電状態とされる。これにより、電圧 $V_B = 0V$ となり、ゲート電圧 G_t はローレベルとなり、トランジスタ4がオフ状態であり、第1コンデンサC1が無効となる。

[0053] 入力電圧 V_{in} が動作電圧 V_1 に達するタイミング t_2 で第1コンデンサC1が無効であるため、電源電圧 V_A は即時に動作電圧 V_1 まで上昇する。その後、タイミング t_3 でイネーブル信号ENがハイレベルに立ち上がると、エラーアンプ2Aがオン状態とされ、出力電圧 V_{out} が起動する。このとき、イネーブル反転信号XENはローレベルとなり、トランジスタ8がオフ状態に切り替わる。これにより、第2コンデンサC2の充電が開始され、電圧VBの上昇が開始する。そして、電圧VBが基準電圧 V_{ref2} に達す

るタイミング t_4 でコンパレータ 6 の出力、すなわちゲート電圧 G_t がハイレベルに切り替わる。これにより、トランジスタ 4 がオン状態に切り替わり、第 1 コンデンサ C_1 が有効となる。

[0054] このように本実施形態では、タイミング t_2 において、イネーブル反転信号 XEN により第 2 コンデンサ C_2 が放電状態とされてトランジスタ 4 がオフ状態とされることで第 1 コンデンサ C_1 が無効となっているので、電源電圧 V_A は即時に動作電圧 V_1 に達する。その後、イネーブル信号 EN によりエラーアンプ 2 A が起動されると、エラーアンプ 2 A は即時に制御可能となり、出力電圧 V_{out} が遅延なく起動する。その後、タイミング t_3 から遅延時間 D_1 経過したタイミング t_4 で第 1 コンデンサ C_1 が有効となる。

[0055] なお、イネーブル信号の他に $UVLO$ (Under Voltage Lock Out) 信号などの保護信号により同様の制御を行うことも可能である。この場合、イネーブル反転信号 XEN の代わりに、例えば $UVLO$ 信号などを反転させた反転信号が用いられる。また、イネーブル信号および上記保護信号は同時に用いられる場合もあり、その場合はイネーブル信号および上記保護信号に対応する数だけトランジスタ 8 を使用し、当該複数のトランジスタ 8 をノード NB に並列に接続すればよい。各トランジスタ 8 のゲートが例えばイネーブル信号および上記保護信号をそれぞれ反転させた各反転信号により制御される。

[0056] <第 8 実施形態>

図 14 は、本開示の第 8 実施形態に係る電源システム 18 の構成を示す図である。本実施形態では、電源回路 2 においてエラーアンプ 2 A に基準電圧 V_{ref} を供給する基準電圧源 2 E が設けられる。基準電圧源 2 E に電源電圧 V_C を供給する電源電圧印加端 NC は、定電流源 9 を介して入力端子 T_{in} に接続される。入力電圧 V_{in} が変動した場合に電源電圧 V_C が変動すると、基準電圧 V_{ref} が変動して出力電圧 V_{out} の変動につながる可能性がある。

[0057] そこで、本実施形態では、電源電圧印加端 NC に対して第 1 コンデンサ C

1を接続している。また、トランジスタ4およびトランジスタ制御部108の構成は、第7実施形態と同様としている。このような構成により、入力電圧 V_{in} が動作電圧に達するタイミングでは第1コンデンサ C_1 は無効であるため、電源電圧 V_C が即時に動作電圧まで上昇する。その後、イネーブル信号 E_N によりエラーアンプ2Aが起動されると、出力電圧 V_{out} は遅延なく起動する。そして、第1コンデンサ C_1 が有効となることで、入力電圧 V_{in} が変動した場合でも電源電圧 V_C の変動が抑制され、出力電圧 V_{out} の変動抑制が可能となる。

[0058] なお、第7実施形態に限らず、第1～第6実施形態を本実施形態の第1コンデンサ C_1 に関する構成に適用してもよい。また、エラーアンプおよび基準電圧源の他にも電源回路において出力電圧 V_{out} の変動に影響する回路に第1～第7実施形態を適用してもよい。

[0059] <第9実施形態>

図15は、第1実施形態に係る電源システム1における動作波形の別例を示す図である。第1実施形態に係る構成（図1）においては、トランジスタ4がオン状態に切り替わって第1コンデンサ C_1 が有効となる瞬間に、第1コンデンサ C_1 に充電電流が流れる。第1コンデンサ C_1 の容量値と定電流源3による定電流値のバランスによっては、第1コンデンサ C_1 に流れる充電電流によりノードNAの電源電圧 V_A が変動する可能性がある。図15に示すように、トランジスタ4がオン状態に切り替わるタイミング t_3 で電源電圧 V_A が変動した場合に、エラーアンプ2Aの誤動作により出力電圧 V_{out} が変動する可能性がある。第2～第8実施形態にも同様な現象が生じる可能性がある。

[0060] 第1～第8実施形態は有用な実施形態であるが、上記のような改善余地がある。そこで、以下説明する実施形態がさらに有用となる。

[0061] 図16は、本開示の第9実施形態に係る電源システム19の構成を示す図である。本実施形態では、第1実施形態に係る電源装置1の構成において、トランジスタ4のソースと接地端との間に定電流源 C_{I1} を接続している。

なお、定電流源C 1 1は、トランジスタ4のドレイン側に接続してもよい。すなわち、トランジスタ4に直列に定電流源C 1 1を接続すればよい。

[0062] 図17は、第9実施形態に係る電源システム19の動作波形例を示す図である。なお、図17では、入力電圧 V_{in} 、出力電圧 V_{out} 、電源電圧 V_A 、電圧 V_B 、およびゲート電圧 G_t の各波形を示す。本実施形態では、図17に示すように、トランジスタ4がオン状態に切り替わるタイミング t_3 で、第1コンデンサC 1に流れる充電電流が定電流源C 1 1の定電流 I_2 によって制限されるため、電源電圧 V_A の変動が抑制される。従って、エラーアンプ2Aの誤動作を抑止し、出力電圧 V_{out} の変動を抑制できる。

[0063] <第10実施形態>

図18は、本開示の第10実施形態に係る電源システム20の構成を示す図である。本実施形態では、第2実施形態に係る電源装置1の構成において、トランジスタ4のソースと接地端との間に定電流源C 1 1を接続している。なお、定電流源C 1 1は、トランジスタ4のドレイン側に接続してもよい。すなわち、トランジスタ4に直列に定電流源C 1 1を接続すればよい。本実施形態により、第9実施形態と同様な効果を享受できる。なお、第3～第8実施形態にも同様に定電流源C 1 1を適用することが可能である。すなわち、第4実施形態等では、トランジスタ41（PチャネルMOSFET）に定電流源C 1 1を直列に接続してもよい。

[0064] <第11実施形態>

図19は、本開示の第11実施形態に係る電源システム21の構成を示す図である。本実施形態では、第9実施形態に係る電源装置1の構成において、定電流源C 1 1の代わりに抵抗R 1を用いている。これにより、トランジスタ4がオン状態に切り替わったときに第1コンデンサC 1に流れる充電電流を抵抗R 1によって制限できる。なお、抵抗R 1を用いずに、トランジスタ4のサイズ（L値、W値）を調整することでトランジスタ4（MOSFET）のオン抵抗を高くし、同様の効果を享受することもできる。

[0065] <第12実施形態>

図20は、本開示の第12実施形態に係る電源システム22の構成を示す図である。本実施形態では、第10実施形態に係る電源装置1の構成において、定電流源C11の代わりに抵抗R1を用いている。これにより、第11実施形態と同様の効果を享受できる。なお、抵抗R1を用いずにトランジスタ4のオン抵抗を高くしてもよいことは第11実施形態と同様である。さらに、第3～第8実施形態において、抵抗R1を設けたり、トランジスタ4、41のオン抵抗を高くするようにしてもよい。

[0066] <その他>

なお、本明細書中に開示されている種々の技術的特徴は、上記実施形態のほか、その技術的創作の主旨を逸脱しない範囲で種々の変更を加えることが可能である。すなわち、上記実施形態は、全ての点で例示であって制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態に限定されるものではなく、特許請求の範囲と均等の意味および範囲内に属する全ての変更が含まれると理解されるべきである。

[0067] 例えば、電源装置1における電源回路2は、LDOに限らず、LDO以外のシリースレギュレータであってもよいし、スイッチングレギュレータであってもよい。

[0068] <付記>

上記のように例えば、本開示の一態様に係る電源装置(1)は、
入力電圧(V_{in})を印加可能な外部端子として構成される入力端子(T_{in})と、
電源回路(2)と、
前記電源回路における所定回路(2A)に電源電圧(V_A)を供給するように構成される電源電圧印加端(N_A)と前記入力端子との間に接続される第1定電流源(3)と、
前記電源電圧印加端に対して直列に接続される第1コンデンサ(C1)および第1トランジスタ(4)と、
前記入力電圧が起動して前記第1定電流源の動作電圧(V_1)に到達する

第1タイミング (t_2) よりも後の第2タイミング (t_3) で前記第1トランジスタをオフ状態からオン状態へ切り替えるように構成されるトランジスタ制御部 (101) と、を備える構成としている (第1の構成、図1、図2)。

[0069] また、上記第1の構成において、前記第1トランジスタはNチャンネルMOSFETにより構成され、前記第1コンデンサの第1端は前記電源電圧印加端に接続され、前記第1コンデンサの第2端は前記第1トランジスタのドレインに接続される構成としてもよい (第2の構成、図1)。

[0070] また、上記第1の構成において、前記第1トランジスタはPチャンネルMOSFETにより構成され、前記第1トランジスタのソースは前記電源電圧印加端に接続され、前記第1トランジスタのドレインは前記第1コンデンサの第1端に接続される構成としてもよい (第3の構成、図7)。

[0071] また、上記第1から第3のいずれかの構成において、前記トランジスタ制御部 (101) は、第2コンデンサ (C2) と、前記第2コンデンサに電流を供給するように構成される電流供給部 (5) と、を有し、

前記第2コンデンサと前記電流供給部は、前記入力端子と接地端との間に接続され、

前記第1トランジスタの制御端は、前記第2コンデンサと前記電流供給部とが接続されるノード (NB) に生じる電圧 (V_B) に基づいて制御される構成としてもよい (第4の構成、図1)。

[0072] また、上記第4の構成において、前記電流供給部としての第2定電流源 (5) は、前記入力端子と前記第2コンデンサの第1端との間に接続される構成としてもよい (第5の構成、図1)。

[0073] また、上記第5の構成において、前記トランジスタ制御部 (101) は、前記第2コンデンサの第1端と第1基準電圧 (V_{ref2}) の印加端とがそれぞれ接続される入力端と、前記第1トランジスタの制御端に接続される出力端と、を含む第1コンパレータ (6) を有する構成としてもよい (第6の構成、図1)。

- [0074] また、上記第5の構成において、前記第2コンデンサの第1端は、前記第1トランジスタの制御端に直接的に接続される構成としてもよい（第7の構成、図4）。
- [0075] また、上記第4の構成において、前記電流供給部としての第1抵抗（7）は、前記入力端子と前記第2コンデンサの第1端との間に接続される構成としてもよい（第8の構成、図5）。
- [0076] また、上記第8の構成において、前記トランジスタ制御部（103）は、前記第2コンデンサの第1端と第1基準電圧の印加端とがそれぞれ接続される入力端と、前記第1トランジスタの制御端に接続される出力端と、を含む第1コンパレータ（6）を有する構成としてもよい（第9の構成、図5）。
- [0077] また、上記第4の構成において、前記第2コンデンサ（C2）は、前記入力端子と前記電流供給部としての第2定電流源（5）との間に接続される構成としてもよい（第10の構成、図8）。
- [0078] また、上記第10の構成において、前記第2定電流源と前記第2コンデンサとが接続される前記ノード（NB）は、PチャネルMOSFETにより構成される前記第1トランジスタ（41）の制御端に直接的に接続される構成としてもよい（第11の構成、図8）。
- [0079] また、上記第4から第11のいずれかの構成において、前記電流供給部（5）は、前記入力端子と前記第2コンデンサの第1端との間に接続され、
前記トランジスタ制御部（107）は、前記第2コンデンサの第1端と接地端との間に接続される第2トランジスタ（8）を有し、
前記第2トランジスタの制御端は、前記所定回路（2A）のオン／オフを制御する信号（EN）に基づいて制御される構成としてもよい（第12の構成、図12）。
- [0080] また、上記第1から第3のいずれかの構成において、前記トランジスタ制御部（106）は、前記電源回路の出力電圧（ V_{out} ）に基づく電圧（ V_{out} または V_{fb} ）と第2基準電圧（ V_{ref2} ）のそれぞれが入力されるように構成される入力端と、前記第1トランジスタ（4）の制御端に接続

される出力端と、を含む第2コンパレータ（6）を有する構成としてもよい（第13の構成、図10）。

[0081] また、上記第1から第13のいずれかの構成において、前記第1トランジスタ（4）に直列に接続される第3定電流源（C11）をさらに備える構成としてもよい（第14の構成、図16）。

[0082] また、上記第1から第13のいずれかの構成において、前記第1トランジスタ（4）に直列に接続される第2抵抗（R1）をさらに備える構成としてもよい（第15の構成、図19）。

[0083] また、本開示の一態様に係る電源システム（11）は、上記第1から第15のいずれかの構成とした電源装置（1）と、前記入力端子（Tin）に外部接続される入力コンデンサ（Cin）と、を備える（第16の構成、図1）。

産業上の利用可能性

[0084] 本開示は、様々な用途の電源システムに利用することが可能である。

符号の説明

[0085]	1	電源装置
	2	電源回路
	2A	エラーアンプ
	2B	出力トランジスタ
	2C, 2D	分圧抵抗
	2E	基準電圧源
	3	定電流源
	4, 41	トランジスタ
	5	定電流源
	6	コンパレータ
	7	抵抗
	8	トランジスタ
	9	定電流源

1 1 ~ 2 2	電源システム
5 0	後段デバイス
1 0 0 A ~ 1 0 0 C	電源システム
1 0 1 ~ 1 0 8	トランジスタ制御部
C 1	第 1 コンデンサ
C 2	第 2 コンデンサ
C l 1	定電流源
C i n	入力コンデンサ
C o u t	出力コンデンサ
N A	電源電圧印加端
N B	ノード
N C	電源電圧印加端
R 1	抵抗
T i n	入力端子
T o u t	出力端子

請求の範囲

- [請求項1] 入力電圧を印加可能な外部端子として構成される入力端子と、
電源回路と、
前記電源回路における所定回路に電源電圧を供給するように構成される電源電圧印加端と前記入力端子との間に接続される第1定電流源と、
前記電源電圧印加端に対して直列に接続される第1コンデンサおよび第1トランジスタと、
前記入力電圧が起動して前記第1定電流源の動作電圧に到達する第1タイミングよりも後の第2タイミングで前記第1トランジスタをオフ状態からオン状態へ切り替えるように構成されるトランジスタ制御部と、
を備える、電源装置。
- [請求項2] 前記第1トランジスタはNチャネルMOSFETにより構成され、
前記第1コンデンサの第1端は前記電源電圧印加端に接続され、前記第1コンデンサの第2端は前記第1トランジスタのドレインに接続される、請求項1に記載の電源装置。
- [請求項3] 前記トランジスタはPチャネルMOSFETにより構成され、
前記第1トランジスタのソースは前記電源電圧印加端に接続され、前記第1トランジスタのドレインは前記第1コンデンサの第1端に接続される、請求項1に記載の電源装置。
- [請求項4] 前記トランジスタ制御部は、
第2コンデンサと、
前記第2コンデンサに電流を供給するように構成される電流供給部と、
を有し、
前記第2コンデンサと前記電流供給部は、前記入力端子と接地端との間に接続され、

前記第 1 トランジスタの制御端は、前記第 2 コンデンサと前記電流供給部とが接続されるノードに生じる電圧に基づいて制御される、請求項 1 から請求項 3 のいずれか 1 項に記載の電源装置。

[請求項 5] 前記電流供給部としての第 2 定電流源は、前記入力端子と前記第 2 コンデンサの第 1 端との間に接続される、請求項 4 に記載の電源装置。

[請求項 6] 前記トランジスタ制御部は、前記第 2 コンデンサの第 1 端と第 1 基準電圧の印加端とがそれぞれ接続される入力端と、前記第 1 トランジスタの制御端に接続される出力端と、を含む第 1 コンパレータを有する、請求項 5 に記載の電源装置。

[請求項 7] 前記第 2 コンデンサの第 1 端は、前記第 1 トランジスタの制御端に直接的に接続される、請求項 5 に記載の電源装置。

[請求項 8] 前記電流供給部としての第 1 抵抗は、前記入力端子と前記第 2 コンデンサの第 1 端との間に接続される、請求項 4 に記載の電源装置。

[請求項 9] 前記トランジスタ制御部は、前記第 2 コンデンサの第 1 端と第 1 基準電圧の印加端とがそれぞれ接続される入力端と、前記第 1 トランジスタの制御端に接続される出力端と、を含む第 1 コンパレータを有する、請求項 8 に記載の電源装置。

[請求項 10] 前記第 2 コンデンサは、前記入力端子と前記電流供給部としての第 2 定電流源との間に接続される、請求項 4 に記載の電源装置。

[請求項 11] 前記第 2 定電流源と前記第 2 コンデンサとが接続される前記ノードは、P チャネル MOSFET により構成される前記第 1 トランジスタの制御端に直接的に接続される、請求項 10 に記載の電源装置。

[請求項 12] 前記電流供給部は、前記入力端子と前記第 2 コンデンサの第 1 端との間に接続され、

前記トランジスタ制御部は、前記第 2 コンデンサの第 1 端と接地端との間に接続される第 2 トランジスタを有し、

前記第 2 トランジスタの制御端は、前記所定回路のオン／オフを制

御する信号に基づいて制御される、請求項 4 から請求項 11 のいずれか 1 項に記載の電源装置。

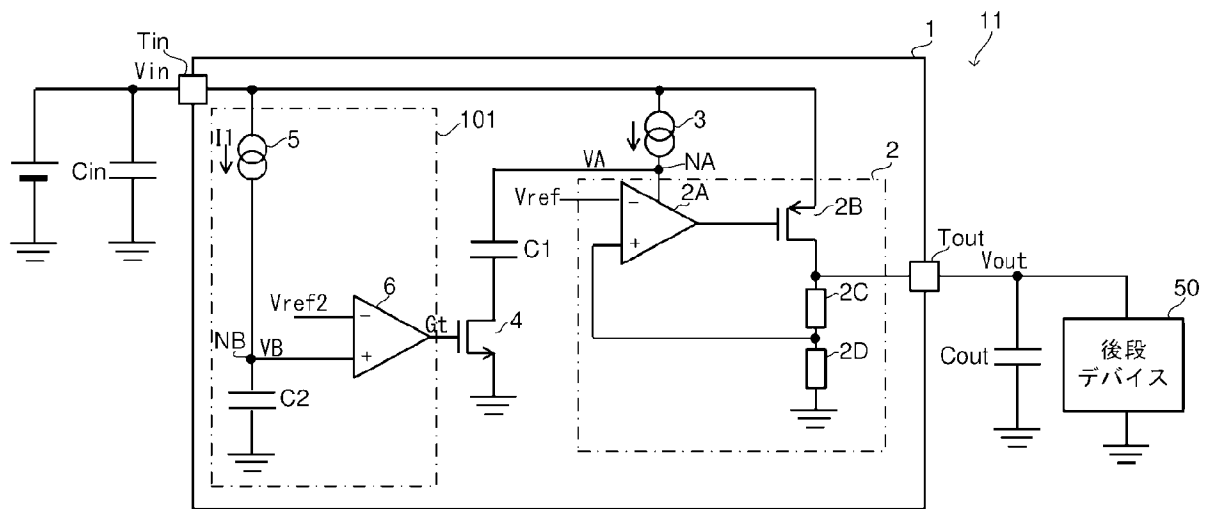
[請求項13] 前記トランジスタ制御部は、前記電源回路の出力電圧に基づく電圧と第 2 基準電圧のそれぞれが入力されるように構成される入力端と、前記第 1 トランジスタの制御端に接続される出力端と、を含む第 2 コンパレータを有する、請求項 1 から請求項 3 のいずれか 1 項に記載の電源装置。

[請求項14] 前記第 1 トランジスタに直列に接続される第 3 定電流源をさらに備える、請求項 1 から請求項 13 のいずれか 1 項に記載の電源装置。

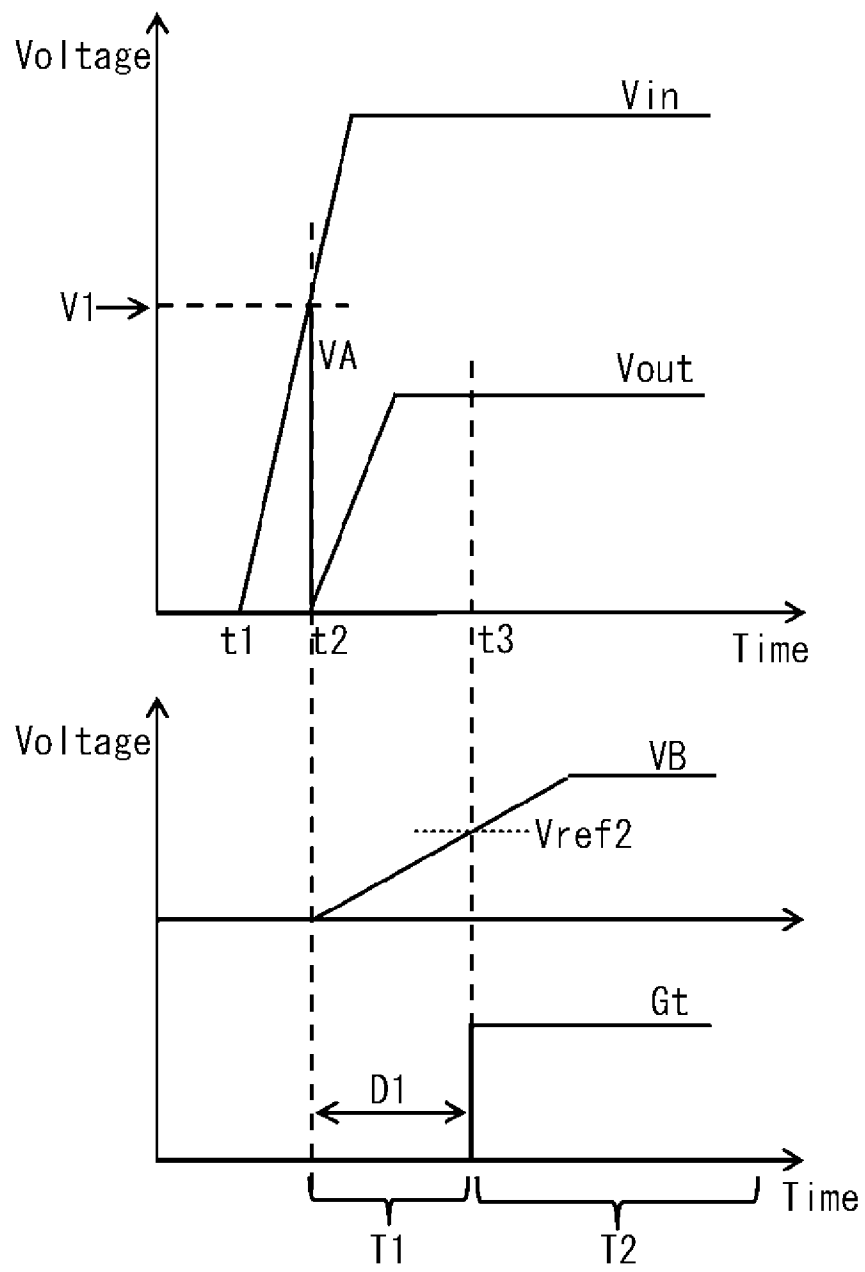
[請求項15] 前記第 1 トランジスタに直列に接続される第 2 抵抗をさらに備える、請求項 1 から請求項 13 のいずれか 1 項に記載の電源装置。

[請求項16] 請求項 1 から請求項 15 のいずれか 1 項に記載の電源装置と、前記入力端子に外部接続される入力コンデンサと、を備える、電源システム。

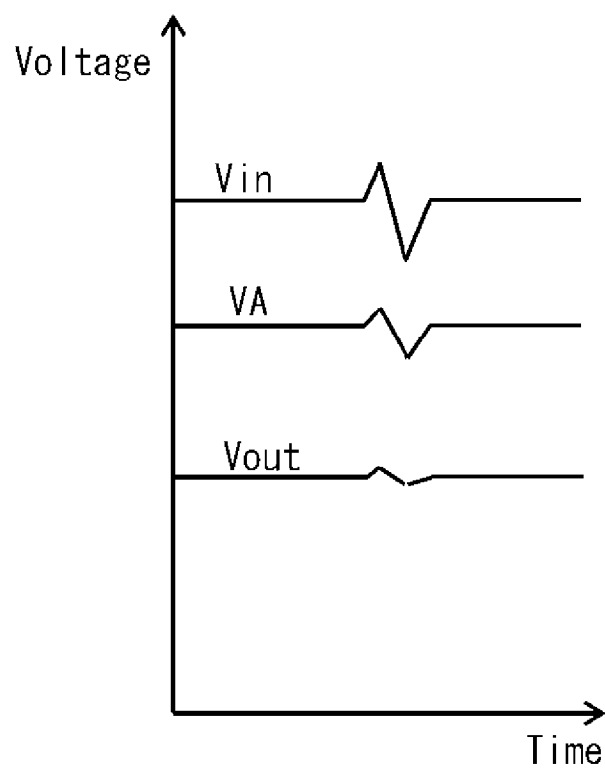
[図1]



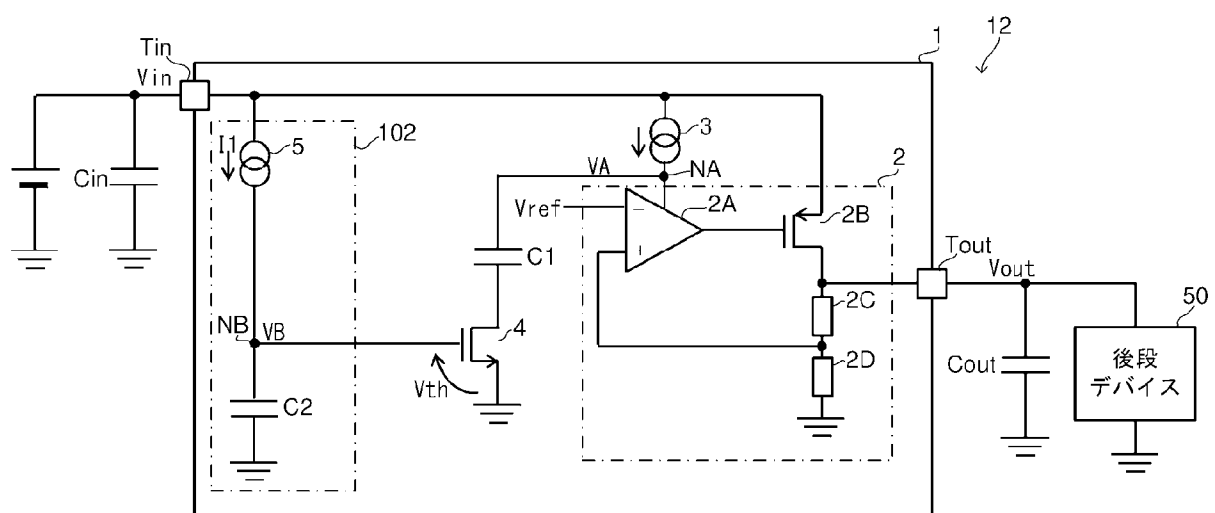
[図2]



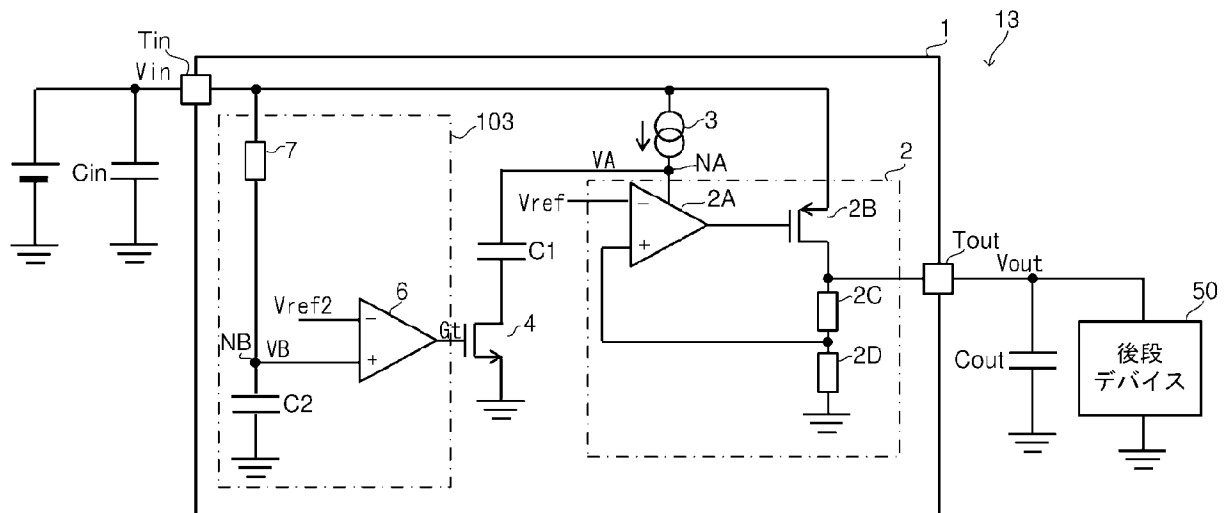
[図3]



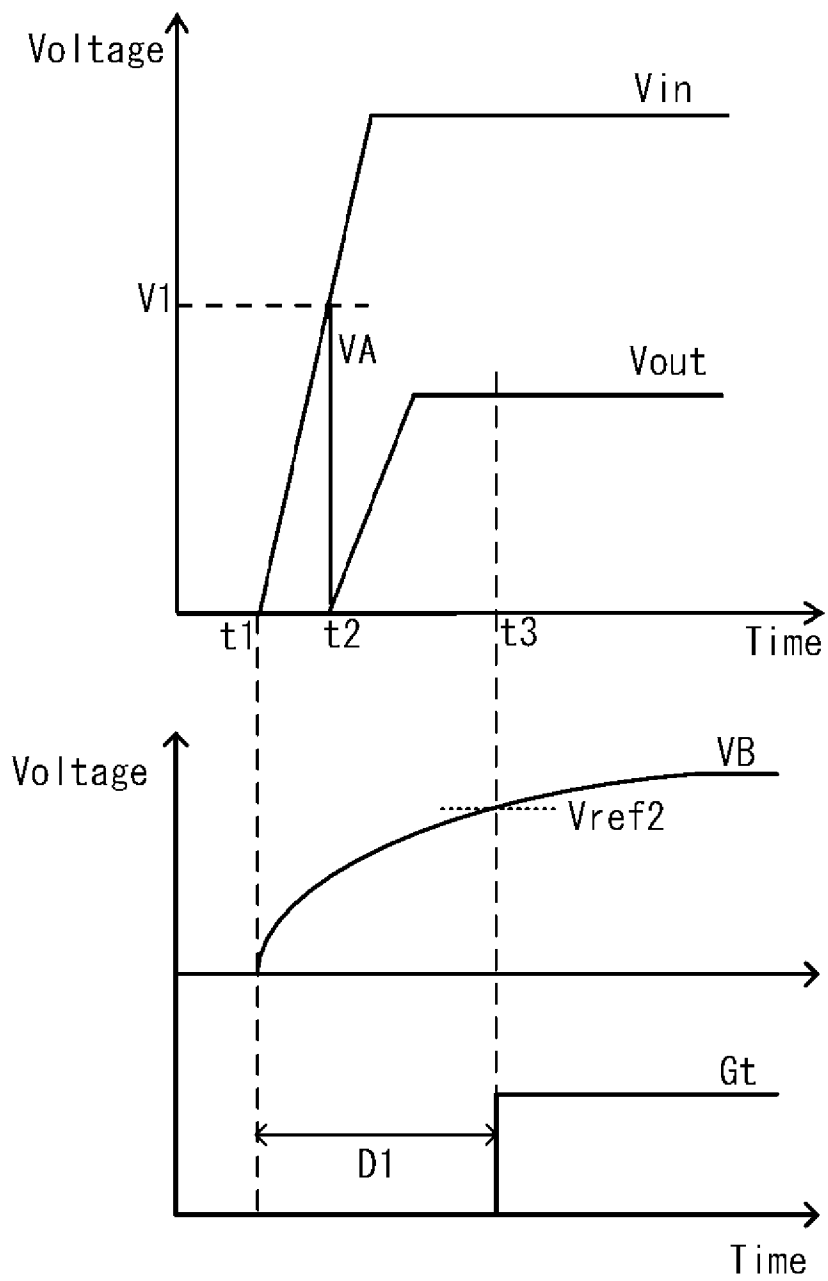
[図4]



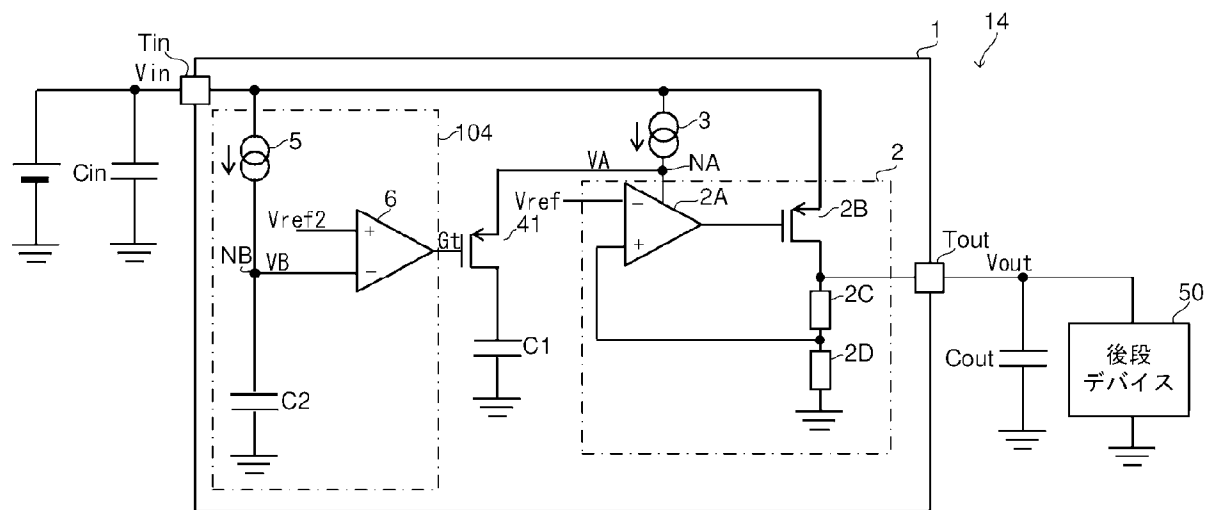
[図5]



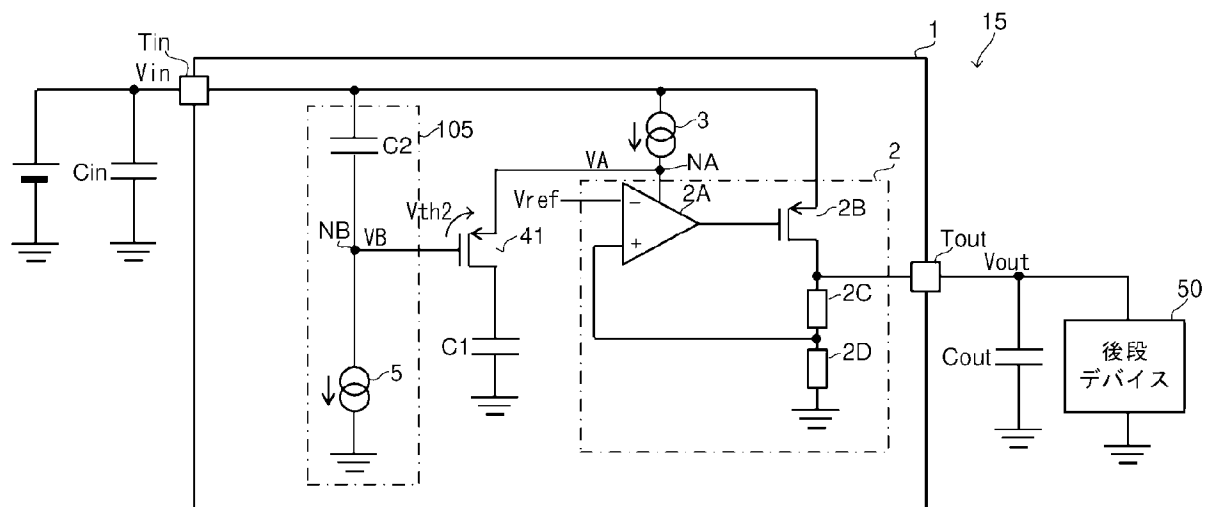
[図6]



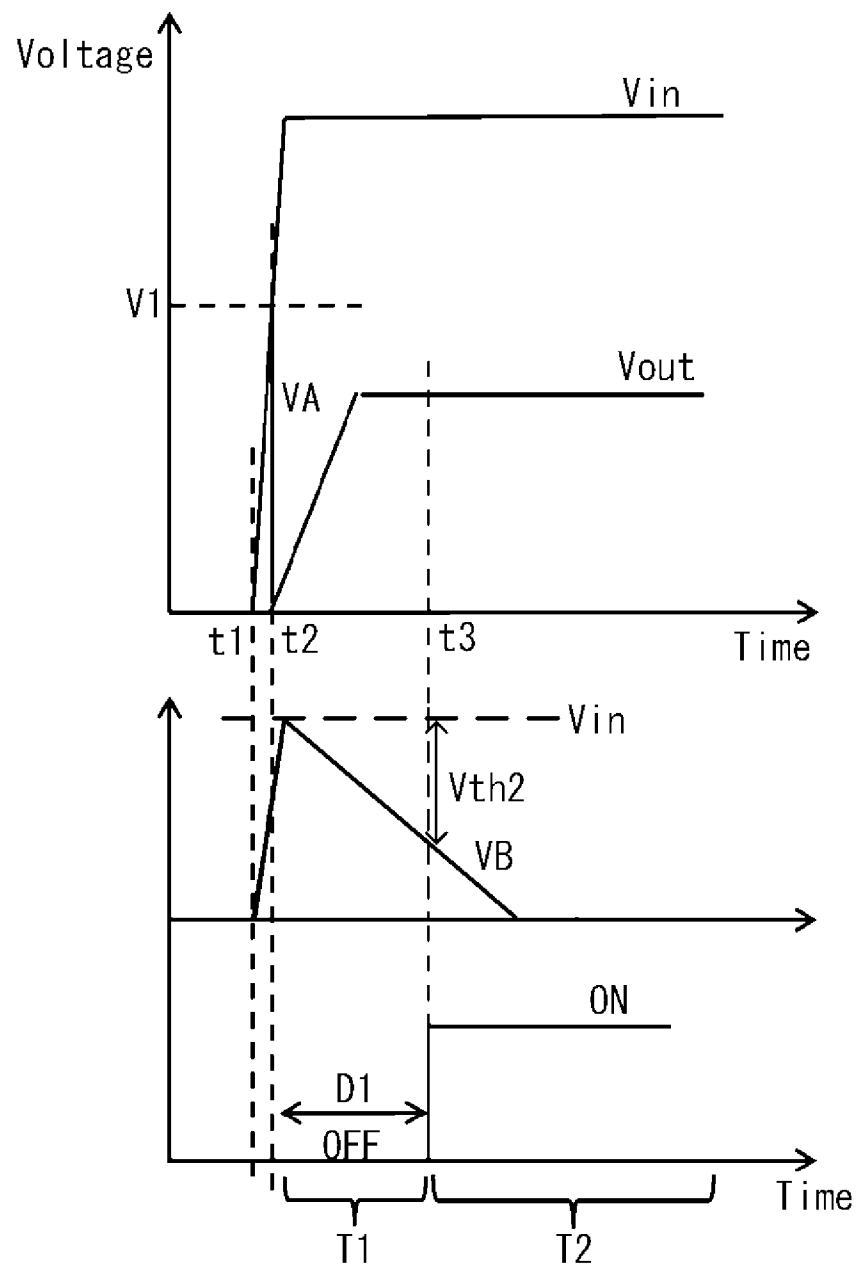
[図7]



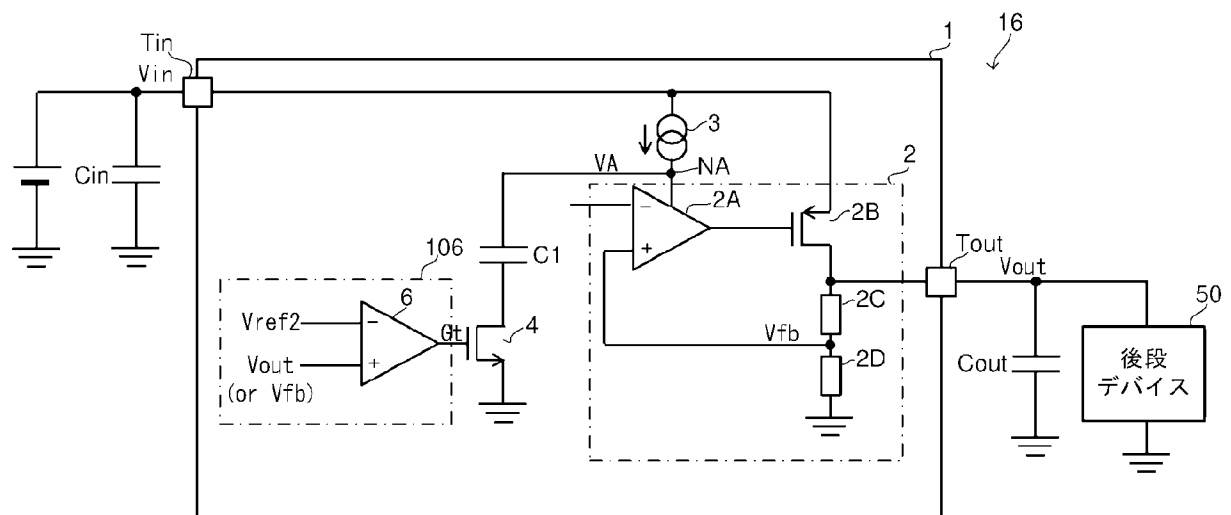
[図8]



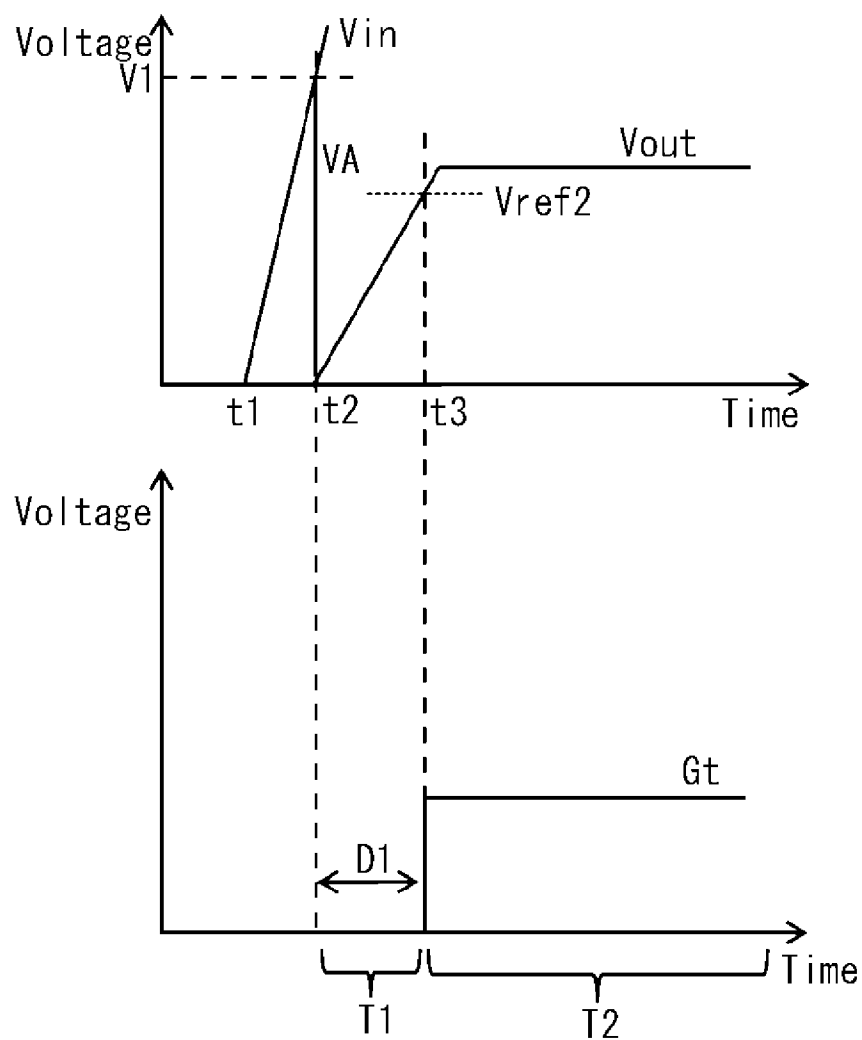
[図9]



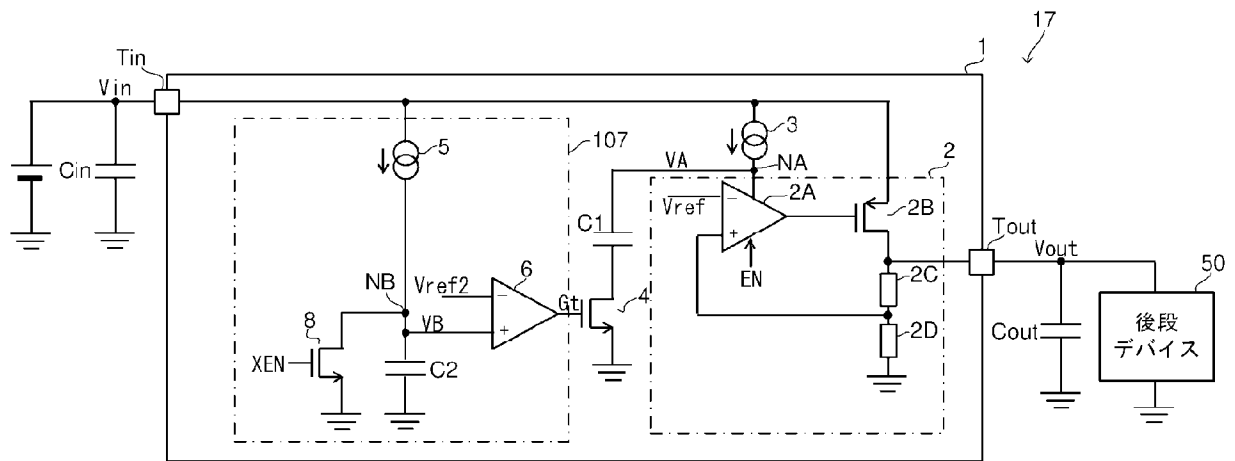
[図10]



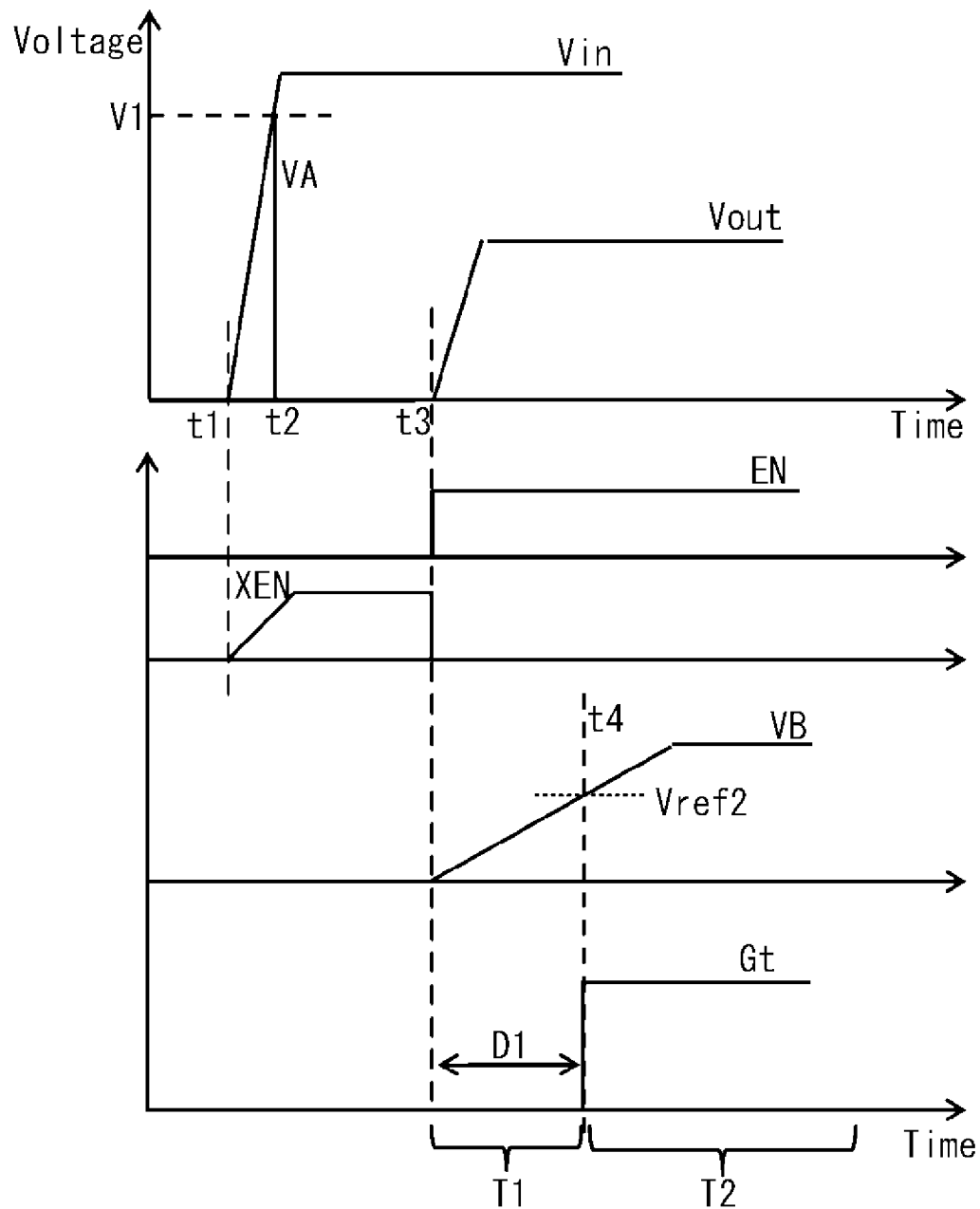
[図11]



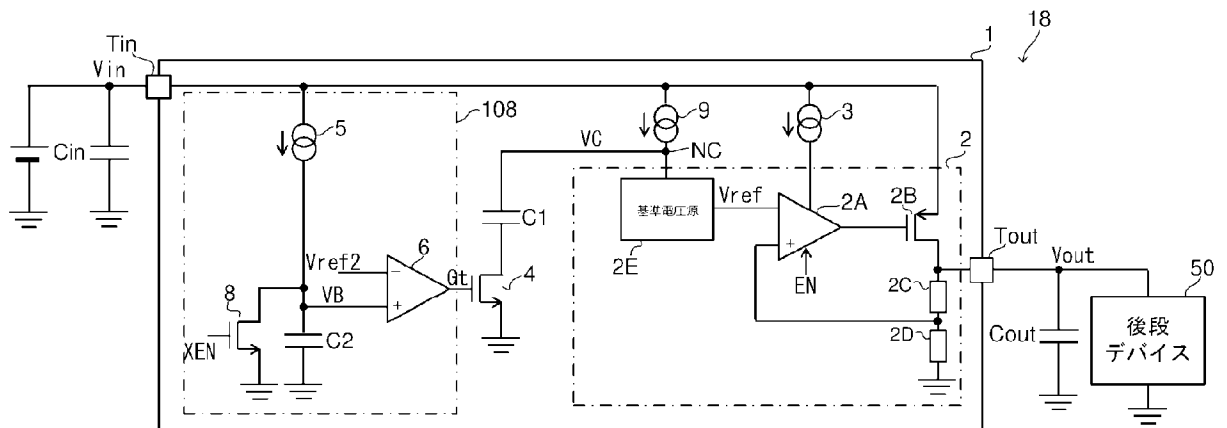
[図12]



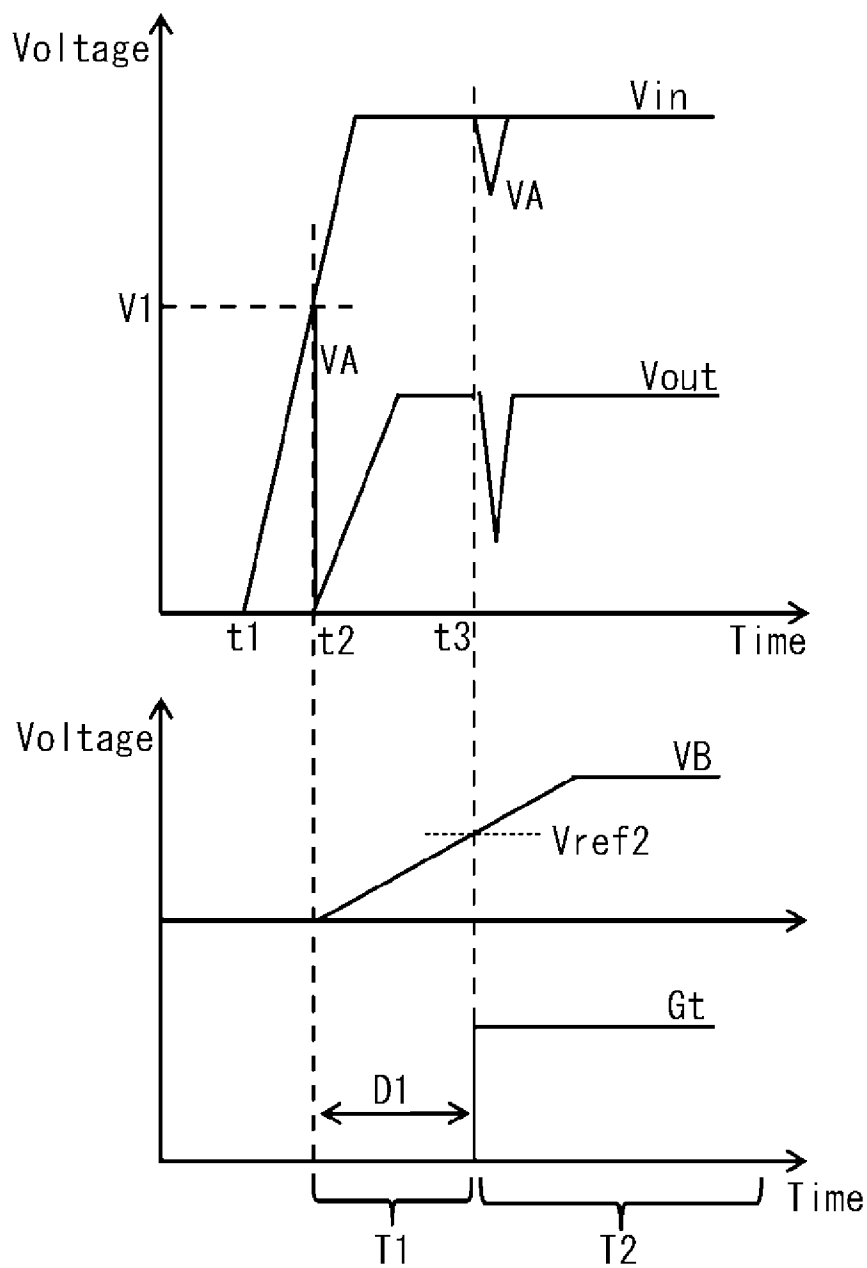
[図13]



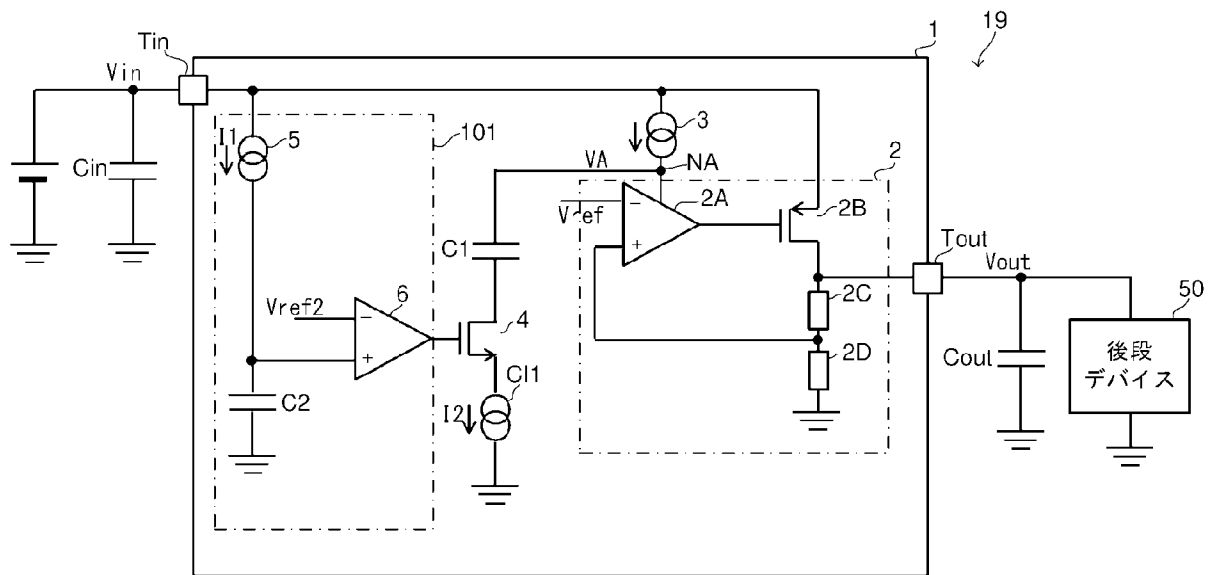
[図14]



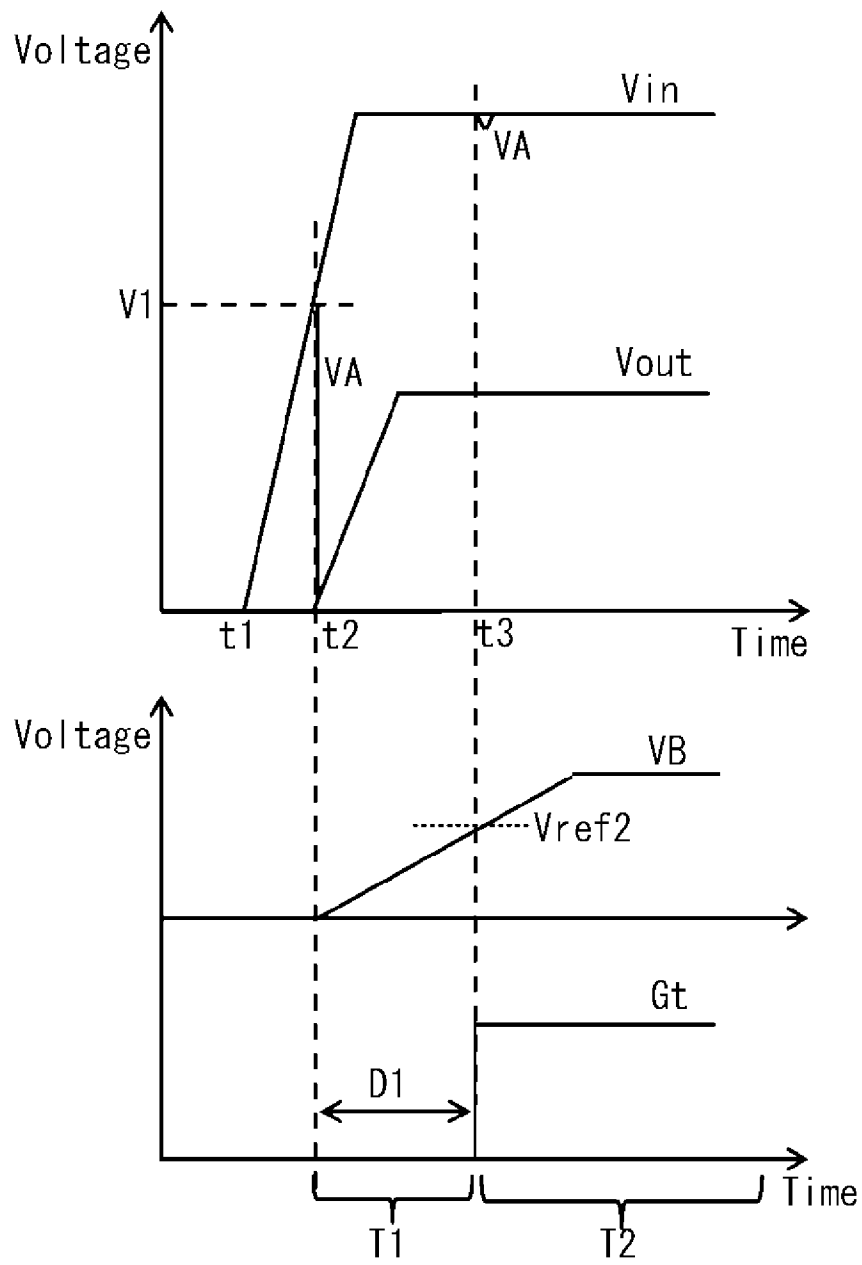
[図15]



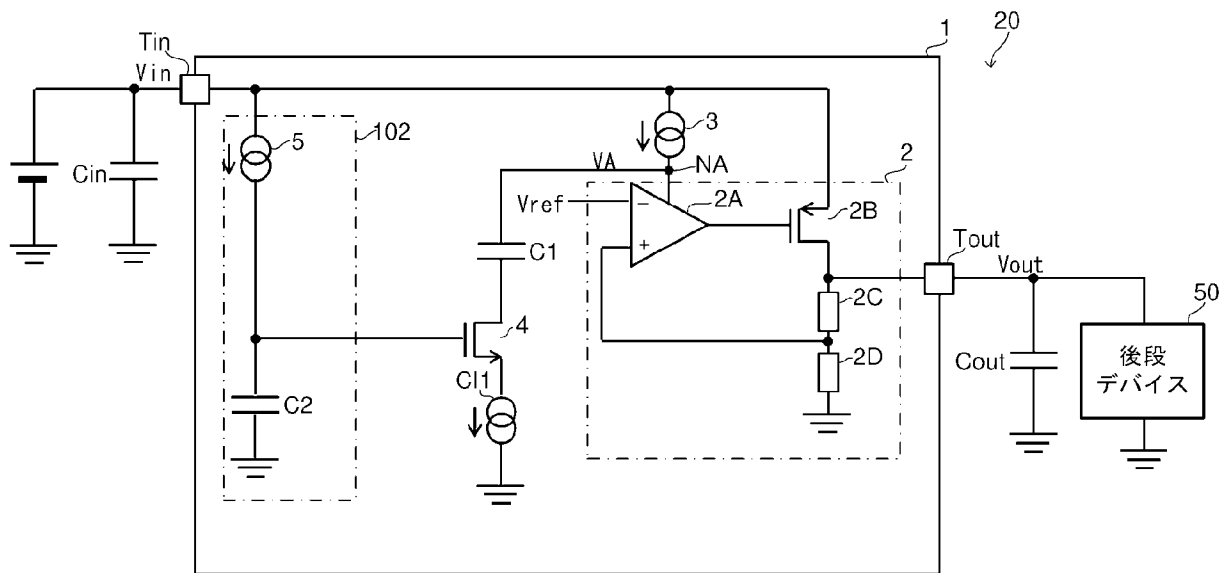
[図16]



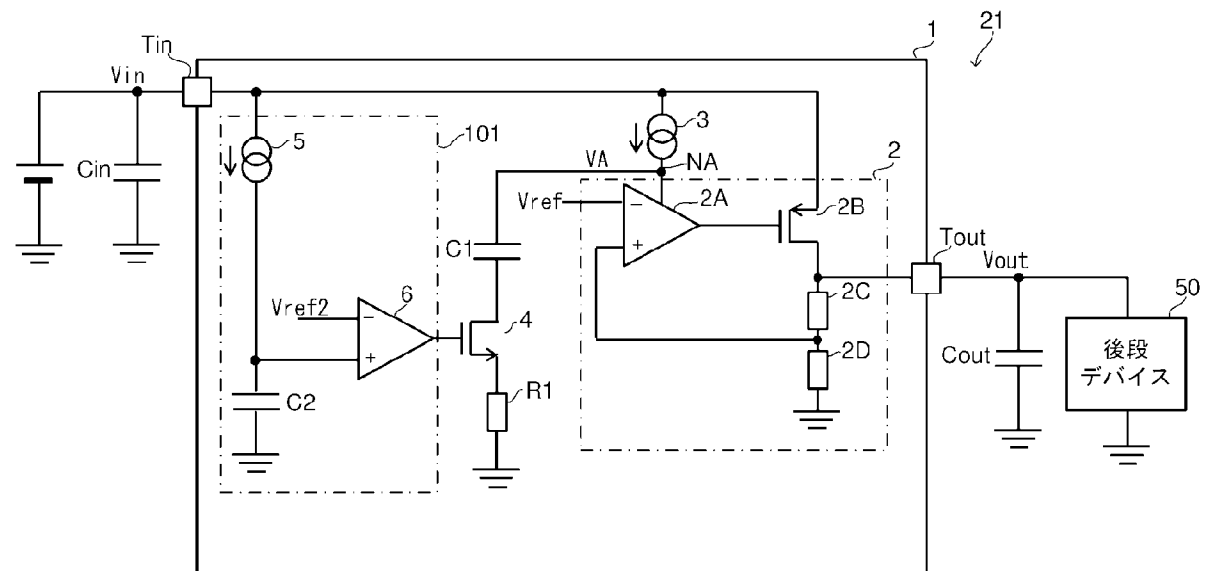
[図17]



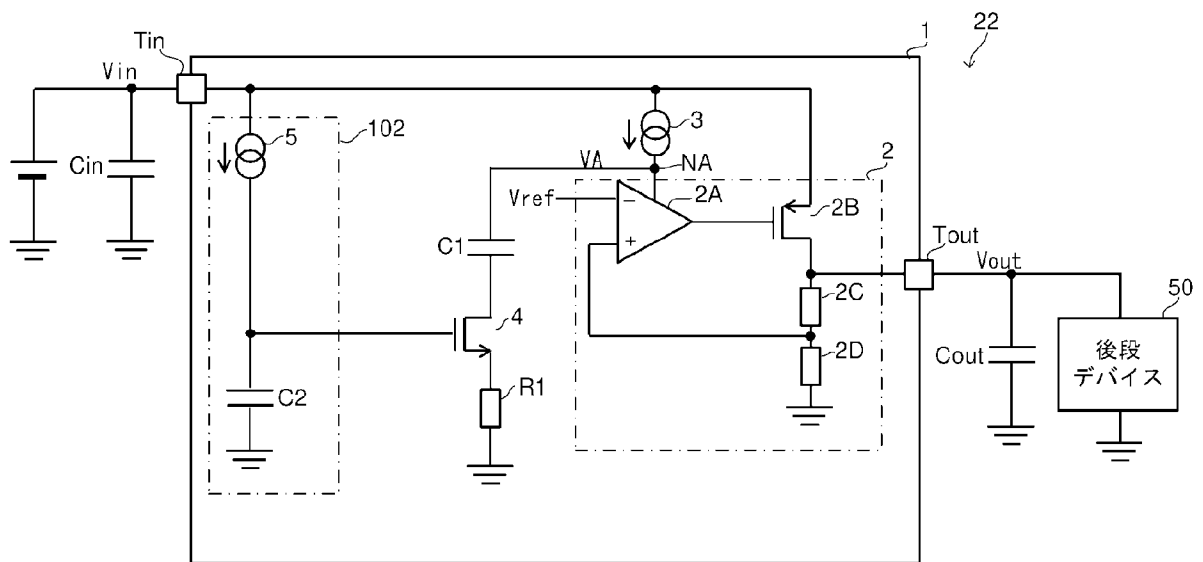
[図18]



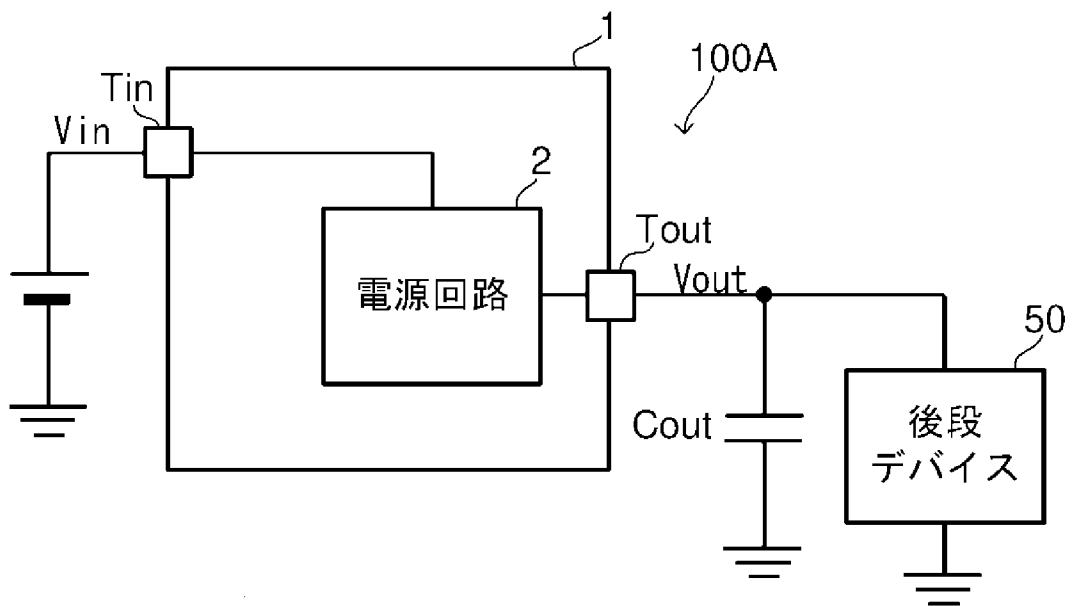
[図19]



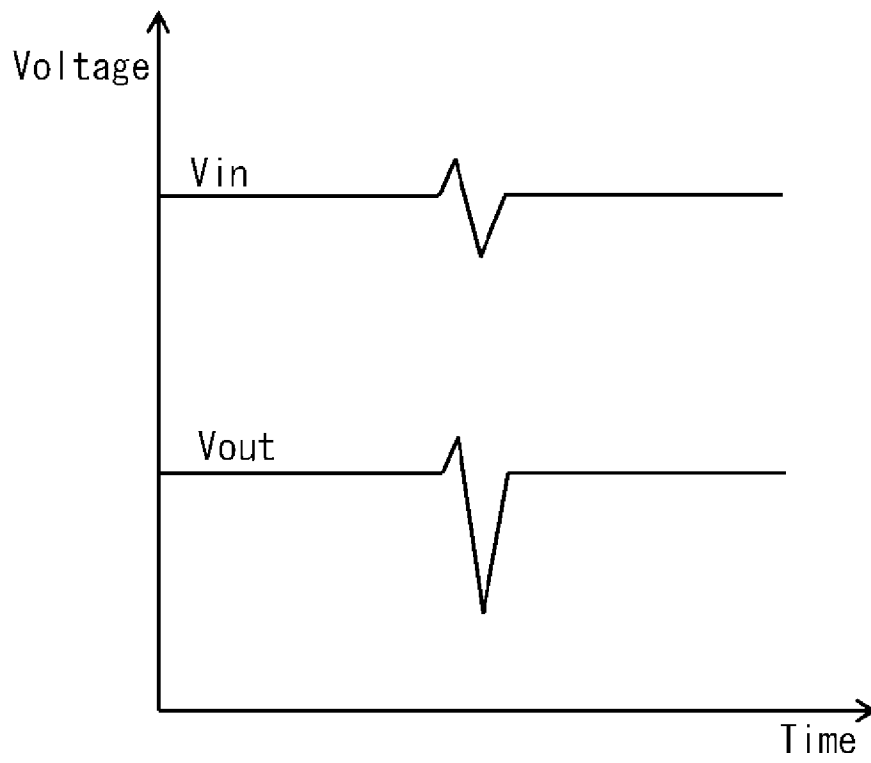
[図20]



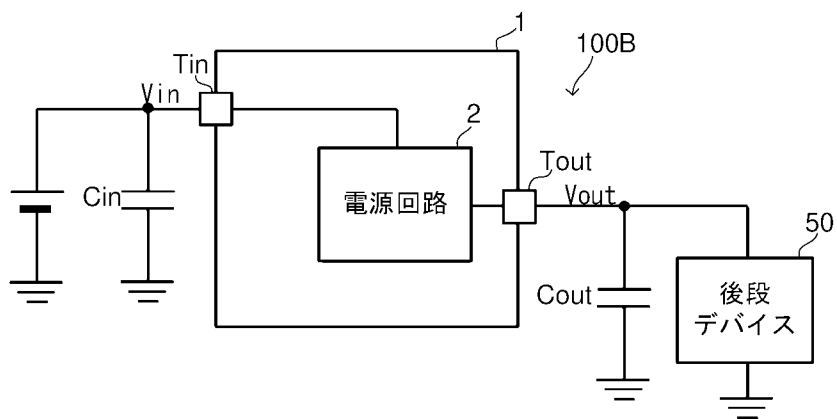
[図21]



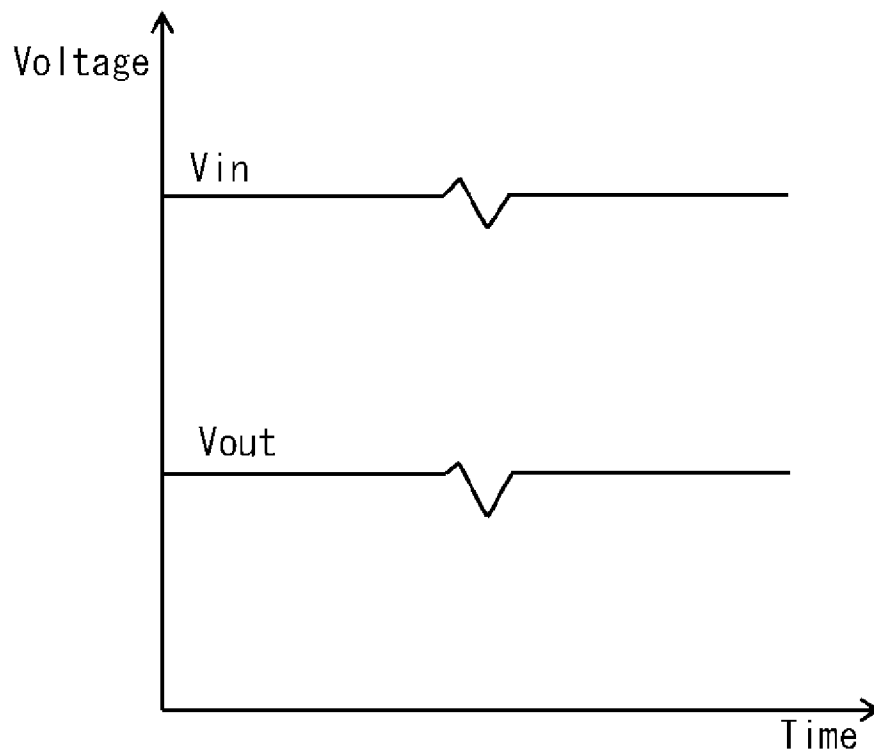
[図22]



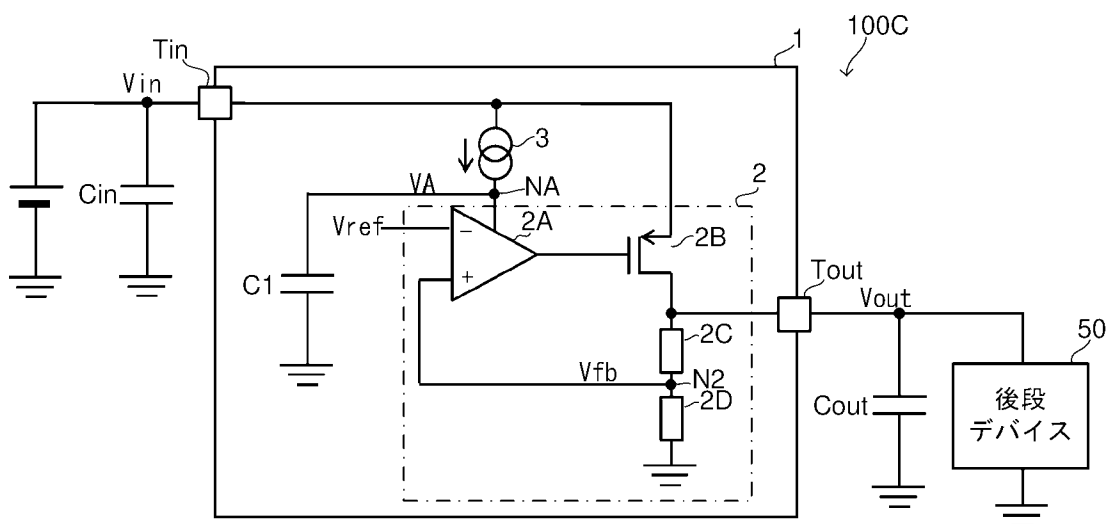
[図23]



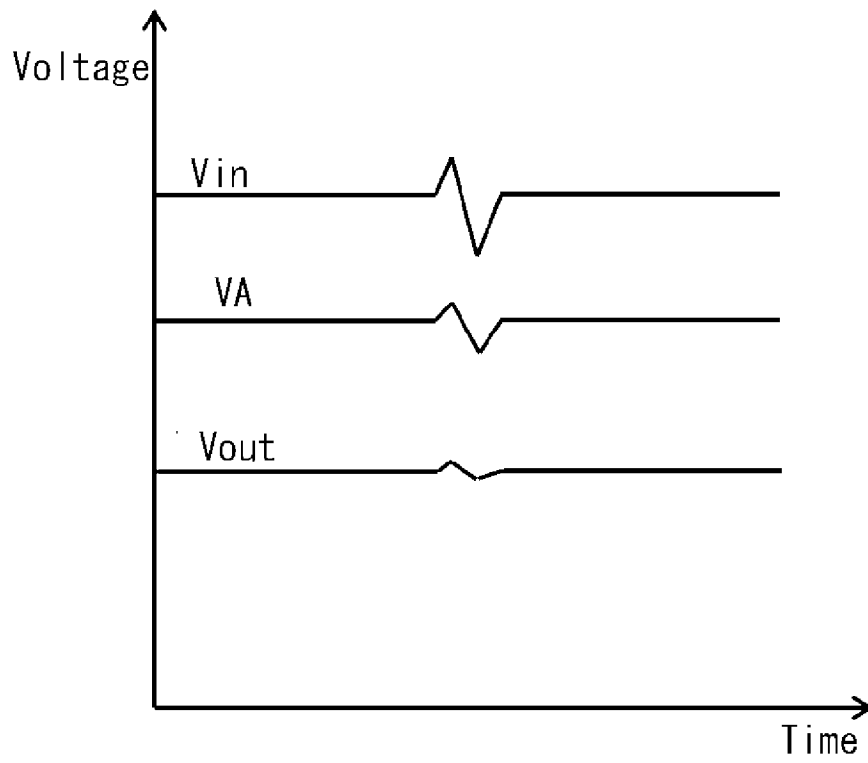
[図24]



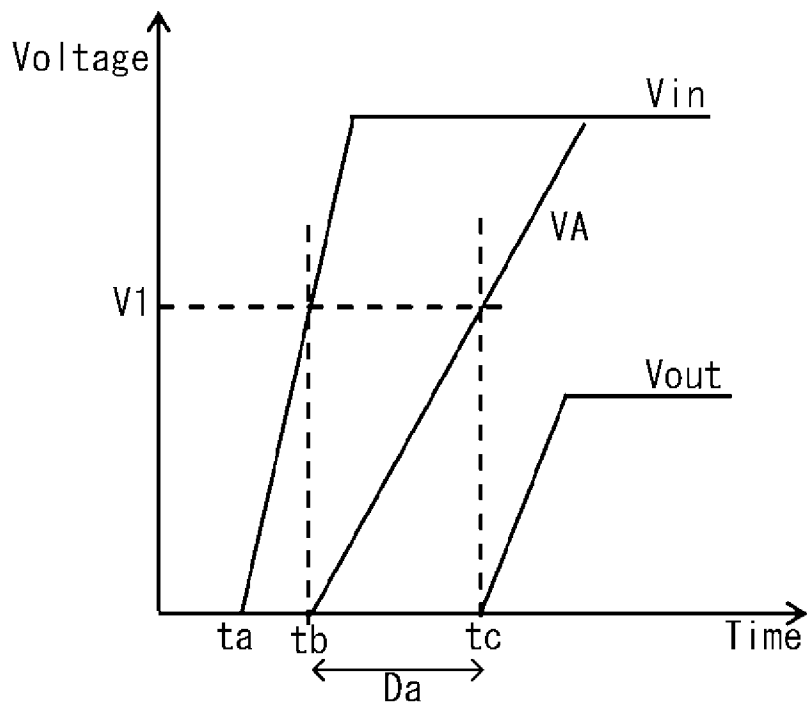
[図25]



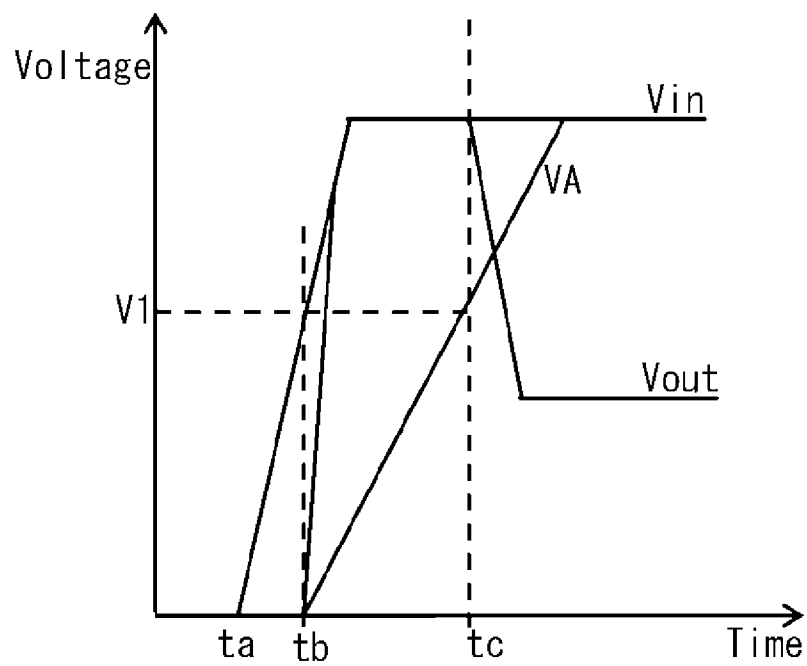
[図26]



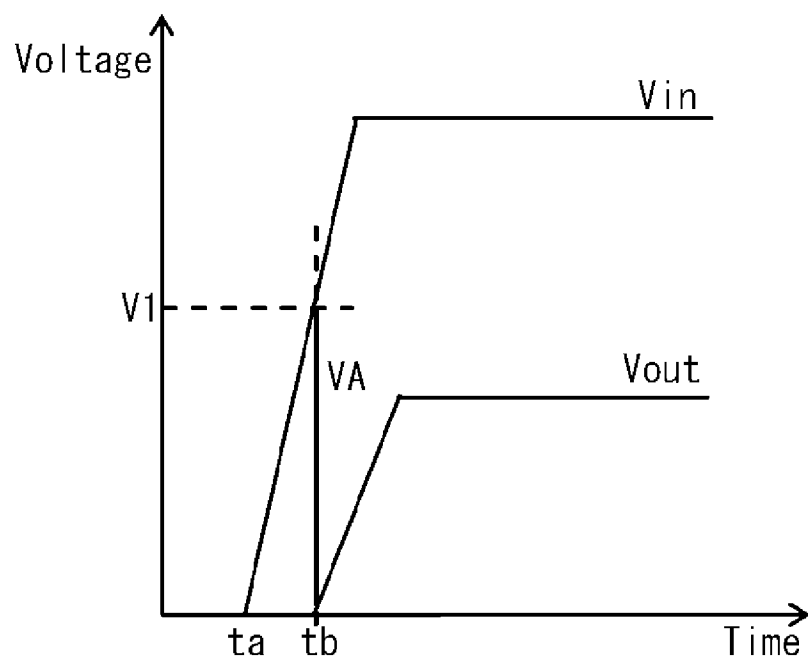
[図27]



[図28]



[図29]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/045428

A. CLASSIFICATION OF SUBJECT MATTER <i>G05F 1/56</i> (2006.01)i; <i>H02M 3/155</i> (2006.01)i FI: G05F1/56 310J; G05F1/56 310Z; H02M3/155 X; H02M3/155 B According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G05F1/56; H02M3/00-3/44 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-111399 A (SANKEN ELECTRIC CO., LTD.) 11 April 2003 (2003-04-11) entire text, all drawings	1-16
A	JP 2009-266053 A (ROHM CO., LTD.) 12 November 2009 (2009-11-12) entire text, all drawings	1-16
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 05 March 2024		Date of mailing of the international search report 19 March 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/045428

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2003-111399	A	11 April 2003	(Family: none)	
JP	2009-266053	A	12 November 2009	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC））

G05F 1/56(2006.01)i; H02M 3/155(2006.01)i

F1: G05F1/56 310J; G05F1/56 310Z; H02M3/155 X; H02M3/155 B

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

G05F1/56; H02M3/00-3/44

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922 - 1996年

日本国公開実用新案公報

1971 - 2024年

日本国実用新案登録公報

1996 - 2024年

日本国登録実用新案公報

1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2003-111399 A（サンケン電気株式会社）11.04.2003（2003 - 04 - 11） 全文，全図	1-16
A	JP 2009-266053 A（ローム株式会社）12.11.2009（2009 - 11 - 12） 全文，全図	1-16

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

05.03.2024

国際調査報告の発送日

19.03.2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

東 昌秋 5G 3139

電話番号 03-3581-1101 内線 3526

様式 PCT/ISA/210（第2ページ）（2022年7月）

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2023/045428

引用文献			公表日	パテントファミリー文献	公表日
JP	2003-111399	A	11.04.2003	(ファミリーなし)	
JP	2009-266053	A	12.11.2009	(ファミリーなし)	