



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I802478 B

(45)公告日：中華民國 112 (2023) 年 05 月 11 日

(21)申請案號：111128219

(22)申請日：中華民國 111 (2022) 年 07 月 27 日

(51)Int. Cl. : **H01L29/786 (2006.01)****H01L27/04 (2006.01)****G02F1/133 (2006.01)**

(71)申請人：友達光電股份有限公司 (中華民國) AUO CORPORATION (TW)

新竹市力行二路一號

(72)發明人：黃震鏞 HUANG, CHEN-SHUO (TW)；范揚順 FAN, YANG-SHUN (TW)

(74)代理人：葉璟宗；詹東穎；劉亞君

(56)參考文獻：

TW I658597B

TW 202204995A

TW 202228299A

CN 112805838A

US 2018/0166585A1

US 2019/0267441A1

審查人員：翁佑菱

申請專利範圍項數：10 項 圖式數：10 共 48 頁

(54)名稱

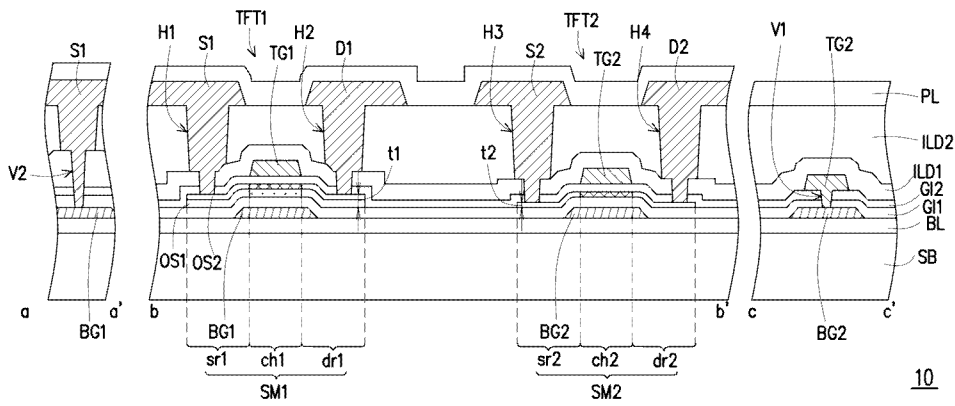
主動元件基板

(57)摘要

一種主動元件基板，包括基板、第一主動元件以及電性連接至第一主動元件的第二主動元件。第一主動元件包括第一底閘極、第一半導體結構、第一頂閘極、第一源極以及第一汲極。第一源極電性連接至第一底閘極。第二主動元件包括第二底閘極、第二半導體結構、第二頂閘極、第二源極以及第二汲極。第二半導體結構的厚度小於第一半導體結構的厚度。第二底閘極電性連接第二頂閘極。

An active component substrate includes a substrate, a first active component and a second active component electrically connected to the first active component. The first active component includes a first bottom gate, a first semiconductor structure, a first top gate, a first source and a first drain. The first source is electrically connected to the first bottom gate. The second active component includes a second bottom gate, a second semiconductor structure, a second top gate, a second source and a second drain. The thickness of the second semiconductor structure is smaller than the thickness of the first semiconductor structure. The second bottom gate is electrically connected to the second top gate.

指定代表圖：



【圖1B】

符號簡單說明：

10:主動元件基板

a-a',b-b',c-c':線

BG1:第一底閘極

BG2:第二底閘極

BL:緩衝層

ch1:第一通道區

ch2:第二通道區

D1:第一汲極

D2:第二汲極

dr1:第一汲極區

dr2:第二汲極區

GI1:第一閘介電層

GI2:第二閘介電層

H1~H4,V1,V2:接觸孔

ILD1:第一層間介電層

ILD2:第二層間介電層

OS1:第一半導體層

OS2:第二半導體層

PL:保護層

S1:第一源極

S2:第二源極

SB:基板

SM1:第一半導體結構

SM2:第二半導體結構

sr1:第一源極區

sr2:第二源極區

TFT1:第一主動元件

TFT2:第二主動元件

TG1:第一頂閘極

TG2:第二頂閘極

t1,t2:厚度



I802478

【發明摘要】

【中文發明名稱】主動元件基板

【英文發明名稱】ACTIVE COMPONENT SUBSTRATE

【中文】一種主動元件基板，包括基板、第一主動元件以及電性連接至第一主動元件的第二主動元件。第一主動元件包括第一底閘極、第一半導體結構、第一頂閘極、第一源極以及第一汲極。第一源極電性連接至第一底閘極。第二主動元件包括第二底閘極、第二半導體結構、第二頂閘極、第二源極以及第二汲極。第二半導體結構的厚度小於第一半導體結構的厚度。第二底閘極電性連接第二頂閘極。

【英文】An active component substrate includes a substrate, a first active component and a second active component electrically connected to the first active component. The first active component includes a first bottom gate, a first semiconductor structure, a first top gate, a first source and a first drain. The first source is electrically connected to the first bottom gate. The second active component includes a second bottom gate, a second semiconductor structure, a second top gate, a second source and a second drain. The thickness of the second semiconductor structure is smaller than the thickness of the first semiconductor structure.

The second bottom gate is electrically connected to the second top gate.

【指定代表圖】圖1B。

【代表圖之符號簡單說明】

10: 主動元件基板

a-a', b-b', c-c': 線

BG1: 第一底閘極

BG2: 第二底閘極

BL: 緩衝層

ch1: 第一通道區

ch2: 第二通道區

D1: 第一汲極

D2: 第二汲極

dr1: 第一汲極區

dr2: 第二汲極區

GI1: 第一閘介電層

GI2: 第二閘介電層

H1~H4, V1, V2: 接觸孔

ILD1: 第一層間介電層

ILD2: 第二層間介電層

OS1: 第一半導體層

OS2:第二半導體層

PL: 保護層

S1: 第一源極

S2: 第二源極

SB: 基板

SM1: 第一半導體結構

SM2: 第二半導體結構

sr1:第一源極區

sr2:第二源極區

TFT1: 第一主動元件

TFT2: 第二主動元件

TG1: 第一頂閘極

TG2: 第二頂閘極

t1, t2: 厚度

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 主動元件基板

【英文發明名稱】 ACTIVE COMPONENT SUBSTRATE

【技術領域】

【0001】 本發明是有關於一種主動元件基板。

【先前技術】

【0002】 薄膜電晶體是場效電晶體的一種，可以透過在玻璃基板上沈積多層的金屬層、半導體層以及介電層來形成。目前，許多電子裝置中會包括不同用途的薄膜電晶體。舉例來說，許多顯示裝置中包括薄膜電晶體陣列基板，薄膜電晶體陣列中包括開關元件以及驅動元件，其中開關元件用於控制驅動元件的閘極。藉由開關元件與驅動元件互相配合，可以控制通過驅動元件之電流的大小。

【發明內容】

【0003】 本發明提供一種主動元件基板，可以提升第一主動元件的長時間開啟的可靠度，同時增加第二主動元件的開啟電流（turn on current）。

【0004】 本發明的至少一實施例提供一種主動元件基板。主動元件基板包括基板、第一主動元件以及電性連接至第一主動元件的

第二主動元件。第一主動元件以及第二主動元件位於基板之上。第一主動元件包括第一底閘極、第一半導體結構、第一頂閘極、第一源極以及第一汲極。第一半導體結構位於第一底閘極與第一頂閘極之間。第一源極以及第一汲極電性連接至第一半導體結構。第一源極電性連接至第一底閘極。第二主動元件包括第二底閘極、第二半導體結構、第二頂閘極、第二源極以及第二汲極。第二半導體結構位於第二底閘極與第二頂閘極之間。第二半導體結構的厚度小於第一半導體結構的厚度。第二底閘極電性連接第二頂閘極。第二源極以及第二汲極電性連接至第二半導體結構。

【圖式簡單說明】

【0005】

圖 1A 是依照本發明的一實施例的一種主動元件基板的上視示意圖。

圖 1B 是圖 1A 的線 a-a'、線 b-b'以及線 c-c'的剖面示意圖。

圖 2A 是依照本發明的一些實施例的第一主動元件的第一半導體結構的厚度與閾值電壓的實驗數據圖。

圖 2B 是依照本發明的一些實施例的第一主動元件的第一半導體結構的厚度與開啟電流的實驗數據圖。

圖 3 是依照本發明的一些實施例的第一主動元件在長時間操作後的開啟電流的衰退與閾值電壓的變化。

圖 4A 至圖 4D 是圖 1 的主動元件基板的製造方法的剖面示意圖。

圖 5 是依照本發明的一實施例的一種主動元件基板的剖面示意圖。

圖 6 是依照本發明的一實施例的一種主動元件基板的剖面示意圖。

圖 7A 至圖 7D 是圖 6 的主動元件基板的製造方法的剖面示意圖。

圖 8 是依照本發明的一實施例的一種主動元件基板的剖面示意圖

圖 9 是依照本發明的一實施例的一種主動元件基板的剖面示意圖。

圖 10 是依照本發明的一實施例的一種畫素電路的示意圖。

【實施方式】

【0006】 圖 1A 是依照本發明的一實施例的一種主動元件基板上視示意圖。圖 1B 是圖 1A 的線 a-a'、線 b-b'以及線 c-c'的剖面示意圖。為了方便說明，圖 1A 顯示了主動元件基板 10 的第一底閘極 BG1、第一頂閘極 TG1、第一源極 S1、第一汲極 D1、第二底閘極 BG2、第二頂閘極 TG2、第二源極 S2 以及第二汲極 D2，並省略繪示其他構件。

【0007】請參考圖 1A 至圖 1B，主動元件基板 10 包括基板 SB、第一主動元件 TFT1 以及第二主動元件 TFT2。在一些實施例中，第二主動元件 TFT2 電性連接至第一主動元件 TFT1，但本發明不以此為限。

【0008】基板 SB 之材質可為玻璃、石英、有機聚合物或是不透光/反射材料（例如：導電材料、金屬、晶圓、陶瓷或其他可適用的材料）或是其他可適用的材料。若使用導電材料或金屬時，則在基板 SB 上覆蓋一層絕緣層（未繪示），以避免短路問題。在一些實施例中，基板 SB 為軟性基板，且基板 SB 的材料例如為聚乙烯對苯二甲酸酯（polyethylene terephthalate, PET）、聚二甲酸乙二醇酯（polyethylene naphthalate, PEN）、聚酯（polyester, PES）、聚甲基丙烯酸甲酯（polymethylmethacrylate, PMMA）、聚碳酸酯（polycarbonate, PC）、聚醯亞胺（polyimide, PI）或金屬軟板（Metal Foil）或其他可撓性材質。

【0009】緩衝層 BL 位於基板 SB 上，緩衝層 BL 為單層或多層結構，且緩衝層 BL 的材料可以包括氧化矽、氮氧化矽或其他合適的材料或上述材料的堆疊層。

【0010】第一主動元件 TFT1 以及第二主動元件 TFT2 位於基板 SB 之上。在本實施例中，第一主動元件 TFT1 以及第二主動元件 TFT2 位於緩衝層 BL 之上。

【0011】第一主動元件 TFT1 包括第一底閘極 BG1、第一半導體結構 SM1、第一頂閘極 TG1、第一源極 S1 以及第一汲極 D1。第二

主動元件 TFT2 包括第二底閘極 BG2、第二半導體結構 SM2、第二頂閘極 TG2、第二源極 S2 以及第二汲極 D2。

【0012】 第一底閘極 BG1 以及第二底閘極 BG2 位於緩衝層 BL 上。在一些實施例中，第一底閘極 BG1 以及第二底閘極 BG2 包括相同或不同的材料。在一些實施例中，第一底閘極 BG1 以及第二底閘極 BG2 的材料可包括金屬，例如鉻 (Cr)、金 (Au)、銀 (Ag)、銅 (Cu)、錫 (Sn)、鉛 (Pb)、鈦 (Hf)、鎢 (W)、鉬 (Mo)、釹 (Nd)、鈦 (Ti)、鉭 (Ta)、鋁 (Al)、鋅 (Zn) 或上述金屬的任意組合之合金或上述金屬及/或合金之疊層，但本發明不以此為限。第一底閘極 BG1 以及第二底閘極 BG2 也可以使用其他導電材料，例如：金屬的氮化物、金屬的氧化物、金屬的氮氧化物、金屬與其它導電材料的堆疊層或是其他具有導電性質之材料。

【0013】 第一閘介電層 GI1 位於第一底閘極 BG1 以及第二底閘極 BG2 上。在本實施例中，第一閘介電層 GI1 接觸第一底閘極 BG1 以及第二底閘極 BG2 的上表面。在一些實施例中，第一閘介電層 GI1 的材料包括氧化矽、氮氧化矽、氧化鋁、氧化鈦或其他合適的材料。

【0014】 第一半導體結構 SM1 與第二半導體結構 SM2 位於第一閘介電層 GI1 上。第一閘介電層 GI1 位於第一底閘極 BG1 與第一半導體結構 SM1 之間以及第二底閘極 BG2 與第二半導體結構 SM2 之間。在一些實施例中，第一半導體結構 SM1 包括第一源極區 sr1、第一汲極區 dr1 以及位於第一源極區 sr1 與第一汲極區 dr1

之間的第一通道區 ch1。類似地，第二半導體結構 SM2 包括第二源極區 sr2、第二汲極區 dr2 以及位於第二源極區 sr2 與第二汲極區 dr2 之間的第二通道區 ch2。第一源極區 sr1、第一汲極區 dr1、第二源極區 sr2 以及第二汲極區 dr2 經摻雜（例如氫摻雜）而具有低於第一通道區 ch1 以及第二通道區 ch2 的電阻率。

【0015】 在本實施例中，第二半導體結構 SM2 的厚度 t2 小於第一半導體結構 SM1 的厚度 t1。在一些實施例中，藉由增加第一半導體結構 SM1 的厚度 t1，可以降低第一通道區 ch1 的電阻率，藉此降低第一主動元件 TFT1 的閾值電壓（ V_{th} ），並提升第一主動元件 TFT1 的開啟電流。

【0016】 第一半導體結構 SM1 可以為單層結構或多層結構。在本實施例中，第一半導體結構 SM1 為多層結構，且包括第一半導體層 OS1 以及第二半導體層 OS2。第二半導體層 OS2 重疊於第一半導體層 OS1，且第一半導體層 OS1 相較於第二半導體層 OS2 更靠近基板 SB。在一些實施例中，第二半導體結構 SM2 為單層結構，且第二半導體層 OS2 與第二半導體結構 SM2 屬於相同圖案化層。

【0017】 在一些實施例中，第一半導體層 OS1、第二半導體層 OS2 與第二半導體結構 SM2 的材料包括銦鎵錫鋅氧化物（IGTZO）或氧化銦鎵鋅（IGZO）、氧化銦錫鋅（ITZO）、氧化鋁鋅錫（AZTO）、氧化銦鎢鋅（IWZO）等四元金屬化合物或包含鎵（Ga）、鋅（Zn）、銦（In）、錫（Sn）、鋁（Al）、鎢（W）中之任三者的三元金屬構成的氧化物或鑰系稀土摻雜金屬氧化物（例如 Ln-IZO）。在一

些實施例中，第一半導體層 OS1 與第二半導體層 OS2 可包括相同或不同的材料。

【0018】 第二閘介電層 GI2 位於第一閘介電層 GI1、第一半導體結構 SM1 與第二半導體結構 SM2 上。第一半導體結構 SM1 與第二半導體結構 SM2 夾在第一閘介電層 GI1 與第二閘介電層 GI2 之間。在一些實施例中，第二閘介電層 GI2 的材料包括氧化矽、氮氧化矽、氧化鋁、氧化鉛或其他合適的材料。

【0019】 第一頂閘極 TG1 與第二頂閘極 TG2 位於第二閘介電層 GI2 上。第二閘介電層 GI2 位於第一頂閘極 TG1 與第一半導體結構 SM1 之間以及第二頂閘極 TG2 與第二半導體結構 SM2 之間。第一半導體結構 SM1 位於第一底閘極 BG1 與第一頂閘極 TG1 之間。第二半導體結構 SM2 位於第二底閘極 BG2 與第二頂閘極 TG2 之間。在一些實施例中，第一頂閘極 TG1 與第二頂閘極 TG2 包括相同或不同的材料。在一些實施例中，第一頂閘極 TG1 與第二頂閘極 TG2 的材料可包括金屬，例如鉻 (Cr)、金 (Au)、銀 (Ag)、銅 (Cu)、錫 (Sn)、鉛 (Pb)、鈦 (Ti)、鎢 (W)、鉬 (Mo)、釷 (Nd)、鈦 (Ti)、鉭 (Ta)、鋁 (Al)、鋅 (Zn) 或上述金屬的任意組合之合金或上述金屬及/或合金之疊層，但本發明不以此為限。第一頂閘極 TG1 與第二頂閘極 TG2 也可以使用其他導電材料，例如：金屬的氮化物、金屬的氧化物、金屬的氮氧化物、金屬與其它導電材料的堆疊層或是其他具有導電性質之材料。

【0020】 在本實施例中，第二主動元件 TFT2 為第二底閘極 BG2 電性連接第二頂閘極 TG2 的雙閘極型薄膜電晶體（本文將其稱為 TG-sync 薄膜電晶體）。舉例來說，第二頂閘極 TG2 透過接觸孔 V1 而連接至第二底閘極 BG2，其中接觸孔 V1 穿過第一閘介電層 GI1 與第二閘介電層 GI2。

【0021】 第一層間介電層 ILD1 位於第一頂閘極 TG1 與第二頂閘極 TG2 上。第二層間介電層 ILD2 位於第一層間介電層 ILD1 上。在一些實施例中，第一層間介電層 ILD1 與第二層間介電層 ILD2 的材料包括氧化矽、氮氧化矽、氧化鋁、氧化鉛、有機絕緣材料或其他合適的材料。

【0022】 第一源極 S1、第一汲極 D1、第二源極 S2 以及第二汲極 D2 位於第二層間介電層 ILD2 上。第一源極 S1 以及第一汲極 D1 分別透過接觸孔 H1、H2 而電性連接至第一半導體結構 SM1 的第一源極區 sr1 以及第一汲極區 dr1，第二源極 S2 以及第二汲極 D2 分別透過接觸孔 H3、H4 而電性連接至第二半導體結構 SM2 的第二源極區 sr2 以及第二汲極區 dr2，其中接觸孔 H1~H4 穿過第二閘介電層 GI2、第一層間介電層 ILD1 與第二層間介電層 ILD2。在一些實施例中，第一源極 S1、第一汲極 D1、第二源極 S2 以及第二汲極 D2 的材料可包括金屬，例如鉻（Cr）、金（Au）、銀（Ag）、銅（Cu）、錫（Sn）、鉛（Pb）、鉛（Hf）、鎢（W）、鉬（Mo）、釹（Nd）、鈦（Ti）、鉭（Ta）、鋁（Al）、鋅（Zn）或上述金屬的任意組合之合金或上述金屬及/或合金之疊層，但本發明不以

此為限。第一源極 S1、第一汲極 D1、第二源極 S2 以及第二汲極 D2 也可以使用其他導電材料，例如：金屬的氮化物、金屬的氧化物、金屬的氮氧化物、金屬與其它導電材料的堆疊層或是其他具有導電性質之材料。保護層 PL 覆蓋第一源極 S1、第一汲極 D1、第二源極 S2 以及第二汲極 D2。

【0023】 在本實施例中，第一主動元件 TFT1 為第一源極 S1 電性連接至第一底閘極 BG1 的雙閘極型薄膜電晶體（本文將其稱為 source-sync 薄膜電晶體）。舉例來說，第一源極 S1 透過接觸孔 V2 而連接至第一底閘極 BG1，其中接觸孔 V2 穿過第一閘介電層 GI1、第二閘介電層 GI2、第一層間介電層 ILD1 與第二層間介電層 ILD2。在其他實施例中，第一源極 S1 未直接接觸第一底閘極 BG1，且第一源極 S1 透過其他轉接電極而電性連接第一底閘極 BG1。

【0024】 表 1 為 TG-sync 薄膜電晶體與 source-sync 薄膜電晶體在半導體結構相同的情況下，各種特性的比較。在表 1 中，◎代表優秀，○代表尚可，▽代表差。

表 1

	TG-sync	source-sync
開啟電流 (Ion)	◎	▽
閾值電壓 (Vth)	○	◎
閾值電壓均勻性 (Vth U%)	◎	○
汲極端引入的勢壘降低	◎	◎

(DIBL)		
飽和開啟電流(Saturation Ion)	◎	◎
正偏壓-溫度應力(PBTS)	▽	◎
負偏壓-溫度應力(NBTS)	◎	◎
負偏壓-照光應力(NBIS)	◎	◎

【0025】 由表 1 可以得知，TG-Sync 薄膜電晶體適合用作開關薄膜電晶體 (Switching TFT)。頂閘極電性連接至底閘極的設置可以增加開啟電流。雖然 TG-Sync 薄膜電晶體會存在 PBTS (Positive gate bias temperature stress) 的問題。然而，由於開關薄膜電晶體需要開啟的時間相對短暫，將 TG-Sync 薄膜電晶體使用於開關薄膜電晶體不容易出現可靠度的問題。

【0026】 此外，Source-Sync 薄膜電晶體適合用作驅動薄膜電晶體 (Driving TFT)。底閘極電性連接至源極的設置可以增加長期開啟的可靠性。然而，由於底閘極電性連接至低電位 (例如接地電位)，會導致 Source-Sync 薄膜電晶體的開啟電流變小。

【0027】 在圖 1A 至圖 1B 的實施例中，藉由增加第一半導體結構 SM1 的厚度 t_1 ，可以改善第一主動元件 TFT1 (Source-Sync 薄膜電晶體) 的開啟電流小的問題。此外，由於第二半導體結構 SM2 的厚度 t_2 較小，可以改善第二主動元件 TFT2 (TG-Sync 薄膜電晶體) 的漏電問題。

【0028】 圖 2A 是依照本發明的一些實施例的第一主動元件 (Source-Sync 薄膜電晶體) 的第一半導體結構的厚度與閾值電壓

的實驗數據圖。圖 2A 顯示了在第一狀況下之第一半導體結構的厚度與閾值電壓的關係以及在第二狀況下之第一半導體結構的厚度與閾值電壓的關係，其中第一狀況與第二狀況的差異在於：在第一狀況中，在沉積第一閘介電層 GI1（請參考圖 1B）時，二氧化氮對上矽甲烷的比例較高，且第一閘介電層 GI1 的厚度為 1800 埃；在第二狀況中，在沉積第一閘介電層 GI1（請參考圖 1B）時，二氧化氮對上矽甲烷的比例較低，且第一閘介電層 GI1 的厚度為 2150 埃。

【0029】 圖 2B 是依照本發明的一些實施例的第一主動元件（Source-Sync 薄膜電晶體）的第一半導體結構的厚度與開啟電流的實驗數據圖。

【0030】 由圖 2A 與圖 2B 可以得知，隨著第一半導體結構 SM1（請參考圖 1B）的厚度 t_1 增加，第一主動元件 TFT1 的閾值電壓減少，且開啟電流提升。

【0031】 圖 3 是依照本發明的一些實施例的第一主動元件（Source-Sync 薄膜電晶體）在長時間操作後的開啟電流的衰退（Ion drop）與閾值電壓的變化（ V_{th} shift）。在圖 3 中，第一主動元件在 90°C 下操作 1 小時，其中第一汲極與第一源極之間的電壓差 V_{ds} 為 20V，且操作電流為 100 μA 。此外，在圖 3 的第一主動元件中，第一通道區的寬為 50 微米，且長為 6 微米。

【0032】 由圖 3 可以得知，隨著第一半導體結構的厚度提升，第一主動元件在長前間操作後的電流衰退較小，且閾值電壓的衰退也較小。

【0033】 圖 4A 至圖 4E 是圖 1 的主動元件基板 10 的製造方法的剖面示意圖。

【0034】 請參考圖 4A，形成第一底閘極 BG1 與第二底閘極 BG2 於緩衝層 BL 上。在一些實施例中，形成第一底閘極 BG1 與第二底閘極 BG2 的方法包括：形成導電材料層（未繪出）於緩衝層 BL 上；形成圖案化光阻層（未繪出）於導電材料層上；以圖案化光阻層為遮罩蝕刻導電材料層，以形成第一底閘極 BG1 與第二底閘極 BG2；最後，移除圖案化光阻層。換句話說，第一底閘極 BG1 與第二底閘極 BG2 屬於同一圖案化層。

【0035】 接著，形成第一閘介電層 GI1 於第一底閘極 BG1 與第二底閘極 BG2 上。之後，形成第一半導體層 OS1' 於第一閘介電層 GI1 上。第一半導體層 OS1' 重疊於第一底閘極 BG1。

【0036】 請參考圖 4B，形成第二半導體層 OS2' 於第一半導體層 OS1' 上，同時形成第二半導體結構 SM2' 於第一閘介電層 GI1 上。第二半導體結構 SM2' 重疊於第二底閘極 BG2。在一些實施例中，形成第二半導體層 OS2' 與第二半導體結構 SM2' 的方法包括：形成半導體材料層（未繪出）於第一閘介電層 GI1 以及第一半導體層 OS1' 上；形成圖案化光阻層（未繪出）於半導體材料層上；以圖案化光阻層為遮罩蝕刻半導體材料層，以形成第二半導體層 OS2'。

與第二半導體結構 SM2'；最後，移除圖案化光阻層。換句話說，第二半導體層 OS2'與第二半導體結構 SM2'屬於同一圖案化層。

【0037】 在本實施例中，第一半導體結構 SM1'包括第一半導體層 OS1'與第二半導體層 OS2'的堆疊，因此，第一半導體結構 SM1'的厚度大於第二半導體結構 SM2'的厚度。

【0038】 請參考圖 4C，形成第二閘介電層 GI2 於第一半導體結構 SM1'與第二半導體結構 SM2'上。

【0039】 接著，形成第一頂閘極 TG1 與第二頂閘極 TG2 於第二閘介電層 GI2 上。在一些實施例中，形成第一頂閘極 TG1 與第二頂閘極 TG2 的方法包括：形成導電材料層（未繪出）於第二閘介電層 GI2 上；形成圖案化光阻層（未繪出）於導電材料層上；以圖案化光阻層為遮罩蝕刻導電材料層，以形成第一頂閘極 TG1 與第二頂閘極 TG2；最後，移除圖案化光阻層。換句話說，第一頂閘極 TG1 與第二頂閘極 TG2 屬於同一圖案化層。

【0040】 以第一頂閘極 TG1 與第二頂閘極 TG2 為罩幕，執行摻雜製程 P，以形成包括第一源極區 sr1、第一汲極區 dr1 以及第一通道區 ch1 的第一半導體結構 SM1 以及包括第二源極區 sr2、第二汲極區 dr2 以及第二通道區 ch2 的第二半導體結構 SM2。在一些實施例中，摻雜製程 P 例如為氫電漿摻雜或其他合適的製程。

【0041】 在一些實施例中，在形成第一頂閘極 TG1 與第二頂閘極 TG2 之前，對第一閘介電層 GI1 以及第二閘介電層 GI2 執行蝕刻製程，以形成暴露出第二底閘極 BG2 的接觸孔 V1。接著，形成第

二頂閘極 TG2 於接觸孔 V1 中，以電性連接第二底閘極 BG2。

【0042】請參考圖 4D，形成第一層間介電層 ILD1 於第一頂閘極 TG1 與第二頂閘極 TG2 上。形成第二層間介電層 ILD2 於第一層間介電層 ILD1 上。接著，執行一次或多次蝕刻製程，以形成暴露出第一源極區 sr1、第一汲極區 dr1、第二源極區 sr2 以及第二汲極區 dr2 的接觸孔 H1~H4。在一些實施例中，在形成接觸孔 H1~H4 的同時，形成暴露出第一底閘極 BG1 的接觸孔 V2。

【0043】最後，請回到圖 1A 至圖 1B，形成第一源極 S1、第一汲極 D1、第二源極 S2 以及第二汲極 D2 於第二層間介電層 ILD2 上，第一源極 S1、第一汲極 D1、第二源極 S2 以及第二汲極 D2 分別填入接觸孔 H1~H4 中。在一些實施例中，第一源極 S1 還填入接觸孔 V2 中。

【0044】最後，選擇性地形成保護層 PL 於第一源極 S1、第一汲極 D1、第二源極 S2 以及第二汲極 D2 上。至此，主動元件基板 10 大致完成。

【0045】圖 5 是依照本發明的一實施例的一種主動元件基板的剖面示意圖。在此必須說明的是，圖 5 的實施例沿用圖 1A 至圖 1B 的實施例的元件標號與部分內容，其中採用相同或近似的標號來表示相同或近似的元件，並且省略了相同技術內容的說明。關於省略部分的說明可參考前述實施例，在此不贅述。

【0046】圖 5 的主動元件基板 20 與圖 1A 至圖 1B 的主動元件基板 10 的主要差異在於：在主動元件基板 20 中，第一主動元件 TFT1

選擇性地包括轉接電極 TE。

【0047】 請參考圖 5，轉接電極 TE 電性連接第一底閘極 BG1 與第一源極 S1。轉接電極 TE 分離於第一頂閘極 TG1 與第二頂閘極 TG2。舉例來說，轉接電極 TE 透過接觸孔 V2 而連接至第一底閘極 BG1，其中接觸孔 V2 穿過第一閘介電層 GI1 與第二閘介電層 GI2。在一些實施例中，轉接電極 TE、第一頂閘極 TG1 與第二頂閘極 TG2 屬於相同圖案化層，換句話說，轉接電極 TE、第一頂閘極 TG1 與第二頂閘極 TG2 可以藉由同一次的圖案化製程所形成。另外，在本實施例中，在形成第一源極 S1 之前，在形成接觸孔 H1~H4 的同時，形成暴露出轉接電極 TE 的接觸孔 V2'。接著，形成第一源極 S1 於接觸孔 V2'中以連接轉接電極 TE。

【0048】 圖 6 是依照本發明的一實施例的一種主動元件基板的剖面示意圖。在此必須說明的是，圖 6 的實施例沿用圖 1A 至圖 1B 的實施例的元件標號與部分內容，其中採用相同或近似的標號來表示相同或近似的元件，並且省略了相同技術內容的說明。關於省略部分的說明可參考前述實施例，在此不贅述。

【0049】 圖 6 的主動元件基板 30 與圖 1A 至圖 1B 的主動元件基板 10 的主要差異在於：在主動元件基板 30 中，第一半導體結構 SM1 與第二半導體結構 SM2 屬於不同圖案化層。

【0050】 請參考圖 6，第一閘介電層 GI1 位於第一底閘極 BG1、第二底閘極 BG2 與緩衝層 BL 上。第一半導體結構 SM1 位於第一閘介電層 GI1 上。第一閘介電層 GI1 位於第一底閘極 BG1 與第一

半導體結構 SM1 之間。

【0051】 第二閘介電層 GI2 位於第一半導體結構 SM1 與第一閘介電層 GI1 上。第二半導體結構 SM2 位於第二閘介電層 GI2 上。第二閘介電層 GI2 以及第一閘介電層 GI1 位於第二底閘極 BG2 與第二半導體結構 SM2 之間。

【0052】 第三閘介電層 GI3 位於第二閘介電層 GI2 與第二半導體結構 SM2 上。

【0053】 第一頂閘極 TG1 以及第二頂閘極 TG2 位於第三閘介電層 GI3 上。第二閘介電層 GI2 位於第一頂閘極 TG1 與第一半導體結構 SM1 之間。第三閘介電層 GI3 位於第一頂閘極 TG1 與第一半導體結構 SM1 之間以及第二頂閘極 TG2 與第二半導體結構 SM2 之間。

【0054】 在本實施例中，第一半導體結構 SM1 與第二半導體結構 SM2 皆為單層結構，但本發明不以此為限。在其他實施例中，第一半導體結構 SM1 為多層結構，而第二半導體結構 SM2 為單層結構。

【0055】 在圖 6 的實施例中，藉由增加第一半導體結構 SM1 的厚度 t_1 ，可以改善第一主動元件 TFT1（Source-Sync 薄膜電晶體）的開啟電流小的問題。此外，由於第二半導體結構 SM2 的厚度 t_2 較小，可以改善第二主動元件 TFT2（TG-Sync 薄膜電晶體）的漏電問題。

【0056】 圖 7A 至圖 7D 是圖 6 的主動元件基板 30 的製造方法的

剖面示意圖。

【0057】 請參考圖 7A，形成第一底閘極 BG1 與第二底閘極 BG2 於緩衝層 BL 上。在一些實施例中，第一底閘極 BG1 與第二底閘極 BG2 屬於同一圖案化層。

【0058】 接著，形成第一閘介電層 GI1 於第一底閘極 BG1 與第二底閘極 BG2 上。之後，形成第一半導體結構 SM1' 於第一閘介電層 GI1 上。第一半導體結構 SM1' 重疊於第一底閘極 BG1。

【0059】 請參考圖 7B，形成第二閘介電層 GI2 於第一半導體結構 SM1' 以及第一閘介電層 GI1 上。接著，形成第二半導體結構 SM2' 於第二閘介電層 GI2 上。第二半導體結構 SM2' 重疊於第二底閘極 BG2。

【0060】 在本實施例中，第一半導體結構 SM1' 的厚度大於第二半導體結構 SM2' 的厚度。

【0061】 在本實施例中，第一半導體結構 SM1'、第二閘介電層 GI2 以及第二半導體結構 SM2' 依序形成，但本發明不以此為限。在其他實施例中，先形成第二半導體結構 SM2'，接著形成第二閘介電層 GI2，最後才形成第一半導體結構 SM1'。換句話說，在其他實施例中，第二閘介電層 GI2 形成於第二半導體結構 SM2' 上，且第一半導體結構 SM1' 形成於第二閘介電層 GI2 上。

【0062】 請參考圖 7C，形成第三閘介電層 GI3 於第二閘介電層 GI2 與第二半導體結構 SM2' 上。

【0063】 接著，形成第一頂閘極 TG1 與第二頂閘極 TG2 於第二閘

介電層 GI2 上。在一些實施例中，第一頂閘極 TG1 與第二頂閘極 TG2 屬於同一圖案化層。

【0064】 以第一頂閘極 TG1 與第二頂閘極 TG2 為罩幕，執行摻雜製程 P，以形成包括第一源極區 sr1、第一汲極區 dr1 以及第一通道區 ch1 的第一半導體結構 SM1 以及包括第二源極區 sr2、第二汲極區 dr2 以及第二通道區 ch2 的第二半導體結構 SM2。

【0065】 在一些實施例中，在形成第一頂閘極 TG1 與第二頂閘極 TG2 之前，對第一閘介電層 GI1 以及第二閘介電層 GI2 執行蝕刻製程，以形成暴露出第二底閘極 BG2 的接觸孔 V1。接著，形成第二頂閘極 TG2 於接觸孔 V1 中，以電性連接第二底閘極 BG2。

【0066】 請參考圖 7D，形成第一層間介電層 ILD1 於第一頂閘極 TG1 與第二頂閘極 TG2 上。形成第二層間介電層 ILD2 於第一層間介電層 ILD1 上。接著，執行一次或多次蝕刻製程，以形成暴露出第一源極區 sr1、第一汲極區 dr1、第二源極區 sr2 以及第二汲極區 dr2 的接觸孔 H1~H4。在一些實施例中，在形成接觸孔 H1~H4 的同時，形成暴露出第一底閘極 BG1 的接觸孔 V2。

【0067】 最後，請回到圖 6，形成第一源極 S1、第一汲極 D1、第二源極 S2 以及第二汲極 D2 於第二層間介電層 ILD2 上，第一源極 S1、第一汲極 D1、第二源極 S2 以及第二汲極 D2 分別填入接觸孔 H1~H4 中。在一些實施例中，第一源極 S1 還填入接觸孔 V2 中以電性連接第一底閘極 BG1。

【0068】 最後，選擇性地形成保護層 PL 於第一源極 S1、第一汲

極 D1、第二源極 S2 以及第二汲極 D2 上。至此，主動元件基板 30 大致完成。

【0069】圖 8 是依照本發明的一實施例的一種主動元件基板的剖面示意圖。在此必須說明的是，圖 8 的實施例沿用圖 6 的實施例的元件標號與部分內容，其中採用相同或近似的標號來表示相同或近似的元件，並且省略了相同技術內容的說明。關於省略部分的說明可參考前述實施例，在此不贅述。

【0070】圖 8 的主動元件基板 40 與圖 6 的主動元件基板 30 的主要差異在於：在主動元件基板 40 中，第一半導體結構 SM1 位於第二閘介電層 GI2 與第三閘介電層 GI3 之間，且第二半導體結構 SM2 位於第一閘介電層 GI1 與第二閘介電層 GI2 之間。

【0071】請參考圖 8，第一閘介電層 GI1 位於第一底閘極 BG1 與第一半導體結構 SM1 之間以及第二底閘極 BG2 與第二半導體結構 SM2 之間。

【0072】第二閘介電層 GI2 位於第一底閘極 BG1 與第一半導體結構 SM1 之間以及第二頂閘極 TG1 與第二半導體結構 SM2 之間。

【0073】第三閘介電層 GI3 位於第一頂閘極 TG1 與第一半導體結構 SM1 之間以及第二頂閘極 TG2 與第二半導體結構 SM2 之間。

【0074】在本實施例中，第一半導體結構 SM1 與第二半導體結構 SM2 皆為單層結構，但本發明不以此為限。在其他實施例中，第一半導體結構 SM1 為多層結構，而第二半導體結構 SM2 為單層結構。

【0075】 在圖 8 的實施例中，藉由增加第一半導體結構 SM1 的厚度 t_1 ，可以改善第一主動元件 TFT1（Source-Sync 薄膜電晶體）的開啟電流小的問題。此外，由於第二半導體結構 SM2 的厚度 t_2 較小，可以改善第二主動元件 TFT2（TG-Sync 薄膜電晶體）的漏電問題。

【0076】 圖 9 是依照本發明的一實施例的一種主動元件基板的剖面示意圖。圖 10 是依照本發明的一實施例的一種畫素電路的示意圖。

【0077】 在本實施例中，主動元件基板包括畫素電路 PX，畫素電路包括第一主動元件 TFT1、第二主動元件 TFT2、第三主動元件 TFT3、發光二極體 LED 以及電容 C。第一主動元件 TFT1 以及第二主動元件 TFT2 的結構可以參考圖 1A、圖 1B 以及相關內容，於此不再贅述。

【0078】 請參考圖 1B 與圖 9，第三主動元件 TFT3 具有類似於第二主動元件 TFT2 的結構。第三主動元件 TFT3 位於基板 SB 之上，且包括第三底閘極 BG3、第三半導體結構 SM3、第三頂閘極 TG3、第三源極 S3 以及第三汲極 D3。

【0079】 第三底閘極 BG3 位於緩衝層 BL 上。在一些實施例中，第一底閘極 BG1、第二底閘極 BG2 以及第三底閘極 BG3 包括相同或不同的材料。在一些實施例中，第一底閘極 BG1、第二底閘極 BG2 以及第三底閘極 BG3 屬於相同圖案化層。換句話說，第一底閘極 BG1、第二底閘極 BG2 以及第三底閘極 BG3 同時形成。

【0080】 第一閘介電層 GI1 位於第三底閘極 BG3 上。在本實施例中，第一閘介電層 GI1 接觸第三底閘極 BG3 的上表面。

【0081】 第三半導體結構 SM3 位於第一閘介電層 GI1 上。第一閘介電層 GI1 位於第三底閘極 BG3 與第三半導體結構 SM3 之間。在一些實施例中，第三半導體結構 SM3 包括第三源極區 sr3、第三汲極區 dr3 以及位於第三源極區 sr3 與第三汲極區 dr3 之間的第三通道區 ch3。第三源極區 sr3 以及第三汲極區 dr3 經摻雜（例如氫摻雜）而具有低於第三通道區 ch3 的電阻率。

【0082】 在一些實施例中，第三半導體結構 SM3 與第二半導體結構 SM2 屬於相同圖案化層。換句話說，第三半導體結構 SM3 與第二半導體結構 SM2 同時形成。在一些實施例中，第三半導體結構 SM3 的厚度 t3 與第二半導體結構 SM2 的厚度 t2 相同，且第三半導體結構 SM3 與第二半導體結構 SM2 包括相同的材料。

【0083】 第二閘介電層 GI2 位於第三半導體結構 SM3 上。第三半導體結構 SM3 夾在第一閘介電層 GI1 與第二閘介電層 GI2 之間。

【0084】 第三頂閘極 TG3 位於第二閘介電層 GI2 上。第二閘介電層 GI2 位於第三頂閘極 TG3 與第三半導體結構 SM3 之間。第三半導體結構 SM3 位於第三底閘極 BG3 與第三頂閘極 TG3 之間。在一些實施例中，第一頂閘極 TG1、第二頂閘極 TG2 以及第三頂閘極 TG3 包括相同或不同的材料。在一些實施例中，第一頂閘極 TG1、第二頂閘極 TG2 以及第三頂閘極 TG3 屬於相同圖案化層。

換句話說，第一頂閘極 TG1、第二頂閘極 TG2 以及第三頂閘極 TG3 同時形成。

【0085】 在本實施例中，第三主動元件 TFT3 為第三底閘極 BG3 電性連接第三頂閘極 TG3 的雙閘極型薄膜電晶體（TG-sync 薄膜電晶體）。舉例來說，第三頂閘極 TG3 透過接觸孔 V3 而連接至第三底閘極 BG3，其中接觸孔 V3 穿過第一閘介電層 GI1 與第二閘介電層 GI2。

【0086】 第一層間介電層 ILD1 位於第三頂閘極 TG3 上。第二層間介電層 ILD2 位於第一層間介電層 ILD1 上。

【0087】 第三源極 S3 以及第三汲極 D3 位於第二層間介電層 ILD2 上。第三源極 S3 以及第三汲極 D3 分別透過接觸孔 H5、H6 而電性連接至第三半導體結構 SM3 的第三源極區 sr3 以及第三汲極區 dr3，其中接觸孔 H5、H6 穿過第二閘介電層 GI2、第一層間介電層 ILD1 與第二層間介電層 ILD2。在一些實施例中，第一源極 S1、第一汲極 D1、第二源極 S2、第二汲極 D2、第三源極 S3 以及第三汲極 D3 包括相同或不同的材料。在一些實施例中，第一源極 S1、第一汲極 D1、第二源極 S2、第二汲極 D2、第三源極 S3 以及第三汲極 D3 屬於相同圖案化層。換句話說，第一源極 S1、第一汲極 D1、第二源極 S2、第二汲極 D2、第三源極 S3 以及第三汲極 D3 同時形成。

【0088】 請同時參考圖 1B、圖 9 以及圖 10，在畫素電路 PX 中，第一主動元件 TFT1 的第一汲極 D1 電性連接至電壓 V_{DD} ，第一源

極 S1 電性連接至發光二極體 LED(例如為有機發光二極體或無機發光二極體)的其中一端、電容 C 的其中一端以及第三主動元件 TFT3 的第三汲極 D3；第一頂閘極 TG1 電性連接至電容 C 的其中另一端以及第二主動元件 TFT2 的第二源極 S2。發光二極體 LED 的其中另一端電性連接至電壓 V_{SS} ，電壓 V_{DD} 高於 V_{SS} 。

【0089】 第二主動元件 TFT2 的第二汲極 D2 電性連接至資料線電壓 V_{DL} ，第二頂閘極 TG2 電性連接至第一掃描線電壓 V_{SCAN1} 。

【0090】 第三主動元件 TFT3 的第三源極 S3 電性連接至共用線電壓 V_{COM} ，第三頂閘極 TG3 電性連接至第二掃描線電壓 V_{SCAN2} 。

【0091】 在本實施例中，第二主動元件 TFT2 作為開關薄膜電晶體，第一主動元件 TFT1 作為驅動薄膜電晶體，且第二主動元件 TFT2 用於控制第一主動元件 TFT1 之第一頂閘極 TG1 的開關。第三主動元件 TFT3 作為感測薄膜電晶體，用於將通過第一主動元件 TFT1 之驅動電流的資訊傳送給外部晶片。

【0092】 綜上所述，本發明可以提升第一主動元件的長時間開啟的可靠度，同時增加第二主動元件與第三主動元件的開啟電流。

【符號說明】

【0093】

10, 20, 30, 40: 主動元件基板

a-a', b-b', c-c': 線

BG1: 第一底閘極

BG2: 第二底閘極

BG3: 第三底閘極

BL: 緩衝層

C: 電容

ch1: 第一通道區

ch2: 第二通道區

ch3: 第三通道區

D1: 第一汲極

D2: 第二汲極

D3: 第三汲極

dr1: 第一汲極區

dr2: 第二汲極區

dr3: 第三汲極區

GI1: 第一閘介電層

GI2: 第二閘介電層

GI3: 第三閘介電層

H1~H6, V1~V3, V2': 接觸孔

ILD1: 第一層間介電層

ILD2: 第二層間介電層

OS1, OS1': 第一半導體層

OS2, OS2': 第二半導體層

P: 摻雜製程

PL: 保護層

PX:畫素電路

S1: 第一源極

S2: 第二源極

S3: 第三源極

SB: 基板

SM1, SM1': 第一半導體結構

SM2, SM2': 第二半導體結構

SM3: 第三半導體結構

sr1:第一源極區

sr2:第二源極區

sr3:第三源極區

TFT1: 第一主動元件

TFT2: 第二主動元件

TFT3: 第三主動元件

TG1: 第一頂閘極

TG2: 第二頂閘極

TG3: 第三頂閘極

t1~t3: 厚度

V_{COM}: 共用線電壓

V_{DD}, V_{SS}: 電壓

V_{DL}: 資料線電壓

V_{SCAN1} :第一掃描線電壓

V_{SCAN2} :第二掃描線電壓

【發明申請專利範圍】

【請求項1】 一種主動元件基板，包括：

一基板；

一第一主動元件，位於該基板之上，且包括：

一第一底閘極、一第一半導體結構以及一第一頂閘極，其中該第一半導體結構位於該第一底閘極與該第一頂閘極之間；以及

一第一源極以及一第一汲極，電性連接至該第一半導體結構，且該第一源極電性連接至該第一底閘極；以及

一第二主動元件，位於該基板之上，且電性連接至該第一主動元件，其中該第二主動元件包括：

一第二底閘極、一第二半導體結構以及一第二頂閘極，其中該第二半導體結構位於該第二底閘極與該第二頂閘極之間，且該第二半導體結構的厚度小於該第一半導體結構的厚度，且該第二底閘極電性連接該第二頂閘極；以及

一第二源極以及一第二汲極，電性連接至該第二半導體結構。

【請求項2】 如請求項1所述的主動元件基板，更包括：

一第一閘介電層，位於該第一底閘極與該第一半導體結構之間以及該第二底閘極與該第二半導體結構之間；以及

一第二閘介電層，位於該第一頂閘極與該第一半導體結構之間以及該第二頂閘極與該第二半導體結構之間。

【請求項3】 如請求項1所述的主動元件基板，更包括：

一第一閘介電層，位於該第一底閘極與該第一半導體結構之間以及該第二底閘極與該第二半導體結構之間；

一第二閘介電層，位於該第一頂閘極與該第一半導體結構之間以及該第二底閘極與該第二半導體結構之間；以及

一第三閘介電層，位於該第一頂閘極與該第一半導體結構之間以及該第二頂閘極與該第二半導體結構之間。

【請求項4】 如請求項1所述的主動元件基板，更包括：

一第一閘介電層，位於該第一底閘極與該第一半導體結構之間以及該第二底閘極與該第二半導體結構之間；

一第二閘介電層，位於該第一底閘極與該第一半導體結構之間以及該第二頂閘極與該第二半導體結構之間；以及

一第三閘介電層，位於該第一頂閘極與該第一半導體結構之間以及該第二頂閘極與該第二半導體結構之間。

【請求項5】 如請求項1所述的主動元件基板，更包括：

一第三主動元件，位於該基板之上，且包括：

一第三底閘極、一第三半導體結構以及一第三頂閘極，其中該第三半導體結構位於該第三底閘極與該第三頂閘極之間，且該第三底閘極電性連接該第三頂閘極；以及

一第三源極以及一第三汲極，電性連接至該第三半導體結構，其中該第二源極電性連接至該第一頂閘極，且該第一源極電性連接至該第三汲極。

【請求項6】 如請求項5所述的主動元件基板，其中該第三半導體結構與該第二半導體結構包括相同的厚度。

【請求項7】 如請求項1所述的主動元件基板，其中該第一半導體結構為單層結構或多層結構。

【請求項8】 如請求項7所述的主動元件基板，其中該第一半導體結構為多層結構，且包括：

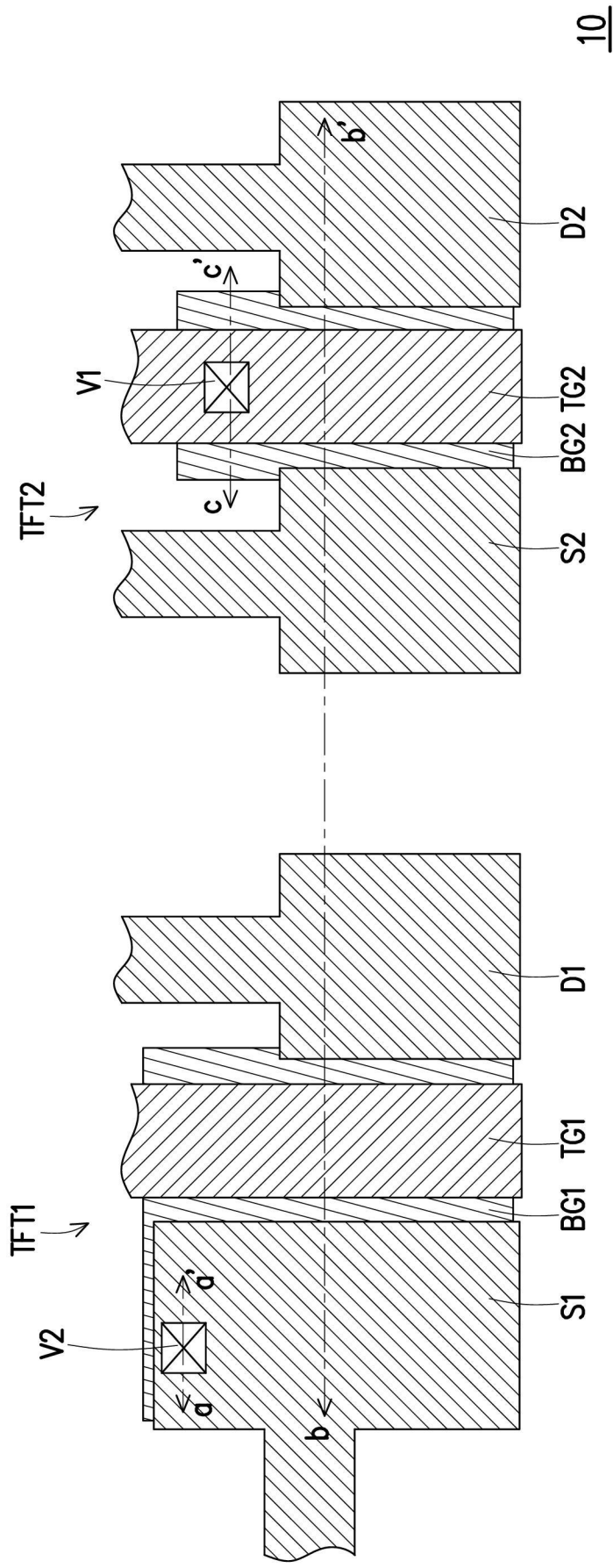
一第一半導體層；以及

一第二半導體層，重疊於該第一半導體層，且該第二半導體層與該第二半導體結構屬於同一圖案化層。

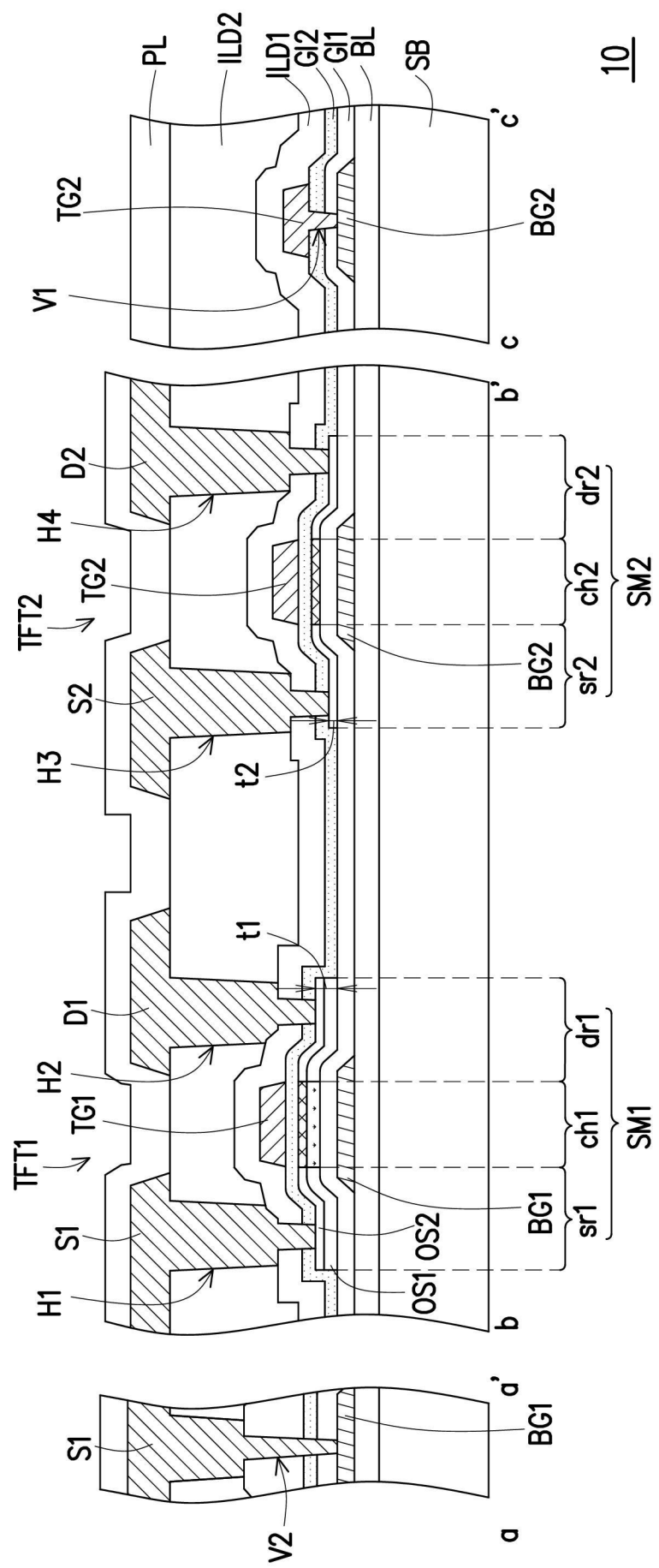
【請求項9】 如請求項8所述的主動元件基板，其中該第一半導體層與該第二半導體層包括不同的材料。

【請求項10】 如請求項1所述的主動元件基板，其中該第一底閘極與該第二底閘極屬於同一圖案化層，且該第一頂閘極與該第二頂閘極屬於另外同一圖案化層。

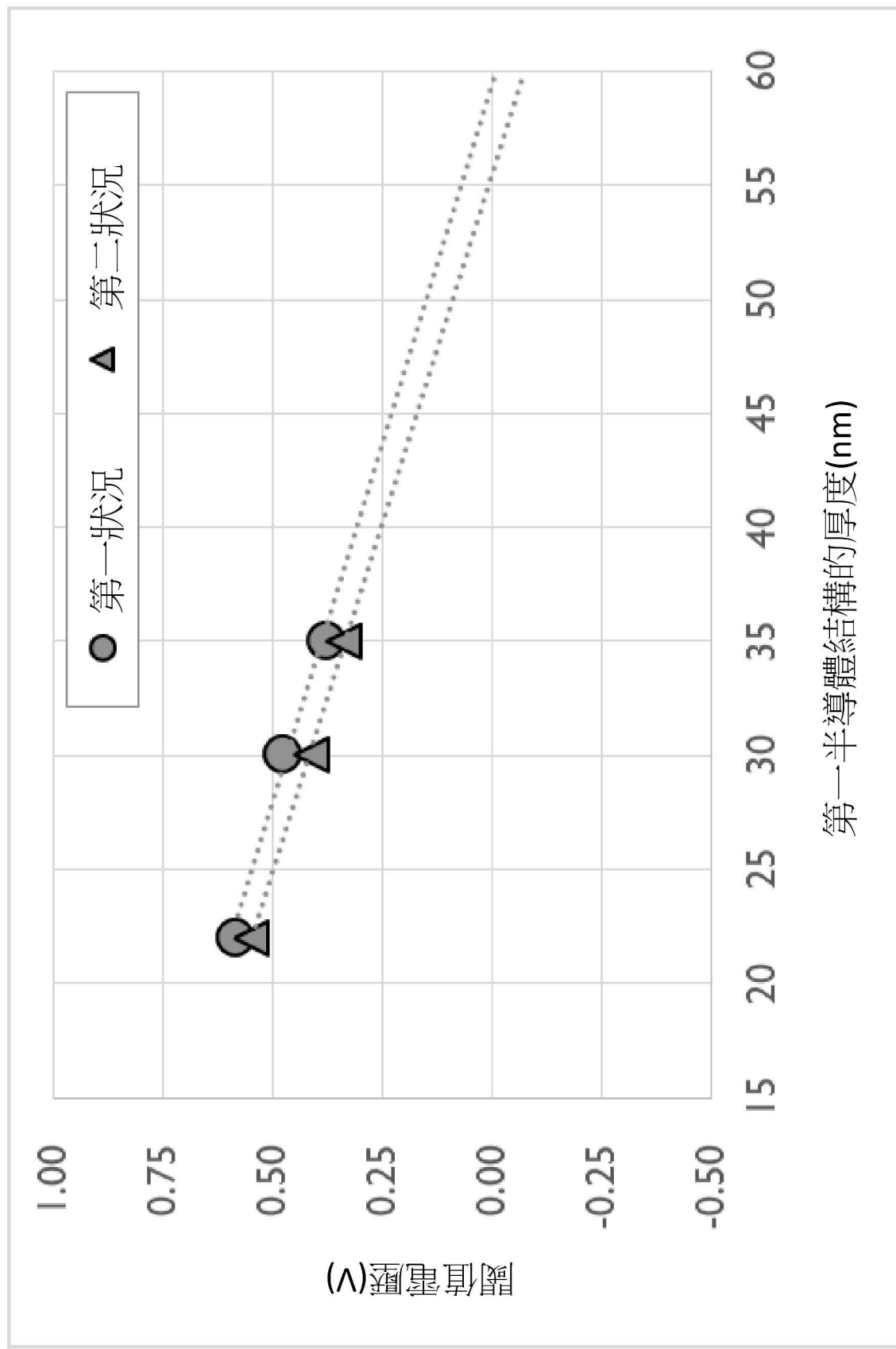
【發明圖式】



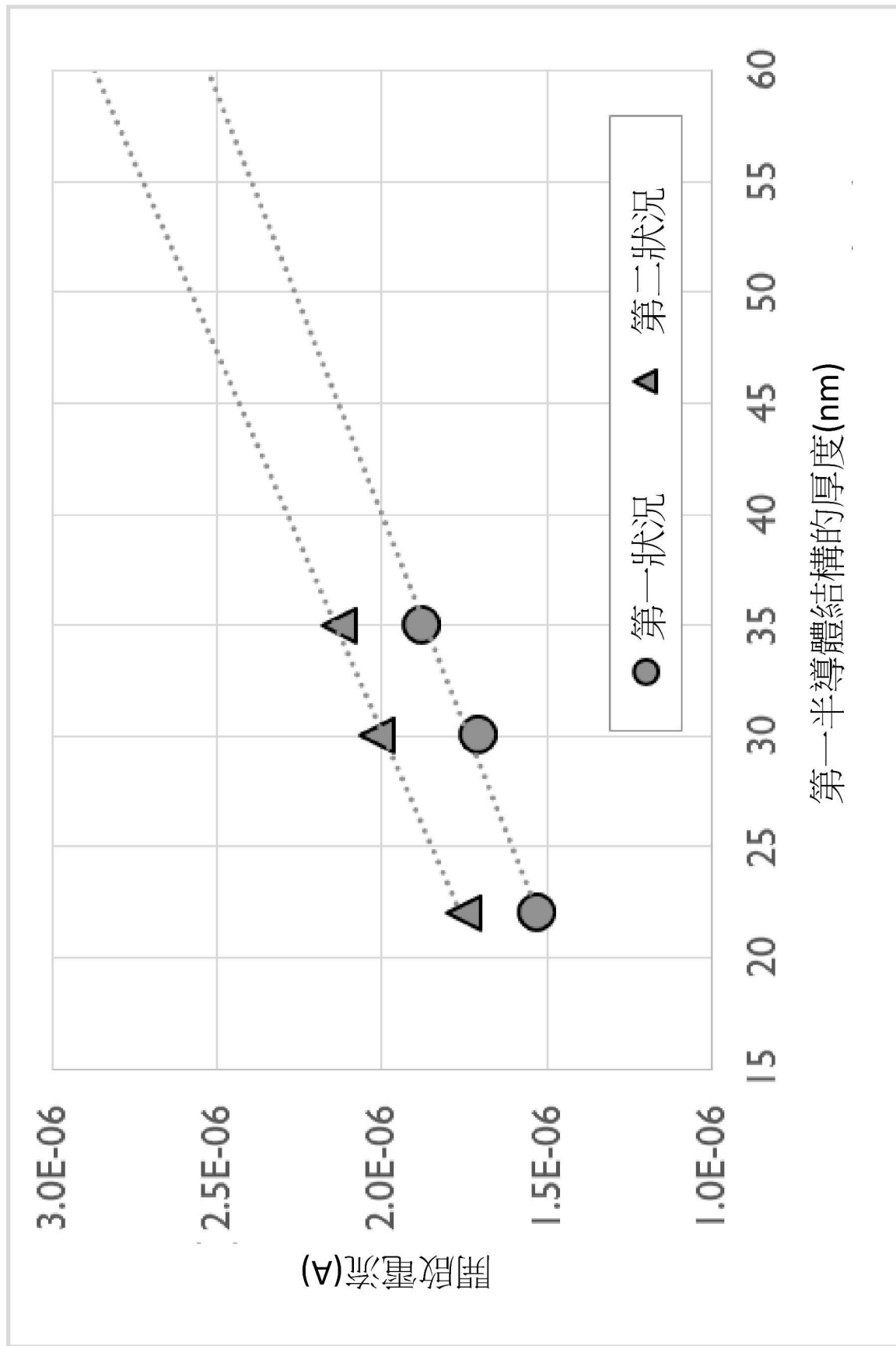
【圖1A】



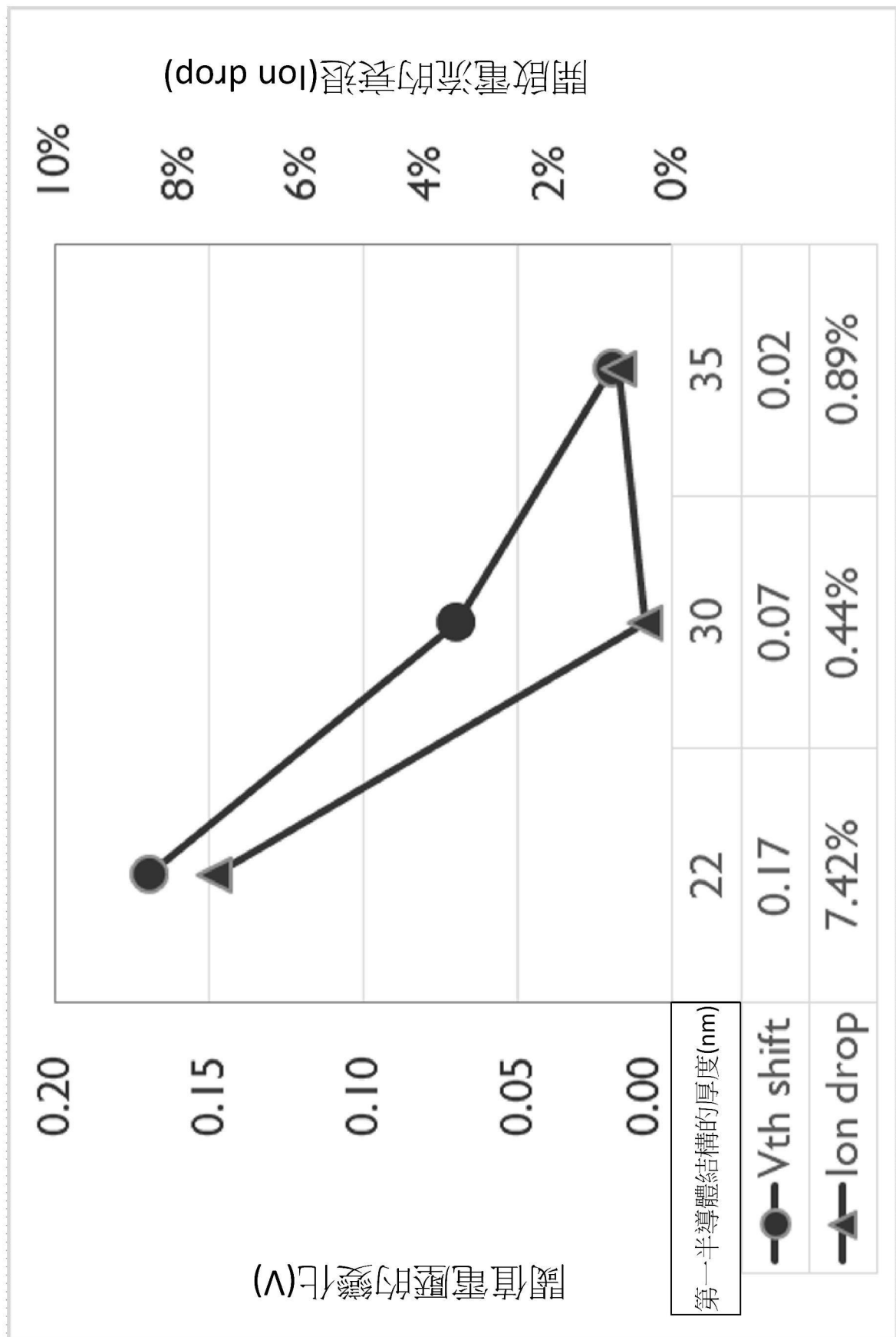
【圖1B】



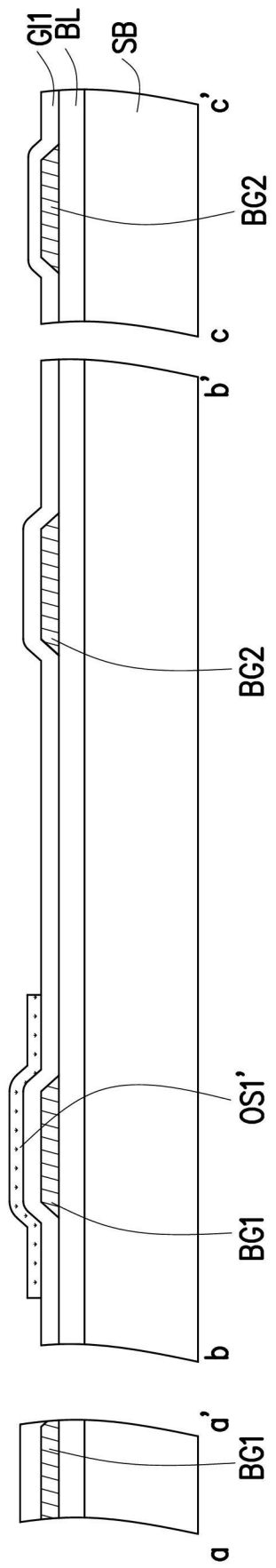
【圖2A】



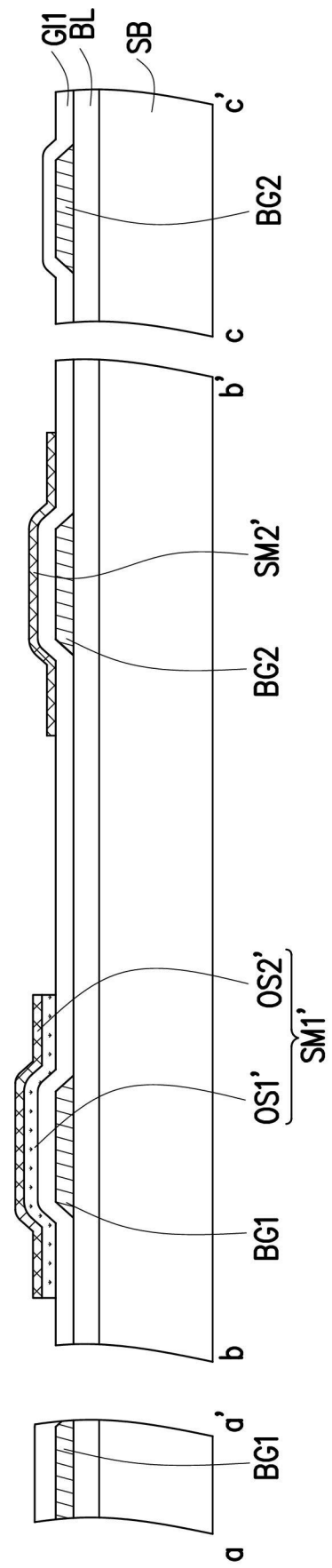
【圖2B】



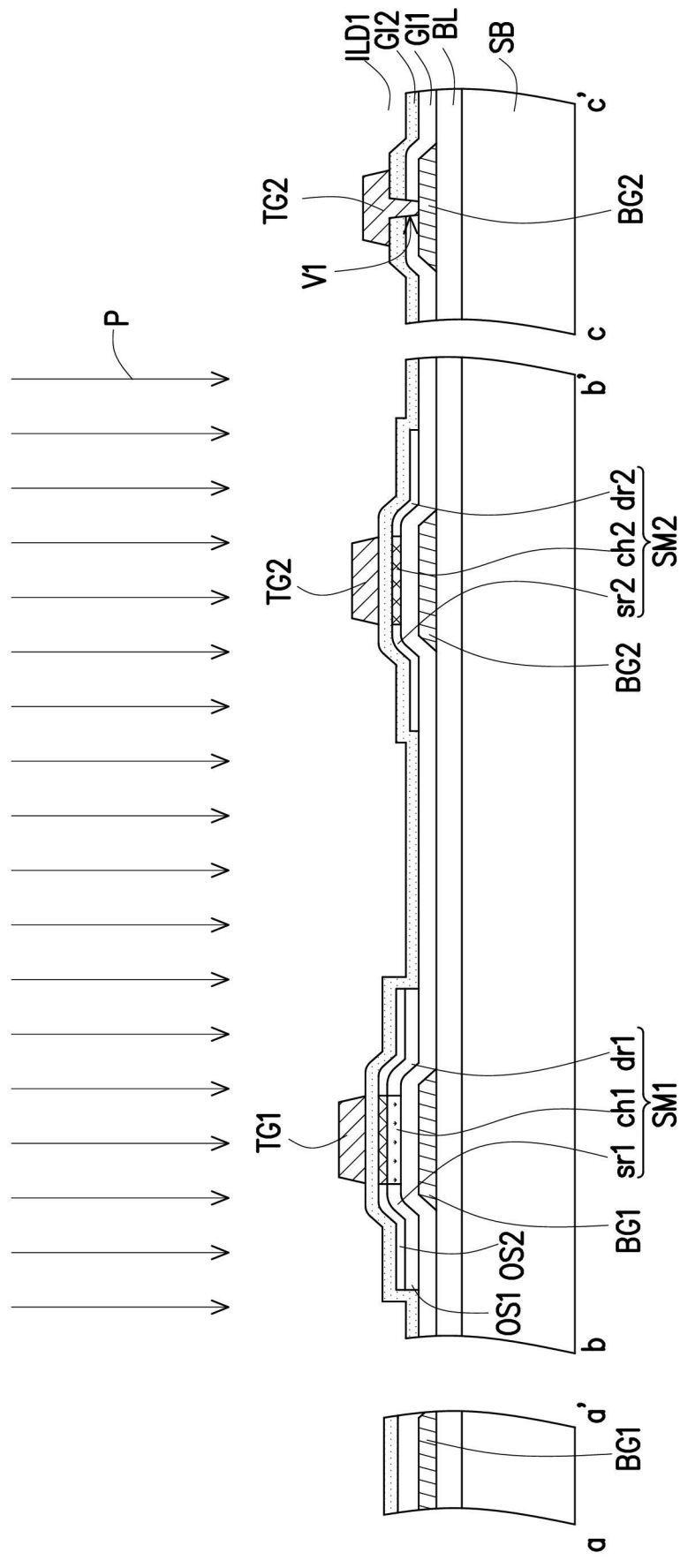
【圖3】



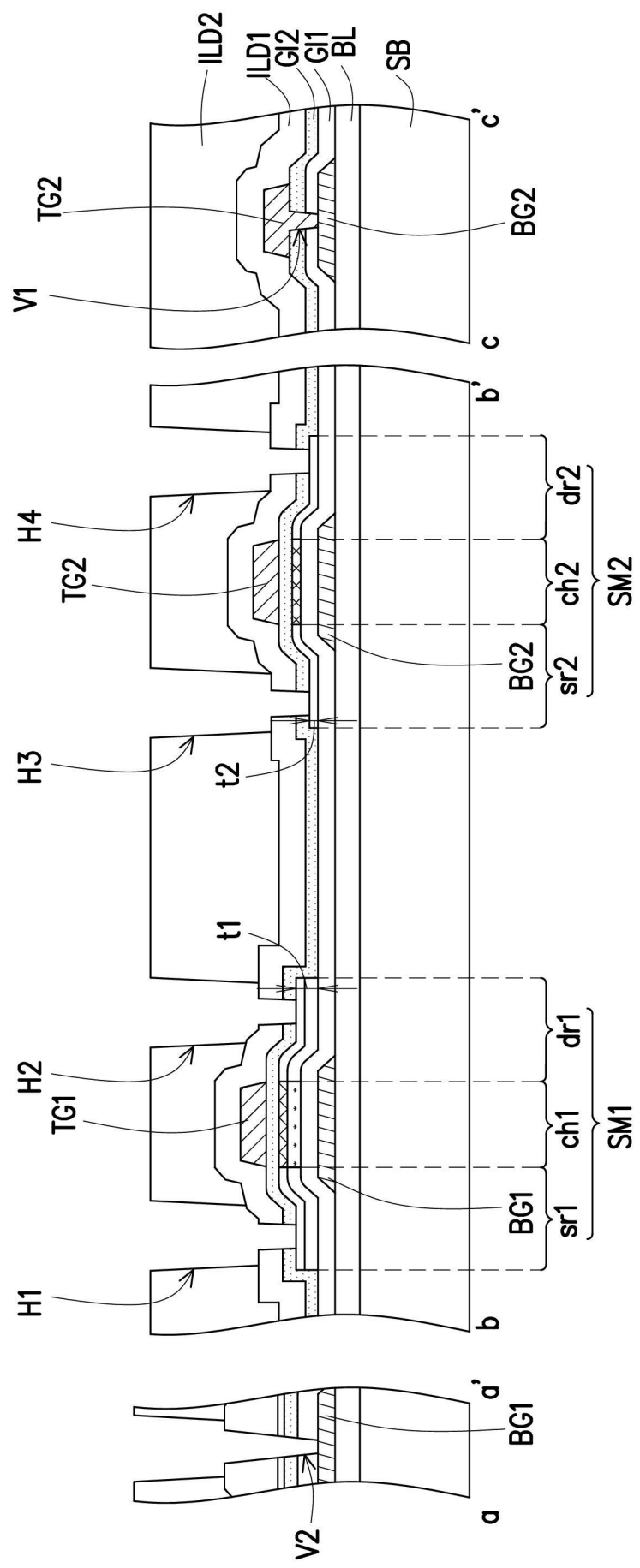
【圖4A】



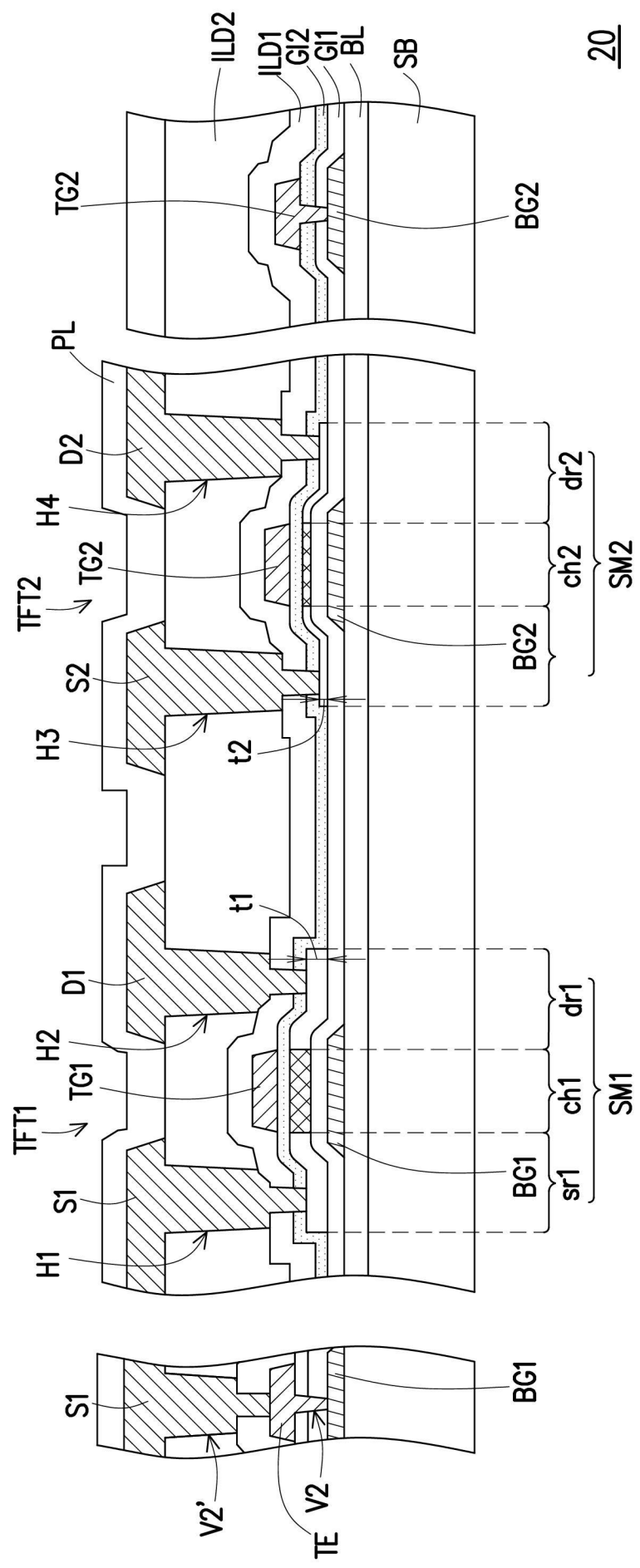
【圖4B】



【圖4C】

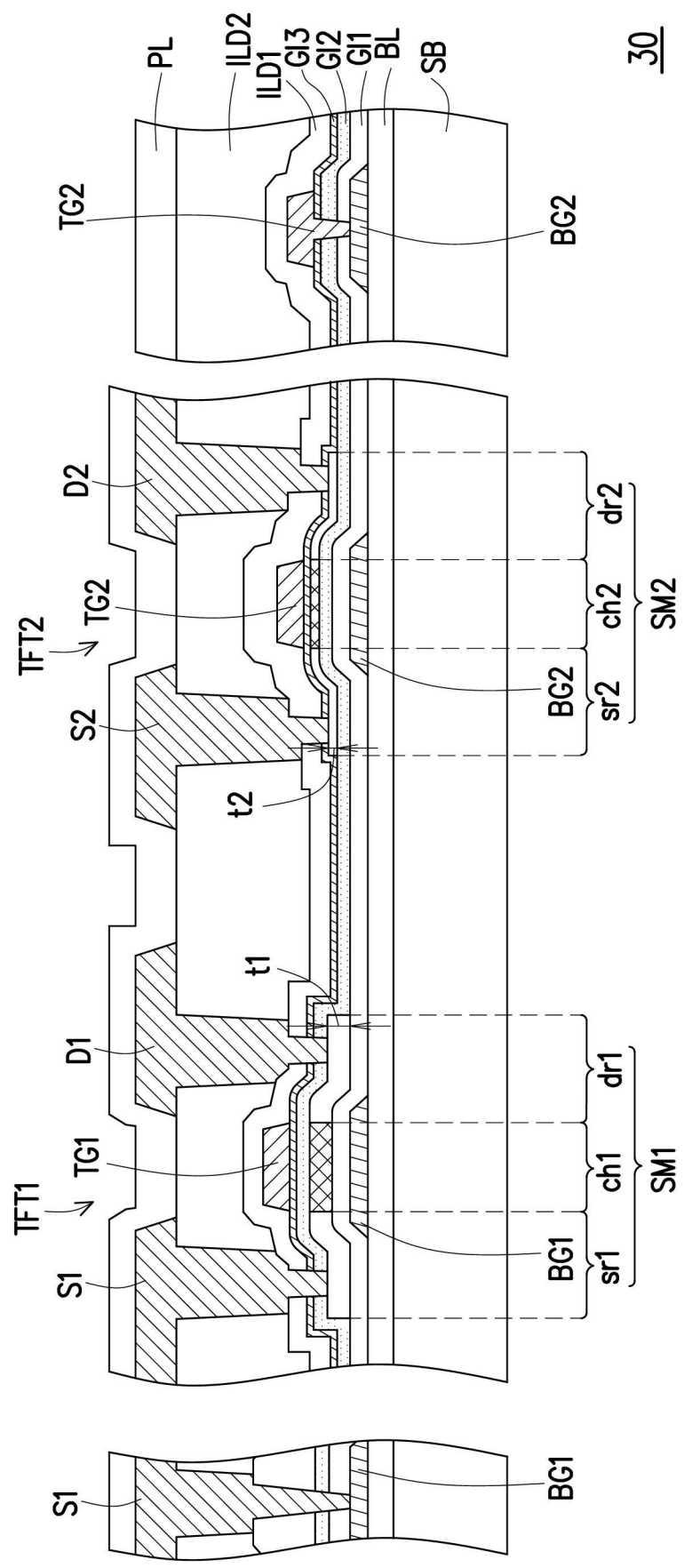


【圖4D】

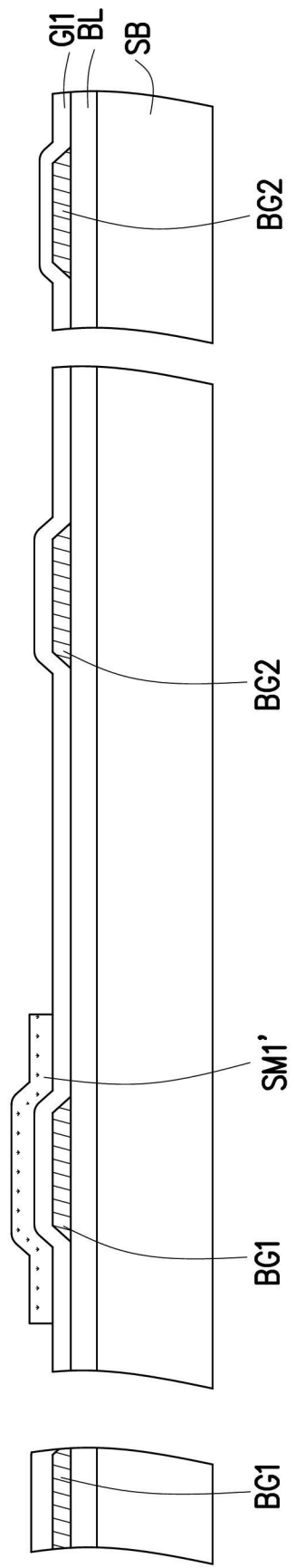


【圖5】

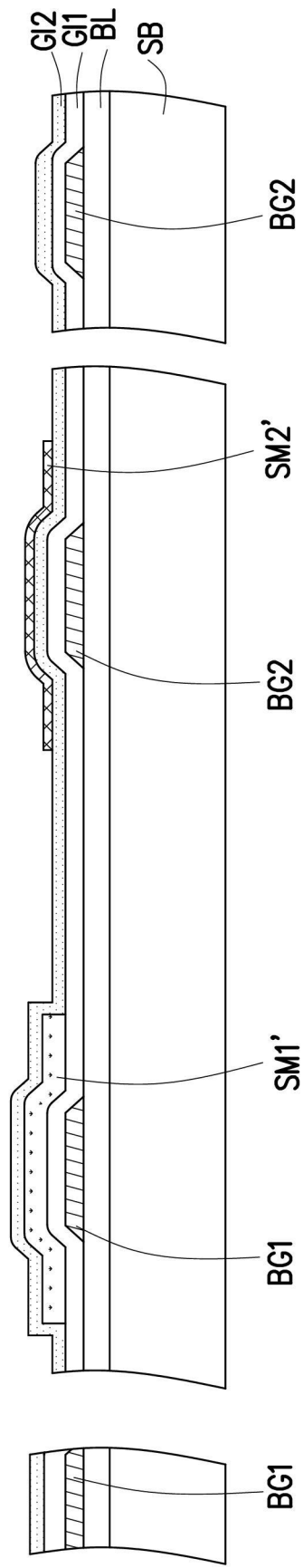
20



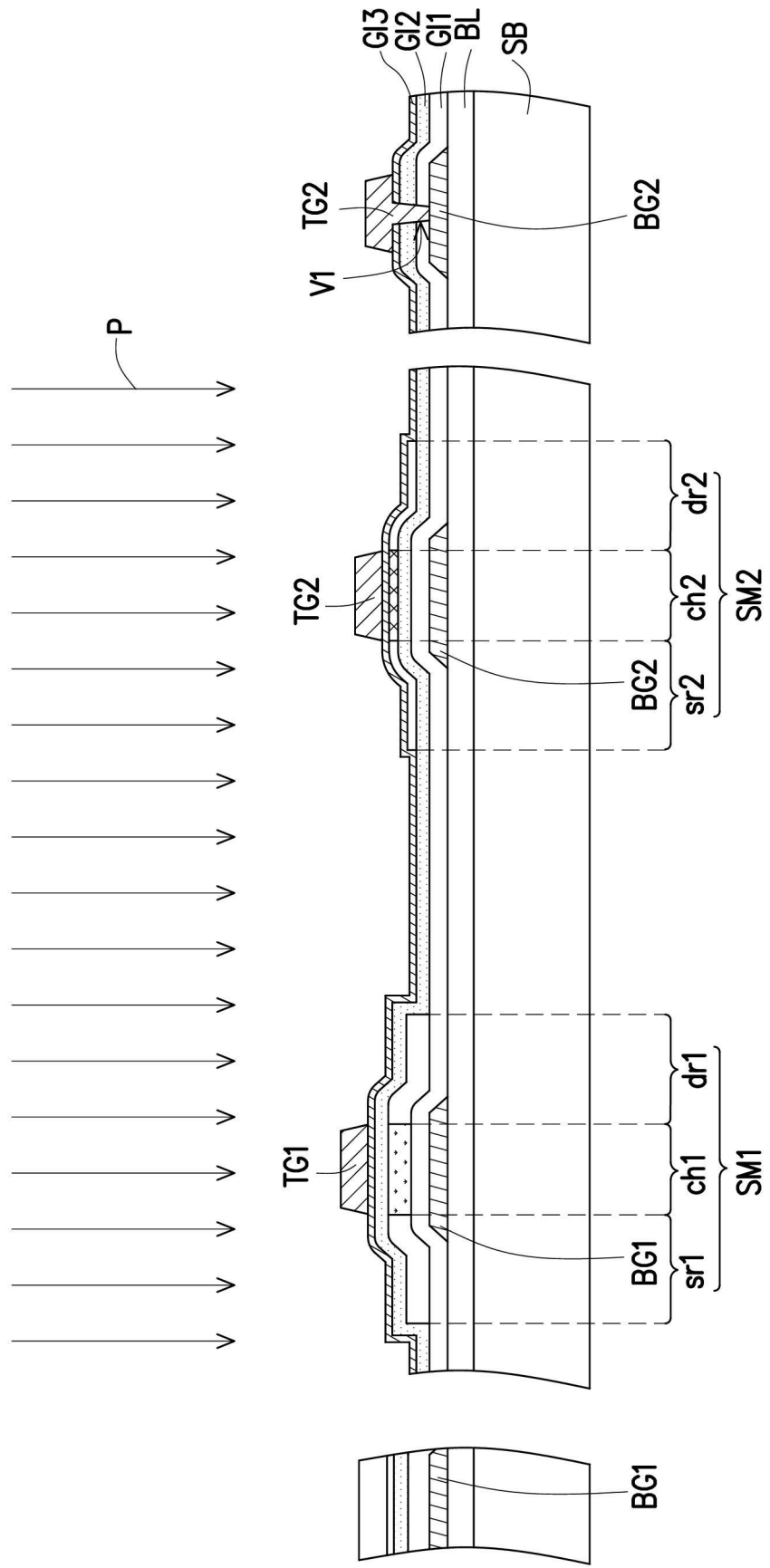
【圖6】



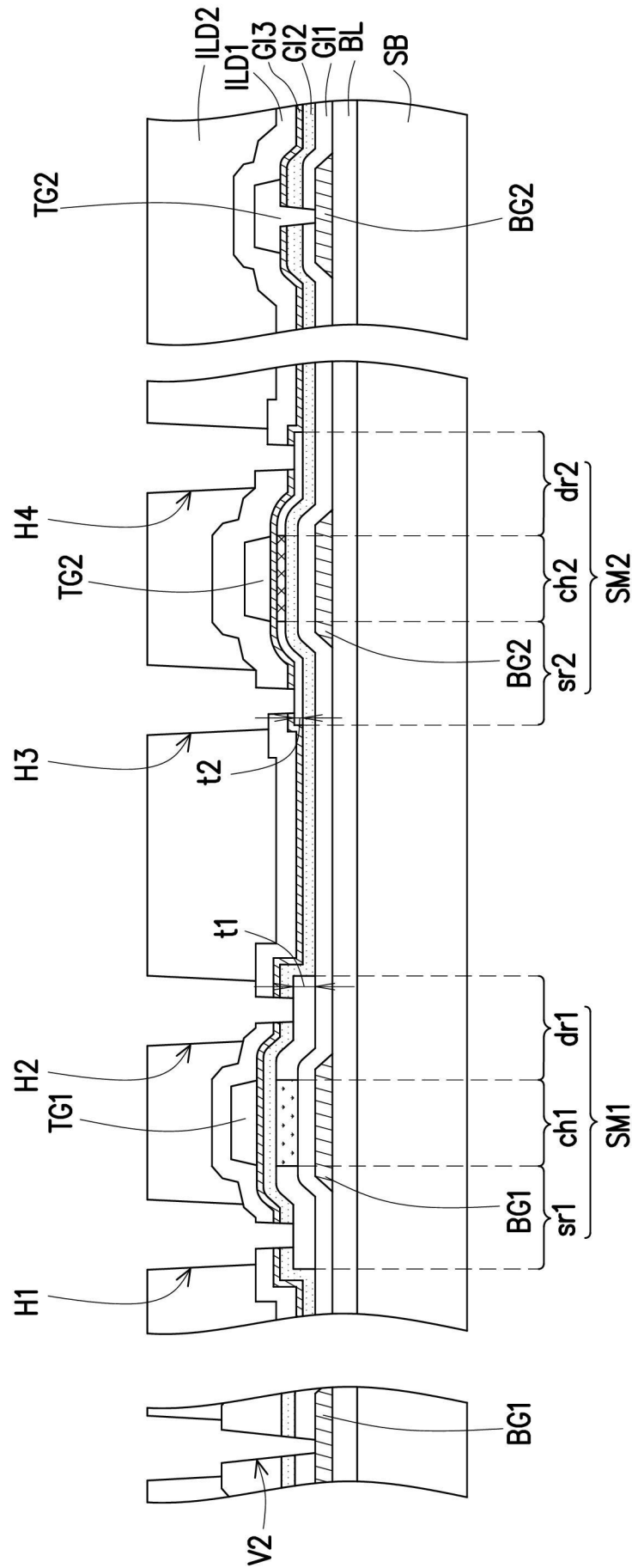
【圖7A】



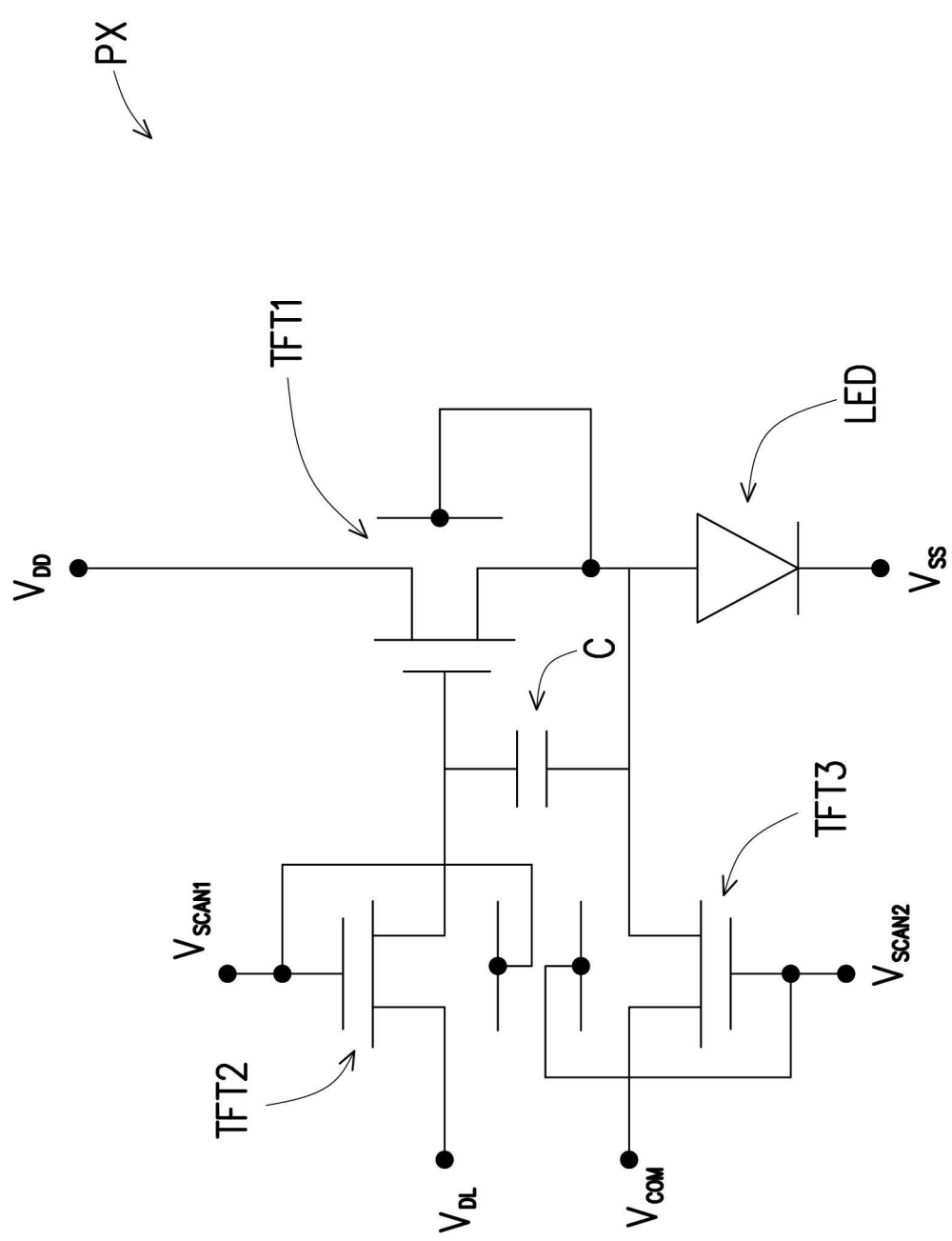
【圖7B】



【圖7C】



【圖7D】



【圖10】