

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年8月31日(31.08.2017)



(10) 国際公開番号
WO 2017/145593 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) *H01L 29/78* (2006.01)
H01L 21/205 (2006.01) *H01L 33/00* (2010.01)
H01L 29/12 (2006.01)
- (21) 国際出願番号: PCT/JP2017/001771
- (22) 国際出願日: 2017年1月19日(19.01.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-032290 2016年2月23日(23.02.2016) JP
- (71) 出願人: 株式会社デンソー(DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町1丁目1番地 Aichi (JP).
- (72) 発明者: 竹内 有一(TAKEUCHI Yuichi); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP). 鈴木 克己(SUZUKI Katsumi); 〒4718571 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内 Aichi (JP). 山下 侑佑(YAMASHITA Yusuke); 〒4801192 愛知県長久手市横道4-1番地の1 株式会社豊田中央研究所内 Aichi (JP).
- (74) 代理人: 特許業務法人ゆうあい特許事務所(YOUI PATENT FIRM); 〒4600003 愛知県名古屋市中区

錦一丁目6番5号 名古屋錦シティビル4階
Aichi (JP).

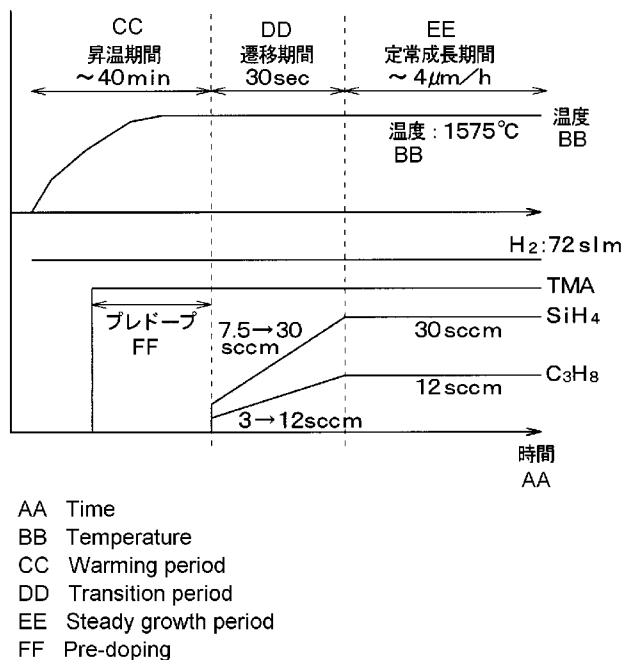
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(54) Title: COMPOUND SEMICONDUCTOR DEVICE PRODUCTION METHOD

(54) 発明の名称: 化合物半導体装置の製造方法



AA Time
BB Temperature
CC Warming period
DD Transition period
EE Steady growth period
FF Pre-doping

(57) Abstract: According to the present invention, a pre-doping with a dopant gas is performed before the epitaxial growth of a base region. By means of such a pre-doping, it is possible to adsorb a dopant to a chamber inner wall surface or the like in advance, and adsorption of the dopant during the epitaxial growth can be suppressed. Furthermore, by controlling the pre-doping time, it is possible to control the amount adsorbed to the inside of the chamber, which makes it possible to control the impurity concentration profile of a p-type impurity layer. Accordingly, it is possible to sharply alter the impurity concentration of the base region from the initial stage of the epitaxial growth.

(57) 要約: ベース領域をエピタキシャル成長させる際に、その前にドーパントガスのプレドーブを行う。このようなプレドーブによって予めチャンバ内壁面等にドーパントが吸着されるようにしておくことができ、エピタキシャル成長時にはドーパントの吸着が抑制されるようにできる。そして、プレドーブ時間を制御することによって、チャンバ内への吸着量を制御できるため、p型不純物層の不純物濃度プロファイルを制御することが可能となる。したがって、

エピタキシャル成長の初期より、ベース領域の不純物濃度を急峻に変化させることが可能となる。

明 細 書

発明の名称：化合物半導体装置の製造方法

関連出願への相互参照

[0001] 本出願は、2016年2月23日に提出された日本特許出願番号2016-32290号に基づくもので、ここにその記載内容が参照により組み入れられる。

技術分野

[0002] 本開示は、例えば炭化珪素（以下、SiCという）や窒化ガリウム（以下、GaNという）などの化合物半導体を用いた化合物半導体装置の製造方法に関する。

背景技術

[0003] 従来より、化合物半導体としてSiCやGaNなどを用いた化合物半導体装置が種々提案されており、化合物半導体装置には、例えば反転型のトレンチゲート構造の縦型MOSFETなどの縦型スイッチング素子が備えられる。

[0004] 反転型のトレンチゲート構造の縦型MOSFETでは、トレンチ内のゲート電極に対してゲート電圧を印加することで、トレンチ側面に位置するp型ベース領域にチャネルを形成し、このチャネルを通じてドレイン・ソース間に電流を流すという動作を行う。このような縦型MOSFETでは、オン抵抗や素子耐圧について、p型ベース領域の不純物濃度依存性が大きい。すなわち、p型ベース領域の不純物濃度を低くするとチャネル移動度を高くできチャネル抵抗が低減され、オン抵抗の低減が図れるが、その反面、パンチスルー現象によりドレイン・ソース間耐圧が低下して素子耐圧が低下してしまう。このため、高チャネル移動度の実現と素子耐圧確保の両立を図ることが本質的に難しい。

[0005] これを解決するには、例えばチャネルが形成されるp型ベース領域の不純物濃度をできるだけ急峻に変化させられるように制御することが必要である

。すなわち、p型ベース領域はn型ドリフト層の上にエピタキシャル成長させることによって形成されるが、p型ベース領域の不純物濃度が緩やかに高くなるような変化であると、所望の特性を得るためのp型ベース領域の厚み、つまりチャネル長が大きくなってしまう。このため、p型ベース領域の不純物濃度をできるだけ急峻に変化させることが重要となる。

[0006] このような不純物層における不純物濃度の急峻な変化を実現する方法として、特許文献1に示すようにn型不純物層の不純物濃度を急峻に変化させる方法が挙げられる。この方法では、SiCの原料ガスとなるプロパン(C_3H_8)とシラン(SiH_4)を導入してアンドープ層を成長させ、途中からプロパンの導入量を減少させるとともにn型ドーパントとなる窒素(N_2)を導入している。このように、n型ドーパントを導入する際に、原料ガスとなるプロパンの導入量を低下させてC/Si比を変化させることで、n型不純物層の不純物濃度を変化させることを可能としている。

先行技術文献

特許文献

[0007] 特許文献1：特開2001-77027号公報

発明の概要

[0008] 本発明者らが鋭意検討を行ったところ、上記した特許文献1に示す方法は、n型不純物層の濃度を急峻に変化させる際には用いることができるものの、p型不純物層の濃度を急峻に変化させることはできないことが確認された。

[0009] すなわち、p型不純物層を形成する際には、例えばp型ドーパントとして有機金属材料となるTMA（トリメチルアルミニウムの略）を用いるが、有機金属材料特有の立上り遅延が発生し、p型不純物層の濃度を急峻に変化させられないことが確認された。このため、p型ベース領域の不純物濃度を急峻に変化させることができず、チャネル長が長くなってオン抵抗増加の原因となる。

[0010] なお、ここではSiC半導体装置を例に挙げたが、GaN半導体装置など

他の化合物半導体装置についても同様の問題がある。また、ここでは p 型不純物層の不純物濃度を急峻に変化させることについて説明したが、必ずしも急峻な変化では無くても良く、狙った不純物濃度プロファイルに制御性良く調整できるようにすることが望まれている。

[0011] 本開示は、制御性良く p 型不純物層の不純物濃度プロファイルを制御することができる化合物半導体装置の製造方法を提供することを目的とする。

[0012] 本開示の 1 つの観点は、化合物半導体にて構成される下地層の上に、化合物半導体にて構成される p 型不純物層をエピタキシャル成長することを含む化合物半導体装置の製造方法であって、エピタキシャル成長することは、化合物半導体をエピタキシャル成長させるのに用いる原料ガスの導入前に、前もって p 型不純物のドーパントとなる有機金属材料を含むドーパントガスを導入するプレドープを行うことを含み、該プレドープ時間を制御することによって p 型不純物層の不純物濃度プロファイルを制御する。

[0013] このように、プレドープを行うことで予めチャンバ内壁面等にドーパントが吸着されるようにしておくことができ、エピタキシャル成長時にはドーパントの吸着が抑制されるようにできる。そして、プレドープ時間を制御することによって、チャンバ内への吸着量を制御できるため、p 型不純物層の不純物濃度プロファイルを制御することが可能となる。したがって、エピタキシャル成長の初期より、例えば、チャンバ内の雰囲気中における p 型ドーパント濃度を所望の濃度に保つことができ、p 型不純物層の不純物濃度を急峻に変化させることが可能となる。

図面の簡単な説明

[0014] [図1]第 1 実施形態にかかる S i C 半導体装置の断面構成を示す図である。

[図2]ベース領域内での p 型不純物濃度プロファイルを示したグラフである。

[図3]図 1 に示す S i C 半導体装置の製造工程を示した断面図である。

[図4]ベース領域を形成する工程での温度およびガス導入のプロファイルを示したタイムチャートである。

[図5]プレドープ時間を変えた場合におけるベース領域内での p 型不純物濃度

プロファイルを示したグラフである。

[図6]第2実施形態にかかるS i C半導体装置の断面構成を示す図である。

[図7]ベース領域内でのp型不純物濃度プロファイルを示したグラフである。

[図8]図6に示すS i C半導体装置の製造工程を示した断面図である。

[図9]ベース領域を形成する工程での温度およびガス導入のプロファイルを示したタイムチャートである。

発明を実施するための形態

[0015] 以下、本開示の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

[0016] (第1実施形態)

第1実施形態について説明する。ここでは、化合物半導体装置の一例として、トレンチゲート構造の反転型の縦型MOSFETが形成されたS i C半導体装置について説明する。

[0017] 図1に示すS i C半導体装置は、セル領域にトレンチゲート構造の縦型MOSFETが形成されたものであり、図示していないが、セル領域を囲む外周領域に外周耐压構造が備えられた構成とされている。

[0018] S i C半導体装置は、S i Cからなる高濃度不純物層を構成するn⁺型基板1の表面側に、n⁺型基板1よりも低不純物濃度のS i Cからなるn⁻型ドリフト層2が形成された半導体基板を用いて形成されている。n⁺型基板1は、例えばn型不純物濃度が $1.0 \times 10^{19} / \text{cm}^3$ とされ、n⁻型ドリフト層2は、例えばn型不純物濃度が $0.5 \sim 2.0 \times 10^{16} / \text{cm}^3$ とされている。

[0019] n⁻型ドリフト層2の上層部にはベース領域3が形成されている。本実施形態の場合、ベース領域3は、n⁻型ドリフト層2よりも高不純物濃度のp型S i Cで構成されており、n⁻型ドリフト層2との境界位置から急峻に不純物濃度が変化させられた状態とされている。

[0020] 例えば、本実施形態のベース領域3は、p型不純物濃度が $2.0 \times 10^{17} / \text{cm}^3$ 程度とされ、厚みが300nmとされている。例えば、ベース領域3は

、図2に示すp型不純物となるAl（アルミニウム）の濃度プロファイルのように構成される。すなわち、図2に示すように、例えばベース領域3の表面から深さ1.3 μm 程度までp型不純物濃度が $2 \times 10^{17} / \text{cm}^3$ 程度となるようにしてベース領域3を形成している。そして、ベース領域3の表面から深さ1.2～1.3 μm 程度の位置において、p型不純物のドーパ量がパルス的に低くなっている。この部分がベース領域3とn⁻型ドリフト層2との境界位置であり、ベース領域3の不純物濃度が急峻に変化させられた状態になっている。

[0021] さらに、ベース領域3の上層部分にはn⁺型ソース領域4が形成されている。また、n⁺型ソース領域4の表面からn⁺型ソース領域4およびベース領域3を貫通し、n⁻型ドリフト層2に達するようにp型ディープ層5が形成されている。n⁺型ソース領域4は、後述するトレンチゲート構造の両側に配置されており、p型ディープ層5は、n⁺型ソース領域4を挟んでトレンチゲート構造と反対側においてトレンチゲート構造よりも深い位置まで形成されている。n⁺型ソース領域4は、表層部におけるn型不純物濃度が例えば $2.5 \times 10^{18} \sim 1.0 \times 10^{19} / \text{cm}^3$ 、厚さ0.5 μm 程度で構成されている。また、p型ディープ層5は、ベース領域3よりも高不純物濃度とされ、p型不純物濃度が例えば $1.0 \times 10^{17} \sim 1.0 \times 10^{19} / \text{cm}^3$ とされている。本実施形態では、p型ディープ層5は、後述するソース電極9に対するコンタクト領域としての役割も兼ねている。

[0022] また、ベース領域3およびn⁺型ソース領域4を貫通してn⁻型ドリフト層2に達するように、紙面垂直方向を長手方向とするトレンチ6が形成されている。このトレンチ6の側面と接するように上述したベース領域3およびn⁺型ソース領域4が配置されている。

[0023] さらに、ベース領域3のうちトレンチ6の側面に位置している部分を、縦型MOSFETの作動時にn⁺型ソース領域4とn⁻型ドリフト層2との間を繋ぐチャネル領域として、チャネル領域を含むトレンチ6の内壁面にはゲート絶縁膜7が形成されている。そして、ゲート絶縁膜7の表面にはドーパドP

o l y - S i にて構成されたゲート電極 8 が形成されており、これらゲート絶縁膜 7 およびゲート電極 8 によってトレンチ 6 内が埋め尽くされている。

[0024] このようにして、トレンチゲート構造が構成されている。このトレンチゲート構造は、図 1 の紙面垂直方向を長手方向として延設されており、複数のトレンチゲート構造が図 1 中の左右方向に並べられることでストライプ状とされている。また、上述した n^+ 型ソース領域 4 および p 型ディープ層 5 もトレンチゲート構造の長手方向に沿って延設されたレイアウト構造とされている。

[0025] また、 n^+ 型ソース領域 4 および p 型ディープ層 5 の表面やゲート電極 8 の表面には、ソース電極 9 や図示しないゲート配線が形成されている。ソース電極 9 およびゲート配線は、複数の金属、例えば Ni / Al 等にて構成されている。そして、複数の金属のうち少なくとも n 型 SiC 、具体的には n^+ 型ソース領域 4 と接触する部分は n 型 SiC とオーミック接触可能な金属で構成されている。また、複数の金属のうち少なくとも p 型 SiC 、具体的には p 型ディープ層 5 と接触する部分は p 型 SiC とオーミック接触可能な金属で構成されている。なお、これらソース電極 9 およびゲート配線は、図示しない層間絶縁膜上に形成されることで電氣的に絶縁されている。そして、層間絶縁膜に形成されたコンタクトホールを通じて、ソース電極 9 は n^+ 型ソース領域 4 および p 型ディープ層 5 と電氣的に接触させられ、ゲート配線はゲート電極 8 と電氣的に接触させられている。

[0026] さらに、 n^+ 型基板 1 の裏面側には n^+ 型基板 1 と電氣的に接続されたドレイン電極 10 が形成されている。このような構造により、 n チャネルタイプの反転型のトレンチゲート構造の縦型 $MOSFET$ が構成されている。そして、この縦型 $MOSFET$ が形成されたセル領域の外周領域に、図示しない外周耐圧構造が備えられることで、本実施形態にかかる SiC 半導体装置が構成されている。

[0027] このような SiC 半導体装置に備えられる反転型のトレンチゲート構造の縦型 $MOSFET$ では、ゲート電極 8 にゲート電圧を印加すると、ベース領

域3のうちトレンチ6に接している表面にチャネル領域が形成される。これにより、ソース電極9から注入された電子が n^+ 型ソース領域4からベース領域3に形成されたチャネル領域を通った後、 n^- 型ドリフト層2に到達し、ソース電極9とドレイン電極10との間に電流を流すという動作が行われる。

[0028] 続いて、図1のように構成された本実施形態にかかるSiC半導体装置の製造方法について、図3および図4を参照して説明する。

[0029] [図3(a)に示す工程]

まず、半導体基板として、SiCからなる n^+ 型基板1の表面上にSiCからなる n^- 型ドリフト層2がエピタキシャル成長させられた、いわゆるエピ基板を用意する。

[0030] [図3(b)に示す工程]

図示しないエピタキシャル成長装置を用いて、 n^- 型ドリフト層2の表面にベース領域3を形成する工程と、さらにベース領域3の表面に n^+ 型ソース領域4を形成する工程を順に行う。具体的には、図4に示すように、まずエピタキシャル成長装置内を所定温度、例えば1575℃に上昇させる昇温期間を経て、SiC原料ガスと共にp型不純物を含むドーパントガスを導入する。例えば、昇温期間については40分以下に設定しており、その期間中に所定温度まで昇温させている。

[0031] SiC原料ガスとしては、例えばSi原料となるシランやC原料となるプロパン等を用いている。また、ベース領域3を形成する際のドーパントガスとしては、p型不純物を含むTMAを用いている。

[0032] このとき、エピタキシャル成長の開始前、つまり原料ガスを導入する前に、ドーパントガスを導入するプレドープを行い、その後にプロパンおよびシランのSiC原料ガスをチャンバ内に導入してベース領域3をエピタキシャル成長させる。このエピタキシャル成長前に行うプレドープにより、エピタキシャル成長装置のチャンバ内の雰囲気はドーパントガスで満たされるとともに、チャンバ内壁面にドーパントが吸着、つまり貼り付くようにできる。

[0033] 本発明者らが実験などに基づいて鋭意検討を行ったところ、ベース領域3

をエピタキシャル成長させる際の初期時に、ベース領域3の不純物濃度が急峻にならない原因が、SiC原料ガスとドーパントガスとを同時に導入していることであることが判った。具体的には、p型ドーパントが有機金属材料であるために、ドーパントがガス導入初期時にチャンバ内壁面等に吸着してしまい、エピタキシャル成長時に成長ガスと同時にドーパントガスを導入したのではSiC原料ガスがリッチな雰囲気になる。これにより、チャンバ内の雰囲気中におけるp型ドーパント濃度が低下し、ベース領域3の不純物濃度がドーパントガスの導入量から見込まれる濃度よりも低くなってしまう。これが有機金属材料特有の立上り遅延であり、成長方向においてベース領域3の不純物濃度が急峻に変化せずに緩やかに変化したものになる原因になっていた。

[0034] これに対して、本実施形態のように、エピタキシャル成長の開始前にプレドープを行っておけば、予めチャンバ内壁面等にドーパントが吸着されるようにしておくことができ、エピタキシャル成長時にはドーパントの吸着が抑制されるようにできる。そして、プレドープ時間を制御することによって、チャンバ内への吸着量を制御できるため、p型不純物層の不純物濃度プロファイルを制御することが可能となる。したがって、エピタキシャル成長の初期より、チャンバ内の雰囲気中におけるp型ドーパント濃度を所望の濃度に保つことができ、ベース領域3の不純物濃度を急峻に変化させることが可能となる。つまり、図2の不純物濃度分布に示されるように、ベース領域3の不純物濃度を成長初期から所望の濃度まで高くすることが可能となる。

[0035] また、SiC原料ガスの導入については、導入初期時には導入量を少なくしておき、それから徐々に導入量を増やして所望の導入量となるようにしている。SiC原料ガスの導入量を徐々に増やす期間を遷移期間、一定になった後を定常成長期間として、遷移期間中には緩やかにエピタキシャル成長が行われ、定常成長期間中に所望の成長レート、例えば $\sim 4 \mu\text{m}/\text{h}$ でエピタキシャル成長が行われるようにしている。例えば、遷移期間を30秒として、遷移期間中のシランの導入量については3 s c c mから12 s c c mに徐

々に増加させ、プロパンの導入力については7.5 sccmから30 sccmに徐々に増加させるようにしている。

[0036] このようにすることで、遷移期間中に急にSiC原料ガスの導入量を増やすことによるベース領域3の結晶性の悪化を抑制しつつ、結晶性悪化が起こり難い程度に成長が進んだら所望のレートでのエピタキシャル成長を行うことが可能となる。

[0037] また、このようなプレドープを行う場合において、プレドープ時間については任意であるが、プレドープ時間を長くするほどベース領域3の不純物濃度の変化を急峻にすることが可能となる。一例を示すと、図5に示すように、プレドープ時間が0 min、つまりプレドープを行っていないときにおけるベース領域3のp型不純物濃度の勾配と比較して、プレドープ時間を長くするほどその傾斜が急峻になっていることが判る。

[0038] 具体的には、プレドープ時間が1 minのときと比較して3 minのときの方がp型不純物濃度の勾配が急峻になっており、15 minのときには更に勾配が急峻になっていた。上記した図2は、このうちのプレドープ時間を15 minとした場合のp型不純物濃度の変化を示してあり、ベース領域3の不純物濃度がn⁻型ドリフト層2との境界位置よりほぼ一定となった理想的な濃度分布になっている。したがって、プレドープ時間を制御することで、ベース領域3のp型不純物濃度の変化を制御性良く変化させることが可能となる。

[0039] この後、エピタキシャル成長装置内に導入するドーパントガスを変更し、続けてn⁺型ソース領域4を形成する。このときのドーパントガスとしては、n型不純物となる窒素(N₂)を用いている。このようにして、ベース領域3の表面にn⁺型ソース領域4を形成する工程が行われる。

[0040] [図3(c)に示す工程]

n⁺型ソース領域4の表面に図示しないマスク材を配置したのち、フォトリソグラフィによってマスク材のうちのp型ディープ層5の形成予定位置を開口させる。そして、マスク材を配置した状態でRIE(Reactive Ion Etching

）などの異方性エッチングを行うことで、p型ディープ層5の形成予定位置にトレンチを形成する。その後、マスク材を除去し、再びエピタキシャル成長装置を用いて、トレンチ内を含めてn⁺型ソース領域4の表面全面にp型SiC層を成膜する。このときに用いるSiC原料ガスおよびドーパントガスはベース領域3の形成工程の際と同様であり、p型ディープ層5の不純物濃度に応じてガス導入量を調整するようにしている。

[0041] そして、研削やCMP（Chemical Mechanical Polishing）などによる平坦化によって、n⁺型ソース領域4の表面を露出させる。これにより、トレンチ内にのみ残ったp型SiC層によってp型ディープ層5が形成される。

[0042] [図3（d）に示す工程]

n⁺型ソース領域4やp型ディープ層5の表面に図示しないマスク材を配置したのち、フォトリソグラフィによってマスク材のうちのトレンチ6の形成予定位置を開口させる。そして、マスク材を配置した状態でRIEなどの異方性エッチングを行うことにより、セル領域においてトレンチ6を形成する。その後、マスク材を除去する。

[0043] そして、必要に応じて、1600℃以上の減圧下における水素雰囲気、例えば1625℃、 $2.7 \times 10^4 \text{ Pa}$ （=200 Torr）の高温水素雰囲気での熱処理による水素エッチングを実施する。この水素エッチングによってトレンチ6の内壁面の丸め処理が行われ、トレンチ6の開口入口やコーナー部を丸められると共に、トレンチエッチングのダメージ除去が行われる。

[0044] [図3（e）、（f）に示す工程]

ウェット雰囲気による熱酸化によってゲート絶縁膜7を形成したのち、ゲート絶縁膜7の表面にドーパドPoly-Si層を成膜し、このドーパドPoly-Si層をパターニングすることでトレンチ6内に残し、ゲート電極8を形成する。この後の工程については、従来と同様である。すなわち、層間絶縁膜の形成工程、フォト・エッチングによるコンタクトホール形成工程、電極材料をデポジションしたのちパターニングすることでソース電極9やゲート配線層を形成する工程、n⁺型基板1の裏面にドレイン電極10を形成

する工程等を行う。これにより、図1に示すトレンチゲート構造の縦型MOSFETがセル領域に備えられたSiC半導体装置が完成する。

[0045] 以上説明したように、本実施形態で説明した反転型のトレンチゲート構造の縦型MOSFETを備えたSiC半導体装置では、ベース領域3をエピタキシャル成長させる際に、その前にドーパントガスのプレドープを行うようにしている。このようなプレドープによって予めチャンバ内壁面等にドーパントが吸着されるようにしておくことができ、エピタキシャル成長時にはドーパントの吸着が抑制されるようにできる。そして、プレドープ時間を制御することによって、チャンバ内での吸着量を制御できるため、p型不純物層の不純物濃度プロファイルを制御することが可能となる。したがって、エピタキシャル成長の初期より、例えば、チャンバ内の雰囲気中におけるp型ドーパント濃度を所望の濃度に保つことができ、ベース領域3の不純物濃度を急峻に変化させることが可能となる。

[0046] (第2実施形態)

第2実施形態について説明する。本実施形態は、第1実施形態に対してベース領域3の構成およびその製造プロセスを変更したものであり、その他については第1実施形態と同様であるため、第1実施形態と異なる部分についてのみ説明する。

[0047] 図6に示すように、本実施形態では、ベース領域3は、p型不純物濃度が比較的高くされた高濃度ベース領域3aと、それよりもp型不純物濃度が低くされた低濃度ベース領域3bとが順に積層された構造とされている。

[0048] 高濃度ベース領域3aは、例えばp型不純物濃度が $5 \times 10^{17} / \text{cm}^3$ 以上、例えば $1 \times 10^{18} / \text{cm}^3$ とされ、厚みが50nmとされている。低濃度ベース領域3bは、例えばp型不純物濃度が $3.0 \times 10^{17} / \text{cm}^3$ 以下とされ、厚みが250nmとされている。ベース領域3は、例えば図7に示すp型不純物となるAl（アルミニウム）の濃度プロファイルのように構成される。すなわち、図7に示すように、ベース領域3の表面から深さ1.3 μm 程度まではp型不純物濃度が $2.5 \times 10^{17} / \text{cm}^3$ 程度となるようにして低濃度ベース

領域 3 b を形成している。そして、ベース領域 3 の表面から深さ 1.3 ~ 1.4 μm 程度の位置に p 型不純物のドーピング量をパルス的に高め、p 型不純物濃度が $5 \times 10^{17} / \text{cm}^3$ 程度となるようにして高濃度ベース領域 3 a を形成している。

[0049] このように、ベース領域 3 を高濃度ベース領域 3 a と低濃度ベース領域 3 b によって構成すると、高濃度ベース領域 3 a と低濃度ベース領域 3 b によってチャンネルが形成されることから、以下の効果を得ることができる。

[0050] まず、高濃度ベース領域 3 a を備えていることから、ベース領域 3 内における空乏層の拡がりを抑制することが可能となる。このため、ベース領域 3 内が完全空乏化してパンチスルーしてしまうことを防止でき、素子耐圧確保が可能になると共にトレンチ 6 の底部のゲート絶縁膜 7 の劣化防止も可能になる。また、閾値電圧が高濃度ベース領域 3 a の p 型不純物濃度に依存することになるため、高閾値電圧を得ることも可能となる。

[0051] さらに、ベース領域 3 をすべて高濃度ベース領域 3 a で構成するのではなく低濃度ベース領域 3 b を備えた構成としていることから、低濃度ベース領域 3 b ではチャンネル移動度を高められる。このため、高濃度ベース領域 3 a を備えていたとしても、オン抵抗低減を図ることが可能となる。したがって、オン抵抗低減および素子耐圧確保が可能で、かつ、高閾値電圧が得られるトレンチゲート構造の縦型 MOSFET とすることができる。

[0052] また、高濃度ベース領域 3 a が存在することでオフ時においては、n-型ドリフト層 2 とベース領域 3 との接合から発生するキャリアの引き抜き効果が高められるため、ドレインリーク電流を低減できる。つまり、ベース領域 3 のうち n-型ドリフト層 2 と接する部分の p 型不純物濃度が高いほど、これらの接合部でのキャリアの引き抜き効果が高くなるが、本実施形態の場合には、それが高濃度ベース領域 3 a となる。このため、ベース領域 3 をすべて低濃度ベース領域 3 b にて構成する場合と比較して、n-型ドリフト層 2 とベース領域 3 との接合から発生するキャリアの引き抜き効果を高められる。そして、高濃度ベース領域 3 a がベース領域 3 の下層部全域に形成されているこ

とから、より広範囲において n -型ドリフト層2と接した状態にでき、これが p 型ディープ層5に繋がっているため、 p 型ディープ層5を通じて引き抜かれるようにできる。したがって、よりキャリアの引き抜き効果を高めることが可能となる。

[0053] また、ベース領域3のうち n -型ドリフト層2と接触する部分がすべて p 型不純物濃度の高い高濃度ベース領域3aとされていることから、 n -型ドリフト層2とベース領域3とのPN接合にて構成される内蔵ダイオードに電流が流れる際の立上り電圧が低減できる。このため、内蔵ダイオードのオン電圧が低減され、内蔵ダイオードを積極的に用いた同期整流駆動時の損失低減を図ることも可能となる。

[0054] さらに、オフ時において、高濃度ベース領域3a側から n -型ドリフト層2側に延びる空乏層によって、トレンチゲート構造の下方に等電位線が入り込み難くなるようにできる。このため、トレンチ6の底面においてゲート絶縁膜7に印加される電界集中を緩和でき、ゲート絶縁膜7の寿命向上、逆バイアス寿命向上を図ることが可能となる。

[0055] 続いて、本実施形態のSiC半導体装置の製造方法について、図8および図9を参照して説明する。

[0056] まず、図8(a)に示す工程において、図3(a)に示す工程と同様、半導体基板として、 n^+ 型基板1の表面上に n -型ドリフト層2が形成されたものを用意する。そして、図8(b)に示す工程において、 n -型ドリフト層2の上に高濃度ベース領域3aと低濃度ベース領域3bによって構成されるベース領域3を形成する工程を行い、さらにベース領域3の表面に n^+ 型ソース領域4を形成する工程を順に行う。

[0057] 具体的には、まずエピタキシャル成長装置内の温度を上昇させると共にプレドーピングを行う昇温期間を経て、遷移期間および定常成長期間中にSiC原料ガスと共に p 型不純物を含むドーパントガスを導入する。このときの昇温期間や遷移期間および定常成長期間における温度条件および導入するドーパントガスの種類およびSiC原料ガスの種類や導入量については、第1実施

形態と同様としている。ただし、ドーパントガスの導入量については、第1実施形態から変更している。

[0058] まず、高濃度ベース領域3aを形成するために、プレドープ期間中におけるTMAの導入量をこの後に行われる低濃度ベース領域3bの形成の際と比較して増やす。そして、遷移期間中に徐々にTMA導入量を減らしていき、遷移期間の終了時に定常成長期間中のTMA導入量まで低下させる。これにより、図7に示すように、ベース領域3の成長量に対してp型不純物濃度が急峻に多くなって高濃度ベース領域3aのピーク濃度に達する。その後、遷移期間中もしくは経過後に徐々にp型不純物濃度が低下して低濃度ベース領域3bの濃度に落ち着いて一定となる。このようにして、高濃度ベース領域3aおよび低濃度ベース領域3bを有するベース領域3が形成される。

[0059] この後、エピタキシャル成長装置内に導入するドーパントガスを変更し、続けてn⁺型ソース領域4を形成する。このときのドーパントガスとしては、n型不純物となる窒素(N₂)を用いている。このようにして、ベース領域3の表面にn⁺型ソース領域4を形成する工程が行われる。

[0060] この後は、図8(c)～(f)に示すように第1実施形態と同様の製造方法を施すことによって、本実施形態にかかるSiC半導体装置を製造することができる。

[0061] 以上説明したように、本実施形態で説明した反転型のトレンチゲート構造の縦型MOSFETを備えたSiC半導体装置では、ベース領域3を高濃度ベース領域3aと低濃度ベース領域3bによって構成している。このため、オン抵抗低減および素子耐圧確保が可能で、かつ、高閾値電圧が得られるトレンチゲート構造の縦型MOSFETとすることができる。

[0062] (他の実施形態)

本開示は、上記した実施形態に準拠して記述されたが、当該実施形態に限定されるものではなく、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思

想範囲に入るものである。

[0063] 例えば、第2実施形態では、ベース領域3を高濃度ベース領域3aと低濃度ベース領域3bに分けた。このような構成では、高濃度ベース領域3aと低濃度ベース領域3bの境界部において不純物濃度が徐々に変化し、その境界部を挟んでp型不純物濃度が異なった高濃度ベース領域3aと低濃度ベース領域3bとが積層された形態でも良い。また、低濃度ベース領域3bについては、ノンドープ、つまりほとんどp型不純物がドーピングされていない状態であるi型半導体によって構成されていても構わない。例えば、低濃度ベース領域3bのドーピング量について、エピタキシャル成長時に雰囲気中に残留しているp型不純物がドーピングされる程度とすることができる。その場合、低濃度ベース領域3bでの高チャネル移動度化を更に実現することが可能となり、更なる低オン抵抗化が可能になる。

[0064] さらに、上記各実施形態では、裏面側が高不純物濃度の裏面層、表面側がそれよりも低不純物濃度なドリフト層とされた半導体基板として、n⁺型基板1の表面にn⁻型ドリフト層2を形成した構造を例に挙げて説明した。しかしながら、これは半導体基板の一例を示したに過ぎず、例えばn⁻型ドリフト層2にて構成される基板の裏面側にn型不純物をイオン注入すること、もしくはエピタキシャル成長によって裏面層を構成した半導体基板であっても良い。

[0065] また、上記各実施形態では、第1導電型をn型、第2導電型をp型としたnチャネルタイプの縦型MOSFETを例に挙げて説明したが、各構成要素の導電型を反転させたpチャネルタイプの縦型MOSFETに対しても本開示を適用することができる。

[0066] さらに、上記各実施形態では、化合物半導体としてSiCを例に挙げ、p型不純物層のエピタキシャル成長の一例として下地層となるn⁻型ドリフト層2の上に、p型不純物層となるベース領域3を形成する場合を例に挙げて説明した。これは、単なる一例を示したに過ぎず、化合物半導体にて構成される下地層の上に化合物半導体にて構成されるp型不純物層をエピタキシャル

成長する場合や有機金属をドーパントや原料ガスとして用いる結晶成長について、本開示を適用することができる。

請求の範囲

【請求項1】 化合物半導体にて構成される下地層（2）の上に、前記化合物半導体にて構成されるp型不純物層（3）をエピタキシャル成長することを含む化合物半導体装置の製造方法であって、

前記エピタキシャル成長することは、前記化合物半導体をエピタキシャル成長させるのに用いる原料ガスの導入前に、前もってp型不純物のドーパントとなる有機金属材料を含むドーパントガスを導入するプレドープを行うことを含み、該プレドープ時間を制御することによって前記p型不純物層の不純物濃度プロファイルを制御する化合物半導体装置の製造方法。

【請求項2】 前記エピタキシャル成長することでは、前記プレドープを行うことにより、前記エピタキシャル成長中における成長初期時に前記p型不純物層の不純物濃度が最も高くなるようにする請求項1に記載の化合物半導体装置の製造方法。

【請求項3】 前記エピタキシャル成長することでは、前記プレドープにおける前記ドーパントガスの導入量を前記原料ガスの導入後よりも多くすることで、前記エピタキシャル成長中における成長初期時に前記p型不純物層の不純物濃度が最も高くなるようにする請求項2に記載の化合物半導体装置の製造方法。

【請求項4】 前記化合物半導体は炭化珪素であって、裏面側が高不純物濃度となる裏面層（1）とされていると共に、表面側が前記裏面層よりも低不純物濃度とされた前記下地層に相当するドリフト層（2）とされ、第1導電型の炭化珪素にて構成された半導体基板（1、2）を用意することと、

前記ドリフト層の上に、炭化珪素からなるベース領域（3）を形成することと、

前記ベース領域の上層部に、前記ドリフト層よりも高不純物濃度の第1導電型の炭化珪素で構成されたソース領域（4）を形成すること

と、

前記ソース領域の表面から前記ベース領域よりも深くまでトレンチ（６）を形成することと、

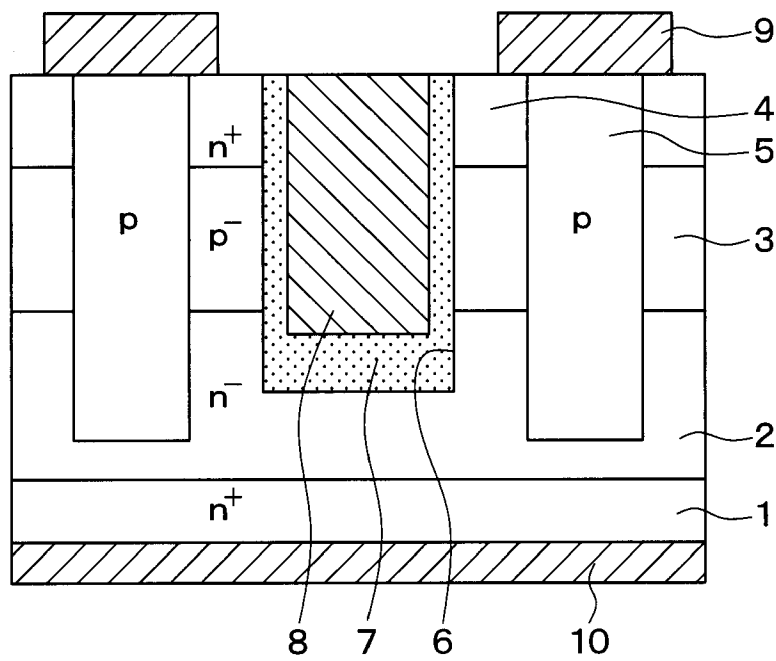
前記トレンチの内壁面にゲート絶縁膜（７）を形成すると共に、前記ゲート絶縁膜の上にゲート電極（８）を形成することでトレンチゲート構造を構成することと、

前記ソース領域に電氣的に接続されるソース電極（９）を形成することと、

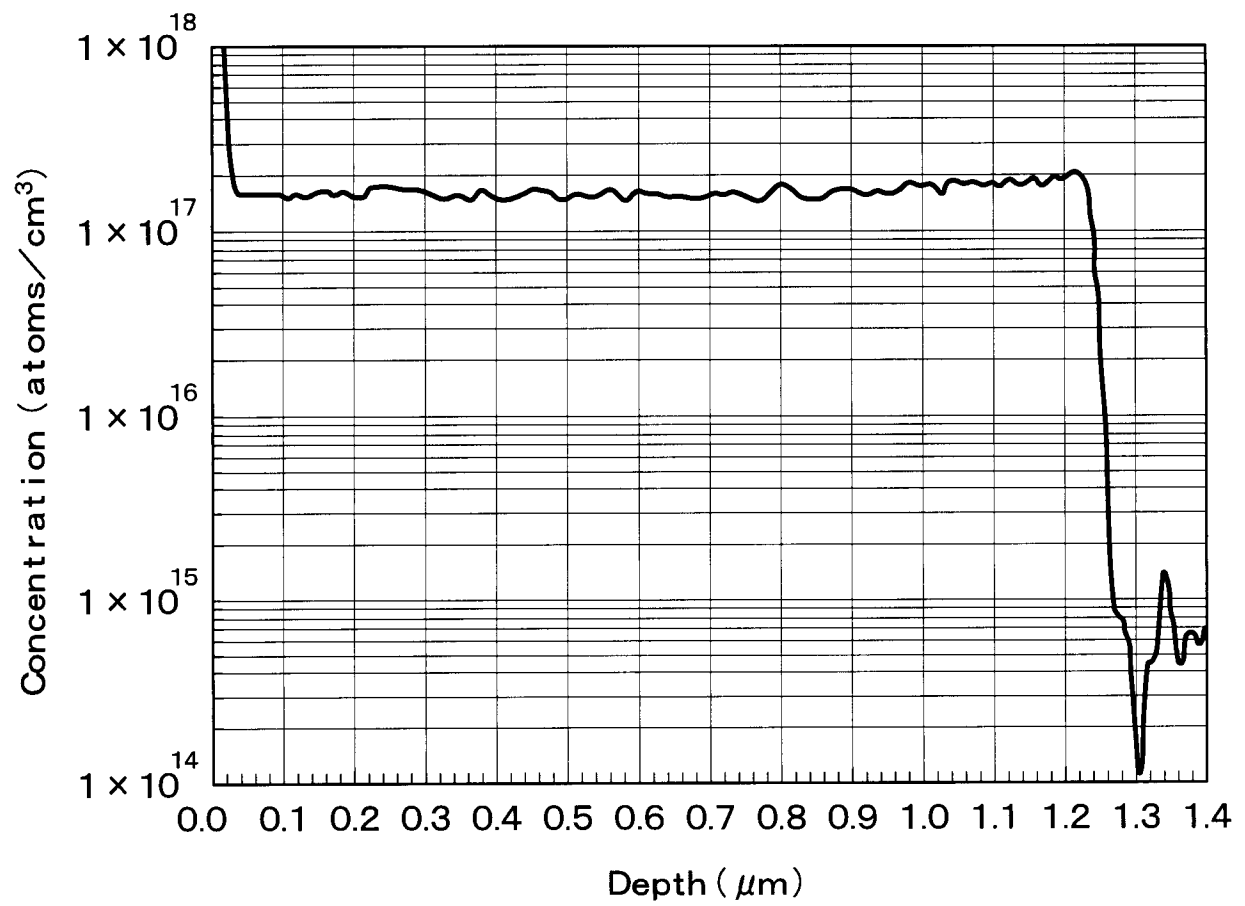
前記半導体基板の裏面側における前記裏面層と電氣的に接続されるドレイン電極（１０）を形成することと、を含み、

前記ベース領域を形成することとして、前記エピタキシャル成長することを行う請求項１ないし３のいずれか１つに記載の化合物半導体装置の製造方法。

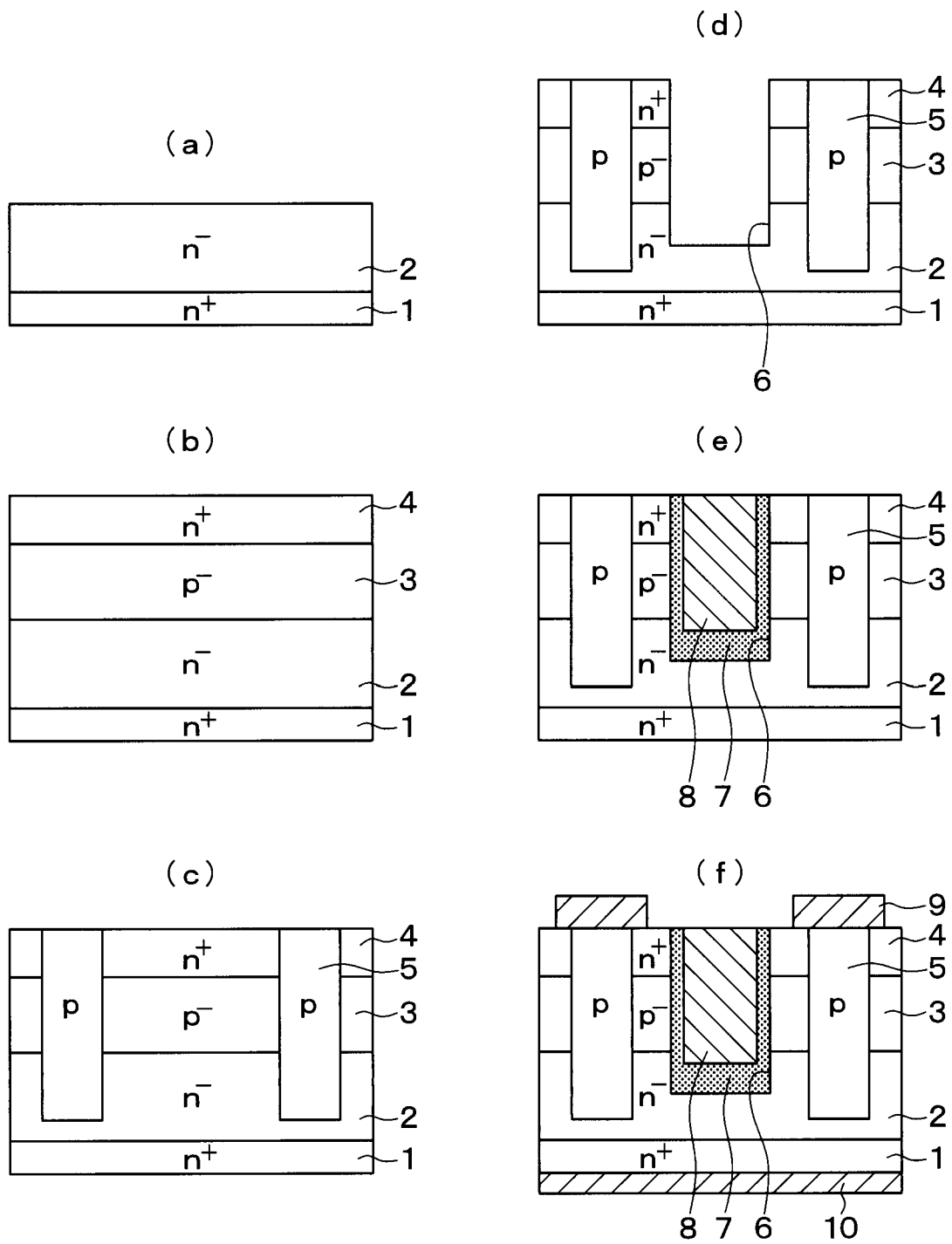
[図1]



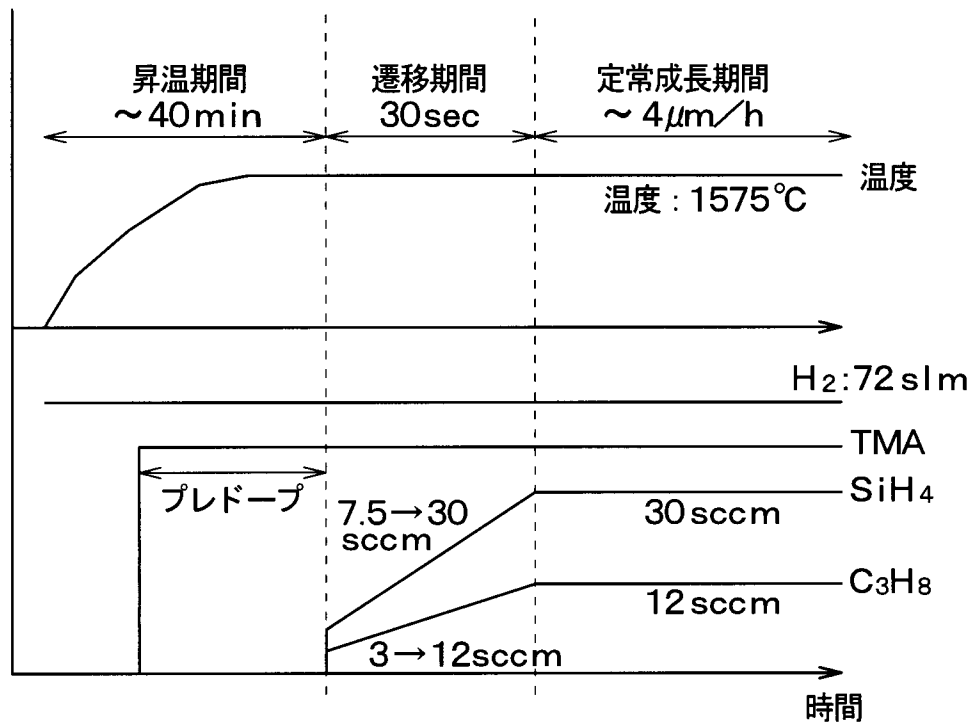
[図2]



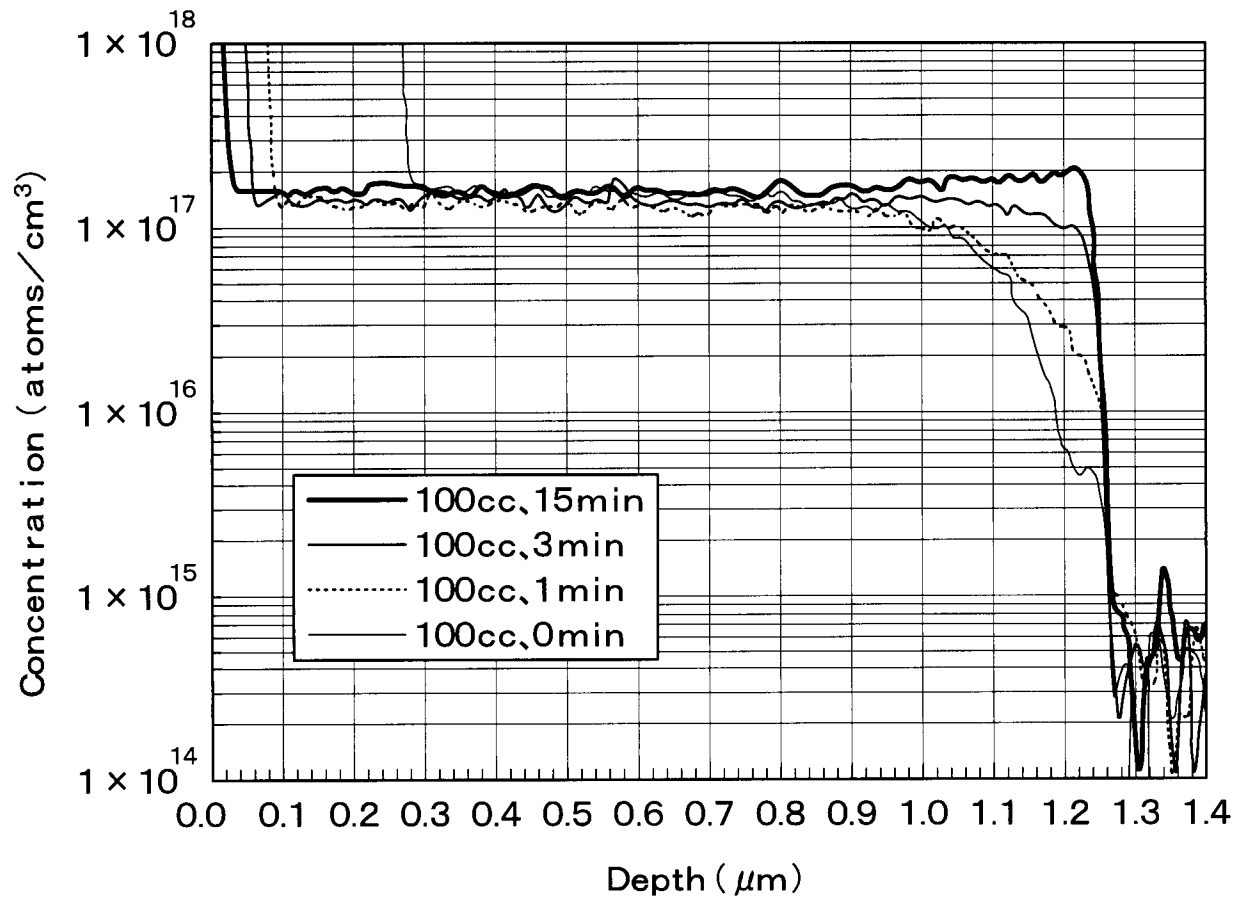
[図3]



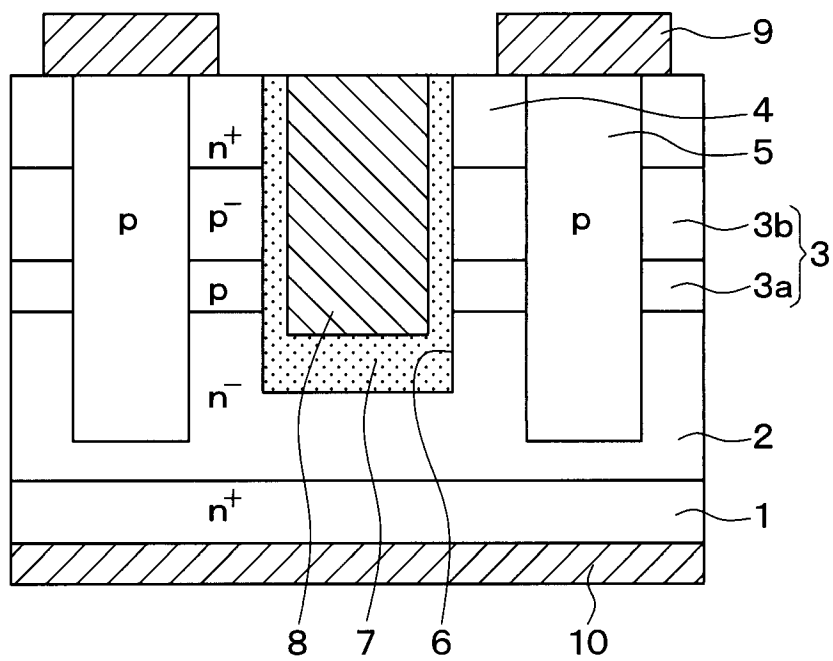
[図4]



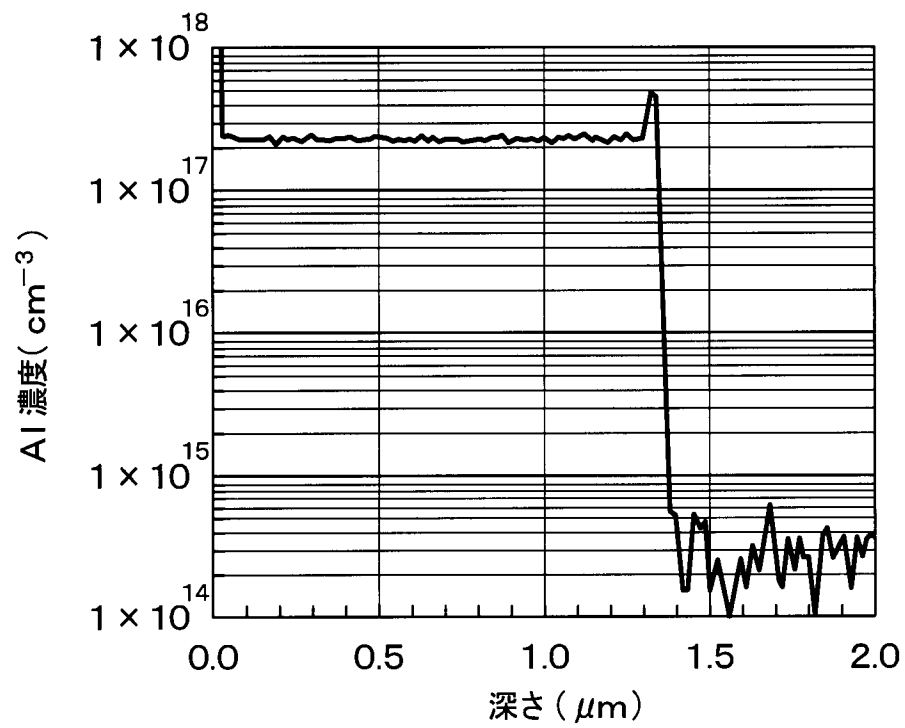
[図5]



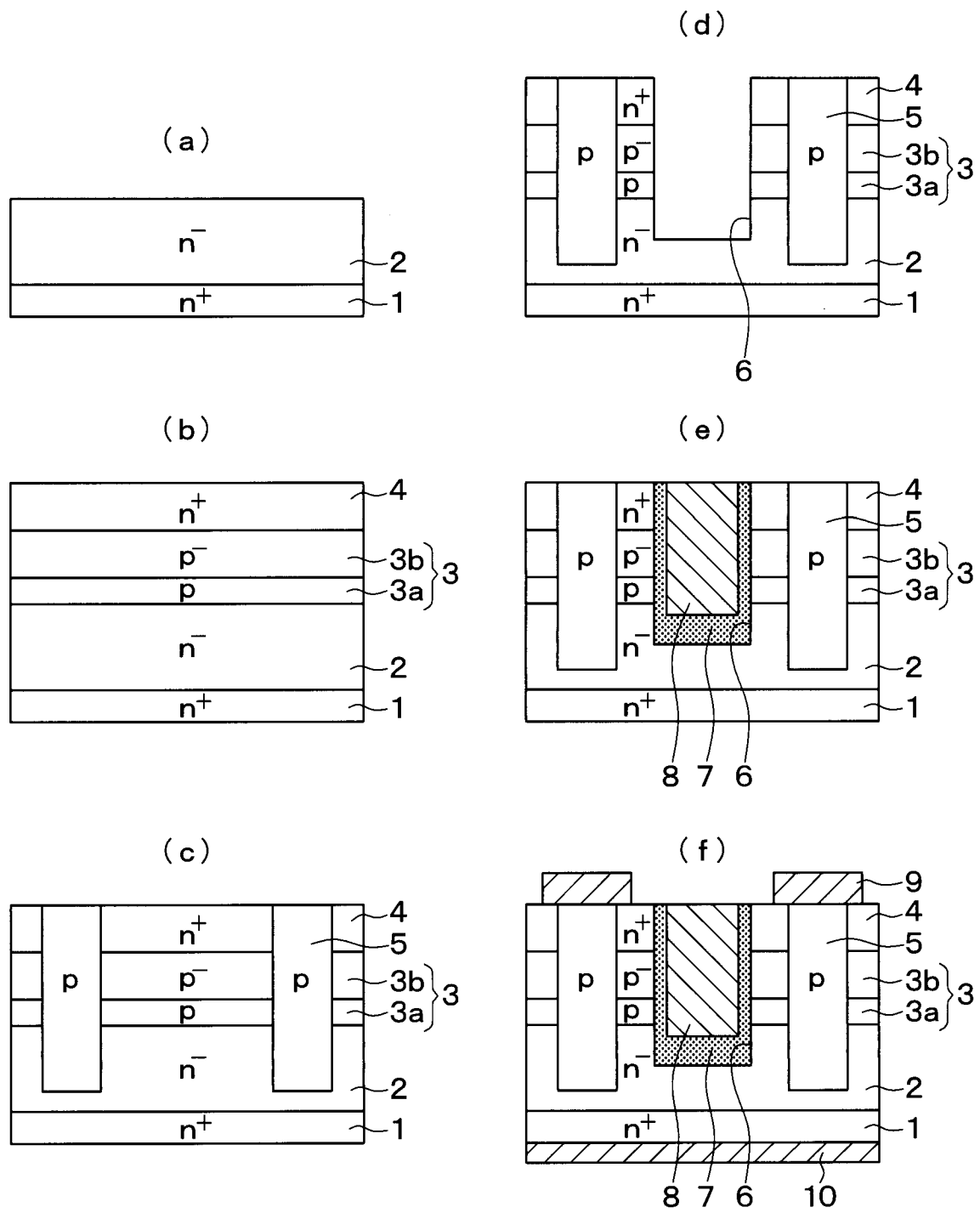
[図6]



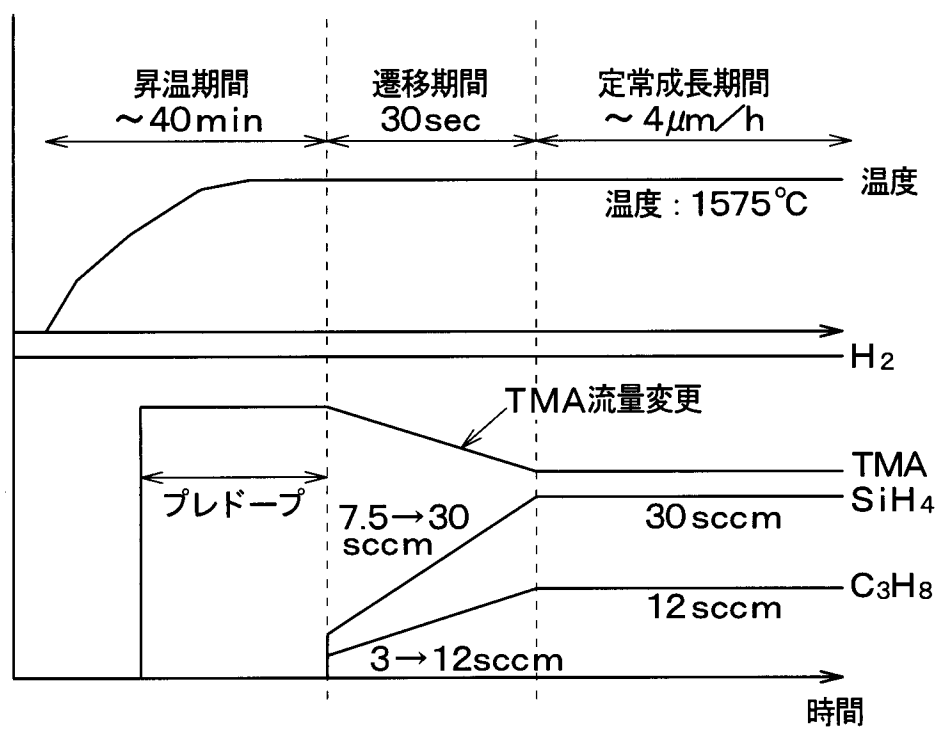
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/001771

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, H01L21/205(2006.01)i, H01L29/12(2006.01)i,
H01L29/78(2006.01)i, H01L33/00(2010.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L21/205, H01L29/12, H01L29/78, H01L33/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 9-36426 A (Sumitomo Chemical Co., Ltd.), 07 February 1997 (07.02.1997), paragraphs [0006] to [0007], [0014] to [0016], [0026] to [0028]; fig. 1, 2 (Family: none)	1 2, 3 4
Y A	JP 63-70580 A (NEC Corp.), 30 March 1988 (30.03.1988), page 2, lower left column, line 13 to page 3, upper right column, line 13; fig. 1, 2 & US 4862230 A column 2, line 29 to column 4, line 23; fig. 1, 2 & EP 260110 A2 & DE 3780239 T2	2, 3 1, 4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
01 March 2017 (01.03.17)

Date of mailing of the international search report
14 March 2017 (14.03.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/001771

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-327716 A (Sumitomo Mitsubishi Silicon Corp.), 18 November 2004 (18.11.2004), paragraphs [0002], [0015] to [0020] (Family: none)	1-4
A	JP 2014-236189 A (Denso Corp.), 15 December 2014 (15.12.2014), paragraphs [0015] to [0044]; fig. 1 to 4 & US 2016/0104794 A1 paragraphs [0024] to [0053]; fig. 1 to 4 & WO 2014/196164 A1 & CN 105264667 A	1-4

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/336(2006.01)i, H01L21/205(2006.01)i, H01L29/12(2006.01)i, H01L29/78(2006.01)i, H01L33/00(2010.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/336, H01L21/205, H01L29/12, H01L29/78, H01L33/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 9-36426 A（住友化学工業株式会社）1997.02.07, 段落[0006]-[0007], [0014]-[0016], [0026]-[0028], 図1, 2 （ファミリーなし）	1 2, 3 4
Y A	JP 63-70580 A（日本電気株式会社）1988.03.30, 第2頁下左欄第13行-第3頁上右欄第13行, 第1, 2図 & US 4862230 A, 第2欄第29行-第4欄第23行, 第1, 2図 & EP 260110 A2 & DE 3780239 T2	2, 3 1, 4

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

01.03.2017

国際調査報告の発送日

14.03.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

恩田 和彦

5 F

5896

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2004-327716 A (三菱住友シリコン株式会社) 2004. 11. 18, 段落[0002], [0015]-[0020] (ファミリーなし)	1-4
A	JP 2014-236189 A (株式会社デンソー) 2014. 12. 15, 段落[0015]-[0044], 図 1-4 & US 2016/0104794 A1, 段落[0024]-[0053], 図 1-4 & WO 2014/196164 A1 & CN 105264667 A	1-4