

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4981282号
(P4981282)

(45) 発行日 平成24年7月18日(2012.7.18)

(24) 登録日 平成24年4月27日(2012.4.27)

(51) Int.Cl. F I
 HO 1 L 29/786 (2006.01) HO 1 L 29/78 6 1 8 A
 HO 1 L 21/336 (2006.01) HO 1 L 29/78 6 1 8 B

請求項の数 10 (全 17 頁)

(21) 出願番号	特願2005-258264 (P2005-258264)	(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成17年9月6日(2005.9.6)	(74) 代理人	100126240 弁理士 阿部 琢磨
(65) 公開番号	特開2007-73697 (P2007-73697A)	(74) 代理人	100124442 弁理士 黒岩 創吾
(43) 公開日	平成19年3月22日(2007.3.22)	(72) 発明者	佐野 政史 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
審査請求日	平成20年9月4日(2008.9.4)	(72) 発明者	雲見 日出也 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタの製造方法

(57) 【特許請求の範囲】

【請求項1】

活性層と、ソース電極と、ドレイン電極と、ゲート絶縁膜と、ゲート電極とを含む薄膜トランジスタの製造方法において、

前記活性層はIn、Zn及びOを含み、電子キャリア濃度が $10^{18} / \text{cm}^3$ 未満の透明アモルファス酸化物膜からなり、

前記透明アモルファス酸化物膜をスパッタ法により形成する工程を含み、

前記透明アモルファス酸化物膜を形成する工程は、

成膜中の全圧は0.3 Pa以上6.65 Pa以下であり、

酸素ガス比は0.5 vol.%以上10 vol.%以下であり、

雰囲気ガス中に $5.0 \times 10^{-5} \text{ Pa}$ 以上 $1.0 \times 10^{-1} \text{ Pa}$ 以下の分圧の水を含むことを特徴とする薄膜トランジスタの製造方法。

【請求項2】

前記スパッタ法は、DCスパッタ法であることを特徴とする請求項1記載の薄膜トランジスタの製造方法。

【請求項3】

前記スパッタ法における水の分圧は、 $7.5 \times 10^{-5} \text{ Pa}$ 以上 $5.0 \times 10^{-2} \text{ Pa}$ 以下であることを特徴とする請求項1に記載の薄膜トランジスタの製造方法。

【請求項4】

前記スパッタ法における水の分圧は、 $1.0 \times 10^{-4} \text{ Pa}$ 以上 $1.5 \times 10^{-2} \text{ Pa}$

以下であることを特徴とする請求項 1 に記載の薄膜トランジスタの製造方法。

【請求項 5】

前記スパッタ法における雰囲気ガスとして、アルゴンガスと酸素ガスを少なくとも用いることを特徴とする請求項 1 に記載の薄膜トランジスタの製造方法。

【請求項 6】

前記スパッタ法におけるスパッタ時の、雰囲気温度は 450 以下であることを特徴とする請求項 1 に記載の薄膜トランジスタの製造方法。

【請求項 7】

前記スパッタ法により活性層を形成する工程の前に、スパッタターゲット表面を平坦化処理又は吸着ガス脱離処理を行う工程をさらに有することを特徴とする請求項 1 に記載の薄膜トランジスタの製造方法。

10

【請求項 8】

前記スパッタ法において本スパッタの前にプレススパッタすることを特徴とする請求項 1 に記載の薄膜トランジスタの製造方法。

【請求項 9】

前記ゲート絶縁膜が、スパッタ法により形成される工程を含むことを特徴とする請求項 1 に記載の薄膜トランジスタの製造方法。

【請求項 10】

前記ゲート絶縁膜が、In、Zn及びOを含み、電子キャリア濃度が $10^{14}/\text{cm}^3$ 未満であることを特徴とする請求項 1 に記載の薄膜トランジスタの製造方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、酸化物、該酸化物を用いた薄膜トランジスタ(TFT)の製造方法に関する。

【背景技術】

【0002】

ITOは、透明電極として透過型の液晶デバイスなどに用いられているが、ITOの主原料である In_2O_3 は希少金属であり、今後も継続的に、所望の供給ができるかどうか懸念されている。

【0003】

そこで、ITOに代替し得る材料の研究開発が盛んに行われており、例えば酸化亜鉛膜(ZnO)、亜鉛インジウム系酸化物(特許文献1)、亜鉛インジウム系酸化物に所定量のガリウムなどを加えた酸化物(特許文献2)がある。

30

【0004】

また、近年では、電極のみならず、たとえばトランジスタのチャンネル層をも透明な膜で形成しようとする試みもある。

【0005】

たとえば、ZnOを主成分として用いた透明導電性酸化物多結晶薄膜をチャンネル層に用いたTFTの開発が活発に行われている(特許文献3)。

【0006】

上記薄膜は、低温で成膜でき、かつ可視光に透明であるため、プラスチック板やフィルムなどの基板上にフレキシブルな透明TFTを形成することが可能であるとされている。一方、製造方法という観点から見た場合は、高導電性酸化物として、Zn、Ga、Inを含んだ酸化物をスパッタ法で形成する方法が開示されている。(特許文献2、4)

40

また、透明導電性酸化物スパッタ成膜時に、水蒸気を添加し緻密で良質な膜を形成する方法、又は安定した透明導電性酸化物を製造する方法が開示されている。(特許文献5、6)

【特許文献1】特開平07-235219号公報

【特許文献2】特開2000-044236号公報

【特許文献3】特開2002-76356号公報

50

【特許文献4】特開平08-245220号公報
 【特許文献5】特開昭61-64874号公報
 【特許文献6】特開2001-342555号公報
 【発明の開示】
 【発明が解決しようとする課題】

【0007】

しかし、ZnOを主成分とした導電性透明酸化物では、酸素欠陥が入りやすく、キャリア電子が多数発生し、電気伝導度を小さくすることが難しい。

このために、ゲート電圧無印加時でも、ソース端子とドレイン端子間に大きな電流が流れてしまい、TFETのノーマリーオフ動作を実現できない。また、トランジスタのオン・オフ比を大きくすることも難しい。

10

【0008】

また、特許文献2に記載されているような非晶質酸化物膜をTFETのチャネル層に用いたのでは、該非晶質膜の電子キャリア濃度は、 $10^{18} / \text{cm}^3$ 以上であり、ノーマリーオフ型のTFETチャネル層としては好ましくない。

ここで上記特許文献2に記載の非晶質酸化物膜とは、 $\text{Zn}_x\text{M}_y\text{In}_z\text{O}_{(x+3y/3z/2)}$ （式中、MはAl及びGaのうち少なくとも一つの元素であり、比率 x/y が $0.2 \sim 1.2$ の範囲であり、比率 z/y が $0.4 \sim 1.4$ の範囲にあるものである。

【0009】

透明アモルファス酸化物膜

20

従来、このような透明なアモルファス酸化物膜で、電子キャリア濃度が $10^{18} / \text{cm}^3$ 未満の膜を得ることはできていなかった。

【0010】

そこで、本発明の目的は、電子キャリア濃度が $10^{18} / \text{cm}^3$ 未満の酸化物を安定して製造できる製造方法を提供することにある。

【0011】

本発明の目的は、ノーマリーオフ型のTFETを安定して製造できる製造方法を提供することでもある。

【課題を解決するための手段】

【0012】

本発明者らは、 $\text{InGaO}_3(\text{ZnO})_m$ の膜及びこれに関する膜の成長条件に関する研究開発を精力的に進めた。その結果、成膜時の酸素雰囲気条件を制御することで、電子キャリア濃度が $10^{18} / \text{cm}^3$ 未満の透明アモルファス酸化物膜を作製可能となることを見出した。

30

【0013】

本発明は、上記電子キャリア濃度を実現した膜自体に更なる改良を加えたり、これらの膜を用いて素子や装置を提供するものである。

【0014】

以下、具体的に本発明について説明する。

【0015】

本発明は、活性層と、ソース電極と、ドレイン電極と、ゲート絶縁膜と、ゲート電極とを含む薄膜トランジスタの製造方法において、前記活性層はIn、Zn及びOを含み、電子キャリア濃度が $10^{18} / \text{cm}^3$ 未満の透明アモルファス酸化物膜からなり、前記透明アモルファス酸化膜をスパッタ法により形成する工程を含み、前記透明アモルファス酸化膜を形成する工程は、成膜中の全圧は 0.3 Pa 以上 6.65 Pa 以下であり、酸素ガス比は 0.5 vol. \% 以上 10 vol. \% 以下であり、雰囲気ガス中に $5.0 \times 10^{-5} \text{ Pa}$ 以上 $1.0 \times 10^{-1} \text{ Pa}$ 以下の分圧の水を含むことを特徴とする。

40

【0016】

また、本発明は、前記スパッタ法における水蒸気分圧は、 $5.0 \times 10^{-5} \text{ Pa}$ 以上 $1.0 \times 10^{-1} \text{ Pa}$ 以下であることを特徴とする。

50

【0017】

また、本発明は、前記スパッタ法における水蒸気分圧は、 7.5×10^{-5} Pa 以上 5.0×10^{-2} Pa 以下であることを特徴とする。

【0018】

また、本発明は、前記スパッタ法における水蒸気分圧は、 1.0×10^{-4} Pa 以上 1.5×10^{-2} Pa 以下であることを特徴とする。

【発明の効果】

【0019】

本発明によれば、透明なアモルファス酸化物膜を用いた T F T において、性能の高い素子を提供したり、それを用いた回路、装置などの提供が可能となる。

10

【0020】

また、本発明によれば、透明なアモルファス酸化物膜を用いた T F T を大面積に形成した回路、装置などの提供が可能となる。

【発明を実施するための最良の形態】

【0021】

透明アモルファス酸化物膜

まず、本発明者らが作製することに成功した電子キャリア濃度が $10^{18} / \text{cm}^3$ 未満の透明アモルファス酸化物膜について詳述する。

【0022】

上記透明アモルファス酸化物膜とは具体的には、In-Ga-Zn-O を含み構成され、結晶状態における組成が $\text{InGaO}_3(\text{ZnO})_m$ (m は 6 未満の自然数) で表され、電子キャリア濃度が $10^{18} / \text{cm}^3$ 未満であるものである。

20

なお、この膜において、電子移動度が $1 \text{ cm}^2 / (\text{V} \cdot \text{秒})$ 以上にすることも好ましい形態である。

上記膜をチャネル層に用いれば、トランジスターオフ時のゲート電流が $0.1 \mu\text{A}$ 未満のノーマリーオフで、オン・オフ比が 10^3 超のトランジスタ特性を持ち、かつ可視光に透明でフレキシブルな T F T を作成することができる。

なお、上記透明アモルファス酸化物膜は、伝導電子数の増加とともに、電子移動度が大きくなる。

透明アモルファス酸化物膜を形成する基板としては、ガラス基板、プラスチック基板又はプラスチックフィルムなどを用いることができる。

30

本発明においては、上記透明アモルファス酸化物膜の電子キャリア濃度を $10^{14} / \text{cm}^3$ 未満とすることでゲート絶縁膜として機能させることもできる。

本発明者らは、この透明アモルファス酸化物膜は、伝導電子数の増加とともに、電子移動度が大きくなるという特異な特性を見出した。

【0023】

そして、その膜を用いて T F T を作成し、オン・オフ比、ピンチオフ状態での飽和電流、スイッチ速度などのトランジスタ特性がさらに向上することを見出した。

【0024】

透明アモルファス酸化物膜を薄膜トランジスタのチャネル層として用いると、電子移動度が $1 \text{ cm}^2 / (\text{V} \cdot \text{秒})$ 以上、かつ電子キャリア濃度が $10^{18} / \text{cm}^3$ 未満とすることが好ましい。

40

【0025】

さらに、好ましくは $5 \text{ cm}^2 / (\text{V} \cdot \text{秒})$ 以上、かつ $10^{16} / \text{cm}^3$ 未満とすることが好ましい。

【0026】

この範囲に電子移動度と電子キャリア濃度を制御することにより、オフ時(ゲート電圧無印加時)のドレイン・ソース端子間の電流を、 $10 \mu\text{A}$ 未満、好ましくは $0.1 \mu\text{A}$ 未満にすることができる。

【0027】

50

また、該薄膜を用いれば、電子移動度が $1 \text{ cm}^2 / (\text{V} \cdot \text{秒})$ 以上、好ましくは $5 \text{ cm}^2 / (\text{V} \cdot \text{秒})$ 以上の時は、ピンチオフ後の飽和電流を $10 \mu\text{A}$ 以上にできる。そしてオン・オフ比を 10^3 以上とすることができる。

【0028】

TFTでは、ピンチオフ状態では、ゲート端子に高電圧が印加され、チャネル中には高密度の電子が存在している。

【0029】

したがって、本発明によれば、電子移動度が増加した分だけより飽和電流値を大きくすることができる。

【0030】

この結果、オン・オフ比の増大、飽和電流の増大、スイッチング速度の増大など、ほとんど全てのトランジスタ特性が向上する。

【0031】

なお、通常の化合物中では、電子数が増大すると、電子間の衝突により電子移動度は減少する。

上記TFTの構造としては、半導体チャネル層の上にゲート絶縁膜とゲート端子とを順に形成するスタガ(トップゲート)構造が採用できる。

さらに、ゲート端子の上にゲート絶縁膜と半導体チャネル層を順に形成する逆スタガ(ボトムゲート)構造が採用できる。

(膜組成について)

結晶状態における組成が $\text{InGaO}_3(\text{ZnO})_m$ (m は6未満の自然数)で表される透明アモルファス酸化物薄膜は、 m の値が6未満の場合は 800 以上の高温までアモルファス状態が安定に保たれる。

【0032】

しかし、 m の値が大きくなるにつれ InGaO_3 に対する ZnO の比が増大し、 ZnO 組成に近づくにつれ結晶化しやすくなる。

したがって、アモルファスTFTのチャネル層としては、 m の値が6未満であることが好ましい。

【0033】

(成膜ガスの制御について)

In-Ga-Zn のアモルファス酸化物を得るには、 $\text{InGaO}_3(\text{ZnO})_m$ (m は6未満の自然数)を有する多結晶焼結体をターゲットとして、雰囲気ガスとして、アルゴンガスと酸素ガスを用いたスパッタ蒸着法で作成した。

【0034】

基板温度は 100 にコントロールし、スパッタ圧力は 0.53 Pa とし、水蒸気分圧を $1.2 \times 10^{-3} \text{ Pa}$ とし、酸素ガス比が $0.2\% \sim 13\%$ で成膜した。

【0035】

図1に示すように、酸素ガス比が 0.5% 以上で電子キャリア密度を $10^{18} / \text{cm}^3$ 未満に低下させることができた。

【0036】

ただし、酸素ガス比が 10% 以上のところでは、高抵抗過ぎるのか上手く測定できなかった。

【0037】

酸素ガス比をさらに大きくすることにより、電子キャリア数を低下させることが予測できる。

【0038】

さらに、電子キャリア密度と電子移動度との関係を図2に示した。

【0039】

酸素ガス比が 0.5% 以上 10% 以下の In-Ga-Zn-O から構成され透明アモルファス酸化物薄膜を活性層に用いたTFTで、ノーマリーオフ、かつオン・オフ比を 10

10

20

30

40

50

³ 超のトランジスタを構成することができた。

【0040】

また、スパッタ法で作成された薄膜では、図2に示すように、伝導電子数の増加とともに電子移動度が増加する。

【0041】

上記のとおり、酸素ガス比を制御することにより、酸素欠陥を低減でき、その結果、特定の不純物イオンを添加することなしに、電子キャリア濃度を減少できる。

【0042】

また、アモルファス状態では、多結晶状態とは異なり、本質的に粒子界面が存在しないために、高電子移動度のアモルファス薄膜を得ることができる。

10

【0043】

さらに、特定の不純物を添加せずに伝導電子数を減少できるので、不純物による散乱がなく、電子移動度を高く保つことができる。

【0044】

上記した透明アモルファス酸化物膜を用いた薄膜トランジスタに用いるゲート絶縁膜としては、 Al_2O_3 、 Y_2O_3 、 HfO_2 が好ましい。

【0045】

さらに、本発明のIn-Ga-Zn-Oを含み、電子キャリア濃度が $10^{14}/cm^3$ 未満である酸化膜、又はそれらの化合物を少なくとも二つ以上含む混晶化合物をゲート絶縁膜とすることが好ましい。

20

【0046】

ゲート絶縁薄膜とチャンネル層薄膜との界面に欠陥が存在すると、電子移動度の低下及びトランジスタ特性にヒステリシスが生じる。

また、ゲート絶縁膜の種類により、リーク電流が大きく異なる。このために、チャンネル層に適合したゲート絶縁膜を選定する必要がある。

Al_2O_3 膜を用いればリーク電流を低減できる。また、 Y_2O_3 膜を用いればヒステリシスを小さくできる。

さらに、高誘電率の HfO_2 膜を用いれば、電子移動度を大きくすることができる。

また、これらの膜の混晶を用いて、リーク電流、ヒステリシスが小さく、電子移動度の大きなTFTを形成できる。

30

また、ゲート絶縁膜形成プロセス及びチャンネル層形成プロセスは、室温で行うことができるので、TFT構造として、スタガ構造及び逆スタガ構造いずれをも形成することができる。

薄膜トランジスタ(Thin Film Transistor、TFT)は、ゲート端子、ソース端子及びドレイン端子を備えた3端子素子である。

そして、セラミックス、ガラス又はプラスチックなどの絶縁基板上に成膜した半導体薄膜を、電子又はホールが移動するチャンネル層として用いる。

動作時にはゲート端子に電圧を印加して、チャンネル層に流れる電流を制御し、ソース端子とドレイン端子間の電流をスイッチングする機能を有するアクティブ素子である。

【0047】

40

次に、本発明を具体的に説明する。

【0048】

透明アモルファス酸化物膜TFTのアモルファス酸化物活性層又はゲート絶縁層を形成する際に、高周波スパッタ法で行うだけでなく、以下の方法を用いることができる。

【0049】

即ち、DCスパッタ法、DCスパッタ法にパルスを重ねる方法、高周波スパッタ法にDCを印加する方法、又は対向にある基板を電氣的に浮かす方法も条件に合わせて行うことが好ましい。

【0050】

これにより、通常のスパッタ法と同等又はそれ以上の品質の活性層又はゲート絶縁膜が

50

大面積の基板上に堆積できる、という効果が得られる。

【0051】

透明アモルファス酸化物膜TFTのアモルファス酸化物活性層又はゲート絶縁層を形成する際に、雰囲気ガス中にアルゴンガスと酸素ガス以外に水蒸気を微量含むことによりスパッタ放電の安定化とスパッタターゲットの長時間安定性を維持することができる。

【0052】

さらに、酸素ガスの活性化をも引き出すため、酸素ガスの消費も抑制できる以外にスパッタ放電の投入パワーを抑制することができ、必要以上の投入パワーによる堆積膜へのプラズマダメージ又は熱ダメージを抑えることができる。

【0053】

また、アルゴンガス、酸素ガス、水蒸気を成膜室に導入する際、少なくとも3種類のガスが良く混合するように、成膜室に入る前に混合する。

【0054】

本発明者らの知見によれば、効果的な水蒸気量としては、 5.0×10^{-5} Pa以上 1.0×10^{-1} Pa以下である。

【0055】

好ましくは、 7.5×10^{-5} Pa以上 5.0×10^{-2} Pa以下である。

【0056】

さらに、好ましくは 1.0×10^{-4} Pa以上 1.5×10^{-2} Pa以下である。

【0057】

これにより、通常のスパッタ法以上の品質の活性層又はゲート絶縁膜が、大面積の基板上に均一に堆積できるという効果が得られる。

【0058】

また、上記透明アモルファス酸化物膜を製造する際に、更なる改良を行っている。

【0059】

具体的には、TFTのアモルファス酸化物活性層又はゲート絶縁層を形成する際に、スパッタ圧力を 0.3 Pa以上 6.65 Pa以下とすることで、所望の電子キャリア密度が得られ、長時間安定した品質を持つ堆積膜が形成できる。

スパッタ圧力がこの範囲より低い場合には、活性なイオン種が堆積膜をアタックし、ダメージを与えてしまったり堆積速度が極端に遅くなったりする。

【0060】

また、スパッタ圧力がこの範囲より大きい場合には、ターゲット側に高密度プラズマが偏り、ターゲット-基板間距離を極端に近づけないと高い堆積速度が得られなくなる。

【0061】

したがって、スパッタ圧力をこの範囲にすることにより、通常のスパッタ法以上の品質の活性層又はゲート絶縁膜が、大面積に高速で基板上に堆積できるという効果が得られる。

また、上記透明アモルファス酸化物膜を製造する際に、更なる改良を行っている。

具体的には、TFTのアモルファス酸化物活性層又はゲート絶縁層を形成する際に、スパッタターゲットが大気に触れた場合、以下の処理を行うことが好ましい。

【0062】

具体的には、スパッタターゲットの表面に発生するのノジュール等を除去するポリッシングすることでターゲット表面を平坦化処理を行うことが挙げられる。

【0063】

また、大気に触れた際の吸着ガスを脱離するために、ターゲット表面の加熱、真空加熱、又は水素プラズマ処理等により、吸着ガス脱離処理を行うことも挙げられる。

【0064】

この際、必要に応じてターゲット上に落ちる剥離した堆積膜を除去することが好ましい。

【0065】

10

20

30

40

50

また、本スパッタの前に、プレスパッタをすることにより、より安定した堆積膜を維持することができる。

【0066】

これにより、通常のスパッタ法以上の品質の活性層又はゲート絶縁膜が、大面積に高速で基板上に堆積できるという効果が得られる。

【0067】

なお、酸素欠損量を制御して所望の電子キャリア濃度を達成できていることが重要である。

【0068】

透明アモルファス酸化物膜の酸素量（酸素欠損量）の制御を、スパッタ時の圧力、水蒸気量、酸素ガス比及び基板温度により制御している。

【0069】

しかし、成膜後、当該酸化物膜を酸素を含む雰囲気中で後処理して酸素欠損量を制御（低減又は増加）することも好ましいものである。

【0070】

効果的に酸素欠損量を制御するには、酸素を含む雰囲気中の温度を0以上450以下、好ましくは、25以上400以下、さらに好ましくは100以上350以下で行うのがよい。

【0071】

なお、電子キャリア濃度の下限としては、得られる酸化物膜をどのような素子や回路又は装置に用いるかにもよるが、例えば $10^{14} / \text{cm}^3$ 以上である。

【0072】

以上では、In-Ga-Znを含み構成されるアモルファス酸化物を例示して説明しているが、Sn、In、Znの少なくとも1種類の元素を含み構成されるアモルファス酸化物に適用できる。

【0073】

さらに、アモルファス酸化物の構成元素の少なくとも一部にSnを選択する場合、Snを、 $\text{Sn}_{1-x}\text{M}_4_x$ （ $0 < x < 1$ 、M4は、Snより原子番号の小さい4族元素のSi、Ge又はZrから選ばれる。）に置換することもできる。

【0074】

また、アモルファス酸化物の構成元素の少なくとも一部にInを選択する場合、Inを、 $\text{In}_{1-y}\text{M}_3_y$ （ $0 < y < 1$ 、M3は、Lu又はInより原子番号の小さい3族元素のB、Al、Ga又はYから選ばれる。）に置換することもできる。

【0075】

また、アモルファス酸化物の構成元素の少なくとも一部にZnを選択する場合、Znを、 $\text{Zn}_{1-z}\text{M}_2_z$ （ $0 < z < 1$ 、M2はZnより原子番号の小さい2族元素のMg又はCaから選ばれる。）に置換することもできる。

【0076】

具体的に本発明に適用できるアモルファス材料は、Sn-In-Zn酸化物、In-Zn-Ga-Mg酸化物、In酸化物、In-Sn酸化物、In-Ga酸化物、In-Zn酸化物、Zn-Ga酸化物、Sn-In-Zn酸化物などである。

【0077】

もちろん、構成材料の組成比は必ずしも1：1である必要はない。

【0078】

なお、ZnやSnは、単独ではアモルファスを形成し難い場合があるが、Inを含ませることによりアモルファス層が形成され易くなる。

【0079】

例えば、In-Zn系の場合は、酸素を除く原子数割合が、Inが約20原子%以上含まれる組成にするのがよい。

【0080】

10

20

30

40

50

S n - I n系の場合は、酸素を除く原子数割合が、I nが約80原子%以上含まれる組成にするのがよい。S n - I n - Z n系の場合は、酸素を除く原子数割合が、I nが約15原子%以上含まれる組成にするのがよい。

【0081】

また、アモルファスとは、測定対象薄膜に、入射角度0.5度程度の低入射角によるX線回折を行った場合に明瞭な回折ピークが検出されない(即ちハローパターンが観測される)ことで確認できる。

【0082】

なお、本発明は、上記した材料を電界効果型トランジスタのチャンネル層に用いる場合に、当該チャンネル層が微結晶状態の構成材料を含むことを除外するものではない。

10

【0083】

なお、上記記載においては、透明アモルファス酸化物膜をTFTのチャンネル層を使用する場合に主眼を置いて説明したが、本発明はこのようにチャンネル層に使用する場合に限定されるものではない。

【実施例】

【0084】

(実施例1:アモルファスI n - G a - Z n - O薄膜の作製)

雰囲気ガスとしてアルゴンガス、酸素ガス、水蒸気を含んだ高周波スパッタ法により成膜する場合について説明する。

【0085】

20

スパッタ法は図3に示す装置を用いて行った。図3において、301は成膜室(チャンバー)、302はターゲット、303はシャッター、304は被成膜基板である。

【0086】

305は加熱冷却機構付き基板保持手段、311はガス導入管、306はピラニ真空計、307はイオン真空計、308はゲートバルブ、309はターボ分子ポンプ、310はロータリーポンプである。

【0087】

被成膜基板としてはS i O₂ガラス基板(コーニング社製1737)を用意した。成膜前処理としてはこの基板の超音波脱脂洗浄をアセトン、IPA、超純水により各5分ずつ行った後、空气中100℃で乾燥させた。

30

【0088】

ターゲット材料としては、I n G a O₃ (Z n O)₄組成を有する多結晶焼結体(サイズ98mm×5mm厚)を用いた。

【0089】

この焼結体は出発原料として、I n₂O₃ : G a₂O₃ : Z n O (各4N試薬)を湿式混合(溶媒:エタノール)し、仮焼結(1000度:2h)乾式粉碎、本焼結(1500:2h)を経て作製した。

【0090】

このターゲット302の電気伝導度は10(S/cm)であり、半絶縁体状態であった。

40

【0091】

成膜室301の到達真空は、4.0×10⁻⁴Paであり、成膜中の水蒸気分圧は、8.0×10⁻⁴Paとし、成膜中の全圧を0.5Paで一定の値とし、酸素ガス比を0.2%~13%の範囲で変化させた。

【0092】

水蒸気、アルゴンガス、酸素ガスは成膜室301に入る前に混合され、ガス導入管311より導入した。

【0093】

また、基板温度は、100℃とし、ターゲット302と被成膜基板304間の距離は40(mm)であった。投入電力は、RF350Wであり、成膜レートは、7(nm/min)

50

)で行った。

【0094】

得られた膜に関し、測定対象面に対して入射角 0.5 度で X 線を入射させ X 線回折測定を行った（薄膜法）。その結果明瞭な回折ピークは認められなかったことから、作製した In - Ga - Zn - O 系薄膜はアモルファスであるといえる。

【0095】

さらに、酸素ガス比を 3.5 % にしたサンプルの X 線反射率測定を行い、パターン解析を行った結果、薄膜の平均二乗粗さ (Rrms) は約 0.5 nm であり、膜厚は約 110 nm であることが分かった。

【0096】

蛍光 X 線 (XRF) 分析の結果、薄膜の金属組成比は In : Ga : Zn = 0.97 : 1.03 : 4 であった。

【0097】

電気伝導度は、約 10^{-2} S/cm 未満であった。電子キャリア濃度は約 10^{16} / cm^3 以下、電子移動度は約 $7 \text{ cm}^2 / (\text{V} \cdot \text{秒})$ と推定される。

【0098】

光吸収スペクトルの解析から、作製したアモルファス薄膜の禁制帯エネルギー幅は約 3.2 eV と求まった。

【0099】

以上のことから、作製した In - Ga - Zn - O 系薄膜は、結晶の $\text{InGaO}_3(\text{ZnO})_4$ の組成に近いアモルファス層であり、酸素欠損が少なく、電気伝導度が小さな透明な平坦薄膜であることが分かった。

【0100】

(MISFET 素子の作製)

図 4 に示すトップゲート型 MISFET 素子を作製した。

【0101】

まず、ガラス基板 (1) 上に上記のアモルファス In - Ga - Zn - O 薄膜の作製法により、チャンネル層 (2) として用いる厚さ 50 nm の半絶縁性アモルファス $\text{InGaO}_3(\text{ZnO})_4$ 膜を形成した。

【0102】

さらにその上に、電子ビーム蒸着法で Ti 及び金をそれぞれ 5 nm、30 nm 積層し、フォトリソグラフィー法とリフトオフ法により、ドレイン端子 (5) 及びソース端子 (6) を形成した。

【0103】

最後にゲート絶縁膜 (3) として用いる Y_2O_3 膜を所望のスパッタ法により成膜した。(厚み: 120 nm、比誘電率: 約 15、リーク電流密度: 0.5 MV/cm 印加時に 10^{-3} A/cm^2) その上に金を成膜し、フォトリソグラフィー法とリフトオフ法により、ゲート端子 (4) を形成した。

【0104】

(MISFET 素子の特性評価)

図 5 に、室温下で測定した MISFET 素子の電流 - 電圧特性を示す。

【0105】

ドレイン電圧 V_{DS} の増加に伴い、ドレイン電流 I_{DS} が増加したことからチャンネルが n 型半導体であることが分かる。

【0106】

これは、アモルファス In - Ga - Zn - O 系半導体が n 型であるという事実と矛盾しない。

【0107】

I_{DS} は $V_{DS} = 6 \text{ V}$ 程度で飽和 (ピンチオフ) する典型的な半導体トランジスタの挙動を示した。

10

20

30

40

50

【0108】

利得特性を調べたところ、 $V_{DS} = 4 \text{ V}$ 印加時におけるゲート電圧 V_{GS} の閾値は約 1.2 V であった。また、 $V_G = 5 \text{ V}$ 時には、 $I_{DS} = 1.2 \times 10^{-4} \text{ A}$ の電流が流れた。

【0109】

これはゲートバイアスにより絶縁体側の In-Ga-Zn-O 系アモルファス半導体薄膜内にキャリアを誘起できたことに対応する。

【0110】

トランジスタのオン・オフ比は、 10^5 超であった。

【0111】

また、出力特性から電界効果移動度を算出したところ、飽和領域において約 $8 \text{ cm}^2 (\text{V s})^{-1}$ の電界効果移動度が得られた。

【0112】

作製した素子に可視光を照射して同様の測定を行ったが、トランジスタ特性の変化はほとんど認められなかった。

【0113】

(実施例2：アモルファス In-Ga-Zn-O 薄膜の作製)

次に、DCスパッタ法により成膜する場合について説明する。実施例1と同様にスパッタ法は図3に示す装置を用いて行った。

【0114】

図3において、302のターゲットに接続する不図示の高周波電源をDC電源に変え、DCスパッタを行った。

【0115】

ターゲット材料としては、 $\text{InGaO}_3(\text{ZnO})_4$ 組成を有する実施例1よりも低抵抗な多結晶焼結体(サイズ $98 \text{ mm} \times 5 \text{ mm} \times t$)を用いた。このターゲット302の電気伝導度は $100 (\text{S/cm})$ であり導体であった。

【0116】

成膜室301の到達真空は、 $5.0 \times 10^{-4} \text{ Pa}$ であり、成膜中の水蒸気分圧は、 $2.0 \times 10^{-3} \text{ Pa}$ とし、成膜中の全圧を 0.54 Pa で一定の値とし、酸素ガス比を8%とした。

【0117】

実施例1よりも水蒸気分圧、酸素ガス比とも多めにした。また、基板温度は、 120 とし、ターゲット302と被成膜基板304間の距離は $50 (\text{mm})$ であった。投入電力は、DC 550 W であり、成膜レートは、 $8 (\text{nm/min})$ で行った。

【0118】

得られた膜に関し、測定対象面に対して入射角 0.5 度でX線を入射させX線回折測定を行った。

その結果明瞭な回折ピークは認められなかったことから、作製した In-Ga-Zn-O 系薄膜はアモルファスであるといえる。

さらに、X線反射率測定を行い、パターンの解析を行った結果、薄膜の平均二乗粗さ(R_{rms})は約 0.5 nm であり、膜厚は約 120 nm であることが分かった。

蛍光X線(XRF)分析の結果、薄膜の金属組成比は $\text{In}:\text{Ga}:\text{Zn} = 0.98:1.02:4$ であった。

電気伝導度は、約 10^{-2} S/cm 未満であった。電子キャリア濃度は約 $10^{16} / \text{cm}^3$ 以下、電子移動度は約 $7 \text{ cm}^2 / (\text{V} \cdot \text{s})$ と推定される。光吸収スペクトルの解析から、作製したアモルファス薄膜の禁制帯エネルギー幅は、約 3.2 eV と求まった。

以上のことから、作製した In-Ga-Zn-O 系薄膜は、結晶の $\text{InGaO}_3(\text{ZnO})_4$ の組成に近いアモルファス層であり、酸素欠損が少なく、電気伝導度が小さな透明な平坦薄膜であることが分かった。

(MISFET素子の作製)

10

20

30

40

50

実施例 1 と同様に、図 4 に示すトップゲート型 M I S F E T 素子を作製した。まず、ガラス基板 (1) 上に上記のアモルファス I n - G a - Z n - O 薄膜の作製法により、チャンネル層 (2) として用いる厚さ 4 5 n m の半絶縁性アモルファス I n G a O ₃ (Z n O) ₄ 膜を形成した。

【 0 1 1 9 】

さらにその上に、電子ビーム蒸着法で T i 及び金をそれぞれ 5 n m 、 4 0 n m 積層し、フォトリソグラフィ法とリフトオフ法により、ドレイン端子 (5) 及びソース端子 (6) を形成した。

【 0 1 2 0 】

最後にゲート絶縁膜 (3) として用いる Y ₂ O ₃ 膜を所望のスパッタ法により成膜した。
(厚み : 1 3 0 n m 、 比誘電率 : 約 1 5 、 リーク電流密度 : 0 . 5 M V / c m 印加時に 1 0 ⁻³ A / c m ²) その上に金を成膜し、フォトリソグラフィ法とリフトオフ法により、ゲート端子 (4) を形成した。

10

【 0 1 2 1 】

(M I S F E T 素子の特性評価)

実施例 1 と同様に、室温下で M I S F E T 素子の電流 - 電圧特性を測定した。

【 0 1 2 2 】

ドレイン電圧 V _{D S} の増加に伴い、ドレイン電流 I _{D S} が増加したことからチャンネルが n 型半導体であることが分かる。

【 0 1 2 3 】

これは、アモルファス I n - G a - Z n - O 系半導体が n 型であるという事実と矛盾しない。

20

【 0 1 2 4 】

I _{D S} は V _{D S} = 6 V 程度で飽和 (ピンチオフ) する典型的な半導体トランジスタの挙動を示した。

【 0 1 2 5 】

利得特性を調べたところ、 V _{D S} = 5 V 印加時におけるゲート電圧 V _{G S} の閾値は約 1 . 1 V であった。

【 0 1 2 6 】

また、 V _G = 5 V 時には、 I _{D S} = 1 . 0 × 1 0 ⁻⁴ A の電流が流れた。

30

【 0 1 2 7 】

これはゲートバイアスにより絶縁体側の I n - G a - Z n - O 系アモルファス半導体薄膜内にキャリアを誘起できたことに対応する。

【 0 1 2 8 】

トランジスタのオン・オフ比は 1 0 ⁵ 超であった。また、出力特性から電界効果移動度を算出したところ、飽和領域において約 7 c m ² (V s) ⁻¹ の電界効果移動度が得られた。

【 0 1 2 9 】

作製した素子に可視光を照射して同様の測定を行なったが、トランジスタ特性の変化はほとんど認められなかった。

40

【 0 1 3 0 】

(実施例 3)

実施例 1 において、雰囲気ガスとして、導入した水蒸気量を変化させて、実施例 1 と同様に、 T F T の試作した。

【 0 1 3 1 】

結果を図 6 に示した。この結果から、水蒸気分圧は、 1 . 5 × 1 0 ⁻² P a 以下でないと、酸化が進み過ぎるせいか、電子移動度が急激に落ち込んでしまう。

【 0 1 3 2 】

また、水蒸気分圧が低い方は、電子移動度は向上する傾向にあるが、電子キャリア濃度が増加するためか、オン / オフ比が低下する傾向にあり、 1 . 0 × 1 0 ⁻⁴ P a 以下では

50

オン/オフ比が 10^2 以下となり、現実的では無くなる。

【0133】

したがって、水蒸気分圧としては、 1.5×10^{-2} Pa以下が好ましく、下限界は、電子移動度とオン/オフ比の最適値から設定すべきである。

【0134】

(実施例4)

実施例1において、酸素ガス比を0.2%~13%の範囲で変化させたサンプルのTF Tを試作し評価した。

【0135】

その結果を図7に示す。この結果から、酸素ガス比は、10%以下でないと、酸化が進み過ぎるせいか、電子移動度が急激に落ち込んでしまう。

10

【0136】

また、酸素ガス比が低い方は、電子移動度は向上する傾向にあるが、電子キャリア濃度が増加するためか、オン/オフ比が低下する傾向にある。したがって、酸素ガス比としては、0.5%以上10%以下が好ましい範囲である。

【0137】

(実施例5)

実施例1において、成膜中の全圧を0.1 Pa~10 Paの範囲で変化させTF Tを試作・評価した。その結果を図8に示す。

【0138】

20

この結果から、成膜中の全圧は、0.3 Pa~6.65 Paの範囲が良好であり、0.3 Pa未満では、プラズマダメージが強すぎるせいか、又は堆積速度が速すぎるせいか、電子移動度が急激に低下してしまう。

【0139】

また、成膜中の全圧を高くすると、プラズマダメージは緩和され、堆積速度も低下する傾向にある。

【0140】

しかし、気相中での酸素との反応が増え、むしろ酸化が進み、高抵抗な膜となるため、電子キャリア密度は低下し、電子移動度は低下する傾向となる。

【0141】

30

したがって、成膜中の全圧は6.65 Pa超では、所望の電子移動度は得られない。

【0142】

(実施例6)

実施例1において、同様な成膜を7回繰り返し、700個のTF Tを試作した。

【0143】

この時、大気に接したスパッタターゲットの表面を処理して成膜した場合と、全く処理しないで成膜した場合について、電子移動度が5以上、オン/オフ比が 10^5 以上の歩留まりで比較した。

【0144】

40

また、今回の表面処理は、スパッタターゲットの表面に発生するのジュール等を除去するポリッシング及びターゲット上に落ちる剥離した堆積膜を除去することも表面処理として行った。その結果を図9に示す。

この結果から、表面を処理したものは、回数が増えても合格個数は変化無く、総計合格率も99.7%であるのに対し、表面処理をしないものは回数が増すごとに、合格個数が減少する傾向が認められた。

そして7回目の実験では、65個しか合格できず、総計合格率も89.3%に留まった。このことから、大気に接したスパッタターゲットの表面処理を行うことは、高い歩留まりを維持するために有効であることが分かった。

【0145】

(実施例7)

50

実施例 1 において、同様な成膜を 8 回繰り返し、800 個の TFT を試作した。

【0146】

この時、スパッタターゲットが大気に触れた際、本スパッタの前にプレスパッタをして成膜した場合と、全くプレスパッタしないで成膜した場合について、電子移動度が 5 以上、オン/オフ比が 10^5 以上の歩留まりで比較した。

【0147】

また、今回のプレスパッタは、7 分とした。その結果を図 10 に示す。この結果から、スパッタターゲットが大気に触れた際、本スパッタの前にプレスパッタをすることで、安定した歩留まりが得られることがわかる。

【0148】

スパッタターゲットが大気に触れた際、その時の湿度等の影響を受け、堆積初期膜が低抵抗過ぎたり、あるいは高抵抗過ぎたりして、ばらつくものと考えられる。

【0149】

(実施例 8)

実施例 1 において、チャンネル層に用いた In-Ga-ZnO のスパッタターゲットより、 Ga_2O_3 を若干多めに含んだターゲットを用い、酸素ガス比を変えながら、In-Ga-Zn-O を含み構成されたゲート絶縁層を Y_2O_3 膜の代わりに形成した。

【0150】

サンプルにおいて電子キャリア密度が 1×10^{-14} よりも酸素ガス比を高めにして、ゲート絶縁層を作成した。

【0151】

トランジスタのオン・オフ比は、 10^4 超であった。また、出力特性から電界効果移動度を算出したところ、飽和領域において約 $3 \text{ cm}^2 (\text{Vs})^{-1}$ の電界効果移動度が得られた。

【0152】

このことから、In-Ga-Zn-O を含み構成された電子キャリア密度が 1×10^{-14} 未満のゲート絶縁層が有効に動作することが確認された。

【産業上の利用可能性】

【0153】

本発明に係る透明アモルファス酸化物膜は、当該膜をチャンネル層に用いたトランジスタは LCD や有機 EL ディスプレイのスイッチング素子として利用できる。

【0154】

また、プラスチックフィルムをはじめとするフレキシブル素材に半導体の薄膜を形成し、フレキシブル・ディスプレイをはじめ、IC カードや ID タグなどに幅広く応用できる。

【図面の簡単な説明】

【0155】

【図 1】 In-Ga-Zn-O 系アモルファス膜の電子キャリア濃度と成膜中の酸素ガス比との関係を示すグラフである。

【図 2】 In-Ga-Zn-O 系アモルファス膜の電子移動度と電子キャリア濃度との関係を示すグラフである。

【図 3】 本発明に用いた代表的なスパッタ装置を示す模式図である。

【図 4】 実施例 1 で作製したトップゲート型 MISFET 素子構造を示す模式図である。

【図 5】 実施例 1 で作製したトップゲート型 MISFET 素子の電流 - 電圧特性を示すグラフである。

【図 6】 In-Ga-Zn-O 系アモルファス膜の電子移動度と水蒸気分圧との関係を示すグラフである。

【図 7】 In-Ga-Zn-O 系アモルファス膜の電子移動度と酸素ガス比との関係を示すグラフである。

【図 8】 In-Ga-Zn-O 系アモルファス膜の電子移動度とスパッタ圧力との関係を

10

20

30

40

50

示すグラフである。

【図9】In-Ga-Zn-O系アモルファス膜の成膜回数と所望の特性が得られたTF Tの個数との関係を示す表である。

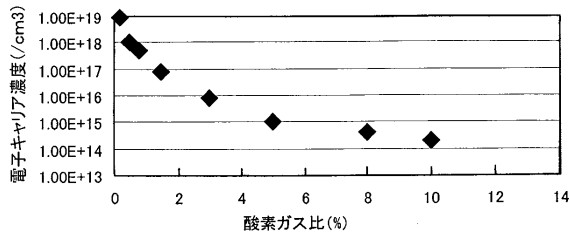
【図10】In-Ga-Zn-O系アモルファス膜の成膜回数と所望の特性が得られたTF Tの個数との関係を示す表である。

【符号の説明】

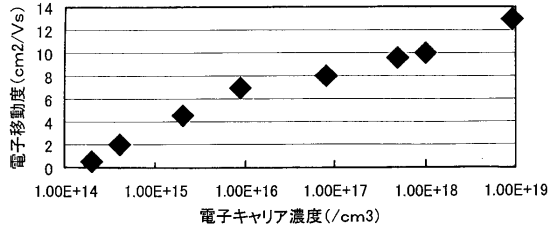
【0156】

- 301 成膜室
- 302 ターゲット
- 303 シャッター
- 304 被成膜基板
- 305 基板保持手段
- 306 ピラニ真空計
- 307 イオン真空計
- 308 ゲートバルブ
- 309 ターボ分子ポンプ
- 310 ロータリーポンプ
- 311 ガス導入室

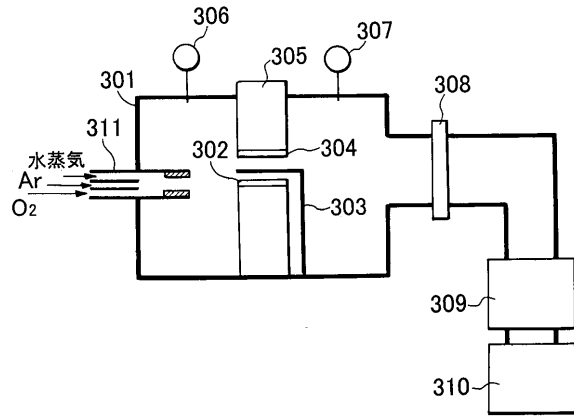
【図1】



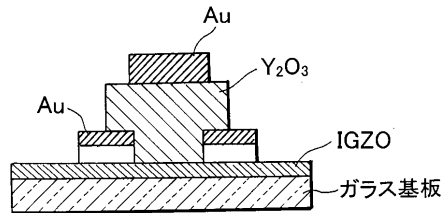
【図2】



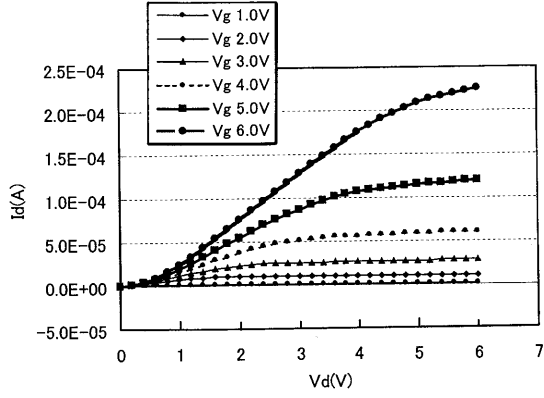
【図3】



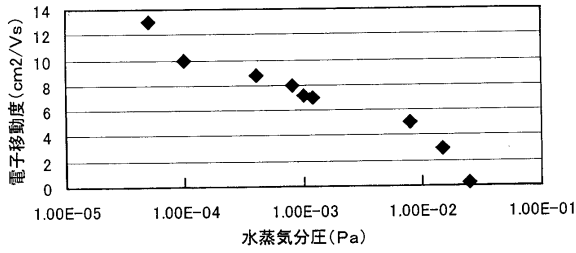
【図4】



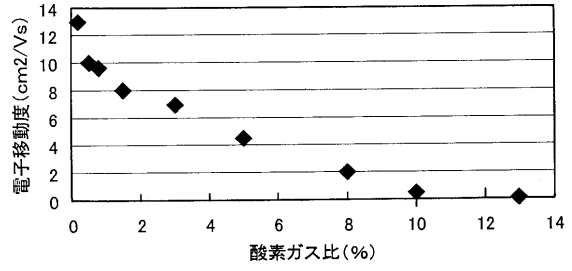
【 図 5 】



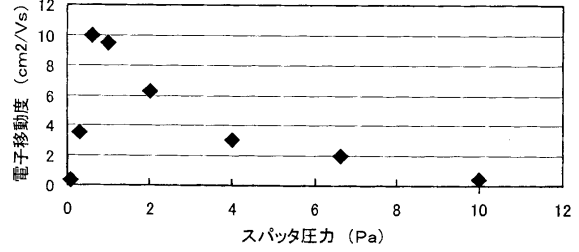
【 図 6 】



【 図 7 】



【 図 8 】



【 図 9 】

成膜回数と合格個数

成膜回数	1	2	3	4	5	6	7	合計	合格率 (%)
処理あり	100	99	100	100	100	99	100	698	99.7
処理なし	100	98	97	95	90	80	65	625	89.3

【 図 10 】

成膜回数と合格個数

成膜回数	1	2	3	4	5	6	7	8	合計	合格率 (%)
プレスパッタあり	99	100	100	100	99	100	100	100	798	99.8
プレスパッタなし	96	97	97	95	90	95	96	96	762	95.3

フロントページの続き

- (72)発明者 林 享
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 安部 勝美
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 棚田 一也

- (56)参考文献 国際公開第2005/088726(WO, A1)
特開2003-178625(JP, A)
N.L.Dehuff, E.S.Kettenring, D.Hong, H.Q.Chiang, Transparent thin-film transistors with zinc indium oxide channel layer, Journal of Applied Physics, 米国, American Institute of physics, 2005年 3月11日, 97, 64505

- (58)調査した分野(Int.Cl., DB名)
H01L 21/336
H01L 29/786