

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成21年3月12日(2009.3.12)

【公開番号】特開2007-243877(P2007-243877A)

【公開日】平成19年9月20日(2007.9.20)

【年通号数】公開・登録公報2007-036

【出願番号】特願2006-67243(P2006-67243)

【国際特許分類】

H 03 L 7/081 (2006.01)

H 03 K 5/13 (2006.01)

【F I】

H 03 L 7/08 J

H 03 K 5/13

【手続補正書】

【提出日】平成21年1月22日(2009.1.22)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

遅延同期ループと、

前記遅延同期ループの動作を制御する制御信号を出力する制御回路とを具備して成り、

前記遅延同期ループは、基準信号と前記制御信号とが入力して出力信号を出力し、

前記制御回路は、基準信号と前記出力信号とが入力して前記制御信号を出力し、

前記制御回路は、排他的論理回路とカウンタとを含み、

前記排他的論理回路は、前記基準信号と前記出力信号とが入力し、前記排他的論理回路の出力が前記カウンタに入力され、

前記カウンタにより前記排他的論理回路の出力をカウントし、前記カウンタのカウント数が設定値に到達するまでは前記制御信号として前記遅延同期ループが動作しない設定信号を出力し、前記カウンタのカウント数が前記設定値に到達した後、前記制御信号として前記遅延同期ループが動作する設定信号を出力することを特徴とする遅延同期回路。

【請求項2】

遅延同期ループと、

前記遅延同期ループの動作を制御する制御信号を出力する制御回路とを具備して成り、

前記遅延同期ループは、基準信号と前記制御信号とが入力して出力信号を出力し、

前記制御回路は、基準信号と前記出力信号とが入力して前記制御信号を出力し、

前記遅延同期ループは、さらに、帰還信号を出力し、前記帰還信号が前記制御回路に入力され、

前記制御回路は、排他的論理回路とカウンタとを含み、

前記排他的論理回路は、前記基準信号と前記帰還信号とが入力し、前記排他的論理回路の出力が前記カウンタに入力され、

前記カウンタにより前記排他的論理回路の出力をカウントし、前記カウンタのカウント数が設定値に到達するまでは前記制御信号として前記遅延同期ループが動作しない設定信号を出力し、前記カウンタのカウント数が前記設定値に到達した後、前記制御信号として前記遅延同期ループが動作する設定信号を出力することを特徴とする遅延同期回路。

【請求項3】

遅延同期ループと、

前記遅延同期ループの動作を制御する制御信号を出力する制御回路とを具備して成り、

前記遅延同期ループは、基準信号と前記制御信号とが入力して出力信号を出力し、

前記制御回路は、基準信号と前記出力信号とが入力して制御信号を出力し、

前記遅延同期ループは、さらに、スタンバイ信号が入力し、

前記制御回路は、さらに、前記スタンバイ信号が入力する回路であり、

前記制御回路は、トリミングレジスタと遅延回路とを含み、

前記トリミングレジスタは、トリミング信号を前記遅延回路に出力し、

前記遅延回路は、前記スタンバイ信号と前記トリミング信号とが入力して前記制御信号を出力し、

前記遅延回路は、前記スタンバイ信号を前記トリミング信号で所定時間遅延させた信号を前記制御信号として出力する回路であることを特徴とする遅延同期回路。

【請求項4】

請求項1において、

前記遅延同期ループは、位相比較器を具備して成り、

前記基準信号と前記出力信号と前記制御信号とが、前記位相比較器に入力し、

前記位相比較器は、前記制御信号を用い、前記基準信号と前記出力信号との位相を比較することを特徴とする遅延同期回路。

【請求項5】

請求項2において、

前記遅延同期ループは、位相比較器を具備して成り、

前記基準信号と前記出力信号と前記制御信号とが、前記位相比較器に入力し、

前記位相比較器は、前記制御信号を用い、前記基準信号と前記出力信号との位相を比較することを特徴とする遅延同期回路。

【請求項6】

遅延同期ループと、

前記遅延同期ループの動作を制御する制御信号を出力する制御回路とを具備して成り、

前記遅延同期ループは、基準信号と前記制御信号とが入力して出力信号を出力し、

前記制御回路は、基準信号と前記出力信号とが入力して前記制御信号を出力し、

前記制御回路は、排他的論理和回路とカウンタとを具備して成り、

前記排他的論理和回路は、前記基準信号と前記出力信号とが入力し、前記排他的論理和回路の出力が前記カウンタに入力することを特徴とする遅延同期回路。

【請求項7】

請求項6において、

前記遅延同期ループは、さらに、スタンバイ信号が入力し、

前記制御回路は、さらに、前記スタンバイ信号が入力する回路であることを特徴とする遅延同期回路。

【請求項8】

請求項7において、

前記制御回路は、トリミングレジスタと遅延回路とを具備して成り、

前記トリミングレジスタは、トリミング信号を前記遅延回路に出力し、

前記遅延回路は、前記スタンバイ信号と前記トリミング信号が入力して前記制御信号を出力し、

前記遅延回路は、前記スタンバイ信号を前記トリミング信号で所定時間遅延させた信号を前記制御信号として出力する回路であることを特徴とする遅延同期回路。

【請求項9】

請求項6において、

前記遅延同期ループは、位相比較器を具備して成り、

前記基準信号と前記出力信号と前記制御信号とが、前記位相比較器に入力し、

前記位相比較器は、前記制御信号により、前記基準信号と前記出力信号との位相を比較

する回路であることを特徴とする遅延同期回路。

【請求項 1 0】

請求項 9において、

前記遅延同期ループは、さらに、スタンバイ信号が入力し、

前記制御回路は、さらに、前記スタンバイ信号が入力する回路であることを特徴とする遅延同期回路。

【請求項 1 1】

請求項 1 0において、

前記制御回路は、トリミングレジスタと遅延回路とを具備して成り、

前記トリミングレジスタは、トリミング信号を前記遅延回路に出力し、

前記遅延回路は、前記スタンバイ信号と前記トリミング信号とが入力して前記制御信号を出力し、

前記遅延回路は、前記スタンバイ信号を前記トリミング信号で所定時間遅延させた信号を前記制御信号として出力する回路であることを特徴とする遅延同期回路。

【請求項 1 2】

遅延同期ループと、

前記遅延同期ループの動作を制御する制御信号を出力する制御回路とを具備して成り、

前記遅延同期ループは、基準信号と前記制御信号とが入力して出力信号を出力し、

前記制御回路は、基準信号が入力して前記制御信号を出力し、

前記遅延同期ループは、さらに、帰還信号を出力し、前記帰還信号が前記制御回路に入力し、

前記制御回路は、排他的論理和回路とカウンタとを具備して成り、

前記排他的論理和回路は、前記基準信号と前記帰還信号とが入力し、前記排他的論理和回路の出力が前記カウンタに入力することを特徴とする遅延同期回路。

【請求項 1 3】

請求項 1 2において、

前記遅延同期ループは、さらに、スタンバイ信号が入力し、

前記制御回路は、さらに、前記スタンバイ信号が入力する回路であることを特徴とする遅延同期回路。

【請求項 1 4】

請求項 1 3において、

前記制御回路は、トリミングレジスタと遅延回路とを具備して成り、

前記トリミングレジスタは、トリミング信号を前記遅延回路に出力し、

前記遅延回路は、前記スタンバイ信号と前記トリミング信号とが入力して前記制御信号を出力し、

前記遅延回路は、前記スタンバイ信号を前記トリミング信号で所定時間遅延させた信号を前記制御信号として出力する回路であることを特徴とする遅延同期回路。

【請求項 1 5】

請求項 1 2において、

前記遅延同期ループは、位相比較器を具備して成り、

前記基準信号と前記出力信号と前記制御信号とが、前記位相比較器に入力し、

前記位相比較器は、前記制御信号により、前記基準信号と前記出力信号との位相を比較することを特徴とする遅延同期回路。

【請求項 1 6】

請求項 1 5において、

前記遅延同期ループは、さらに、スタンバイ信号が入力し、

前記制御回路は、さらに、前記スタンバイ信号が入力する回路であることを特徴とする遅延同期回路。

【請求項 1 7】

請求項 1 6において、

前記制御回路は、トリミングレジスタと遅延回路とを具備して成り、
前記トリミングレジスタは、トリミング信号を前記遅延回路に出力し、
前記遅延回路は、前記スタンバイ信号と前記トリミング信号とが入力して前記制御信号
を出力し、

前記遅延回路は、前記スタンバイ信号を前記トリミング信号で所定時間遅延させた信号
を前記制御信号として出力する回路であることを特徴とする遅延同期回路。

【請求項 1 8】

遅延同期ループと、前記遅延同期ループの動作を制御する制御信号を出力する制御回路
とを具備して成る遅延同期回路と、

前記遅延同期回路の出力信号が入力する論理回路と
を有し、

前記遅延同期ループは、基準信号と前記制御信号とが入力して出力信号を出力し、
前記制御回路は、前記基準信号が入力して前記制御信号を出力する回路であり、
前記制御回路は、排他的論理回路とカウンタとを具備して成り、
前記排他的論理回路は、前記基準信号と前記帰還信号とが入力し、前記排他的論理回路
の出力が前記カウンタに入力することを特徴とする半導体集積回路装置。

【請求項 1 9】

請求項 1 8において、
前記遅延同期ループは、さらに、スタンバイ信号が入力し、
前記制御回路は、さらに、前記スタンバイ信号が入力する回路であることを特徴とする
半導体集積回路装置。

【請求項 2 0】

請求項 1 9において、
前記制御回路は、トリミングレジスタと遅延回路とを具備して成り、
前記トリミングレジスタは、トリミング信号を前記遅延回路に出力し、
前記遅延回路は、前記スタンバイ信号と前記トリミング信号とが入力して前記制御信号
を出力し、
前記遅延回路は、前記スタンバイ信号を前記トリミング信号で所定時間遅延させた信号
を前記制御信号として出力する回路であることを特徴とする半導体集積回路装置。

【請求項 2 1】

請求項 1 8において、
前記遅延同期ループは、位相比較器を具備して成り、
前記基準信号と前記出力信号と前記制御信号とが、前記位相比較器に入力し、
前記位相比較器は、前記制御信号により、前記基準信号と前記出力信号との位相を比較
することを特徴とする半導体集積回路装置。

【請求項 2 2】

請求項 2 1において、
前記遅延同期ループは、さらに、スタンバイ信号が入力し、
前記制御回路は、さらに、前記スタンバイ信号が入力する回路であることを特徴とする
半導体集積回路装置。

【請求項 2 3】

請求項 2 2において、
前記制御回路は、トリミングレジスタと遅延回路とを具備して成り、
前記トリミングレジスタは、トリミング信号を前記遅延回路に出力し、
前記遅延回路は、前記スタンバイ信号と前記トリミング信号とが入力して前記制御信号
を出力し、
前記遅延回路は、前記スタンバイ信号を前記トリミング信号で所定時間遅延させた信号
を前記制御信号として出力する回路であることを特徴とする半導体集積回路装置。