



(12) 实用新型专利

(10) 授权公告号 CN 213457745 U

(45) 授权公告日 2021.06.15

(21) 申请号 202021931084.8

(22) 申请日 2020.09.07

(73) 专利权人 无锡龙新机电工程有限公司
地址 214000 江苏省无锡市梁溪区通扬路
280-1号1318、1320室

(72) 发明人 崔坤新 徐慧伟

(74) 专利代理机构 连云港联创专利代理事务所
(特殊普通合伙) 32330

代理人 刘刚

(51) Int. Cl.

G05B 19/05 (2006.01)

G06F 13/40 (2006.01)

权利要求书1页 说明书3页 附图2页

(54) 实用新型名称

基于HSC串行总线接口的64路高速GPIO控制板

(57) 摘要

本实用新型公开了基于HSC串行总线接口的64路高速GPIO控制板,该控制板由GPIO输入、GPIO输出电路、核心控制逻辑单元、输入输出LED指示电路、设备插入通知、BLVDS接口和降压供电电路组成,GPIO输入输出采用SCSI 68P连接器与外部设备连接,通过DIN41612欧式插头与高速通讯底板连接,GPIO输入电路由两片74LVC16244芯片组成输入缓冲器,输入端由阻容元件组成输入保护电路,输入支持LVTTTL电平输入;GPIO输出电路由两74LVCH16374组成输出缓冲器,输出LVTTTL电平信号,输入输出指示电路采用扫描方式。该基于HSC串行总线接口的64路高速GPIO控制板,该高速GPIO控制板具有结构简单,接口容量大,故障率低可靠性高,支持板卡热拔插在线更换,在线扩展方便等优点。



1. 基于HSC串行总线接口的64路高速GPIO控制板,其特征在于:该控制板由GPIO输入、GPIO输出电路、核心控制逻辑单元、输入输出LED指示电路、设备插入通知、BLVDS接口和降压供电电路组成,GPIO输入输出采用SCSI68P连接器与外部设备连接,通过DIN41612欧式插头与高速通讯底板连接,GPIO输入电路由两片74LVC16244芯片组成输入缓冲器,输入端由阻容元件组成输入保护电路,输入支持LVTTTL电平输入;GPIO输出电路由两74LVCH16374组成输出缓冲器,输出LVTTTL电平信号,输入输出指示电路采用扫描方式,由三极管和ULN2803驱动,驱动信号有信号处理电路提供,板卡插入通知电路是将与高速通讯底板连接的插座引脚接地实现,降压电路由TPS5430芯片构成开关式降压稳压电路,输出3.3V电压。

2. 根据权利要求1所述的基于HSC串行总线接口的64路高速GPIO控制板,其特征在于:所述核心控制逻辑单元由10M02SCE144 FPGA芯片完成。

3. 根据权利要求1所述的基于HSC串行总线接口的64路高速GPIO控制板,其特征在于:所述核心控制逻辑单元的信号处理电路通过两个片选信号轮流使能74LVC16244缓冲器完成输入信号的采集。

4. 根据权利要求1所述的基于HSC串行总线接口的64路高速GPIO控制板,其特征在于:所述核心控制逻辑单元产生两个片选信号,轮流更新74LVCH16374的输出数据。

5. 根据权利要求1所述的基于HSC串行总线接口的64路高速GPIO控制板,其特征在于:所述核心控制逻辑单元内部实现SERDES串行解串器,并通过TX发送和RX接收一对BLVDS接口与高速通讯背板相连,完成与通讯控制卡的通讯,通讯速率 $\geq 540\text{Mb}$ 。

基于HSC串行总线接口的64路高速GPIO控制板

技术领域

[0001] 本实用新型涉及控制板技术领域,具体为基于HSC串行总线接口的64路高速GPIO控制板。

背景技术

[0002] 当前工矿企业生产设备的自动化程度越来越高,现场需要控制的对象及控制点数越来越多,当采用常规的基于485总线扩展方式时,受限与485通讯速率的影响,不能在实时场合应用。为了满足速度要求,采用计算机扩展板卡方式时,受限与计算机扩展插槽数量的限制,扩展GPIO板卡的数量有限,并且出现故障情况下只能停机更换。

[0003] 为此,提出基于HSC串行总线接口的64路高速GPIO控制板。

实用新型内容

[0004] 本实用新型提供如下技术方案:基于HSC串行总线接口的64路高速GPIO控制板,该控制板由GPIO输入、GPIO输出电路、核心控制逻辑单元、输入输出LED指示电路、设备插入通知、BLVDS接口和降压供电电路组成,GPIO输入输出采用SCSI 68P连接器与外部设备连接,通过DIN41612欧式插头与高速通讯底板连接,GPIO输入电路由两片74LVC16244芯片组成输入缓冲器,输入端由阻容元件组成输入保护电路,输入支持LVTTTL电平输入;GPIO输出电路由两74LVCH16374组成输出缓冲器,输出LVTTTL电平信号,输入输出指示电路采用扫描方式,由三极管和ULN2803驱动,驱动信号有信号处理电路提供,板卡插入通知电路是与高速通讯底板连接的插座引脚接地实现,降压电路由TPS5430芯片构成开关式降压稳压电路,输出3.3V电压。

[0005] 优选的,所述核心控制逻辑单元由10M02SCE144 FPGA芯片完成。

[0006] 优选的,所述核心控制逻辑单元的信号处理电路通过两个片选信号轮流使能74LVC16244缓冲器完成输入信号的采集。

[0007] 优选的,所述核心控制逻辑单元产生两个片选信号,轮流更新74LVCH16374的输出数据。

[0008] 优选的,所述核心控制逻辑单元内部实现SERDES串行解串器,并通过TX发送和RX接收一对BLVDS接口与高速通讯背板相连,完成与通讯控制卡的通讯,通讯速率 $\geq 540\text{Mb}$ 。

[0009] 与现有技术相比,本实用新型提供了基于HSC串行总线接口的64路高速GPIO控制板,具备以下有益效果:该高速GPIO控制板具有结构简单,接口容量大,故障率低可靠性高,支持板卡热拔插在线更换,在线扩展方便等优点,该板卡输入输出接口数量大,基于HSC串行总线互联技术,通讯速率高,支持在线热插拔使用,扩展数量大,扩展方便。由于HSC串行总线只采用了RX和TX两对BLVDS信号线,所以大大简化了背板设计,并且保证数据传输的稳定。

附图说明

- [0010] 图1为本实用新型的系统框图；
[0011] 图2为本实用新型GPIO输入、输出电路图；
[0012] 图3为本实用新型核心通讯处理单元的电路图；
[0013] 图4为本实用新型输入输出指示电路图。

具体实施方式

[0014] 下面将结合本实用新型实施例中的附图，对本实用新型实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本实用新型一部分实施例，而不是全部的实施例。基于本实用新型中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本实用新型保护的范围。

[0015] 如图1-4所示，基于HSC串行总线接口的64路高速GPIO控制板，该控制板由GPIO输入、GPIO输出电路、核心控制逻辑单元、输入输出LED指示电路、设备插入通知、BLVDS接口和降压供电电路组成，GPIO输入输出采用SCSI 68P连接器与外部设备连接，通过DIN41612欧式插头与高速通讯底板连接，GPIO输入电路由两片74LVC16244芯片组成输入缓冲器，输入端由阻容元件组成输入保护电路，输入支持LVTTTL电平输入；GPIO输出电路由两片74LVCH16374组成输出缓冲器，输出LVTTTL电平信号，输入输出指示电路采用扫描方式，由三极管和ULN2803驱动，驱动信号有信号处理电路提供，板卡插入通知电路是将与高速通讯底板连接的插座引脚接地实现，降压电路由TPS5430芯片构成开关式降压稳压电路，输出3.3V电压。

[0016] 核心控制逻辑单元由10M02SCE144 FPGA芯片完成。

[0017] 核心控制逻辑单元的信号处理电路通过两个片选信号轮流使能74LVC16244缓冲器完成输入信号的采集。

[0018] 核心控制逻辑单元产生两个片选信号，轮流更新74LVCH16374的输出数据。

[0019] 核心控制逻辑单元内部实现SERDES串行解串器，并通过TX发送和RX接收一对BLVDS接口与高速通讯背板相连，完成与通讯控制卡的通讯，通讯速率 $\geq 540\text{Mb}$ 。

[0020] 需要说明的是，该控制板由GPIO输入、GPIO输出电路、核心控制逻辑单元、输入输出LED指示电路、设备插入通知、BLVDS接口和降压供电电路组成。GPIO输入输出采用SCSI 68P连接器与外部设备连接，通过DIN41612欧式插头与高速通讯底板连接，系统框图如附图1所示。

[0021] GPIO输入电路由两片74LVC16244芯片组成输入缓冲器，输入端由阻容元件组成输入保护电路，输入支持LVTTTL电平输入；GPIO输出电路由两片74LVCH16374组成输出缓冲器，输出LVTTTL电平信号，电路图如图2所示。

[0022] 核心控制逻辑单元由10M02SCE144 FPGA芯片完成，控制逻辑采用Verilog 硬件描述语言编写。核心控制逻辑单元由以下几个功能组成：

[0023] 输入信号采集：信号处理电路通过两个片选信号轮流使能74LVC16244缓冲器完成输入信号的采集；

[0024] 输出信号驱动：根据传输的数据和命令，既可修改单个管脚状态也可批量修改管脚状态；核心控制逻辑单元内置PWM信号发生器，可根据传输的数据和命令修改输出管脚功

能,并且按照数据要求产生PWM波形信号;核心控制逻辑单元产生两个片选信号,轮流更新74LVCH16374的输出数据;

[0025] 实现HSC高速通讯协议,完成数据帧的接收、发送、解包、组包以及数据校验,数据校验错误时,要求发送数据的设备数据重发。对于要发送的数据组包,加入校验后发送,并根据接收设备的要求进行数据重发

[0026] 串行总线接口:核心控制逻辑单元内部实现SERDES串行解串器,并通过 TX发送和RX接收一对BLVDS接口与高速通讯背板相连,完成与通讯控制卡的通讯,通讯速率 $\geq 540\text{Mb}$;由于采用BLVDS传输,也大大提高了信号的抗干扰能力,保证了通讯的可靠性;

[0027] 核心控制逻辑单元电路如图3所示。

[0028] 输入输出指示电路采用扫描方式,由三极管和ULN2803驱动,驱动信号有信号处理电路提供,电路如图4所示。

[0029] 板卡插入通知电路是将与高速通讯底板连接的插座引脚接地实现,主控电路检测到对应引脚电平为低后,通过通讯线路主动查询GPIO板卡,板卡向主控电路发送消息,告诉主控板卡该GPIO板卡的类型及输入输出能力。

[0030] 降压电路由TPS5430芯片构成开关式降压稳压电路,输出3.3V电压。

[0031] 需要说明的是,在本文中,诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来,而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且,术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含,从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素,而且还包括没有明确列出的其他要素,或者是还包括为这种过程、方法、物品或者设备所固有的要素。

[0032] 尽管已经示出和描述了本实用新型的实施例,对于本领域的普通技术人员而言,可以理解在不脱离本实用新型的原理和精神的情况下可以对这些实施例进行多种变化、修改、替换和变型,本实用新型的范围由所附权利要求及其等同物限定。

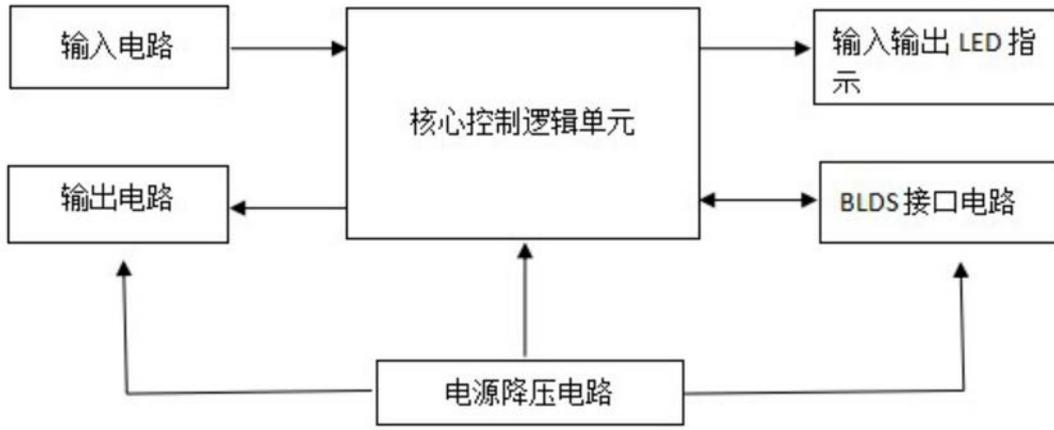


图1

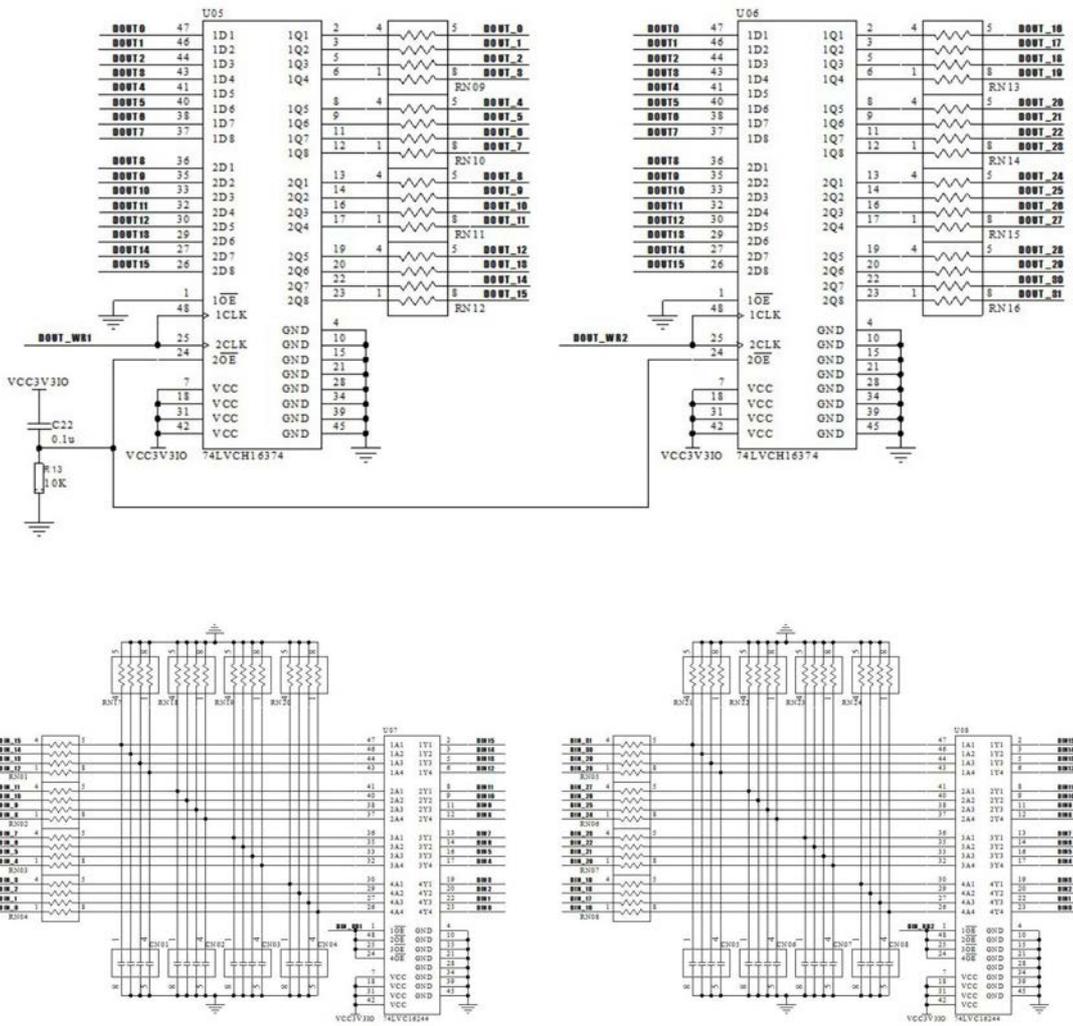


图2

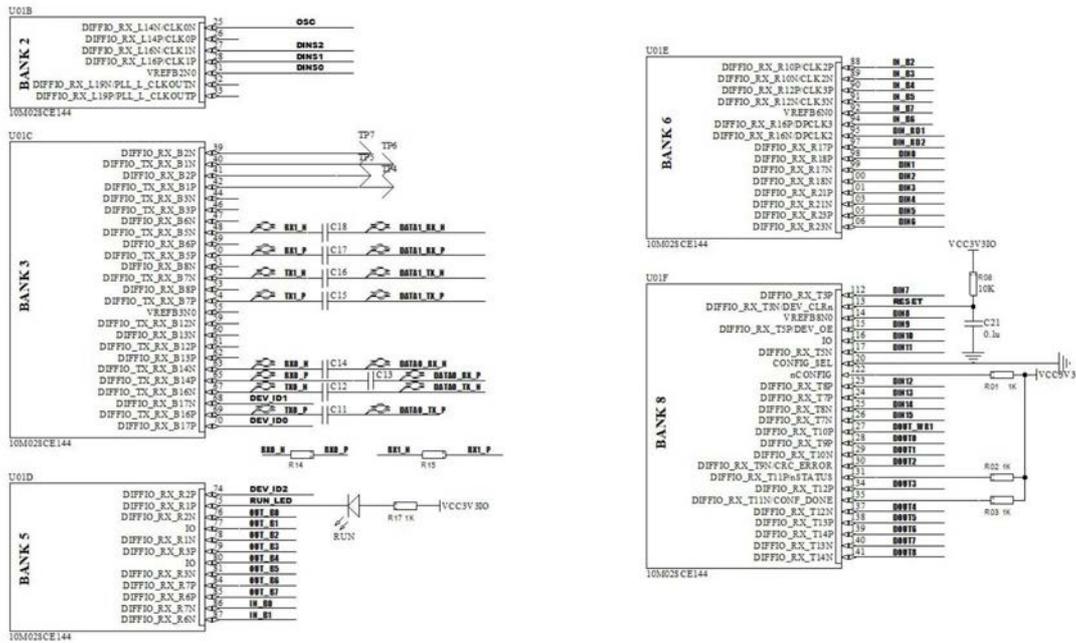


图3

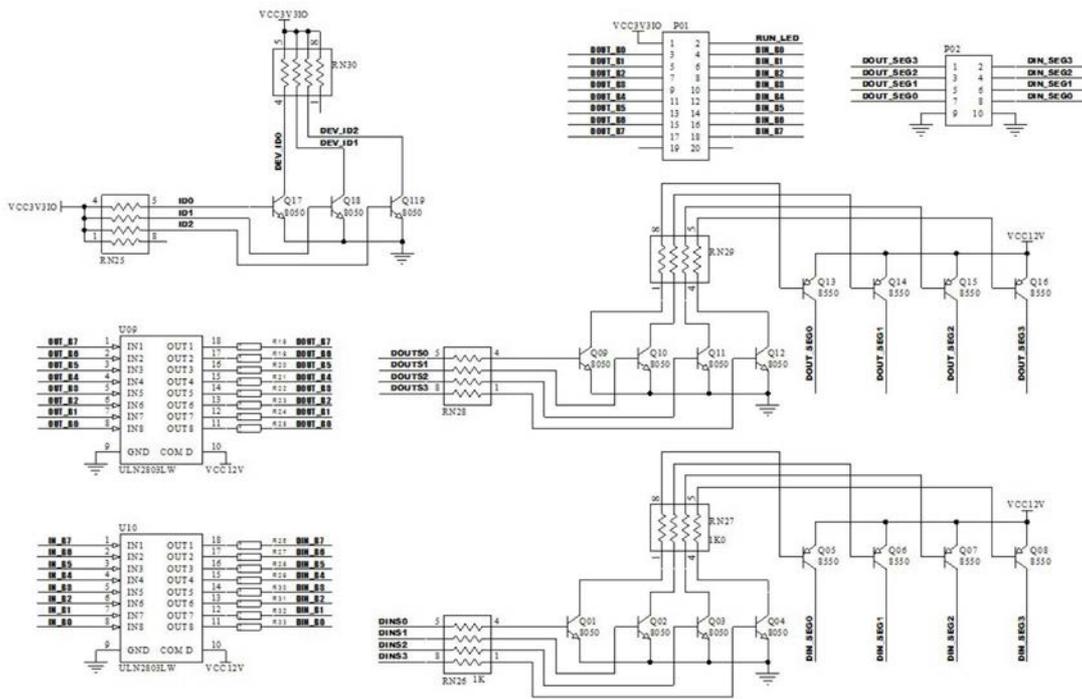


图4