

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-10400

(P2010-10400A)

(43) 公開日 平成22年1月14日(2010.1.14)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/3065 (2006.01)	H O 1 L 21/302 1 O 4 H	5 F O O 4
H O 1 L 21/027 (2006.01)	H O 1 L 21/30 5 7 2 A	5 F O 3 2
H O 1 L 21/265 (2006.01)	H O 1 L 21/265 H	5 F O 4 6
H O 1 L 21/76 (2006.01)	H O 1 L 21/76 L	5 F O 4 8
H O 1 L 21/8234 (2006.01)	H O 1 L 27/08 1 O 2 A	
審査請求 未請求 請求項の数 20 O L (全 29 頁) 最終頁に続く		

(21) 出願番号 特願2008-168058 (P2008-168058)
 (22) 出願日 平成20年6月27日 (2008. 6. 27)

(71) 出願人 503121103
 株式会社ルネサステクノロジ
 東京都千代田区大手町二丁目6番2号
 (74) 代理人 100089071
 弁理士 玉村 静世
 (72) 発明者 渋谷 克久
 東京都千代田区大手町二丁目6番2号 株
 式会社ルネサステクノロジ内
 (72) 発明者 脇 弘道
 東京都千代田区大手町二丁目6番2号 株
 式会社ルネサステクノロジ内
 (72) 発明者 会田 尚登
 茨城県ひたちなか市堀口730番地 株式
 会社ルネサス那珂セミコンダクタ内

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置の製造方法

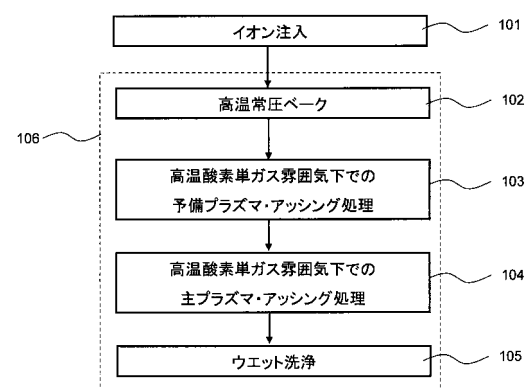
(57) 【要約】 (修正有)

【課題】高濃度イオン注入後の硬化したレジスト膜を温度を上げて真空中でアッシング処理してもポッピング現象がなく、そのため飛散した変質層等の残渣の発生のない半導体集積回路装置の製造方法を提供する。

【解決手段】イオン注入101等で硬化したレジストを除去するために、被処理ウエハを、常圧下でベーク102した後、実質的に酸素ガスからなる酸素単ガス雰囲気下において、摂氏300度前後の高温領域でプラズマ・アッシング処理103, 104するものである。

【選択図】図1

図1



【特許請求の範囲】**【請求項 1】**

以下の工程を含む半導体集積回路装置の製造方法：

- (a) ウエハの第 1 の主面上に、レジスト膜パターンを形成する工程；
- (b) 前記レジスト膜パターンがある状態で、前記ウエハの前記第 1 の主面側に対して、高濃度イオン注入処理を実施する工程；
- (c) 前記工程 (b) の後、常圧下において、摂氏 265 度以上 350 度未満のウエハ温度範囲において、前記レジスト膜パターンに対してベーク処理を実施する工程；
- (d) 前記工程 (c) の後、酸素単ガス雰囲気下で、前記ウエハ温度範囲において、前記ウエハの前記第 1 の主面に対して、第 1 のプラズマ・アッシング処理を実行する工程；
- (e) 前記工程 (d) の後、酸素単ガス雰囲気下で、前記ウエハ温度範囲において、前記ウエハの前記第 1 の主面に対して、前記第 1 のプラズマ・アッシング処理よりも高い RF 電力を印加して、第 2 のプラズマ・アッシング処理を実行する工程。

10

【請求項 2】

前記 1 項の半導体集積回路装置の製造方法において、前記ウエハ温度範囲の下限は、摂氏 270 度である。

【請求項 3】

前記 1 項の半導体集積回路装置の製造方法において、前記ウエハ温度範囲の下限は、摂氏 280 度である。

【請求項 4】

前記 1 項の半導体集積回路装置の製造方法において、前記工程 (d) および (e) の前記酸素単ガス雰囲気への添加率は、2 体積 % 未満である。

20

【請求項 5】

前記 1 項の半導体集積回路装置の製造方法において、前記工程 (d) および (e) の前記酸素単ガス雰囲気への添加率は、1 体積 % 未満である。

【請求項 6】

前記 1 項の半導体集積回路装置の製造方法において、前記ベーク処理と前記第 1 のプラズマ・アッシング処理は、同一の処理室の同一のウエハ・ステージ上で行われる。

【請求項 7】

前記 1 項の半導体集積回路装置の製造方法において、前記第 1 のプラズマ・アッシング処理と前記第 2 のプラズマ・アッシング処理は、同一の処理室の同一のウエハ・ステージ上で行われる。

30

【請求項 8】

前記 1 項の半導体集積回路装置の製造方法において、前記工程 (c) から (e) は、同一の処理室の同一のウエハ・ステージ上で行われる。

【請求項 9】

前記 1 項の半導体集積回路装置の製造方法において、前記工程 (c) から (e) は、同一の処理室内の、ほぼ一定の温度に設定した同一のウエハ・ステージ上で行われる。

【請求項 10】

以下の工程を含む半導体集積回路装置の製造方法：

- (a) ウエハの第 1 の主面上に、レジスト膜パターンを形成する工程；
- (b) 前記レジスト膜パターンがある状態で、前記ウエハの前記第 1 の主面側に対して、高濃度イオン注入処理を実施する工程；
- (c) 前記工程 (b) の後、酸素ガスを主要な成分とする雰囲気下で、前記ウエハの前記第 1 の主面に対して、第 1 のプラズマ・アッシング処理を実行する工程；
- (d) 前記工程 (c) の後、前記ウエハの前記第 1 の主面の近傍に、実質的にプラズマ雰囲気がない状態に保持する工程；
- (e) 前記工程 (d) の後、前記工程 (c) とほぼ同一の気圧下の酸素ガスを主要な成分とする雰囲気下で、前記ウエハの前記第 1 の主面に対して、第 2 のプラズマ・アッシング処理を実行する工程。

40

50

【請求項 1 1】

前記 1 0 項の半導体集積回路装置の製造方法において、更に以下の工程を含む：

(f) 前記工程 (e) の後、前記工程 (d) および (e) を所定の繰り返し回数だけ、更に実行する工程。

【請求項 1 2】

前記 1 0 項の半導体集積回路装置の製造方法において、更に、以下の工程を含む：

(g) 前記工程 (e) の後、酸素ガスを主要な成分とする雰囲気下で、前記ウエハ温度範囲において、前記ウエハの前記第 1 の主面に対して、前記第 1 及び第 2 のプラズマ・アッシング処理よりも高い R F 電力を印加して、第 3 のプラズマ・アッシング処理を実行する工程。

10

【請求項 1 3】

前記 1 1 項の半導体集積回路装置の製造方法において、更に、以下の工程を含む：

(g) 前記工程 (f) の後、酸素ガスを主要な成分とする雰囲気下で、前記ウエハ温度範囲において、前記ウエハの前記第 1 の主面に対して、前記第 1 及び第 2 のプラズマ・アッシング処理よりも高い R F 電力を印加して、第 3 のプラズマ・アッシング処理を実行する工程。

【請求項 1 4】

前記 1 0 項の半導体集積回路装置の製造方法において、更に、以下の工程を含む：

(h) 前記工程 (b) と (c) の間において、常圧下において、前記レジスト膜パターンに対してベーク処理を実施する工程。

20

【請求項 1 5】

前記 1 0 項の半導体集積回路装置の製造方法において、前記工程 (c) から (e) は、同一の処理室の同一のウエハ・ステージ上で行われる。

【請求項 1 6】

前記 1 0 項の半導体集積回路装置の製造方法において、前記工程 (c) から (e) は、実質的に雰囲気を変更せずに行われる。

【請求項 1 7】

前記 1 0 項の半導体集積回路装置の製造方法において、前記工程 (c) から (e) は、同一の処理室内の、ほぼ一定の温度に設定した同一のウエハ・ステージ上で行われる。

【請求項 1 8】

前記 1 0 項の半導体集積回路装置の製造方法において、前記工程 (c) から (f) は、同一の処理室の同一のウエハ・ステージ上で行われる。

30

【請求項 1 9】

前記 1 0 項の半導体集積回路装置の製造方法において、前記工程 (c) から (g) は、同一の処理室の同一のウエハ・ステージ上で行われる。

【請求項 2 0】

前記 1 0 項の半導体集積回路装置の製造方法において、前記工程 (c) から (h) は、同一の処理室の同一のウエハ・ステージ上で行われる。

【発明の詳細な説明】**【技術分野】**

40

【0 0 0 1】

本発明は、半導体集積回路装置（または半導体装置）の製造方法におけるレジスト除去技術、特に高濃度イオン注入後のレジスト除去技術に適用して有効な技術に関する。

【背景技術】**【0 0 0 2】**

特表第 2 0 0 5 - 5 2 3 5 8 6 号公報（特許文献 1）または、その対応米国特許公開 2 0 0 5 - 0 1 9 9 2 6 2 号公報（特許文献 2）には、エッチングやイオン注入で硬化したレジストを除去するため、大気圧下で比較的高温（摂氏 2 5 0 度）のホット・プレート上でインサイチュ（In situ）ベークし、そのまま同じ炉の中で水素、窒素等を添加した酸素を主要な成分とするガス中（真空中）でプラズマ・アッシング処理する技術が開

50

示されている。

【 0 0 0 3 】

日本特開 2 0 0 7 - 1 0 3 5 0 9 号公報 (特許文献 3) には、イオン注入後のレジスト除去工程におけるポップング防止のため、酸素雰囲気の中で比較的低温 (ウエハ温度は摂氏 1 5 0 度程度) において 2 段のプラズマ・アッシング (酸素イオンを主とする第 1 のステップと酸素ラジカル主とする第 2 のステップ) する技術が開示されている。

【 0 0 0 4 】

日本特開 2 0 0 1 - 0 4 4 1 7 8 号公報 (特許文献 4) には、イオン注入後のレジスト除去工程におけるポップング防止のため、真空中 (窒素添加酸素雰囲気) で低温および高温の 2 段のプラズマ・アッシング処理を施す技術が開示されている。

10

【 0 0 0 5 】

日本特開 2 0 0 3 - 1 8 8 1 5 1 号公報 (特許文献 5) には、イオン注入後のレジスト除去工程におけるポップング防止のため、真空中 (アンモニア雰囲気) で低温 (摂氏 1 2 0 度以下) においてプラズマ・アッシング処理を施す技術が開示されている。

【 0 0 0 6 】

【 特許文献 1 】 特表第 2 0 0 5 - 5 2 3 5 8 6 号公報

【 特許文献 2 】 米国特許公開第 2 0 0 5 - 0 1 9 9 2 6 2 号公報

【 特許文献 3 】 特開第 2 0 0 7 - 1 0 3 5 0 9 号公報

【 特許文献 4 】 特開第 2 0 0 1 - 0 4 4 1 7 8 号公報

【 特許文献 5 】 特開第 2 0 0 3 - 1 8 8 1 5 1 号公報

20

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

高濃度イオン注入後のレジスト膜は表面に硬質の変質層が形成されており、摂氏 1 5 0 程度の低温領域では除去が困難である。これは、変質層のエッチング・レートが温度の低下とともに急速に低下するからである。変質層のエッチング・レートを上げるため、摂氏 2 5 0 度程度まで温度を上げて、真空中でアッシング処理をすると、内部のレジスト溶剤が膨張して、破裂するポップング (P o p p i n g) 現象が発生する。これによって飛散した変質層等の残渣は、ウエハ表面に焼きつき、後の洗浄でも除去が困難となる。

【 0 0 0 8 】

30

一方、最近、高効率の高温ベーク・アッシング連続処理を可能とするため、アッシング室内において、大気圧条件下でベーク (インサイチュ・ベーク) し、そのままアッシング処理が可能なりモート・プラズマ型アッシング装置が開発されている。このような装置によれば、大気圧ベークで事前にレジスト内の溶剤を除去した後、摂氏 2 5 0 度程度の比較的高温において、水素 / 窒素混合ガス等のフォーミング (F o r m i n g G a s) 、 S F ₆ 等のエッチング・ガス、窒素ガス等のその他の添加ガスを添加した酸素雰囲気下の真空中で、プラズマ・アッシング処理をすることが可能となる。

【 0 0 0 9 】

しかしながら、本願発明者らが検討したところによると、以下のような問題があることが明らかとなった。すなわち、水素・窒素混合ガスを使用すると、ウエハの表面に反応性生物が堆積して、ポリ・シリコンのエッチング時にエッチ残りが発生する。一方、S F ₆ 等のエッチング・ガスを使用すると、硫酸等の生成により、装置のダメージが大きくなる。また、スパッタ作用を目的として、窒素ガスその他のスパッタリング性のガスを添加すると、下地の削れ等の副作用が強くなる。

40

【 0 0 1 0 】

しかし、これらの添加ガスによる副作用を回避しようとして、添加ガスを使用せず、低温領域のアッシング処理時間の延長だけで、対応しようすると、その処理時間は、経済的な時間範囲を大幅に越えるものとなる。

【 0 0 1 1 】

本願発明は、これらの課題を解決するためになされたものである。

50

【 0 0 1 2 】

本発明の目的は、信頼性の高い半導体集積回路装置の製造プロセスを提供することにある。

【 0 0 1 3 】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【 0 0 1 4 】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

10

【 0 0 1 5 】

すなわち、本願発明は、イオン注入等で硬化したレジストを除去するために、被処理ウエハを、常圧下でバークした後、実質的に酸素ガスからなる酸素単ガス雰囲気下において、摂氏 3 0 0 度前後の高温領域でプラズマ・アッシング処理するものである。

【発明の効果】

【 0 0 1 6 】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【 0 0 1 7 】

すなわち、イオン注入等で硬化したレジストを除去するために、被処理ウエハを、常圧下でバークした後、実質的に酸素ガスからなる酸素単ガス雰囲気下において、摂氏 3 0 0 度前後の高温領域でプラズマ・アッシング処理することにより、デバイス又は処理装置へのダメージの少ないレジスト除去プロセスを提供することができる。

20

【発明を実施するための最良の形態】

【 0 0 1 8 】

〔実施の形態の概要〕

先ず、本願において開示される発明の代表的な実施の形態について概要を説明する。

【 0 0 1 9 】

1. 以下の工程を含む半導体集積回路装置の製造方法：

(a) ウエハの第 1 の主面上に、レジスト膜パターンを形成する工程；

30

(b) 前記レジスト膜パターンがある状態で、前記ウエハの前記第 1 の主面側に対して、高濃度イオン注入処理を実施する工程；

(c) 前記工程 (b) の後、常圧下において、摂氏 2 6 5 度以上 3 5 0 度未満のウエハ温度範囲において、前記レジスト膜パターンに対してバーク処理を実施する工程；

(d) 前記工程 (c) の後、酸素単ガス雰囲気下で、前記ウエハ温度範囲において、前記ウエハの前記第 1 の主面に対して、第 1 のプラズマ・アッシング処理を実行する工程；

(e) 前記工程 (d) の後、酸素単ガス雰囲気下で、前記ウエハ温度範囲において、前記ウエハの前記第 1 の主面に対して、前記第 1 のプラズマ・アッシング処理よりも高い R F 電力を印加して、第 2 のプラズマ・アッシング処理を実行する工程。

40

【 0 0 2 0 】

2. 前記 1 項の半導体集積回路装置の製造方法において、前記ウエハ温度範囲の下限は、摂氏 2 7 0 度である。

【 0 0 2 1 】

3. 前記 1 項の半導体集積回路装置の製造方法において、前記ウエハ温度範囲の下限は、摂氏 2 8 0 度である。

【 0 0 2 2 】

4. 前記 1 から 3 項のいずれか一つの半導体集積回路装置の製造方法において、前記工程 (d) および (e) の前記酸素単ガス雰囲気の添加率は、2 体積 % 未満である。

【 0 0 2 3 】

5. 前記 1 から 3 項のいずれか一つの半導体集積回路装置の製造方法において、前記工

50

程 (d) および (e) の前記酸素単ガス雰囲気への添加率は、1 体積 % 未満である。

【 0 0 2 4 】

6 . 前記 1 から 5 項のいずれか一つの半導体集積回路装置の製造方法において、前記ベーク処理と前記第 1 のプラズマ・アッシング処理は、同一の処理室の同一のウエハ・ステージ上で行われる。

【 0 0 2 5 】

7 . 前記 1 から 6 項のいずれか一つの半導体集積回路装置の製造方法において、前記第 1 のプラズマ・アッシング処理と前記第 2 のプラズマ・アッシング処理は、同一の処理室の同一のウエハ・ステージ上で行われる。

【 0 0 2 6 】

8 . 前記 1 から 7 項のいずれか一つの半導体集積回路装置の製造方法において、前記工程 (c) から (e) は、同一の処理室の同一のウエハ・ステージ上で行われる。

【 0 0 2 7 】

9 . 前記 1 から 8 項のいずれか一つの半導体集積回路装置の製造方法において、前記工程 (c) から (e) は、同一の処理室内の、ほぼ一定の温度に設定した同一のウエハ・ステージ上で行われる。

【 0 0 2 8 】

1 0 . 前記 1 から 9 項のいずれか一つの半導体集積回路装置の製造方法において、更に、以下の工程を含む：

(f) 前記工程 (e) の後、前記ウエハの前記第 1 の主面に対して、ウェット洗浄処理を実行する工程。

【 0 0 2 9 】

1 1 . 以下の工程を含む半導体集積回路装置の製造方法：

(a) ウエハの第 1 の主面上に、レジスト膜パターンを形成する工程；

(b) 前記レジスト膜パターンがある状態で、前記ウエハの前記第 1 の主面側に対して、高濃度イオン注入処理を実施する工程；

(c) 前記工程 (b) の後、酸素ガスを主要な成分とする雰囲気下で、前記ウエハの前記第 1 の主面に対して、第 1 のプラズマ・アッシング処理を実行する工程；

(d) 前記工程 (c) の後、前記ウエハの前記第 1 の主面の近傍に、実質的にプラズマ雰囲気がない状態に保持する工程；

(e) 前記工程 (d) の後、前記工程 (c) とほぼ同一の気圧下の酸素ガスを主要な成分とする雰囲気中で、前記ウエハの前記第 1 の主面に対して、第 2 のプラズマ・アッシング処理を実行する工程。

【 0 0 3 0 】

1 2 . 前記 1 1 項の半導体集積回路装置の製造方法において、更に以下の工程を含む：

(f) 前記工程 (e) の後、前記工程 (d) および (e) を所定の繰り返し回数だけ、更に実行する工程。

【 0 0 3 1 】

1 3 . 前記 1 1 項の半導体集積回路装置の製造方法において、更に、以下の工程を含む：

(g) 前記工程 (e) の後、酸素ガスを主要な成分とする雰囲気下で、前記ウエハ温度範囲において、前記ウエハの前記第 1 の主面に対して、前記第 1 及び第 2 のプラズマ・アッシング処理よりも高い R F 電力を印加して、第 3 のプラズマ・アッシング処理を実行する工程。

【 0 0 3 2 】

1 4 . 前記 1 2 項の半導体集積回路装置の製造方法において、更に、以下の工程を含む：

(g) 前記工程 (f) の後、酸素ガスを主要な成分とする雰囲気下で、前記ウエハ温度範囲において、前記ウエハの前記第 1 の主面に対して、前記第 1 及び第 2 のプラズマ・アッシング処理よりも高い R F 電力を印加して、第 3 のプラズマ・アッシング処理を実行する

10

20

30

40

50

工程。

【 0 0 3 3 】

15. 前記 11 から 14 項のいずれか一つの半導体集積回路装置の製造方法において、更に、以下の工程を含む：

(h) 前記工程 (b) と (c) の間において、常圧下において、前記レジスト膜パターンに対してベーク処理を実施する工程。

【 0 0 3 4 】

16. 前記 11 から 15 項のいずれか一つの半導体集積回路装置の製造方法において、前記工程 (c) から (e) は、同一の処理室の同一のウエハ・ステージ上で行われる。

【 0 0 3 5 】

17. 前記 11 から 16 項のいずれか一つの半導体集積回路装置の製造方法において、前記工程 (c) から (e) は、実質的に雰囲気を変更せずに行われる。

【 0 0 3 6 】

18. 前記 11 から 17 項のいずれか一つの半導体集積回路装置の製造方法において、前記工程 (c) から (e) は、同一の処理室内の、ほぼ一定の温度に設定した同一のウエハ・ステージ上で行われる。

【 0 0 3 7 】

19. 前記 11 から 18 項のいずれか一つの半導体集積回路装置の製造方法において、前記工程 (c) から (f) は、同一の処理室の同一のウエハ・ステージ上で行われる。

【 0 0 3 8 】

20. 前記 11 から 19 項のいずれか一つの半導体集積回路装置の製造方法において、前記工程 (c) から (g) は、同一の処理室の同一のウエハ・ステージ上で行われる。

【 0 0 3 9 】

21. 前記 11 から 20 項のいずれか一つの半導体集積回路装置の製造方法において、前記工程 (c) から (g) および (h) は、同一の処理室の同一のウエハ・ステージ上で行われる。

【 0 0 4 0 】

22. 前記 13 から 21 項のいずれか一つの半導体集積回路装置の製造方法において、更に、以下の工程を含む：

(i) 前記工程 (g) の後、前記ウエハの前記第 1 の主面に対して、ウエット洗浄処理を実行する工程。

【 0 0 4 1 】

23. 前記 12 から 22 項のいずれか一つの半導体集積回路装置の製造方法において、前記所定の繰り返し回数は、0 回以上、10 回未満である。

【 0 0 4 2 】

24. 前記 12 から 22 項のいずれか一つの半導体集積回路装置の製造方法において、前記所定の繰り返し回数は、1 回以上、10 回未満である。

【 0 0 4 3 】

25. 前記 12 から 22 項のいずれか一つの半導体集積回路装置の製造方法において、前記所定の繰り返し回数は、2 回以上、10 回未満である。

【 0 0 4 4 】

26. 前記 15 から 25 項のいずれか一つの半導体集積回路装置の製造方法において、前記ベーク処理は、摂氏 265 度以上 350 度未満のウエハ温度範囲において、実行される。

【 0 0 4 5 】

27. 前記 26 項の半導体集積回路装置の製造方法において、前記ウエハ温度範囲の下限は、摂氏 270 度である。

【 0 0 4 6 】

28. 前記 26 項の半導体集積回路装置の製造方法において、前記ウエハ温度範囲の下限は、摂氏 280 度である。

10

20

30

40

50

【 0 0 4 7 】

29. 前記 13 から 27 項のいずれか一つの半導体集積回路装置の製造方法において、前記第 1、第 2、および第 3 のプラズマ・アッシング処理は、摂氏 265 度以上 350 度未満のウエハ温度範囲において、酸素単ガス雰囲気下で、実行される。

【 0 0 4 8 】

30. 前記 1 から 29 項のいずれか一つの半導体集積回路装置の製造方法において、前記高濃度イオン注入処理は、ゲート電極となるべきポリ・シリコン膜への不純物の注入である。

【 0 0 4 9 】

31. 前記 1 から 30 項のいずれか一つの半導体集積回路装置の製造方法において、前記工程 (d) は、前記工程 (c) とほぼ同一の気圧下の酸素ガスを主要な成分とする雰囲気中で、実行される。

10

【 0 0 5 0 】

32. 以下の工程を含む半導体集積回路装置の製造方法：

(a) ウエハの第 1 の主面上に、レジスト膜パターンを形成する工程；

(b) 前記レジスト膜パターンがある状態で、前記ウエハの前記第 1 の主面側に対して、高濃度イオン注入処理を実施する工程；

(c) 前記工程 (b) の後、酸素ガスを主要な成分とする雰囲気下で、前記ウエハの前記第 1 の主面に対して、第 1 のプラズマ・アッシング処理を実行する工程；

(d) 前記工程 (c) の後、前記ウエハの前記第 1 の主面の近傍に、実質的にプラズマ雰囲気がない状態に保持する工程；

20

(e) 前記工程 (d) の後、酸素ガスを主要な成分とする雰囲気中で、前記ウエハの前記第 1 の主面に対して、第 2 のプラズマ・アッシング処理を実行する工程；

(f) 前記工程 (e) の後、酸素ガスを主要な成分とする雰囲気下で、前記ウエハ温度範囲において、前記ウエハの前記第 1 の主面に対して、前記第 1 及び第 2 のプラズマ・アッシング処理よりも高い RF 電力を印加して、第 3 のプラズマ・アッシング処理を実行する工程。

【 0 0 5 1 】

33. 前記 32 項の半導体集積回路装置の製造方法において、更に以下の工程を含む：

(g) 前記工程 (e) の後で前記工程 (f) の前に、前記工程 (d) および (e) を所定の繰り返し回数だけ、更に実行する工程。

30

【 0 0 5 2 】

34. 前記 32 または 33 項の半導体集積回路装置の製造方法において、更に、以下の工程を含む：

(h) 前記工程 (b) と (c) の間において、常圧下において、前記レジスト膜パターンに対してベーク処理を実施する工程。

【 0 0 5 3 】

35. 前記 32 から 34 項のいずれか一つの半導体集積回路装置の製造方法において、前記工程 (c) から (e) は、同一の処理室の同一のウエハ・ステージ上で行われる。

【 0 0 5 4 】

40

36. 前記 32 から 35 項のいずれか一つの半導体集積回路装置の製造方法において、前記工程 (c) から (e) は、実質的に雰囲気を変更せずに行われる。

【 0 0 5 5 】

37. 前記 32 から 36 項のいずれか一つの半導体集積回路装置の製造方法において、前記工程 (c) から (f) は、同一の処理室内の、ほぼ一定の温度に設定した同一のウエハ・ステージ上で行われる。

【 0 0 5 6 】

38. 前記 32 から 37 項のいずれか一つの半導体集積回路装置の製造方法において、前記工程 (c) から (f) は、同一の処理室の同一のウエハ・ステージ上で行われる。

【 0 0 5 7 】

50

39. 前記33から38項のいずれか一つの半導体集積回路装置の製造方法において、前記工程(c)から(g)は、同一の処理室の同一のウエハ・ステージ上で行われる。

【0058】

40. 前記34から39項のいずれか一つの半導体集積回路装置の製造方法において、前記工程(c)から(h)は、同一の処理室の同一のウエハ・ステージ上で行われる。

【0059】

41. 前記32から40項のいずれか一つの半導体集積回路装置の製造方法において、更に、以下の工程を含む：

(i) 前記工程(f)の後、前記ウエハの前記第1の主面に対して、ウエット洗浄処理を実行する工程。

10

【0060】

42. 前記33から41項のいずれか一つの半導体集積回路装置の製造方法において、前記所定の繰り返し回数は、0回以上、10回未満である。

【0061】

43. 前記33から41項のいずれか一つの半導体集積回路装置の製造方法において、前記所定の繰り返し回数は、1回以上、10回未満である。

【0062】

44. 前記33から41項のいずれか一つの半導体集積回路装置の製造方法において、前記所定の繰り返し回数は、2回以上、10回未満である。

【0063】

45. 前記34から44項のいずれか一つの半導体集積回路装置の製造方法において、前記ベーク処理は、摂氏265度以上350度未満のウエハ温度範囲において、実行される。

20

【0064】

46. 前記45項の半導体集積回路装置の製造方法において、前記ウエハ温度範囲の下限は、摂氏270度である。

【0065】

47. 前記45項の半導体集積回路装置の製造方法において、前記ウエハ温度範囲の下限は、摂氏280度である。

【0066】

48. 前記32から47項のいずれか一つの半導体集積回路装置の製造方法において、前記第1、第2、および第3のプラズマ・アッシング処理は、摂氏265度以上350度未満のウエハ温度範囲において、酸素単ガス雰囲気下で、実行される。

30

【0067】

49. 前記32から48項のいずれか一つの半導体集積回路装置の製造方法において、前記高濃度イオン注入処理は、ゲート電極となるべきポリ・シリコン膜への不純物の注入である。

【0068】

50. 前記32から49項のいずれか一つの半導体集積回路装置の製造方法において、前記工程(d)は、前記工程(c)とほぼ同一の気圧下の酸素ガスを主要な成分とする雰囲気中で、実行される。

40

【0069】

51. 以下の工程を含む半導体集積回路装置の製造方法：

(a) ウエハの第1の主面上に、レジスト膜パターンを形成する工程；

(b) 前記レジスト膜パターンがある状態で、前記ウエハの前記第1の主面側に対して、高濃度イオン注入処理を実施する工程；

(c) 前記工程(b)の後、常圧下において、摂氏265度以上350度未満のウエハ温度範囲において、前記レジスト膜パターンに対してベーク処理を実施する工程；

(d) 前記工程(c)の後、酸素単ガス雰囲気下で、前記ウエハ温度範囲において、前記ウエハの前記第1の主面に対して、第1のプラズマ・アッシング処理を実行する工程。

50

【 0 0 7 0 】

5 2 . 前記 5 1 項の半導体集積回路装置の製造方法において、前記ウエハ温度範囲の下限は、摂氏 2 7 0 度である。

【 0 0 7 1 】

5 3 . 前記 5 1 項の半導体集積回路装置の製造方法において、前記ウエハ温度範囲の下限は、摂氏 2 8 0 度である。

【 0 0 7 2 】

5 4 . 前記 5 1 から 5 3 項のいずれか一つの半導体集積回路装置の製造方法において、前記工程 (d) の前記酸素単ガス雰囲気への添加率は、2 体積 % 未満である。

【 0 0 7 3 】

5 5 . 前記 5 1 から 5 3 項のいずれか一つの半導体集積回路装置の製造方法において、前記工程 (d) の前記酸素単ガス雰囲気への添加率は、1 体積 % 未満である。

【 0 0 7 4 】

5 6 . 前記 5 1 から 5 5 項のいずれか一つの半導体集積回路装置の製造方法において、前記ベーク処理と前記第 1 のプラズマ・アッシング処理は、同一の処理室の同一のウエハ・ステージ上で行われる。

【 0 0 7 5 】

5 7 . 前記 5 1 から 5 6 項のいずれか一つの半導体集積回路装置の製造方法において、前記工程 (c) から (d) は、同一の処理室の同一のウエハ・ステージ上で行われる。

【 0 0 7 6 】

5 8 . 前記 5 1 から 5 7 項のいずれか一つの半導体集積回路装置の製造方法において、前記工程 (c) から (d) は、同一の処理室内の、ほぼ一定の温度に設定した同一のウエハ・ステージ上で行われる。

【 0 0 7 7 】

〔本願における記載形式・基本的用語・用法の説明〕

1 . 本願において、実施の態様の記載は、必要に応じて、便宜上複数のセクションに分けて記載する場合もあるが、特にそうでない旨明示した場合を除き、これらは相互に独立別個のものではなく、単一の例の各部分、一方が他方の一部詳細または一部または全部の変形例等である。また、原則として、同様の部分は繰り返しを省略する。また、実施の態様における各構成要素は、特にそうでない旨明示した場合、理論的にその数に限定される場合および文脈から明らかにそうでない場合を除き、必須のものではない。

【 0 0 7 8 】

2 . 同様に実施の態様等の記載において、材料、組成等について、「A からなる X」等といっても、特にそうでない旨明示した場合および文脈から明らかにそうでない場合を除き、A 以外の要素を主要な構成要素のひとつとするものを排除するものではない。たとえば、成分についていえば、「A を主要な成分として含む X」等の意味である。たとえば、「シリコン部材」等といっても、純粋なシリコンに限定されるものではなく、SiGe 合金やその他シリコンを主要な成分とする多元合金、その他の添加物等を含む部材も含むものであることはいうまでもない。同様に、「酸化シリコン膜」と言っても、比較的純粋な非ドープ酸化シリコン(Undoped Silicon Dioxide)だけでなく、FSG (Fluorosilicate Glass)、TEOS ベース酸化シリコン (TEOS-based silicon oxide)、SiOC (Silicon Oxycarbide) またはカーボンドープ酸化シリコン (Carbon-doped Silicon oxide) または OSG (Organosilicate glass)、PSG (Phosphorus Silicate Glass)、BPSG (Borophosphosilicate Glass) 等の熱酸化膜、CVD 酸化膜、SOG (Spin ON Glass)、ナノ・クラスタリング・シリカ (Nano-Clustering Silica: NSC) 等の塗布系酸化シリコン、これらと同様な部材に空孔を導入したシリカ系 Low-k 絶縁膜 (ポーラス系絶縁膜)、およびこれらを主要な構成要素とする他のシリコン系絶縁膜との複合膜等を含むことはいうまでもない。

【 0 0 7 9 】

3 . 同様に、図形、位置、属性等に関して、好適な例示をするが、特にそうでない旨明示した場合および文脈から明らかにそうでない場合を除き、厳密にそれに限定されるもの

10

20

30

40

50

ではないことは言うまでもない。

【0080】

4. さらに、特定の数値、数量に言及したときも、特にそうでない旨明示した場合、理論的にその数に限定される場合および文脈から明らかにそうでない場合を除き、その特定の数値を超える数値であってもよいし、その特定の数値未満の数値でもよい。

【0081】

5. 「ウエハ」、「半導体ウエハ」というときは、通常は半導体集積回路装置（半導体装置、電子装置も同じ）をその上に形成する単結晶シリコンウエハ等を指すが、エピタキシャルウエハ、SOI基板、LCDガラス基板等の絶縁基板と半導体層等の複合ウエハ等も含むことは言うまでもない。

【0082】

6. 本願のアッシングの際のガス条件において「実質的に酸素単ガス雰囲気」または「実質的に酸素ガスからなる雰囲気」とは、全体に占める酸素以外のガス組成（体積％）、すなわち、添加率が、3％未満であることを表す。

【0083】

7. 本願において「高濃度イオン注入」またはイオン注入における「ハイ・ドーズ（Hi-Dose）」とは、 $5 \times 10^{14} / \text{cm}^2$ 以上のドーズ量を言う。同一部分に複数回に渡り打ち込むときは、その合計を言う。

【0084】

8. アッシング処理またはその前のベーク処理等に関して、「高温」というときは、摂氏250度前後、または、それ以上の温度を指す。また、同様の場合に「低温」というときは、レジストがポッピングを起こさないような温度（またはレジストのガラス転移温度以下の温度）、すなわち、摂氏110度から120度前後、または、それ以下の温度を指す。ここで、「温度」、「ウエハ温度」とはウエハ・ステージ（ホット・プレート）の温度（設定温度）を指す。更に、同様の場合に「常圧」というときは、大気圧または、その周辺の気圧の範囲を言う。たとえば、通常の場合であれば、0.8気圧から1.2気圧程度の範囲である。

【0085】

9. レジストのアッシング処理に関して、「プラズマ・アッシング処理」とは、通常のイン・サイチュ・プラズマ（In Situ Plasma）方式のように、ウエハ処理室内でプラズマを励起するものばかりでなく、以下の例で説明するリモート・プラズマ方式のように、ウエハ処理室外でプラズマを励起して、励起されたガス（中性励起種を含む）をウエハ処理室内に移送する方式のアッシング炉を用いたものも含むものとする。

【0086】

また、アッシング処理に関して、「ほぼ同一の気圧」というときは、たとえば、50 Paを基準気圧とすると、25 Paや100 Paは、ほぼ同一の気圧であるが、10 Paや200 Paは、一般に、ほぼ同一の気圧ではない。一方、1.0気圧を基準気圧とすると、0.8気圧や1.2気圧は、ほぼ同一の気圧であるが、0.5気圧や2.0気圧は、一般に、ほぼ同一の気圧ではない。なお、処理圧力は、プロセスの条件の詳細、装置の特性に依存するので、以下に示す実施の形態において例示した特定の処理圧力の適用範囲が、それとほぼ同一の気圧に限定されるものではないことは言うまでもない。

【0087】

10. MIS・FET (Metal Insulator Semiconductor Field Effect Transistor) とは、ゲート絶縁膜のHi-k化に対応したMOS・FET (Metal Oxide Semiconductor Field Effect Transistor) を含む広い概念である。MIS・FETのゲート電極について、「ポリ・シリコン」、「ポリ・シリコン・ゲート」、または「ポリ・シリコン膜」（以下「ポリ・シリコン等」という）というときは、いわゆるポリ・シリコンのみでなく、アモルファス・シリコン、微結晶シリコン、およびそれらの中間体を含むものとする。また、「ポリ・シリコン・ゲート電極」等といっても、実際には、

10

20

30

40

50

下層のポリシリコン層と上層のシリサイド層との複合膜であることが多い（ポリメタル・ゲートでは、更にタングステン等の高融点金属を主要な成分とする層も加わる）。本願ではそれらを含む広い意味で、ポリ・シリコン等という。

【0088】

11. 工程の記載において、たとえば、「前記工程（c）から（h）」というときは、アルファベット順を意味する。すなわち、対応する先行部分に工程（a）、（b）、（c）、（d）、（e）、（f）、（h）があるとき（工程（g）は同先行部分にはない）、「前記工程（c）、（d）、（e）、（f）、および（h）」を表す。

【0089】

〔実施の形態の詳細〕

実施の形態について更に詳述する。各図中において、同一または同様の部分は同一または類似の記号または参照番号で示し、説明は原則として繰り返さない。

【0090】

1. 本願の一実施の形態の半導体集積回路装置の製造方法における各アッシング処理に使用する装置の説明（主に図4および図5）

図4は本願の一実施の形態の半導体装置の製造方法における各種のレジスト除去プロセスに使用するベーク・アッシング装置の全体平面構造図である。図5は本願の一実施の形態の半導体装置の製造方法における各種のレジスト除去プロセスに使用するベーク・アッシング装置の要部断面図（図4のX-X'断面）である。ここで使用可能な装置には、たとえばPSK社のTIGMA-4がある。これらに基づいて、本願の一実施の形態の半導体集積回路装置の製造方法における各アッシング処理に使用する装置を説明する。

【0091】

まず、ベーク&アッシング装置51の全体構造およびウエハ1の流れを説明する。図4又は図5に示すように、被処理ウエハ1はフープ53（ウエハ返送用容器）に収容された状態で、ロード・ポート52にセットされる。その状態で、ゲートを介して、局所清浄室54と連結される。次に、フープ53内のウエハ1は搬送ロボット55により、ほぼ大気圧に保持された局所清浄室54に取り込まれ、ゲート61を介して、ほぼ大気圧に保持された前室57内の搬送ロボット58に受け渡される。その後、ウエハ1は、ゲート62、63を介して、搬送ロボット58により、処理室64、65内のウエハ・ステージ66a、66b、67a、67b上のマウントされる（ここでは、処理室64のウエハ・ステージ66aに置かれた場合を説明する）。このウエハ・ステージ66a上で、大気圧下でのベーク処理、減圧下でのソフト・アッシング処理、およびハード・アッシング処理（まとめて「アッシング処理」という）が順次行われる。図5に示すように、アッシング処理におけるプラズマは、ガス・インレット72からプラズマ励起室73に導入された酸素を主要な成分とするガスが、たとえばICP（Inductively Coupled Plasma）型のプラズマ励起機構71に印加された高周波電力によって生成される。生成されたプラズマはパンチング・ボード74の多数の開口を通過して、ウエハ1のデバイス面1a（第1の主面）に到達する（いわゆる、リモート・プラズマである）。その後ガスは、排気通路75を介して、真空排気系により、炉外へ排出される。

【0092】

処理が完了したウエハ1は、再び、ウエハ・ロボット58によって、ゲート63を介して、前室に戻され、そこからゲート61を介して、ウエハ・ロボット55に受け渡されて、局所清浄室54と連結されたフープ53に戻される。

【0093】

なお、リモート・プラズマ方式はデバイスへのダメージが少ないメリットがあるが、通常のインサイチュー型プラズマ方式も同様に適用可能である。また、励起方式は、ICP方式に限らず、その他の方式でも、同様に適用可能である。

【0094】

2. 本願の一実施の形態の半導体集積回路装置の製造方法における各アッシング処理の流れの説明（主に図1から図3）

10

20

30

40

50

ここで説明するレジスト除去プロセスは、広くレジスト膜パターン（全面レジスト膜を含む）の除去に適用できる。具体的には、セクション3の図6等で説明するレジスト除去工程155、157、162、164、166、171、173等（図1のイオン注入工程101）に適用して有効である。このうち、高濃度イオン注入後のレジスト除去工程155、157、166、171、173等に適用して有効である。

【0095】

2-1. 高温酸素単ガス・プロセスの説明（主に図1及び図2）

図1は本願の一実施の形態の半導体装置の製造方法におけるレジスト除去プロセス（高温酸素単ガス・アッシング処理）の流れを示すプロセス・ブロック・フロー図である。図2は本願の一実施の形態の半導体装置の製造方法におけるレジスト除去プロセス中のベーク&アッシング処理の流れを示すプロセス・タイム・チャートである。これらに基づいて、高温酸素単ガス・プロセスを説明する。

【0096】

イオン注入101の完了からレジスト除去工程106（図1）の最終工程であるウェット洗浄工程105の完了までの流れを説明する。図1又は図2（図4及び図5参照）に示すように、イオン注入工程101が完了したウエハ1は、レジスト除去装置51のウエハ・ステージ66、67等の上に、そのデバイス面1aを上に向けて置かれる（図2の時間t1）。このウエハ・ステージ66、67は、常時、摂氏300度前後に加温又は温調（設定温度）されている。このとき、処理室64、65の雰囲気は、ほぼ常圧（たとえば101kPa程度）の乾燥空気雰囲気（窒素雰囲気、アルゴンやヘリウム等の不活性ガス雰囲気その他の雰囲気でもよい。ただし、乾燥空気雰囲気が最も経済的である。）である。ウエハ1は、このウエハ・ステージ66、67上で、10秒程度、レジスト内の溶剤を揮発させるためにベーク処理102（インサイチュー・ベーク）が実行される（図2のベーク期間T1）。その後（図2の時間t2）、そのまま処理室64、65の気圧が、たとえば50Pa程度まで減圧され（図2の時間t3）、その雰囲気が酸素単ガス雰囲気（酸素単ガス一定流量、たとえば2000sccm程度のほぼ定常状態）に置換される。この状態で、1500W程度の高周波電力（たとえば2.45GHz）が印加されて（図2の時間t4）、プラズマが励起され、励起されたプラズマは、定常流に乗りウエハ1のデバイス面1aに到達する。これによって、高濃度のイオン注入によって変質して硬くなったレジスト膜パターンの表面のクラスト部を灰化処理するソフト・アッシング処理103（予備プラズマ・アッシング処理）が進行する（図2のソフト・アッシング期間T2）。ソフト・アッシング期間T2は、たとえば60秒程度である。この処理により、クラスト部は、ほぼ除去される。

【0097】

次に、そのまま、一度、RFパワーがオフされ（図2の時間t5）、ハード・アッシング処理104に移行する。ハード・アッシング処理104では、気圧は、たとえば200Pa程度まで上げられた後（図2の時間t6）、再びRFパワーが印加される（図2の時間t57）。酸素単ガスの流量は、たとえば11000sccm程度に増やされる。印加高周波電力（たとえば2.45GHz）も、5500W程度に設定される（一般に、ソフト・アッシングよりも高い電力が印加される）。これにより、内部のソフト・コア部分を完全に除去することができる。ハード・アッシング処理104（主プラズマ・アッシング処理；図2のハード・アッシング期間T3）が完了すると、RFパワーがオフされ（図2の時間t8）、雰囲気が乾燥空気に置換されるとともに、気圧が常圧に向けて上昇し始める（図2の時間t9）。ハード・アッシング期間T3は、たとえば180秒程度である。処理室64、65（処理が完了した処理室）が常圧に戻ると（図2の時間10）、ウエハ1はフープ53に戻される。その後、ウエハ1は、フープ53に収納されて、ウェット洗浄装置へ搬送される。

【0098】

なお、アッシング処理をソフト・アッシング処理103とハード・アッシング処理104に分ける理由は、以下のように説明できる。すなわち、ハイドロズ・イオン注入により

、レジスト表面の高分子鎖は、より強力な多重結合に変化して、いわゆる硬化層（クラスト部）を形成している。これに初めから強力なプラズマを作用させると、この硬化層が更に硬化して、灰化反応がまったく進行しなくなる。このようなことにならないように、最初は弱いプラズマで、徐々に表面を削っていった、硬化層が、ほぼ消失したところで、強力なプラズマを作用させるようにしている。

【 0 0 9 9 】

ウェット洗浄装置（たとえば枚葉式ウェット洗浄装置）では、ウエハ表面を清浄化するためのウェット洗浄処理 1 0 5 が実行される。ウェット洗浄処理は、たとえば以下のように進行する。処理順は以下の番号潤である。

（ 1 ）摂氏 2 3 度程度の A P M 洗浄液（アンモニア、過酸化水素、水）をノズルでウエハ・スピン・ステージ上で自転するウエハ 1 のデバイス面 1 a へ供給される。処理時間は、たとえば 3 0 秒程度である。

（ 2 ）ウエハを水洗する。

（ 3 ）摂氏 2 3 度程度の H P M 洗浄液（塩酸、過酸化水素、水）をノズルでウエハ・スピン・ステージ上で自転するウエハ 1 のデバイス面 1 a へ供給される。処理時間は、たとえば 3 0 秒程度である。

（ 4 ）ウエハを水洗する。

（ 5 ）摂氏 1 3 0 度程度の S P M 洗浄液（アンモニア、過酸化水素、水）をノズルでウエハ・スピン・ステージ上で自転するウエハ 1 のデバイス面 1 a へ供給される。処理時間は、たとえば 3 0 0 秒程度である。

（ 6 ）ウエハを水洗する。

（ 7 ）摂氏 6 5 度程度の A P M 洗浄液（アンモニア、過酸化水素、水）をノズルでウエハ・スピン・ステージ上で自転するウエハ 1 のデバイス面 1 a へ供給される。処理時間は、たとえば 3 0 0 秒程度である。

（ 8 ）ウエハを水洗する。

（ 9 ）ウエハ 1 のデバイス面 1 a に対して水洗および乾燥処理する。

【 0 1 0 0 】

ウェット洗浄処理 1 0 5 が完了すると、次工程に送られる。

【 0 1 0 1 】

なお、前記のベーク処理 1 0 2、ソフト・アッシング処理 1 0 3（第 1 のプラズマ・アッシング処理）、ハード・アッシング処理（第 2 のプラズマ・アッシング処理） 1 0 4、およびその間の期間を通して、所定の温度範囲（たとえば摂氏 2 6 5 度以上、3 5 0 度未満）内の一定温度に保持することが望ましい。所定の温度範囲の内部で変動させてもよいが、一般に一定温度の方が制御が簡単である。これは、前記のベーク処理 1 0 2、ソフト・アッシング処理 1 0 3（第 1 のプラズマ・アッシング処理）、ハード・アッシング処理（第 2 のプラズマ・アッシング処理） 1 0 4、およびその間の期間を通して、ウエハ 1 は、たとえば、ウエハ・ステージ 6 6 a 上、すなわち、同一のステージ上 6 6 a , 6 6 b , 6 7 a , 6 7 b にあるからである。この温度範囲の上限は、周辺への熱による弊害を回避するために要求されるものである。一方、下限は除去反応の速度を実用的なものにするために必要とされる。量産工程においては、処理速度が重要であり、安定した処理を確保するためには、下限は摂氏 2 7 0 度以上が望ましい。更に、スループットを向上させるためには、摂氏 2 8 0 度以上が好適である。

【 0 1 0 2 】

また、ソフト・アッシング処理 1 0 3（第 1 のプラズマ・アッシング処理）、ハード・アッシング処理（第 2 のプラズマ・アッシング処理） 1 0 4、およびその間の期間を通して、保持される酸素単ガス雰囲気は、不所望なスパッタリング効果や化学作用を回避するために、添加率は 3 体積 % 未満が望ましい。しかし、デバイスへの影響や量産での装置への影響を考慮すると、2 体積 % 未満、可能であれば、1 体積 % 未満にすると特に好適である。

【 0 1 0 3 】

2-2. ソフト・アッシング工程の改良プロセスの説明（主に図3）

ここに説明するプラズマ中断ソフト・アッシング・プロセスは、サブ・セクション（2-1）の高温酸素単ガス・プロセスのソフト・アッシング・プロセスの改良として説明している。従って、以下に説明しない事項は、サブ・セクション（2-1）をほぼそのまま援用する。しかし、要素処理としてのプラズマ中断ソフト・アッシング・プロセス自体は、広い気圧範囲（プラズマが励起可能な範囲）、広い温度範囲（低温域を含み、摂氏110度から350度程度まで有効である）および酸素を主要な成分とする広範なガス雰囲気（酸素以外の添加ガス、すなわち窒素、フォーミング・ガス（水素を窒素で薄めた混合ガス、通常、窒素100に対して水素3程度の割合）、またはエッチング・ガス（SF系ガス等の弗素含有ガス）等を含む雰囲気）において効果があるため、温度設定またはガス雰囲気を変更することで、先行するベーク処理（たとえば低温域でアッシングする場合等）および後続のハード・アッシング処理の一方または両方は必ずしも必要ではない。ただし、ハード・アッシング処理をしない場合には、その分、ソフト・アッシング工程の時間を延長する等の対応が必要となることは言うまでもない。なお、アッシング処理の際のウエハ・ステージの温度（ウエハ温度）を摂氏265度未満にする場合には、酸素単ガス雰囲気ではなく、スパッタ効果やエッチング性のあるガスを添加することが望ましい。添加率はいずれの場合も、5%程度以上、30%未満の範囲が実用的である。

10

20

30

40

50

【0104】

図3は本願の一実施の形態の半導体装置の製造方法におけるレジスト除去プロセス中のソフト・アッシング処理の変形例のプロセス・ブロック・フロー図（図3（a））および、プロセス・タイム・チャート（図3（b））である。これに基づいて、プラズマ中断処理ソフト・アッシング・プロセスを説明する。

【0105】

先に説明したアッシング・プロセスのソフト・アッシング工程103（図1）は、基本的に連続した単一のステップから構成されていた。しかし、ここに説明する例では、ソフト・アッシング工程117（図3）が複数のソフト・アッシング・ステップ113, 114（第1および第2のプラズマ・アッシング処理）から構成されており、それらの間に、プラズマ励起を停止するプラズマ励起停止ステップ118（またはプラズマ雰囲気供給停止ステップ）が介在している。すなわち、図3（a）または図3（b）に示すように、イオン注入工程101が完了したウエハ1またはその後のベークが完了したウエハ1は、ほぼ常圧の乾燥空気雰囲気の状態（図3の時間t1）から減圧が開始される（図3の時間t2）。ほぼ同時に雰囲気が酸素を主要な成分とする雰囲気（酸素ベース雰囲気）に置換される（酸素ベースの雰囲気ガスの流量は、2000sccm程度である）。50Pa程度の減圧状態に到達した後（図3の時間t3）、その状態でRFパワー（2.45GHz、1500W程度）が印加される（図3の時間t4）。その後、比較的短い時間でRFパワーがオフされる（図3の時間t5）。しかし、このとき、ガス雰囲気は、酸素ベース雰囲気のままである。このように、励起期間T4と非励起期間T5をN回繰り返した後、通常、図2の時間t5以降のように、ハード・アッシングへ移行する。

【0106】

ここで、たとえば、酸素単ガス雰囲気で、ウエハ温度（ステージ温度）その他の条件がサブセクション（2-1）とほぼ同じである場合を考えると、総励起期間T4は、たとえば60秒程度（灰化特性上、30秒以上が望ましい）、非励起期間T5は、たとえば10秒程度とすることができる。そうすると、図3（a）の追加繰り返し回数Nを0回として、励起期間T4は各30秒程度ということになる（第1例）。しかし、非励起期間T5は5秒から10秒以上あれば、レジスト表面の緩和効果があることが確認されているので、励起期間T4を各20秒程度とし、図3（a）の追加繰り返し回数Nを1回とすると、非励起期間T5は10秒程度で総非励起期間は20秒程度となり、全ソフト・アッシング時間は80秒程度となる（第2例）。

【0107】

追加繰り返し回数Nは、通常、第1例または第2例程度の時間配分が好適と考えられる

ので、0回以上、10回未満程度と考えられる。上限は、量産上の要請である。たとえば、 $N = 10$ であれば、励起期間 T_4 を10秒（第2例と同じ20秒では）にまで下げても、総励起期間は120秒（240秒）となり、総非励起期間は110秒であり、全ソフト・アッシング時間は230秒（350秒）となり、第1例の全ソフト・アッシング時間70秒と比較して、3倍（5倍）以上となる。バーク時間が10秒でハード・アッシング時間が180秒であるから、全アッシング時間は420秒（540秒）となり、第1例の全アッシング時間260秒のほぼ倍程度となる。従って、 $N = 10$ 程度が好適な範囲の上限と考えられる。

【0108】

一方、下限はレジストの状態（硬化の度合い）または処理温度で決まる。通常、総励起期間は40秒から70秒程度必要であるから、励起期間 T_4 が30秒であれば、励起期間の総回数は2回程度（ $N = 0$ ）で、励起期間 T_4 が20秒であれば、励起期間の総回数は3回程度（ $N = 1$ ）となる。しかし、レジストの硬化が更に激しい場合、または、温度が比較的低い場合（ガス雰囲気との関係もあるが、たとえば摂氏265度未満）には N を2以上とする必要がある。

【0109】

このように非励起期間 T_5 を介在させる理由は、以下のように考えられる。プラズマ処理を10秒から30秒程度継続すると、硬化したレジストのクラスト部が物理化学的に硬直化して、灰化反応が停滞気味になるが、プラズマの供給を停止すると（プラズマ励起の停止又はプラズマ自体の供給停止）、表面の緊張状態が緩和されて、再び反応しやすい状態に戻ると考えられる。この場合、プラズマの供給を完全に断つために、雰囲気を大気に戻したり（気圧を変える）、または（気圧はそのまま）パージガスで置き換えたりすることも可能であるが、単にプラズマ励起を停止しただけで、数秒以内に緩和効果があるので、量産上、雰囲気（気圧を含む）を変更しない方が、時間短縮効果がある。たとえば、気圧を変えると、気圧の安定を待つ時間、たとえば、3秒程度の待機時間を更に必要とする。また、ガス・パージ等には、更に多くの待機時間を要する場合がある。しかし、最適化のために、気圧やガス組成等を変化させることを排除するものではない。

【0110】

3．本願の一実施の形態の半導体集積回路装置の製造方法におけるデバイス断面プロセス・フローの一例の説明（主に図6から図26）

ここでは、セクション2で説明したアッシング処理を含む一連の半導体ウエハ処理プロセス（90nmテクノロジー・ノードの相補型MISFET型、すなわち、CMIS型のLSIプロセス）の主要部の一例を説明する。

【0111】

図6は本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すプロセス・ブロック・フロー図である。図7は本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すデバイス断面フロー図（Nウエハ形成）である。図8は本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すデバイス断面フロー図（ゲート酸化）である。図9は本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すデバイス断面フロー図（ポリ・シリコン膜成膜）である。図10は本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すデバイス断面フロー図（ポリ・シリコン膜への高濃度P型不純物導入）である。図11は本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すデバイス断面フロー図（ポリ・シリコン膜へのP型不純物導入のためのレジスト膜パターンの除去）である。図12は本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すデバイス断面フロー図（ポリ・シリコン膜への高濃度N型不純物導入）である。図13は本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すデバイス断面フロー図（ポリ・シリコン膜へのN型不純物導入のためのレジスト膜パターンの除去）である。図14は本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すデバイス断面フロー図（ポリ・シリコン膜のパターニングのためのレジスト膜パターン形成）である。図15は本願の一実施の形態の半導体装置の製造方法の主要部の流れを示す

デバイス断面フロー図（ゲート電極のパターニング）である。図 16 は本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すデバイス断面フロー図（ゲート電極のパターニングのためのレジスト除去）である。図 17 は本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すデバイス断面フロー図（P チャネル M I S F E T のソース・ドレイン・エクステンションへの P 型不純物導入）である。図 18 は本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すデバイス断面フロー図（P チャネル M I S F E T のソース・ドレイン・エクステンションへの P 型不純物導入のためのレジスト膜パターンの除去）である。図 19 は本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すデバイス断面フロー図（N チャネル M I S F E T のソース・ドレイン・エクステンションへの N 型不純物導入）である。図 20 は本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すデバイス断面フロー図（N チャネル M I S F E T のソース・ドレイン・エクステンションへの N 型不純物導入のためのレジスト膜パターンの除去）である。図 21 は本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すデバイス断面フロー図（サイド・ウォール形成のための絶縁膜成膜）である。図 22 は本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すデバイス断面フロー図（サイド・ウォール形成）である。図 23 は本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すデバイス断面フロー図（P チャネル M I S F E T のソース・ドレイン領域への高濃度 P 型不純物導入）である。図 24 は本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すデバイス断面フロー図（P チャネル M I S F E T のソース・ドレイン領域への高濃度 P 型不純物導入のためのレジスト膜パターンの除去）である。図 25 は本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すデバイス断面フロー図（N チャネル M I S F E T のソース・ドレイン領域への高濃度 N 型不純物導入）である。図 26 は本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すデバイス断面フロー図（N チャネル M I S F E T のソース・ドレイン領域への高濃度 N 型不純物導入のためのレジスト膜パターンの除去）である。これらに基づいて、本願の一実施の形態の半導体集積回路装置の製造方法におけるデバイス断面プロセス・フローの一例を説明する。

10

20

30

40

50

【0112】

まず、たとえば 300 φ の P 型シリコン単結晶ウエハ 1 を準備する（ウエハ・サイズは 200 ファイでも、450 ファイでも、その他のものでもよい。また、不純物型も必要に応じて、N 型でもよい。また、エピタキシャル型のウエハでも、S O I ウエハその他の絶縁性ウエハでもよい）。次に、図 7 に示すように、ウエハ 1 のデバイス面 1 a（反対側の面は裏面 1 b である）の表面領域に、S T I（Shallow Trench Isolation）領域 4 を形成する。ここで、S T I 領域 4 の深さは、たとえば 300 nm 程度であり、その幅は、たとえば、70 nm 程度である。

【0113】

続いて、P チャネル M I S F E T 形成領域 2 と N チャネル M I S F E T 形成領域 3 の内の P チャネル M I S F E T 形成領域 2 に対応するデバイス面 1 a 下に N 型ウエル領域 5 を形成する（図 6 の N ウエル形成工程 151）。

【0114】

次に、図 8 に示すように、ウエハ 1 のデバイス面 1 a の表面に、たとえば 7 nm 程度の厚さの酸化シリコン膜 6 または酸窒化シリコン膜を熱酸化等により、形成する（図 6 のゲート絶縁膜形成工程 152）。その上に、図 9 に示すように、たとえば 150 nm 程度の厚さのノンドープ・ポリシリコン膜 7 を C V D 法により形成する（図 6 のポリシリコン膜形成工程 153）。

【0115】

次に、ウエハ 1 のデバイス面 1 a の全面にレジスト膜 8 を塗布して、通常のリソグラフィにより、ポリシリコン膜 7 への P 型不純物のドーピングのためのレジスト膜パターン 8 とする。レジスト膜 8（以下のレジストも同じ）は、たとえば化学増幅型のポジ型レジストである（たとえばポリ・ヒドロキシ・スチレン系）。

【0116】

続いて、図10に示すように、NチャネルMISFET形成領域3をレジスト膜8（レジスト膜パターン）で被覆した状態で、全面にP型の不純物イオン注入処理9（たとえばホウ素イオン、ドーズ量は $2 \times 10^{15} / \text{cm}^2$ 程度、加速エネルギー10keV程度）を実行する（図6のポリシリコン膜へのP型不純物ドーブ工程154；高濃度イオン注入処理A）。その後、図11に示すように、不要なレジスト膜パターン8をセクション2に説明したいずれかのレジスト除去プロセスにより除去する（図6のレジスト除去工程155）。

【0117】

次に、ウエハ1のデバイス面1aの全面にレジスト膜11を塗布して、通常のリソグラフィにより、ポリシリコン膜7へのN型不純物のドーブのためのレジスト膜パターン11とする。続いて、図12に示すように、PチャネルMISFET形成領域2をレジスト膜11（レジスト膜パターン）で被覆した状態で、全面にN型の不純物イオン注入処理12（たとえば燐イオン、ドーズ量は $6 \times 10^{15} / \text{cm}^2$ 程度、加速エネルギー20keV程度）を実行する（図6のポリシリコン膜へのN型不純物ドーブ工程156；高濃度イオン注入処理B）。その後、図13に示すように、不要なレジスト膜パターン11をセクション2に説明したいずれかのレジスト除去プロセスにより除去する（図6のレジスト除去工程157）。

【0118】

次に、ウエハ1のデバイス面1aの全面にレジスト膜を塗布して、通常のリソグラフィにより、図14に示すように、ゲート電極のパターニングのためのレジスト膜パターン13a，13bとする（図6のレジスト・パターン形成工程158）。続いて、ゲート電極のパターニングのためのレジスト膜パターン13a，13bがある状態で、ポリシリコン膜7のドライ・エッチングを実行し、幅90nm程度のゲート電極7a，7bを形成する（図6のゲート電極エッチ工程161）。このポリシリコン膜7のドライ・エッチングは、たとえば、HBr，Cl₂，O₂等の混合ガスを用いて実行することができる。

【0119】

続いて、図16に示すように、不要なレジスト膜パターン13a，13bをセクション2に説明したいずれかのレジスト除去プロセスにより除去する（図6のレジスト除去工程162）。

【0120】

次に、ウエハ1のデバイス面1aの全面にレジスト膜14を塗布して、通常のリソグラフィにより、半導体基板1のN型ウエル領域5の表面1aのP型ソース・ドレイン・エクステンション領域16（P型LDD領域）となるべき部分へのP型不純物のドーブのためのレジスト膜パターン14とする。続いて、図17に示すように、NチャネルMISFET形成領域3をレジスト膜14（レジスト膜パターン）で被覆した状態で、全面にP型の不純物イオン注入処理15（たとえばBF₂ + を2.5keV程度の注入エネルギーでドーズ量は $3 \times 10^{14} \text{cm}^{-2}$ ）を実行する（図6のP型SD不純物ドーブ工程163）。その後、図18に示すように、不要なレジスト膜パターン14を必要に応じてセクション2に説明したいずれかのレジスト除去プロセスにより、または通常のレジスト除去プロセスにより除去する（図6のレジスト除去工程164）。

【0121】

次に、ウエハ1のデバイス面1aの全面にレジスト膜17を塗布して、通常のリソグラフィにより、半導体基板1の表面1aのN型ソース・ドレイン・エクステンション領域19（N型LDD領域）となるべき部分へのN型不純物のドーブのためのレジスト膜パターン17とする。続いて、図19に示すように、PチャネルMISFET形成領域2をレジスト膜17（レジスト膜パターン）で被覆した状態で、全面にN型の不純物イオン注入処理18（たとえばAs + を3.5keV程度の注入エネルギーでドーズ量は $1 \times 10^{15} \text{cm}^{-2}$ ）を実行する（図6のN型SD不純物ドーブ工程165；高濃度イオン注入処理C）。その後、図20に示すように、不要なレジスト膜パターン17をセクション2に説

10

20

30

40

50

明したいいずれかのレジスト除去プロセスにより除去する（図6のレジスト除去工程166）。

【0122】

次に、図21に示すように、サイド・ウォール・スペーサとなるべき絶縁膜21（たとえば、下層の厚さ10nm程度のオゾンTEOS膜と厚さ45nm程度上層のシリコン・ナイトライド膜からなる）をウエハ1のデバイス面1aの全面にCVD法により形成する（図6の絶縁膜全面形成工程167）。次に、図22に示すように、異方性ドライ・エッチングによりエッチ・バックして、サイド・ウォール21a, 21bを形成する（図6のサイド・ウォール形成工程167）。

【0123】

次に、ウエハ1のデバイス面1aの全面にレジスト膜22を塗布して、通常のリソグラフィにより、半導体基板1のN型ウエル領域5の表面1aの高濃度P型ソース・ドレイン領域24となるべき部分へのP型不純物のドーピングのためのレジスト膜パターン22とする。続いて、図23に示すように、NチャネルMISFEET形成領域3をレジスト膜22（レジスト膜パターン）で被覆した状態で、全面にP型の不純物イオン注入処理23（たとえばB⁺を2keV程度の注入エネルギーでドーピング量は $4 \times 10^{15} \text{ cm}^{-2}$ ）を実行する（図6のP⁺型SD不純物ドーピング工程169；高濃度イオン注入処理D）。その後、図24に示すように、不要なレジスト膜パターン22を必要に応じてセクション2に説明したいずれかのレジスト除去プロセスにより、または通常のレジスト除去プロセスにより除去する（図6のレジスト除去工程171）。

【0124】

次に、ウエハ1のデバイス面1aの全面にレジスト膜25を塗布して、通常のリソグラフィにより、半導体基板1の表面1aの高濃度N型ソース・ドレイン領域27となるべき部分へのN型不純物のドーピングのためのレジスト膜パターン25とする。続いて、図25に示すように、PチャネルMISFEET形成領域2をレジスト膜25（レジスト膜パターン）で被覆した状態で、全面にN型の不純物イオン注入処理26（たとえばAs⁺を20keV程度の注入エネルギーでドーピング量は $4 \times 10^{14} \text{ cm}^{-2}$ および、それに続いて、P⁺を10keV程度の注入エネルギーでドーピング量は $5 \times 10^{14} \text{ cm}^{-2}$ の2段階で行う）を実行する（図6のN⁺型SD不純物ドーピング工程172；高濃度イオン注入処理E）。その後、図26に示すように、不要なレジスト膜パターン25を必要に応じてセクション2に説明したいずれかのレジスト除去プロセスにより除去する（図6のレジスト除去工程173）。

【0125】

その後、ソース・ドレイン上のシリコン酸化膜を自己整合的に除去して、ソース・ドレインの表面及びゲート電極7a, 7bの表面をシリサイド化（たとえばニッケル・シリサイド）して、その上にライナー窒化シリコン膜を形成する。続いて、プリメタル絶縁膜を形成し、それにコンタクト・ホールを開口して、タングステン・プラグを埋め込む。その後は、銅系などのダマシン配線構造またはアルミニウム系などの通常配線構造を、たとえば3層から10層程度形成する。その後、最上層にアルミニウム系のパッド層を形成して、その上に、たとえば下層の窒化シリコン膜を含む無機膜および上層のポリイミド系膜を含む有機膜等からなるファイナル・パッシベーション膜を形成する。その後、このファイナル・パッシベーション膜にパッド開口を形成する。以上で、ほぼ、ウエハ工程は修了したことになる。

【0126】

4. サマリ

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0127】

例えば、ここでは、シリコン系の半導体について、具体的に説明したが、本願発明はそ

10

20

30

40

50

れに限定されるものではなく、GaAs系やその他の半導体基板を用いた集積回路、単体等にも適用できることは言うまでもない。また、前記実施の形態では、高濃度のイオン注入によって、変質したレジスト膜の除去について、具体的に説明したが、本願発明はそれに限定されるものではなく、プラズマ・エッチングその他の高エネルギーのイオン等が関与する雰囲気さらされたレジスト膜の除去にも、同様に適用できることは言うまでもない。また、前記実施の形態に例示した処理圧力等の気圧は、使用した装置、ガス、対象のレジストの状態等（個別の諸条件）に最適な例を示したものであり、これらは、個別の諸条件に依存して多用に変化するので、本願発明は、これらの例示した圧力その他の非本質的なプロセス条件に限定されるものではないことは言うまでもない。

【図面の簡単な説明】

【0128】

【図1】本願の一実施の形態の半導体装置の製造方法におけるレジスト除去プロセス（高温酸素単ガス・アッシング処理）の流れを示すプロセス・ブロック・フロー図である。

【図2】本願の一実施の形態の半導体装置の製造方法におけるレジスト除去プロセス中のベーク&アッシング処理の流れを示すプロセス・タイム・チャートである。

【図3】本願の一実施の形態の半導体装置の製造方法におけるレジスト除去プロセス中のソフト・アッシング処理の変形例のプロセス・ブロック・フロー図（図3（a））および、プロセス・タイム・チャート（図3（b））である。

【図4】本願の一実施の形態の半導体装置の製造方法における各種のレジスト除去プロセスに使用するベーク・アッシング装置の全体平面構造図である。

【図5】本願の一実施の形態の半導体装置の製造方法における各種のレジスト除去プロセスに使用するベーク・アッシング装置の要部断面図である。

【図6】本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すプロセス・ブロック・フロー図である。

【図7】本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すデバイス断面フロー図（Nウェハ形成）である。

【図8】本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すデバイス断面フロー図（ゲート酸化）である。

【図9】本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すデバイス断面フロー図（ポリ・シリコン膜成膜）である。

【図10】本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すデバイス断面フロー図（ポリ・シリコン膜への高濃度P型不純物導入）である。

【図11】本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すデバイス断面フロー図（ポリ・シリコン膜へのP型不純物導入のためのレジスト膜パターンの除去）である。

【図12】本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すデバイス断面フロー図（ポリ・シリコン膜への高濃度N型不純物導入）である。

【図13】本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すデバイス断面フロー図（ポリ・シリコン膜へのN型不純物導入のためのレジスト膜パターンの除去）である。

【図14】本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すデバイス断面フロー図（ポリ・シリコン膜のパターニングのためのレジスト膜パターン形成）である。

【図15】本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すデバイス断面フロー図（ゲート電極のパターニング）である。

【図16】本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すデバイス断面フロー図（ゲート電極のパターニングのためのレジスト除去）である。

【図17】本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すデバイス断面フロー図（PチャネルMISFETのソース・ドレイン・エクステンションへのP型不純物導入）である。

10

20

30

40

50

【図 18】本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すデバイス断面フロー図（PチャネルMISFETのソース・ドレイン・エクステンションへのP型不純物導入のためのレジスト膜パターンの除去）である。

【図 19】本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すデバイス断面フロー図（NチャネルMISFETのソース・ドレイン・エクステンションへのN型不純物導入）である。

【図 20】本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すデバイス断面フロー図（NチャネルMISFETのソース・ドレイン・エクステンションへのN型不純物導入のためのレジスト膜パターンの除去）である。

【図 21】本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すデバイス断面フロー図（サイド・ウォール形成のための絶縁膜成膜）である。

【図 22】本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すデバイス断面フロー図（サイド・ウォール形成）である。

【図 23】本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すデバイス断面フロー図（PチャネルMISFETのソース・ドレイン領域への高濃度P型不純物導入）である。

【図 24】本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すデバイス断面フロー図（PチャネルMISFETのソース・ドレイン領域への高濃度P型不純物導入のためのレジスト膜パターンの除去）である。

【図 25】本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すデバイス断面フロー図（NチャネルMISFETのソース・ドレイン領域への高濃度N型不純物導入）である。

【図 26】本願の一実施の形態の半導体装置の製造方法の主要部の流れを示すデバイス断面フロー図（NチャネルMISFETのソース・ドレイン領域への高濃度N型不純物導入のためのレジスト膜パターンの除去）である。

【符号の説明】

【0129】

1 ウエハ

1a ウエハのデバイス面（第1の主面）

8, 11, 14, 17, 22, 25 レジスト膜パターン

102 ベーク処理

103 予備プラズマ・アッシング処理（第1のプラズマ・アッシング処理）

104 主プラズマ・アッシング処理（第2のプラズマ・アッシング処理）

154, 156, 163, 165, 169, 172 高濃度イオン注入処理

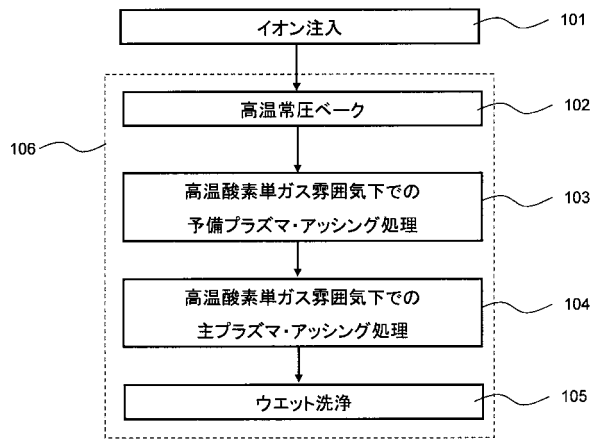
10

20

30

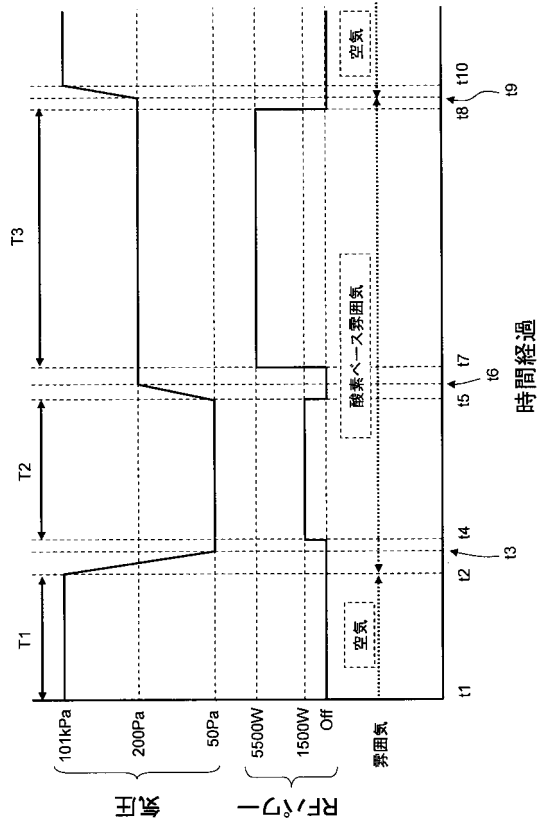
【図 1】

図1



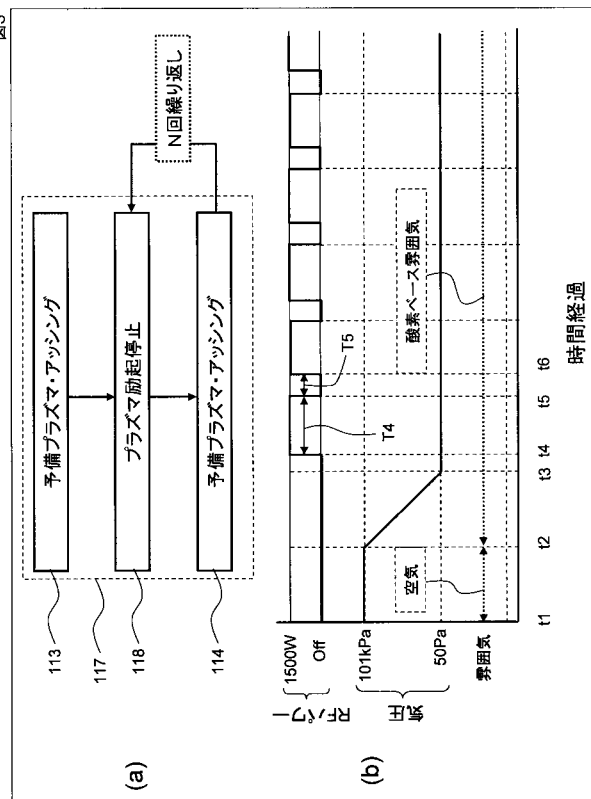
【図 2】

図2



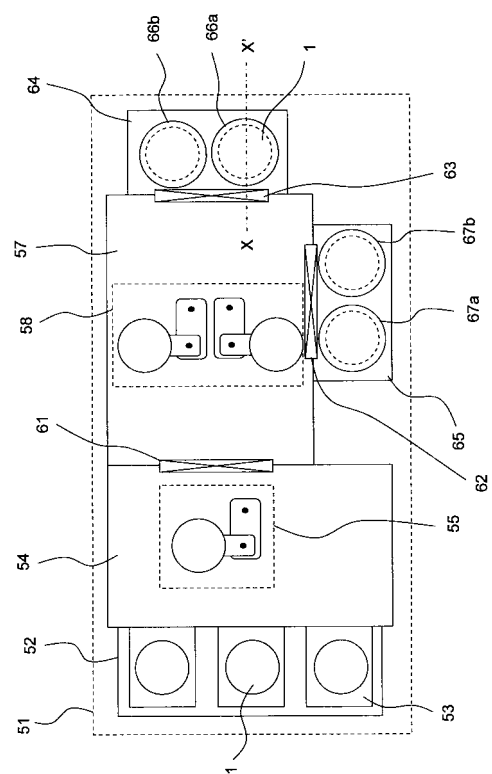
【図 3】

図3

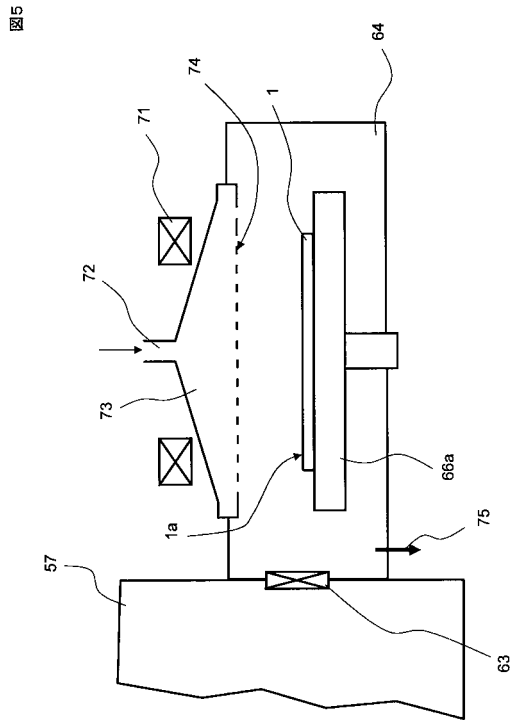


【図 4】

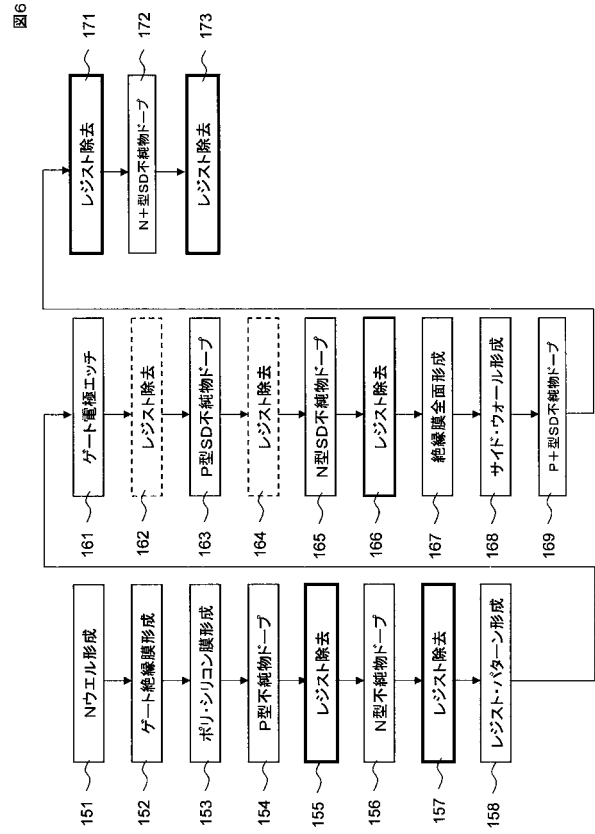
図4



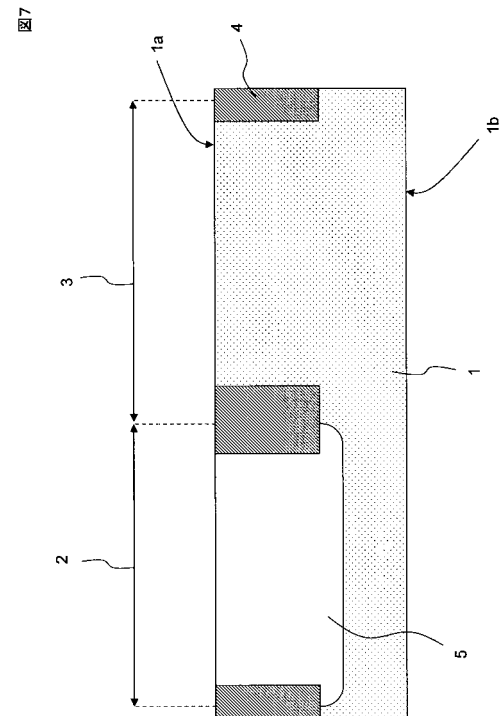
【 図 5 】



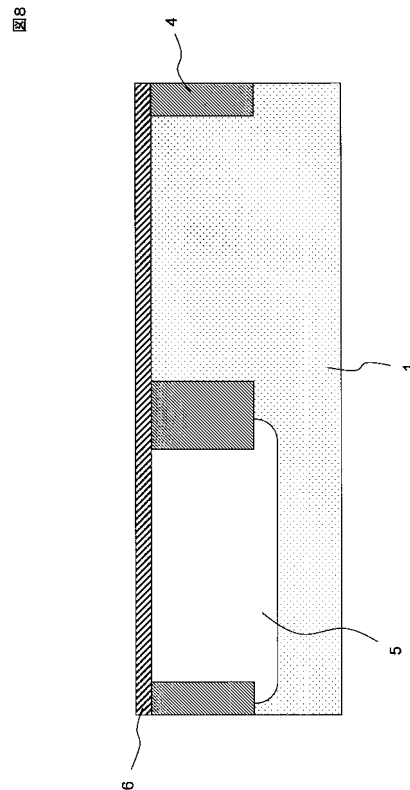
【 図 6 】



【 図 7 】

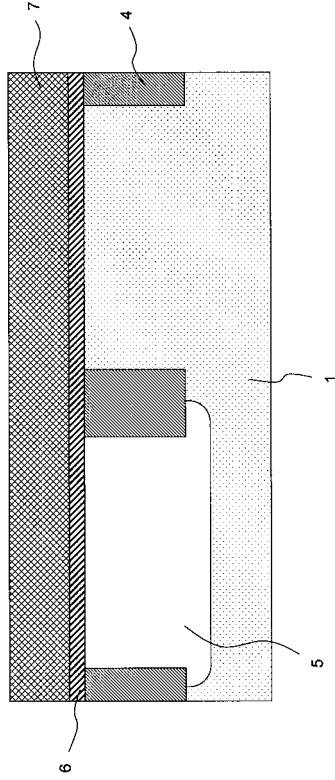


【 図 8 】



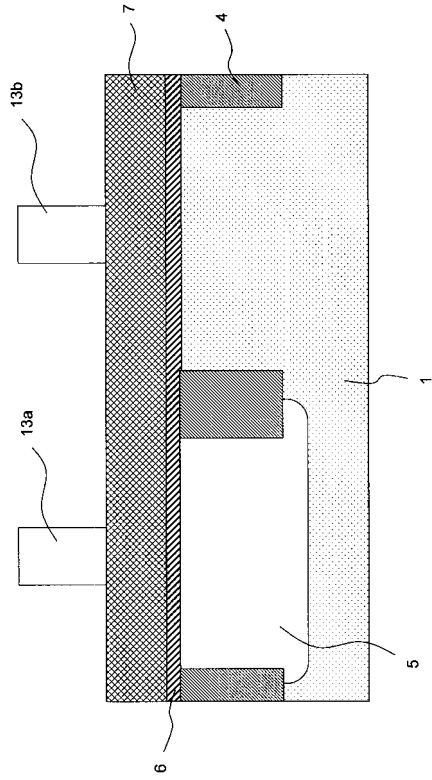
【図 1 3】

図13



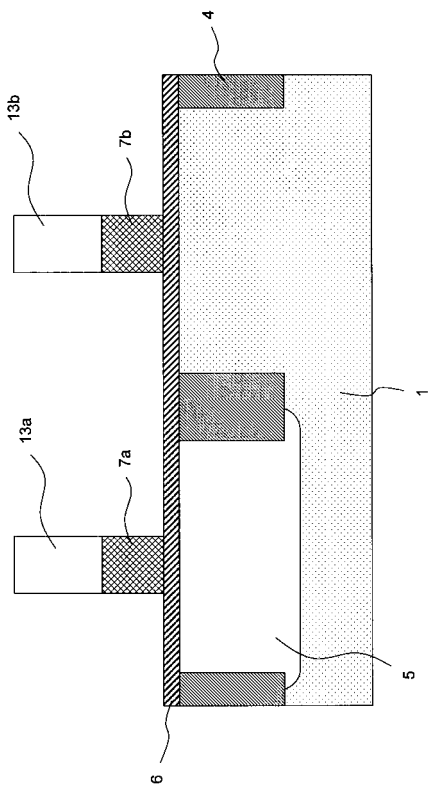
【図 1 4】

図14



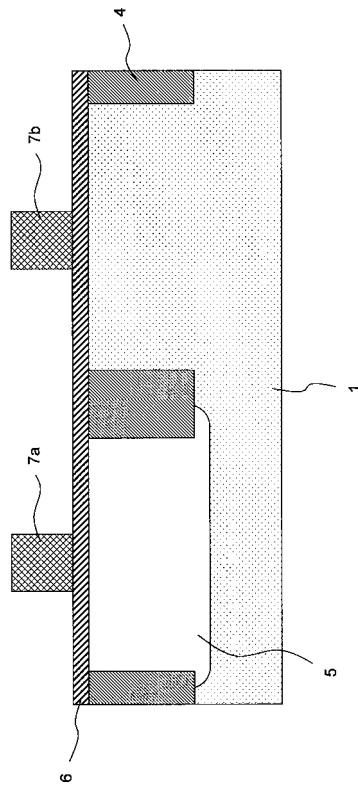
【図 1 5】

図15

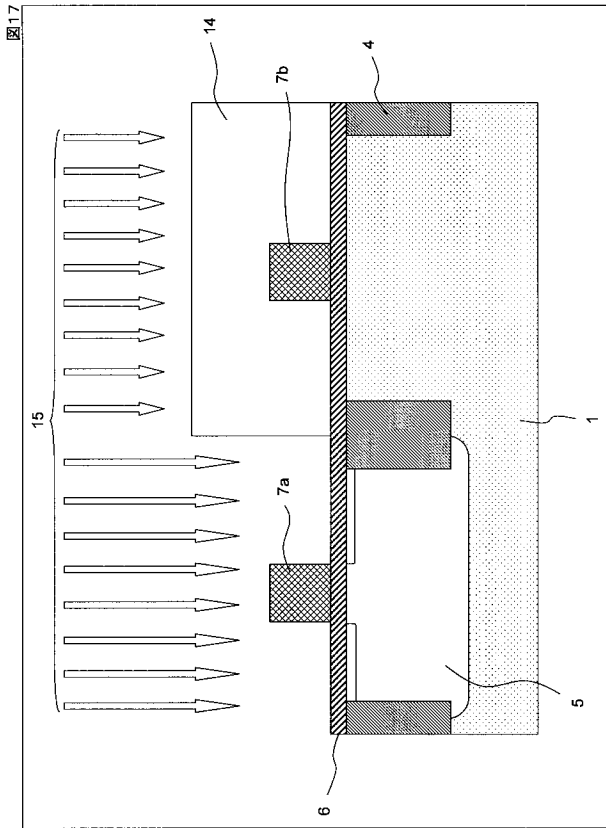


【図 1 6】

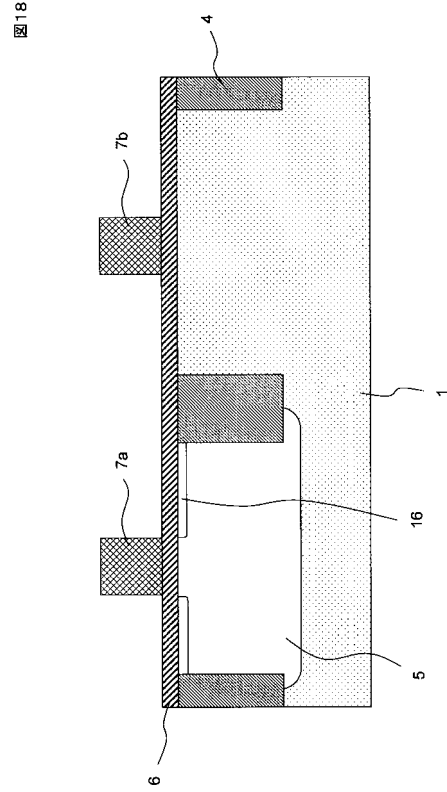
図16



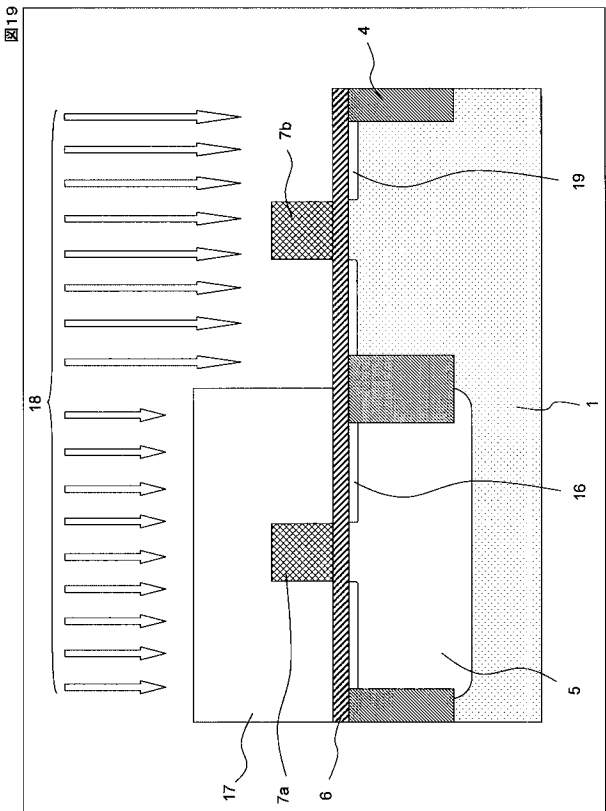
【図 17】



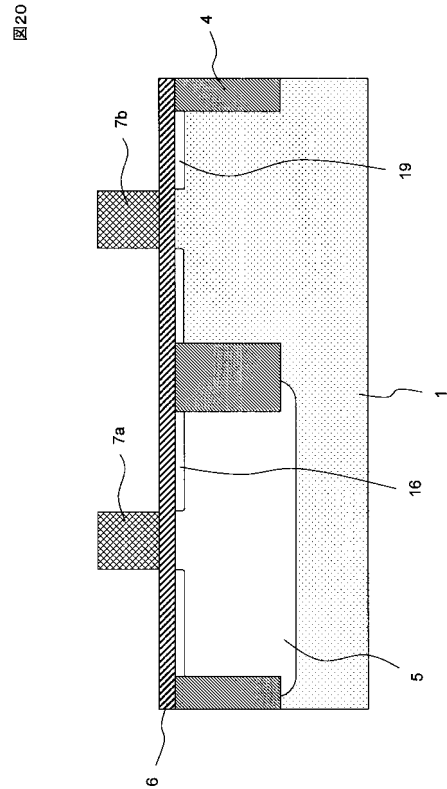
【図 18】



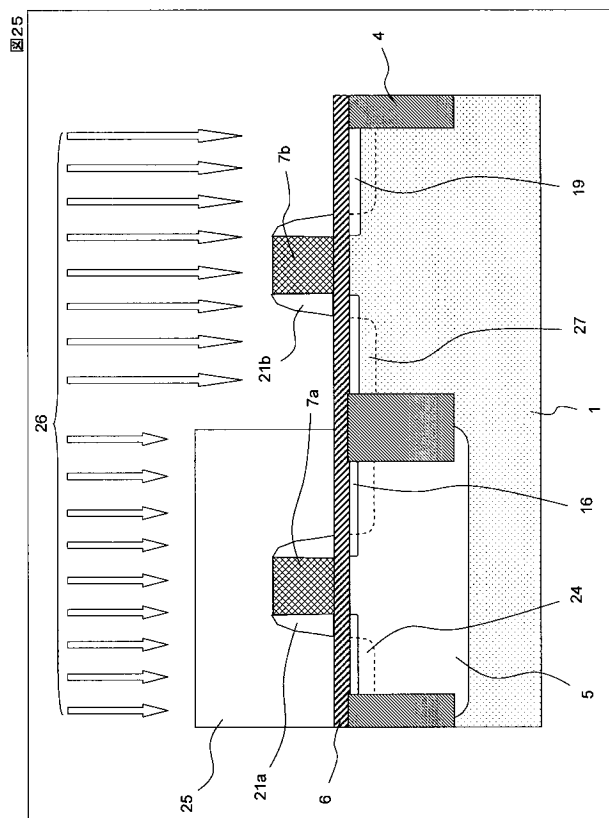
【図 19】



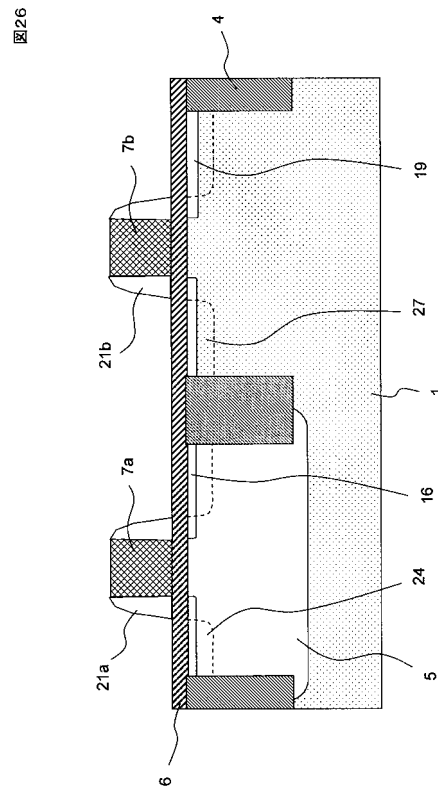
【図 20】



【 図 2 5 】



【 図 2 6 】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
H 0 1 L 27/088 (2006.01)	H 0 1 L 27/08 3 2 1 A	
H 0 1 L 21/8238 (2006.01)		
H 0 1 L 27/092 (2006.01)		

F ターム(参考)	5F004	AA08	BA04	BB18	CA03	CA08	DA26	DB26			
	5F032	AA35	AA44	CA03	CA17	CA20	DA43				
	5F046	MA12	MA19								
	5F048	AA07	AC01	AC03	BA01	BA16	BB06	BB07	BB08	BB11	BB12
		BC06	BF02	BF06	BF07	BF16	BG13	DA25	DA27	DA30	