

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4117944号
(P4117944)

(45) 発行日 平成20年7月16日(2008.7.16)

(24) 登録日 平成20年5月2日(2008.5.2)

(51) Int.Cl.		F I		
G 1 1 C 11/407	(2006.01)	G 1 1 C 11/34	3 5 4 D	
G 1 1 C 11/401	(2006.01)	G 1 1 C 11/34	3 7 1 A	
H O 1 L 21/8242	(2006.01)	G 1 1 C 11/34	3 7 1 K	
H O 1 L 27/108	(2006.01)	H O 1 L 27/10	6 8 1 F	

請求項の数 4 (全 14 頁)

(21) 出願番号	特願平10-217830	(73) 特許権者	000005223 富士通株式会社
(22) 出願日	平成10年7月31日(1998.7.31)		神奈川県川崎市中原区上小田中4丁目1番1号
(65) 公開番号	特開2000-49309(P2000-49309A)	(74) 代理人	100092587 弁理士 松本 真吉
(43) 公開日	平成12年2月18日(2000.2.18)		
審査請求日	平成15年7月29日(2003.7.29)	(72) 発明者	池田 稔美 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
前置審査		(72) 発明者	松宮 正人 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	瀧田 雅人 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

ワードデコード回路と、
出力端がワード線に接続されたドライバと、
一方の入力端に該ワードデコード回路の出力端が接続され他方の入力端にリセット信号が供給され出力端が該ドライバの入力端に接続された第1のスタティック型2入力ノアゲート回路と、一方の入力端に該第1のスタティック型2入力ノアゲート回路の出力端が接続され他方の入力端にセット信号が供給され出力端が該第1の2入力ノアゲートの該一方の入力端に接続された第2のスタティック型2入力ノアゲート回路とを含み、該セット信号によりセット状態になって該ワード線を選択状態にし、該リセット信号によりリセット状態になって該ワード線を非選択状態にするラッチ回路と、
を複数組有し、該複数組の各ラッチ回路に対し該セット信号を共通に供給するためのワード線多重選択用の信号線をさらに有し、該ワード線多重選択用の信号線をアクティブにした状態で高温加速試験が行われるようにし、
該第1及び第2のスタティック型2入力ノアゲート回路はいずれも、
互いに並列接続され、ソースが低電位側電源配線に接続され、ドレインが出力端とされた第1及び第2のNMOSトランジスタと、
該第1及び第2のNMOSトランジスタのドレインと高電位側電源配線との間に互いに直列接続された第1及び第2のPMOSトランジスタと、
を備え、該第1のPMOSトランジスタのゲートと該第1のNMOSトランジスタのゲ

10

20

ートとが互いに接続されて一方の入力端とされ、該第2のPMOSトランジスタのゲートと該第2のNMOSトランジスタのゲートとが互いに接続されて他方の入力端とされ、

該第1及び第2のスタティック型2入力ノアゲート回路の該第1及び第2のPMOSトランジスタが2行2列に配置されたPMOSトランジスタアレイと、該第1及び第2のスタティック型2入力ノアゲート回路の該第1及び第2のNMOSトランジスタが2行2列に配置されたNMOSトランジスタアレイとが、ワード線方向に沿って配置されている、
 ことを特徴とする半導体記憶装置。

【請求項2】

上記複数組のワードデコード回路は、隣り合うセンスアンプ列に挟まれたメモリブロックのワードデコード回路であり、該メモリブロックのワードデコード回路に接続された上記ラッチ回路に対し上記リセット信号を共通に供給するためのリセット信号線をさらに有することを特徴とする請求項1に記載の半導体記憶装置。

10

【請求項3】

ワードデコード回路と、
 出力端がワード線に接続されたドライバと、
 一方の入力端に該ワードデコード回路の出力端が接続され他方の入力端にセット信号が供給され出力端が該ドライバの入力端に接続された第1のスタティック型2入力ナンドゲート回路と、一方の入力端に該第1のスタティック型2入力ナンドゲート回路の出力端が接続され他方の入力端にリセット信号が供給され出力端が該第1のスタティック型2入力ナンドゲートの該一方の入力端に接続された第2のスタティック型2入力ナンドゲート回路とを含み、該セット信号によりセット状態になって該ワード線を選択状態にし、該リセット信号によりリセット状態になって該ワード線を非選択状態にするラッチ回路と、

20

を複数組有し、該複数組の各ラッチ回路に対し該セット信号を共通に供給するためのワード線多重選択用の信号線をさらに有し、該ワード線多重選択用の信号線をアクティブにした状態で高温加速試験が行われるようにし、

該第1及び第2のスタティック型2入力ナンドゲート回路はいずれも、互いに並列接続され、ソースが高電位側電源配線に接続され、ドレインが出力端とされた第1及び第2のPMOSトランジスタと、

該第1及び第2のPMOSトランジスタのドレインと低電位側電源配線との間に互いに直列接続された第1及び第2のNMOSトランジスタと、

30

を備え、該第1のPMOSトランジスタのゲートと該第1のNMOSトランジスタのゲートとが互いに接続されて一方の入力端とされ、該第2のPMOSトランジスタのゲートと該第2のNMOSトランジスタのゲートとが互いに接続されて他方の入力端とされ、

該第1及び第2のスタティック型2入力ナンドゲート回路の該第1及び第2のPMOSトランジスタが2行2列に配置されたPMOSトランジスタアレイと、該第1及び第2のスタティック型2入力ナンドゲート回路の該第1及び第2のNMOSトランジスタが2行2列に配置されたNMOSトランジスタアレイとが、ワード線方向に沿って配置されている、

ことを特徴とする半導体記憶装置。

【請求項4】

40

上記複数組のワードデコード回路は、隣り合うセンスアンプ列に挟まれたメモリブロックのワードデコード回路であり、該メモリブロックのワードデコード回路に接続された上記ラッチ回路に対し上記リセット信号を共通に供給するためのリセット信号線をさらに有することを特徴とする請求項3に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

本発明は、ワードデコード回路の出力がラッチ回路で保持されるタイプの半導体記憶装置に関する。

【0002】

【従来の技術】

50

特に携帯電子機器用のために、半導体記憶装置には、低消費電力化が要求されている。シンクロナスDRAMでは、複数バンクを備え、システムクロック周期毎にバンクを切り換えて複数バンクを並列動作させることにより、高速アクセスが可能となっている。この並列動作を可能にするために、行アドレスをプリデコードした信号が供給されるワードデコード回路の出力端には、各ワード線に対応してラッチ回路が接続されている。

【0003】

図8は、従来のワードデコーダ1行分の回路を示す。

ワードデコード回路10は、NMOSトランジスタ11と12とが直列接続されたナンドゲートであり、プリデコードされた信号S1及びS2がそれぞれNMOSトランジスタ11及び12のゲートに供給される。ワード線WLを選択するために信号S1及びS2が高レベルにされると、信号S3が低レベルになる。信号S3はラッチ回路20に保持され、信号S3を反転した高レベルの信号S4がラッチ回路20から出力される。

10

【0004】

ラッチ回路20は、インバータ21と22とが環状に接続され、インバータ22の出力端とグランド線との間にセット用のNMOSトランジスタ23が接続され、インバータ21の出力端とグランド線との間にリセット用のNMOSトランジスタ24が接続されている。

信号S4は、ドライバ30でその駆動能力が増幅され、ワード線WLが立ち上げられる。

【0005】

消費電力低減のためにメモリブロック単位で活性化されるので、アクセス終了時には、活性化されたメモリブロック内の全てのラッチ回路20に共通にワード線リセット信号WRSTが供給されてNMOSトランジスタ24がオンになり、信号S4が低レベルに遷移してワード線WLが立ち下げられる。

20

多重選択信号WMSELの信号線をチップ内の全てのラッチ回路20について共通に接続すれば、半導体記憶装置の出荷前において、全てのワード線WLを立ち上げて高温加速試験を行うことが可能となる。多重選択信号WMSELを高レベルにすると、NMOSトランジスタ23がオンになってインバータ22の出力が低レベルに遷移し、インバータ21の出力が高レベルに遷移して信号S4が立ち上げられる。

【0006】

図9は、図8中のラッチ回路20の構成を示す。

30

インバータ21は、電位VDDとVSSの電源配線間に、PMOSトランジスタ211とNMOSトランジスタ212とが直列接続され、両ゲートが共通に接続されている。同様にインバータ22は、PMOSトランジスタ221とNMOSトランジスタ222とが直列接続され、両ゲートが共通に接続されている。

【0007】

信号S3が低レベルのとき、PMOSトランジスタ211がオン、NMOSトランジスタ212がオフになっている。この状態でワード線リセット信号WRSTを高レベルに遷移させると、NMOSトランジスタ24がオンになり、電源電位VDDの配線からPMOSトランジスタ211及びNMOSトランジスタ24を通して電源電位VSSの配線へ貫通電流が流れる。信号S4が低レベルに遷移すると、PMOSトランジスタ221及びNMOSトランジスタ222がそれぞれオン及びオフに遷移して、信号S3が高レベルになり、PMOSトランジスタ211がオフ、NMOSトランジスタ212がオンの状態になって、この貫通電流が阻止される。しかし、この状態になるまで貫通電流が流れるので、無駄な電力が消費される。

40

【0008】

同様に、信号S4が低レベルでPMOSトランジスタ221がオン、NMOSトランジスタ222がオフの状態、上述の高温加速試験において多重選択信号WMSELが高レベルに遷移すると、電源電位VDDからPMOSトランジスタ221及びNMOSトランジスタ23を通して貫通電流が流れ、信号S4が高レベルに遷移してPMOSトランジスタ221がオフになるまで貫通電流が流れ続ける。この場合には、チップ内の全てのラッチ

50

回路20について貫通電流が同時に流れるので、無視できない。次に多重選択信号WMS E Lが低レベルに戻される。この状態から、全てのメモリブロックのラッチ回路20についてワード線リセット信号WRSTを高レベルに遷移させたときにも、全てのラッチ回路20についてPMOSTランジスタ211及びNMOSTランジスタ24を通る貫通電流が流れ、無視できない。このため、周囲温度を設定して行われる高温加速試験が不正確となる。

【0009】

他方、ラッチ回路20は、各ワード線について備えられているので、その専有面積が限られている。

図10は、隣り合う2つのラッチ回路20の拡散領域及びポリシリコン配線層のレイアウトパターンを示している。図10には、複雑化を避けるためメタル配線層のパターンが示されていない。図11は図10のパターンの理解を容易にするために、図10のレイアウトパターンに対応してトランジスタを配置した回路図である。

【0010】

ラッチ回路20の専有面積を低減し幅を狭くするために、PMOSTランジスタ群20PとNMOSTランジスタ群20Nとに別れてトランジスタが配列され、さらに、ワード線方向に沿ってPMOSTランジスタ群20PとNMOSTランジスタ群20Nとが帯状に配置されている。図10中、221P及び211PはそれぞれPMOSTランジスタ221及び211のP型拡散領域であり、212N、222N、24N及び23NはそれぞれNMOSTランジスタ212、222、24及び23のN型拡散領域である。ハッチング領域はポリシリコン配線であり、小さな矩形は層間コンタクトであり、トランジスタ群20Pと20Nの境界付近のドットを施した配線は、トランジスタ群20P側がNウェルに電源電位VDDを印加するためのものであり、トランジスタ群20N側がPウェルに電源電位VSSを印加するためのものである。

【0012】

本発明の目的は、このような問題点に鑑み、半導体記憶装置の出荷前において高温加速試験を効率よく行えるようにするとともに、複数のワードデコードに接続されたラッチ回路の貫通電流を阻止することにより高温加速試験をより正確に行うことが可能であり、且つ、専有面積の増加を回避できる半導体記憶装置を提供することにある。

【0013】

【課題を解決するための手段及びその作用効果】

本発明の第1態様では、ワードデコード回路の出力がラッチ回路のデータ入力端に供給され、該ラッチ回路は、電源配線間に直列接続されたPMOSTランジスタとNMOSTランジスタと、該PMOSTランジスタと該NMOSTランジスタとの一方に並列接続されたりセット用又はセット用の第1MOSTランジスタとからなるCMOS論理ゲート回路を有する半導体記憶装置において、

該ラッチ回路は、該PMOSTランジスタと該NMOSTランジスタとの他方に直列接続され、該第1MOSTランジスタのオン/オフに連動してオフ/オンする第2MOSTランジスタを有する。

【0014】

この半導体記憶装置によれば、第1MOSTランジスタをオンにすると第2MOSTランジスタがオフになるので、該一方のトランジスタと第1MOSTランジスタとに流れようとする貫通電流が第2MOSTランジスタで阻止され、これにより消費電力が低減される。

また、この論理ゲート回路に追加される素子は第2MOSTランジスタのみであるので、チップ上のラッチ回路用占有面積増加が避けられ又は少なく済む。

【0015】

本発明の第2態様の半導体記憶装置では、第1態様において、上記第1MOSTランジスタは上記NMOSTランジスタに並列接続されたNMOSTランジスタであり、上記第2MOSTランジスタは上記PMOSTランジスタと直列接続されたPMOSTランジスタ

タであり、該第1MOSトランジスタと該第2MOSトランジスタのゲート間が接続され、該ゲートにセット信号又はリセット信号が供給される。

【0016】

本発明の第3態様の半導体記憶装置では、第2態様において、上記論理ゲート回路は2入力ノアゲート回路であり、上記ラッチ回路は第1及び第2の該2入力ノアゲート回路を有し、該第1の2入力ノアゲート回路の出力端が該第2の2入力ノアゲート回路の一方の入力端に接続され、該第2の2入力ノアゲート回路の出力端が該第1の2入力ノアゲート回路の一方の入力端に接続され、該第1の2入力ノアゲート回路の他方の入力端にリセット信号が供給され該第2の2入力ノアゲート回路の他方の入力端にセット信号が供給される。

10

【0017】

本発明の第4態様の半導体記憶装置では、第3態様において、チップ上の全ての上記ワードデコード回路に接続された上記ラッチ回路に対し上記セット信号を共通に供給するためのワード線多重選択用信号線を有する。

この半導体記憶装置によれば、全ラッチ回路が同時にセットされるので、高温加速試験を効率よく行うことができる。また、この試験において、上記貫通電流が全ラッチ回路について阻止されるので、周囲温度を設定して行われる高温加速試験が従来よりも正確になる。

【0018】

本発明の第5態様の半導体記憶装置では、第4態様において、隣り合うセンスアンプ列に挟まれたメモリブロックの上記ワードデコード回路に接続された上記ラッチ回路に対し上記リセット信号を共通に供給するためのリセット信号線を有する。

20

本発明の第6態様の半導体記憶装置では、第3乃至5態様のいずれか1つにおいて、上記ラッチ回路は、2行2列のPMOSトランジスタアレイと2行2列のNMOSトランジスタアレイとがワード線方向に沿って配置されている。

【0019】

この半導体記憶装置によれば、専有面積の増加が避けられる。

本発明の第7態様の半導体記憶装置では、第1態様において、上記第1MOSトランジスタは上記PMOSトランジスタに並列接続されたPMOSトランジスタであり、上記第2MOSトランジスタは上記NMOSトランジスタと直列接続されたNMOSトランジスタであり、該第1MOSトランジスタと該第2MOSトランジスタのゲート間が接続され、該ゲートにセット信号又はリセット信号が供給される。

30

【0020】

本発明の第8態様の半導体記憶装置では、第7態様において、上記論理ゲート回路は2入力ナンドゲート回路であり、上記ラッチ回路は第1及び第2の該2入力ナンドゲート回路を有し、該第1の2入力ナンドゲート回路の出力端が該第2の2入力ナンドゲート回路の一方の入力端に接続され、該第2の2入力ナンドゲート回路の出力端が該第1の2入力ナンドゲート回路の一方の入力端に接続され、該第1の2入力ナンドゲート回路の他方の入力端にセット信号が供給され該第2の2入力ナンドゲート回路の他方の入力端にリセット信号が供給される。

40

【0021】

本発明の第9態様の半導体記憶装置では、第8態様において、チップ上の全ての上記ワードデコード回路に接続された上記ラッチ回路に対し上記セット信号を共通に供給するためのワード線多重選択用信号線を有する。

本発明の第10態様の半導体記憶装置では、第9態様において、隣り合うセンスアンプ列に挟まれたメモリブロックの上記ワードデコード回路に接続された上記ラッチ回路に対し上記リセット信号を共通に供給するためのリセット信号線を有する。

【0022】

本発明の第11態様の半導体記憶装置では、第8乃至10態様のいずれかにおいて、上記ラッチ回路は、2行2列のPMOSトランジスタアレイと2行2列のNMOSトラン

50

ジスタアレイとがワード線方向に沿って配置されている。

【 0 0 2 4 】

【 発明の実施の形態 】

以下、図面に基づいて本発明の実施形態を説明する。

[第 1 実施形態]

図 1 は、本発明の第 1 実施形態に係るシンクロナス D R A M の概略を示す。斜線部はセンスアンプ列である。

【 0 0 2 5 】

このシンクロナス D R A M では、バンク 0 ~ 3 を挟むようにコラムデコーダ 4 0 とセンスバッファ回路 4 1 とが配置されている。バンク 0 は、センスアンプ列 4 2 ~ 4 4 と、センスアンプ列 4 2 と 4 3 との間のメモリブロック 0 と、センスアンプ列 4 3 と 4 4 との間のメモリブロック 1 とを備えている。各メモリブロックに対応して、ワードデコーダが備えられ、例えばワードデコーダ 4 5 は、メモリブロック 0 に対応している。メモリブロック 1 はアドレス範囲を除きメモリブロック 0 と同じであり、バンク 1 ~ 3 についても、アドレス範囲を除きバンク 0 と同じである。

【 0 0 2 6 】

外部からのアドレス A D D R は、信号レベルインターフェース用のバッファゲート 4 6 を介してアドレスバッファレジスタ 4 7 及び 4 8 に供給される。外部からのチップセレクト信号 * C S (* は、低レベルのとき活性であることを示しており、以下同様。)、ロウアドレスストロープ信号 * R A S、コラムアドレスストロープ信号 * C A S、ライトイネーブル信号 * W E、クロックイネーブル信号 C K E 及びクロック C L K は、バッファゲート 4 9 を介して制御回路 5 0 に供給される。制御回路 5 0 は、制御信号 * C S、* R A S、* C A S、* W E 及び C K E とアドレスの一部との組の値により定まるコマンドに応じて、各種制御信号を生成する。

【 0 0 2 7 】

制御回路 5 0 は、アクティベイトコマンド A C T 発行にตอบสนองしてアドレスバッファレジスタ 4 7 にラッチ信号を供給することにより、バンクアドレス、バンク内ブロックアドレス及びブロック内行アドレスをアドレスバッファレジスタ 4 7 に保持させる。アドレスバッファレジスタ 4 7 の出力はプリデコーダ 5 1 でプリデコードされ、さらにワードデコーダ 4 5 を含むワードデコーダでデコードされて、選択されたバンク及びブロック内のワード線 W L が立ち上げられる。

【 0 0 2 8 】

ワード線 W L の立ち上がりにより、ワード線 W L に沿った行の記憶内容がビット線 B L 上に読み出され、センスアンプ列 4 2 及び 4 3 により増幅される。より具体的には、例えばメモリセル M C の記憶内容がビット線 B L 上に読み出され、センスアンプ列 4 3 内のセンスアンプ 5 2 により増幅される。

制御回路 5 0 は、リードコマンド R E A D 発行にตอบสนองしてアドレスバッファレジスタ 4 8 にラッチ信号を供給することにより、列アドレスをアドレスバッファレジスタ 4 8 に保持させる。アドレスバッファレジスタ 4 8 の出力はコラムデコーダ 4 0 でデコードされて、選択されたコラム選択線 C L によりコラムゲートがオンにされる。これにより、例えば、ビット線 B L 上のデータが、センスアンプ列に沿ったローカルデータバス L D B に読み出され、さらにこれと直角な方向のグローバルデータバス G D B を通ってセンスバッファ回路 4 1 で増幅される。センスバッファ回路 4 1 の出力は、信号レベルインターフェース用の I / O バッファゲート回路 5 3 を介し D A T A として外部に取り出される。

【 0 0 2 9 】

制御回路 1 8 から 8 ブロックのワードデコーダ (W D) に、多重選択信号 W M S E L が共通に供給され、ワード線リセット信号 W R S T 1 ~ W R S T 7 がそれぞれ供給される。多重選択信号 W M S E L は、高温加速試験時のみ活性化され、通常使用時には不活性になっている。

図 2 は、ワードデコーダ 4 5 の 1 行分の回路を示す。

10

20

30

40

50

【 0 0 3 0 】

ラッチ回路 2 0 A では、ノアゲート 2 5 の出力端がノアゲート 2 6 の一方の入力端に接続され、ノアゲート 2 6 の出力端がノアゲート 2 5 の一方の入力端に接続され、ノアゲート 2 5 及び 2 6 の他方の入力端にそれぞれワード線リセット信号 W R S T 0 及び多重選択信号 W M S E L が供給される。

他の構成は、図 8 と同一である。

【 0 0 3 1 】

図 3 は、図 2 中のラッチ回路 2 0 A の構成例を示す。

ノアゲート 2 5 では、P M O S トランジスタ 2 1 1 と電源電位 V D D の配線との間に P M O S トランジスタ 2 4 X が接続されている。P M O S トランジスタ 2 4 X のゲートは N M O S トランジスタ 2 4 のゲートと共通に接続され、両ゲートにワード線リセット信号 W R S T が供給される。同様に、ノアゲート 2 6 では、P M O S トランジスタ 2 2 1 と電源電位 V D D の配線との間に P M O S トランジスタ 2 3 X が接続されている。P M O S トランジスタ 2 3 X のゲートは N M O S トランジスタ 2 3 のゲートと共通に接続され、両ゲートにワード線リセット信号 W R S T が供給される。

【 0 0 3 2 】

他の構成は、図 9 と同一である。

次に、上記の如く構成された本第 1 実施形態の動作を説明する。

図 2 において、多重選択信号 W M S E L 及びワード線リセット信号 W R S T 0 は、不活性のとき低レベルであり、このときノアゲート 2 5 及び 2 6 はいずれもインバータとして機能する。

【 0 0 3 3 】

図 1 のバンク 0 のブロック 0 のワード線 W L を選択するために、プリデコードされた図 2 の信号 S 1 及び S 2 が高レベルにされると、信号 S 3 が低レベルになり、信号 S 4 が高レベルになる。このとき図 3 では、P M O S トランジスタ 2 4 X、2 1 1、2 3 X 及び N M O S トランジスタ 2 2 2 がオン、N M O S トランジスタ 2 1 2、2 4、P M O S トランジスタ 2 2 1 及び N M O S トランジスタ 2 3 がオフになっている。信号 S 4 は、ドライバ 3 0 でその駆動能力が増幅され、ワード線 W L が立ち上げられる。ラッチ回路 2 0 A の状態が保持されるので、次のクロック C L K の立ち上がり同期して他のバンクのアドレスをバッファレジスタ 4 7 に保持することができ、複数バンクで並列アクセスすることができる。

【 0 0 3 4 】

消費電力低減のためにブロック 0 のみ活性化されるので、アクセス終了時には、ブロック 0 内の全てのラッチ回路に共通に供給されるワード線リセット信号 W R S T 0 が高レベルされて、図 3 の N M O S トランジスタ 2 4 がオンになり、信号 S 4 が低レベルに遷移して、ワード線 W L が立ち下げられる。N M O S トランジスタ 2 4 のオンと同時に P M O S トランジスタ 2 4 X がオフになるので、電源電位 V D D の配線から P M O S トランジスタ 2 1 1 及び N M O S トランジスタ 2 4 を通って電源電位 V S S の配線へ貫通電流が流れるのが阻止される。これにより、通常使用時の消費電力が低減される。N M O S トランジスタ 2 2 2 がオフ、P M O S トランジスタ 2 2 1 がオンに遷移して、信号 S 3 が高レベルになる。これにより、P M O S トランジスタ 2 1 1 がオフ、N M O S トランジスタ 2 1 2 がオンになる。次にワード線リセット信号 W R S T 0 が低レベルに戻される。

【 0 0 3 5 】

半導体記憶装置の出荷前において、全てのワード線を立ち上げて高温加速試験を行うために、多重選択信号 W M S E L の信号線がチップ内の全てのラッチ回路について共通に接続されている。多重選択信号 W M S E L を高レベルにすると、N M O S トランジスタ 2 3 がオンになって信号 S 3 が低レベルに遷移する。これと同時に P M O S トランジスタ 2 3 X がオフになるので、電源電位 V D D の配線から P M O S トランジスタ 2 1 1 及び N M O S トランジスタ 2 3 を通って電源電位 V S S の配線へ貫通電流が流れるのが阻止される。P M O S トランジスタ 2 1 1 がオン、N M O S トランジスタ 2 1 2 がオフに遷移して、信号

10

20

30

40

50

S 4 が高レベルになり、一方ではワード線 W L が立ち上げられ、他方では P M O S トランジスタ 2 2 1 がオフ、N M O S トランジスタ 2 2 2 がオンになる。次に多重選択信号 W M S E L が低レベルに戻される。

【 0 0 3 6 】

この状態から、ワード線リセット信号 W R S T 0 ~ W R S T 7 が高レベルに遷移されて、全てのワード線 W L が立ち下げられる。この際、上記リセット時の動作により、貫通電流が阻止される。

このような動作が全てのワードデコーダについて同時に行われるが、貫通電流が阻止されるので、周囲温度を設定して行われる高温加速試験が従来よりも正確になる。

【 0 0 3 7 】

図 4 は、隣り合う 2 つのラッチ回路 2 0 A の拡散領域及びポリシリコン配線層のレイアウトパターンを示している。図 4 には、複雑化を避けるためメタル配線層のパターンが示されていない。図 5 は、図 4 のパターンの理解を容易にするために、図 4 のレイアウトパターンに対応してトランジスタを配置した回路図である。

【 0 0 3 8 】

ラッチ回路 2 0 A の専有面積を低減するために、P M O S トランジスタ群 2 0 A P と N M O S トランジスタ群 2 0 A N とに別れてトランジスタが配列され、さらに、ワード線方向に沿って P M O S トランジスタ群 2 0 A P と N M O S トランジスタ群 2 0 A N とが帯状に配置されている。P M O S トランジスタ群 2 0 A P 及び N M O S トランジスタ群 2 0 A N はいずれもトランジスタが 2 行 2 列配列されている。

【 0 0 3 9 】

図 4 中、2 2 1 P、2 3 X P、2 1 1 P 及び 2 4 X P はそれぞれ P M O S トランジスタ 2 2 1、2 3 X、2 1 1 及び 2 4 X の P 型拡散領域であり、2 1 2 N、2 2 2 N、2 3 N 及び 2 4 N はそれぞれ N M O S トランジスタ 2 1 2、2 2 2、2 3 及び 2 4 の N 型拡散領域である。ハッチング領域はポリシリコン配線であり、小さな矩形は層間コンタクトであり、トランジスタ群 2 0 A P と 2 0 A N の境界付近のドットを施した配線は、トランジスタ群 2 0 A P 側が N ウェルに電源電位 V D D を印加するためのものであり、トランジスタ群 2 0 A N 側が P ウェルに電源電位 V S S を印加するためのものである。

【 0 0 4 0 】

図 4 を図 1 0 と比較すると、両者の専有面積は同じであることが分かる。

本第 1 実施形態の半導体記憶装置によれば、ラッチ回路 2 0 A の専有面積を増加させることなく、その貫通電流を阻止することができる。

[第 2 実施形態]

図 6 は、本発明の第 2 実施形態のワードデコーダ 1 行分の回路を示す。

【 0 0 4 1 】

ラッチ回路 2 0 B では、図 2 のノアゲート 2 5 及び 2 6 の代わりにそれぞれナンドゲート 2 7 及び 2 8 が用いられている。ワード線リセット信号 W R S T 0 及び多重選択信号 W M S E L の相補信号である * W R S T 0 及び * W M S E L はそれぞれ、図 2 の場合と逆に、ナンドゲート 2 7 及び 2 8 の一方の入力端に供給される。多重選択信号 * W M S E L 及びワード線リセット信号 * W R S T 0 は、不活性のとき高レベルであり、このときナンドゲート 2 7 及び 2 8 はいずれもインバータとして機能する。

【 0 0 4 2 】

他の構成は、図 2 と同一である。

図 7 は、図 6 中のラッチ回路 2 0 B の構成例を示す。

ナンドゲート 2 7 では、P M O S トランジスタ 2 1 1 と並列に P M O S トランジスタ 2 4 A が接続され、N M O S トランジスタ 2 1 2 と電源電位 V S S の配線との間に N M O S トランジスタ 2 4 A X が接続され、P M O S トランジスタ 2 4 A のゲートが N M O S トランジスタ 2 4 A X のゲートと共通に接続され、両ゲートに多重選択信号 * W M S E L が供給される。同様にナンドゲート 2 8 では、P M O S トランジスタ 2 2 1 と並列に P M O S トランジスタ 2 3 A が接続され、N M O S トランジスタ 2 2 2 と電源電位 V S S の配線との

10

20

30

40

50

間にNMOSトランジスタ23AXが接続され、PMOSトランジスタ23AのゲートがNMOSトランジスタ23AXのゲートと共通に接続され、両ゲートに*WRSTが供給される。

【0043】

他の構成は、図9と同一である。

次に、上記の如く構成された本第2実施形態の動作を説明する。

アクセス終了時に、ワード線リセット信号*WRST0が低レベルにされて、PMOSトランジスタ23Aがオンになり、信号S3が高レベルに遷移する。これと同時にNMOSトランジスタ23AXがオフになるので、電源電位VDDの配線からPMOSトランジスタ23A及びNMOSトランジスタ222を通過して電源電位VSSの配線へ貫通電流が流れるのが阻止される。これにより、通常使用時の消費電力が低減される。信号S4が低レベルに遷移して、ワード線WLが立ち下げられる。次にワード線リセット信号*WRST0が高レベルに戻される。

10

【0044】

高温加速試験を行うために、多重選択信号*WMSELを低レベルにすると、PMOSトランジスタ24Aがオンになって信号S4が高レベルに遷移し、ワード線WLが立ち上げられる。PMOSトランジスタ24Aのオンと同時にNMOSトランジスタ24AXがオフになるので、電源電位VDDの配線からナンドゲート27及びNMOSトランジスタ212を通過して電源電位VSSの配線へ貫通電流が流れるのが阻止される。信号S3が低レベルになり、次に多重選択信号*WMSELが高レベルに戻される。

20

【0045】

この状態から、ワード線リセット信号*WRST0が低レベルに遷移されてワード線WLが立ち下げられる。この際、上記リセット時の動作により、貫通電流が阻止される。このような動作が全てのワードデコーダについて同時に行われるが、貫通電流が阻止されるので、周囲温度を設定して行われる高温加速試験が従来よりも正確になる。

【0046】

なお、本発明には外にも種々の変形例が含まれる。

例えば図3において、ノアゲート26に対するノアゲート25の出力信号線と多重選択信号WMSELの信号線との接続先を互いに入れ替えた構成であってもよい。この点は、図7のラッチ回路20Bについても同様である。

30

【図面の簡単な説明】

【図1】本発明の第1実施形態に係るシンクロナスDRAMの概略ブロック図である。

【図2】図1中のワードデコーダの1行分の回路を示す図である。

【図3】図2中のラッチ回路の構成例を示す図である。

【図4】図2のラッチ回路を2個含む拡散領域及びポリシリコン配線層のレイアウトパターンを示す図である。

【図5】図4中のラッチ回路1個分のレイアウトパターンに対応してトランジスタを配置した回路図である。

【図6】本発明の第2実施形態のワードデコーダ1行分の回路を示す図である。

【図7】図6中のラッチ回路の構成例を示す図である。

40

【図8】従来のワードデコーダ1行分の回路を示す図である。

【図9】図8中のラッチ回路の構成を示す図である。

【図10】図9のラッチ回路を2個含む拡散領域及びポリシリコン配線層のレイアウトパターンを示す図である。

【図11】図10中のラッチ回路1個分のレイアウトパターンに対応してトランジスタを配置した回路図である。

【符号の説明】

10 ワードデコード回路

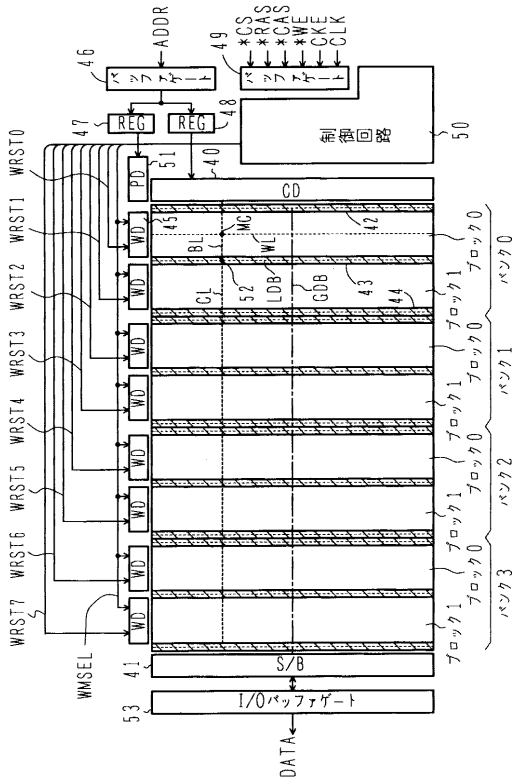
11、12、212、222、23、24、23AX、24AX NMOSトランジスタ
20、20A、20B ラッチ回路

50

- 20P、20AP PMOSTランジスタ群
- 20N、20AN NMOSTランジスタ群
- 21、22 インバータ
- 211、221、23A、23X、24A、24X PMOSTランジスタ
- 25、26 ノアゲート
- 27、28 ナンドゲート
- 30 ドライバ
- 45 ワードデコーダ
- WL ワード線
- WMSEL、*WMSEL 多重選択信号
- WRST、WRST0~WRSY6、*WRST0 ワード線リセット信号

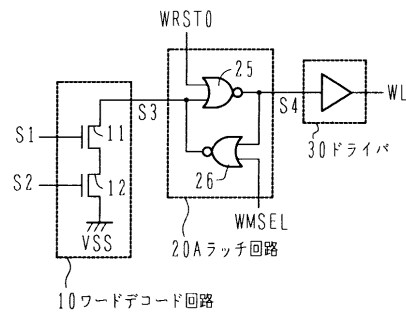
【図1】

本発明の第1実施形態に係るSDRAMの概略ブロック図



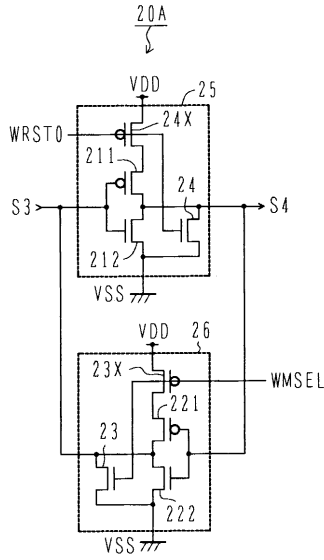
【図2】

本発明の第1実施形態のワードデコーダ1行分を示す回路図



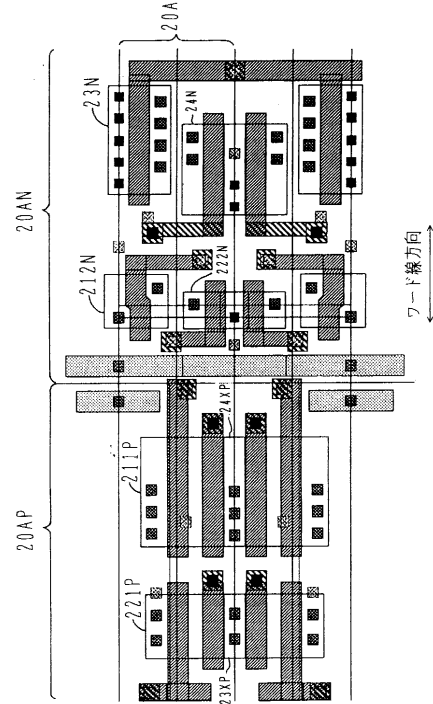
【 図 3 】

図2中のラッチ回路の構成例を示す図



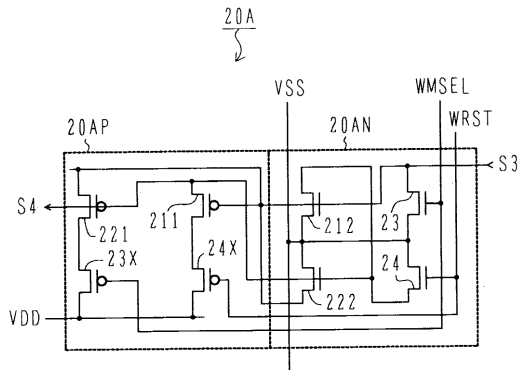
【 図 4 】

図2のラッチ回路を2個含む拡散領域及びポリシリコン配線層のレイアウトパターンを示す図



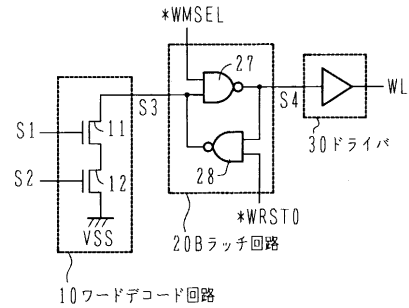
【 図 5 】

図4のレイアウトパターンに対応してトランジスタを配置した回路図



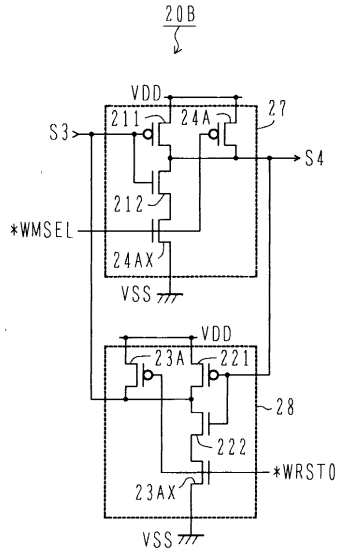
【 図 6 】

本発明の第2実施形態のワードデコーダ1行分を示す回路図



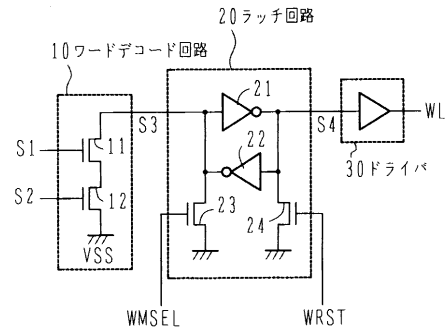
【 図 7 】

図 6 中のラッチ回路の構成例を示す図



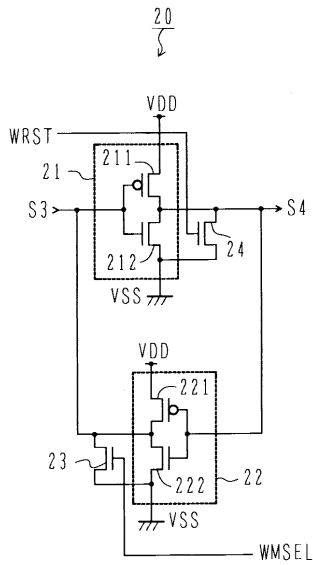
【 図 8 】

従来のワードデコーダ 1 行分を示す回路図



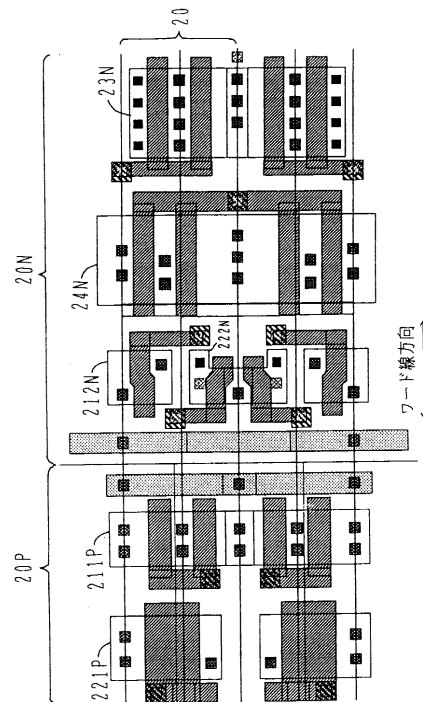
【 図 9 】

図 8 中のラッチ回路の構成例を示す図



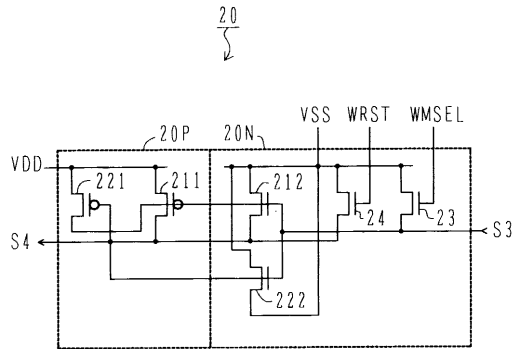
【 図 10 】

図 9 のラッチ回路を 2 個含む拡散領域及びポリシリコン配線層のレイアウトパターンを示す図



【図11】

図10のレイアウトパターンに対応してトランジスタを配置した回路図



フロントページの続き

(72)発明者 長谷川 正智
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 堀田 和義

(56)参考文献 特開平7-45097(JP,A)
特開平10-334699(JP,A)
特開平10-125878(JP,A)

(58)調査した分野(Int.Cl., DB名)
G11C 11/407