

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-55008

(P2010-55008A)

(43) 公開日 平成22年3月11日(2010.3.11)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/20 642E	
	G09G 3/20 611H	
	G09G 3/20 623D	
審査請求 未請求 請求項の数 8 O L (全 26 頁) 最終頁に続く		

(21) 出願番号	特願2008-222360 (P2008-222360)	(71) 出願人	000006633
(22) 出願日	平成20年8月29日 (2008. 8. 29)		京セラ株式会社
			京都府京都市伏見区竹田鳥羽殿町6番地
		(74) 代理人	100089118
			弁理士 酒井 宏明
		(72) 発明者	戎野 浩平
			神奈川県大和市下鶴間1623-14 株
			式会社京セラディスプレイ研究所内
		(72) 発明者	高杉 親知
			神奈川県大和市下鶴間1623-14 株
			式会社京セラディスプレイ研究所内
		Fターム(参考)	3K107 AA01 BB01 CC32 EE03 HH02
			HH04 HH05
			5C080 AA06 BB05 DD01 EE29 FF11
			HH09 JJ02 JJ03 JJ04 JJ05

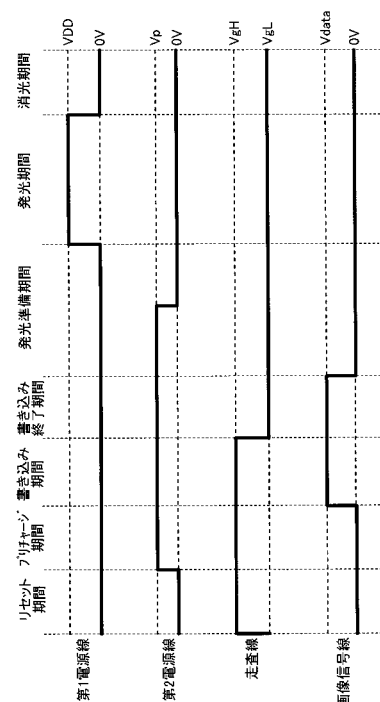
(54) 【発明の名称】 画像表示装置及び画像表示装置の駆動方法

(57) 【要約】

【課題】画像信号の出力電圧範囲を増大することなく、コントラストを向上させることが可能な画像表示装置及び画像表示装置の駆動方法を提供する。

【解決手段】画像信号線への画像信号の供給に先がけて、当該画像信号に応じた電位を保持する容量素子の前記画像信号線との接続側極板に対向する対向極板の電位を所定の電位まで上昇させた後、前記画像信号線に画像信号を供給し、前記容量素子に画像信号に応じた電位を保持させた後に、前記容量素子における前記対向極板側の電位を従前の電位まで降下させ、この容量素子の両端電位の電位差に応じた電流により発光素子を発光させる。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

発光素子と、

制御端子、第 1 端子及び第 2 端子を有し、該第 1 端子又は第 2 端子の一方と発光素子とが電氣的に接続され、第 1 端子と第 2 端子との間に流れる電流を制御するドライバ素子と、

前記ドライバ素子の前記制御端子と、前記第 1 端子又は前記第 2 端子のうち前記発光素子が電氣的に接続された側の端子と、の間に接続され、表示の対象となる画像信号に応じた電位を保持する容量素子と、

前記画像信号が供給される画像信号線と、

前記ドライバ素子の第 1 端子又は第 2 端子と電氣的に接続される前記発光素子に所定の電源電圧が供給される電源線と、

を有する複数の画素回路と、

前記各画素回路に対して、前記画像信号線に供給する前記画像信号の電位及び供給タイミングを制御するとともに、前記電源線に供給する電源電位及び供給タイミングを制御する駆動制御部と、

を備え、

前記駆動制御部は、前記画像信号の供給に際して、前記容量素子における電源線側の電位が前記ドライバ素子側の電位よりも変動するように、前記電源線に供給する電源電位を制御することを特徴とする画像表示装置。

【請求項 2】

アノード電極及びカソード電極を有する発光素子と、

制御端子、第 1 端子及び前記発光素子のアノード電極に電氣的に接続される第 2 端子を有し、前記第 1 端子と第 2 端子との間に流れる電流を制御するドライバ素子と、

前記ドライバ素子の前記制御端子と前記第 2 端子との間に電氣的に接続され、表示の対象となる画像信号に応じた電位を保持する容量素子と、

前記画像信号が供給される画像信号線と、

前記ドライバ素子の第 1 端子と、前記発光素子のカソード電極との夫々に電氣的に接続され、所定の電源電圧が供給される電源線と、

を有する複数の画素回路と、

前記各画素回路に対して、前記画像信号線に供給する前記画像信号の電位及び供給タイミングを制御するとともに、前記電源線に供給する電源電位及び供給タイミングを制御する駆動制御部と、

を備え、

前記駆動制御部は、前記画像信号の供給に際して、前記容量素子における前記第 2 端子との接続側の電位が変動するよう、前記電源線に供給する電源電位を制御することを特徴とする画像表示装置。

【請求項 3】

前記駆動制御部は、前記画像信号線への画像信号の供給に先がけて、前記容量素子における前記第 2 端子との接続側の電位を所定の電位まで上昇させ、前記画像信号線に画像信号を供給し、前記容量素子に当該画像信号に応じた電位を保持させた後に、前記容量素子における前記第 2 端子との接続側の電位を従前の電位まで降下させることを特徴とする請求項 2 に記載の画像表示装置。

【請求項 4】

前記電源線は、前記ドライバ素子の第 1 端子に接続された第 1 電源線と、前記発光素子のカソード電極に接続された第 2 電源線とを有し、

前記駆動制御部は、前記画像信号線への画像信号の供給に先がけて、前記第 1 電源線を基準電位とするとともに、前記第 2 電源線の電位を前記第 1 電源線の電位よりも高い第 1 電位とすることを特徴とする請求項 2 又は 3 に記載の画像表示装置。

【請求項 5】

前記駆動制御部は、前記画像信号線への画像信号の供給を停止した後に、前記第２電源線の電位を前記第１電源線の基準電位まで降下させることを特徴とする請求項４に記載の画像表示装置。

【請求項６】

前記駆動制御部は、前記第２電源線の電位を前記第１電源線の基準電位まで降下させた後、当該第１電源線に所定の電源電圧を供給することで、前記ドライバ素子を駆動させることを特徴とする請求項５に記載の画像表示装置。

【請求項７】

発光素子と、

制御端子、第１端子及び第２端子を有し、該第１端子又は第２端子の一方と発光素子とが電氣的に接続され、第１端子と第２端子との間に流れる電流を制御するドライバ素子と

10

、
前記ドライバ素子の前記制御端子と、前記第１端子又は前記第２端子のうち前記発光素子が電氣的に接続された側の端子と、の間に接続され、表示の対象となる画像信号に応じた電位を保持する容量素子と、

前記画像信号が供給される画像信号線と、

を有する複数の画素回路を備えた画像表示装置の駆動方法であって、

前記画像信号線への画像信号の供給に先がけて、前記容量素子における前記ドライバ素子よりも電源線側の電位を所定電位まで上昇させるプリチャージ工程と、

前記画像信号線に画像信号を供給し、前記容量素子に当該画像信号に応じた電位を保持させる書き込み工程と、

20

前記画像信号の供給を停止した後、前記容量素子における前記ドライバ素子よりも電源線側の電位を従前の電位まで降下させる発光準備工程と、

前記ドライバ素子に所定の電源電圧を供給し、当該ドライバ素子を駆動する発光工程と

、

を含むことを特徴とする画像表示装置の駆動方法。

【請求項８】

アノード電極及びカソード電極を有する発光素子と、

制御端子、第１端子及び前記発光素子のアノード電極に電氣的に接続される第２端子を有し、前記第１端子と第２端子との間に流れる電流を制御するドライバ素子と、

30

前記ドライバ素子の前記制御端子と前記第２端子との間に電氣的に接続され、表示の対象となる画像信号に応じた電位を保持する容量素子と、

前記画像信号が供給される画像信号線と、

前記ドライバ素子の第１端子と、前記発光素子のカソード電極との夫々に電氣的に接続され、所定の電源電圧が供給される電源線と、

を有する複数の画素回路を備えた画像表示装置の駆動方法であって、

前記画像信号線への画像信号の供給に先がけて、前記容量素子における前記第２端子との接続側の電位を所定の電位まで上昇させるプリチャージ工程と、

前記画像信号線に画像信号を供給し、前記容量素子に当該画像信号に応じた電位を保持させる書き込み工程と、

40

前記画像信号の供給を停止した後、前記容量素子における前記第２端子との接続側の電位を従前の電位まで降下させる発光準備工程と、

前記ドライバ素子に所定の電源電圧を供給し、当該ドライバ素子を駆動する発光工程と

、

を含むことを特徴とする画像表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、有機ＥＬディスプレイ装置等の画像表示装置及び画像表示装置の駆動方法に関する。

50

【背景技術】

【0002】

従来から、発光層に注入された正孔と電子とが再結合することにより発光する有機EL (Electro Luminescence) 素子を用いた画像表示装置が提案されている。この種の画像表示装置では、例えばアモルファスシリコンや多結晶シリコン等で形成された薄膜トランジスタ (Thin Film Transistor; 以下「TFT」という) や有機EL素子の一つである有機発光ダイオード (Organic Light Emitting Diode; 以下「OLED」という) 等が各画素を構成しており、各画素がマトリクス状に配置されている。そして、各画素に適切な電流値が設定されることにより、各画素の輝度が制御され所望の画像が表示される。

【0003】

また、従来、ソースフォロワー式と呼ばれる画素回路が提案されている (例えば、特許文献1参照)。この画素回路では、発光素子のI-V (電流-電圧) 特性が経時変化し、発光時の電位 (V_{oled}) が変動したとしても、この変動に追従したV_{oled}を供給する「ソースフォロワー」動作が可能となっている。

【0004】

【特許文献1】特開2004-347993号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

ところで、上記画像表示装置においては、コントラストを向上させるために、各画素を駆動する駆動電圧の振り幅を大きくすることが行われる。この点については、画像信号自体の出力電圧範囲を増大することが挙げられるが、この場合、画像信号を出力するデータドライバの耐圧を高くする必要があるため、回路サイズの増大や回路の複雑化を招き、コスト増加に繋がるという問題がある。また、ソースフォロワー式の画素回路では、低階調側の階調特性が高階調側の階調特性に比べて緩慢となるため、コントラストが低下するという問題がある。以下、図2、5、6、7を参照し、この問題が発生する要因について説明する。

【0006】

図2は、ソースフォロワー式の画素回路 (1画素) の一例を示した図である。図5は、図2に示した画素回路における、従来の駆動方法を示したシーケンス図である。なお、図2では、有機EL素子OLEDの容量を有機EL素子容量C_{oled}として等価的に表している。また、図6、7は、図2に示した画素回路における、従来の駆動方法による階調特性を示した図である。図6において、横軸が階調を示しており、画像信号電圧と同義である。また、縦軸が有機EL素子の発光輝度の平方根を示している。

【0007】

図6、7において、破線で示すグラフは、理想的な階調特性を示している。理想的な階調特性では階調と輝度の平方根との関係が比例関係となる。すなわち、輝度 (Luminance) をL [cd]、発光効率をp [cd/A]、電流をI [A]とすると、下記式 (1) が成立する。

$$L = p \cdot I \quad (1)$$

【0008】

また、図2の回路構成において、駆動トランジスタT_dの特性に応じて定まる係数をα、駆動トランジスタのゲート電極-ソース電極間の電位差をV_{gs}、閾値電圧をV_{th}とすると、電流Iは駆動トランジスタT_dにより、下記式 (2) で表される。

$$I = \alpha \cdot (V_{gs} - V_{th})^2 \quad (2)$$

【0009】

したがって、上記の式 (1) に式 (2) を代入すると、下記式 (3) となるため、輝度Lの平方根は下記式 (4) で表される。

$$L = p \cdot \alpha \cdot (V_{gs} - V_{th})^2 \quad (3)$$

$$\sqrt{L} = \sqrt{(p \cdot \alpha) \cdot (V_{gs} - V_{th})} \quad (4)$$

10

20

30

40

50

【 0 0 1 0 】

また、ゲート電極 - ソース電極間の電位差 V_{gs} は画像信号 V_{data} (階調) に応じた値を取り、書き込み効率を β とすると、下記式 (5) で表すことができる。

$$V_{gs} = \beta \cdot V_{data} \quad (5)$$

そのため、輝度 L の平方根 $\sqrt{L}$ は、下記式 (6) となり、階調 V_{data} に比例していることが分かる。

$$\sqrt{L} = \sqrt{(\rho \cdot \alpha) \cdot (\beta \cdot V_{data} - V_{th})} \quad (6)$$

【 0 0 1 1 】

しかし、図 2 に示すようなソースフォロワー式の画素回路においては、図 5 に示した書き込み期間に $V_{data} > V_{th}$ の画像信号を与えると、駆動トランジスタ T_d がオンとなるため、点 B の電位 V_b は、高階調側では第 1 電源線 1 1 1 と同電位になる。このとき、第 1 電源線を基準電位 (リセット期間において、容量素子 C_s に蓄えられる電圧をオフセットする電圧、ここでは $0V$) とすると、容量素子 C_s に印加される電位 V_{cs} は、下記式 (7) となる。

$$V_{cs} = V_a (\text{点 A の電位}) - V_b = V_{data} - 0 = V_{data} \quad (7)$$

【 0 0 1 2 】

この状態で走査線 1 1 3 を低電位 V_{gL} にして、スイッチングトランジスタ T_s をオフすると、容量素子 C_s には、 V_{data} が電荷として蓄えられる。つまり、画像信号線の信号 V_{data} に対して、容量素子 C_s に蓄えられた電位も V_{data} であるため、書き込み効率は 1 となる。このとき、式 (6) は、下記式 (8) となり、階調グラフの傾き (比例係数) は $\sqrt{(\rho \cdot \alpha)}$ となる。

$$\sqrt{L} = \sqrt{(\rho \cdot \alpha) \cdot (V_{data} - V_{th})} \quad (8)$$

【 0 0 1 3 】

一方、低階調側では、図 5 に示した書き込み期間に $V_{data} < V_{th}$ の画像信号を与えると、駆動トランジスタ T_d がオフとなるため、第 1 電源線 1 1 1 と容量素子 C_s とは電氣的に接続されていない。このとき、画像信号線からみて、容量素子 C_s の先には C_{oled} が直列に接続されているように見える。この状態で、画像信号線を V_{data} とすると、容量素子 C_s と C_{oled} の容量がカップリングされ、点 B における電位 V_b は、下記式 (9) となる。

$$V_b = C_s / (C_s + C_{oled}) \quad (9)$$

【 0 0 1 4 】

そのため、容量素子 C_s の両端の電位 V_{cs} は、下記式 (10) となる。このときの書き込み効率は、 $C_{oled} / (C_s + C_{oled}) < 1$ となる。

$$\begin{aligned} V_{cs} &= V_a - V_b \\ &= V_{data} - C_s / (C_s + C_{oled}) \\ &= C_{oled} / (C_s + C_{oled}) \cdot V_{data} \end{aligned} \quad (10)$$

【 0 0 1 5 】

また、式 (6) は下記式 (11) となるため、階調グラフの傾き (比例係数) は、 $\sqrt{(\rho \cdot \alpha) \cdot \beta}$ となる。ここで、 $\beta < 1$ であるため、低階調側での書き込み効率 ($\beta < 1$) は、高階調側での書き込み効率 ($\beta = 1$) と比べて小さくなる。

$$\sqrt{L} = \sqrt{(\rho \cdot \alpha) \cdot (\beta \cdot V_{data} - V_{th})} \quad (11)$$

【 0 0 1 6 】

したがって、ソースフォロワー式の画素回路においては、理想階調特性のグラフに近づけるため、高階調側を基準に調整すると、図 6 における実線のグラフで示すように高階調側では理想階調特性のグラフに近いものの、低階調側では理想階調特性のグラフと比べて、その傾きが緩慢になるという特性を有している。

【 0 0 1 7 】

しかし、このようなソースフォロワー式の画素回路において優れたコントラストを実現するためには、黒色の輝度が低いことが好ましい。この要請を満たすため、図 7 に示すように黒色を表す $V_{data} = 0$ の場合の輝度を 0 nit となるように調整することが考え

10

20

30

40

50

られる。ところが、当該輝度の調整により、高輝度側での最大輝度が低下するため、高輝度パネルの実現が困難になるという問題がある。

【 0 0 1 8 】

本発明は、上記に鑑みてなされたものであって、画像信号の出力電圧範囲を増大することなく、コントラストを向上させることが可能な画像表示装置及び画像表示装置の駆動方法を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 9 】

上述した課題を解決し、目的を達成するために、請求項 1 にかかる発明は、発光素子と、制御端子、第 1 端子及び第 2 端子を有し、該第 1 端子又は第 2 端子の一方と発光素子とが電氣的に接続され、第 1 端子と第 2 端子との間に流れる電流を制御するドライバ素子と、前記ドライバ素子の前記制御端子と、前記第 1 端子又は前記第 2 端子のうち前記発光素子が電氣的に接続された側の端子と、の間に接続され、表示の対象となる画像信号に応じた電位を保持する容量素子と、前記画像信号が供給される画像信号線と、前記ドライバ素子の第 1 端子又は第 2 端子と電氣的に接続される前記発光素子に所定の電源電圧が供給される電源線と、を有する複数の画素回路と、前記各画素回路に対して、前記画像信号線に供給する前記画像信号の電位及び供給タイミングを制御するとともに、前記電源線に供給する電源電位及び供給タイミングを制御する駆動制御部と、を備え、前記駆動制御部は、前記画像信号の供給に際して、前記容量素子における電源線側の電位が前記ドライバ素子側の電位よりも変動するように、前記電源線に供給する電源電位を制御することを特徴とする。

10

20

【 0 0 2 0 】

また、請求項 2 にかかる発明は、アノード電極及びカソード電極を有する発光素子と、制御端子、第 1 端子及び前記発光素子のアノード電極に電氣的に接続される第 2 端子を有し、前記第 1 端子と第 2 端子との間に流れる電流を制御するドライバ素子と、前記ドライバ素子の前記制御端子と前記第 2 端子との間に電氣的に接続され、表示の対象となる画像信号に応じた電位を保持する容量素子と、前記画像信号が供給される画像信号線と、前記ドライバ素子の第 1 端子と、前記発光素子のカソード電極との夫々に電氣的に接続され、所定の電源電圧が供給される電源線と、を有する複数の画素回路と、前記各画素回路に対して、前記画像信号線に供給する前記画像信号の電位及び供給タイミングを制御するとともに、前記電源線に供給する電源電位及び供給タイミングを制御する駆動制御部と、を備え、前記駆動制御部は、前記画像信号の供給に際して、前記容量素子における前記第 2 端子との接続側の電位が変動するよう、前記電源線に供給する電源電位を制御することを特徴とする。

30

【 0 0 2 1 】

また、請求項 3 にかかる発明は、請求項 2 にかかる発明において、前記駆動制御部は、前記画像信号線への画像信号の供給に先がけて、前記容量素子における前記第 2 端子との接続側の電位を所定の電位まで上昇させ、前記画像信号線に画像信号を供給し、前記容量素子に当該画像信号に応じた電位を保持させた後に、前記容量素子における前記第 2 端子との接続側の電位を従前の電位まで降下させることを特徴とする。

40

【 0 0 2 2 】

また、請求項 4 にかかる発明は、請求項 2 又は 3 にかかる発明において、前記電源線は、前記ドライバ素子の第 1 端子に接続された第 1 電源線と、前記発光素子のカソード電極に接続された第 2 電源線とを有し、前記駆動制御部は、前記画像信号線への画像信号の供給に先がけて、前記第 1 電源線を基準電位とするとともに、前記第 2 電源線の電位を前記第 1 電源線の電位よりも高い第 1 電位とすることを特徴とする。

【 0 0 2 3 】

また、請求項 5 にかかる発明は、請求項 4 にかかる発明において、前記駆動制御部は、前記画像信号線への画像信号の供給を停止した後に、前記第 2 電源線の電位を前記第 1 電源線の基準電位まで降下させることを特徴とする。

50

【 0 0 2 4 】

また、請求項 6 にかかる発明は、請求項 5 にかかる発明において、前記駆動制御部は、前記第 2 電源線の電位を前記第 1 電源線の基準電位まで降下させた後、当該第 1 電源線に所定の電源電圧を供給することで、前記ドライバ素子を駆動させることを特徴とする。

【 0 0 2 5 】

また、請求項 7 にかかる発明は、発光素子と、制御端子、第 1 端子及び第 2 端子を有し、該第 1 端子又は第 2 端子の一方と発光素子とが電氣的に接続され、第 1 端子と第 2 端子との間に流れる電流を制御するドライバ素子と、前記ドライバ素子の前記制御端子と、前記第 1 端子又は前記第 2 端子のうち前記発光素子が電氣的に接続された側の端子と、の間に接続され、表示の対象となる画像信号に応じた電位を保持する容量素子と、前記画像信号が供給される画像信号線と、を有する複数の画素回路を備えた画像表示装置の駆動方法であって、前記画像信号線への画像信号の供給に先がけて、前記容量素子における前記ドライバ素子よりも電源線側の電位を所定電位まで上昇させるプリチャージ工程と、前記画像信号線に画像信号を供給し、前記容量素子に当該画像信号に応じた電位を保持させる書き込み工程と、前記画像信号の供給を停止した後、前記容量素子における前記ドライバ素子よりも電源線側の電位を従前の電位まで降下させる発光準備工程と、前記ドライバ素子に所定の電源電圧を供給し、当該ドライバ素子を駆動する発光工程と、を含むことを特徴とする。

【 0 0 2 6 】

また、請求項 8 にかかる発明は、アノード電極及びカソード電極を有する発光素子と、制御端子、第 1 端子及び前記発光素子のアノード電極に電氣的に接続される第 2 端子を有し、前記第 1 端子と第 2 端子との間に流れる電流を制御するドライバ素子と、前記ドライバ素子の前記制御端子と前記第 2 端子との間に電氣的に接続され、表示の対象となる画像信号に応じた電位を保持する容量素子と、前記画像信号が供給される画像信号線と、前記ドライバ素子の第 1 端子と、前記発光素子のカソード電極との夫々に電氣的に接続され、所定の電源電圧が供給される電源線と、を有する複数の画素回路を備えた画像表示装置の駆動方法であって、前記画像信号線への画像信号の供給に先がけて、前記容量素子における前記第 2 端子との接続側の電位を所定の電位まで上昇させるプリチャージ工程と、前記画像信号線に画像信号を供給し、前記容量素子に当該画像信号に応じた電位を保持させる書き込み工程と、前記画像信号の供給を停止した後、前記容量素子における前記第 2 端子との接続側の電位を従前の電位まで降下させる発光準備工程と、前記ドライバ素子に所定の電源電圧を供給し、当該ドライバ素子を駆動する発光工程と、を含むことを特徴とする。

【 発明の効果 】

【 0 0 2 7 】

本発明によれば、画像信号の供給タイミングと連動して、当該画像信号に応じた電位を蓄積する容量素子の電位を変動させることで、実質的に画像信号の出力電圧範囲以上の電圧を容量素子に保持させることができるため、画像信号の出力電圧範囲を増大することなく、コントラストを向上させた状態でパネルを駆動させることができる。

【 発明を実施するための最良の形態 】

【 0 0 2 8 】

以下、本発明の好適な実施の形態にかかる画像表示装置を図面に基づいて詳細に説明する。なお、以下の実施形態によって本発明が限定されるものではない。

【 0 0 2 9 】

まず、以下に説明する各実施形態に好適な画像表示装置について説明する。図 1 は、以下に説明する各実施形態に好適な画像表示装置の概略構成を示した図である。同図に示したように、画像表示装置は、タイミングコントローラ 1 と、表示パネル 2 とを備えている。

【 0 0 3 0 】

表示パネル 2 には、後述する第 1 電源線 1 1 1 や第 2 電源線 1 1 2、走査線 1 1 3、T

10

20

30

40

50

t h 制御線 1 1 4、マージ線 1 1 5 等の制御線 1 1 と、画像信号線 1 2 とが配設された表示部 3 が設けられている。制御線 1 1 は、表示部 3 における所定方向（図 1 の例では横方向）に配設され、表示パネル 2 に設けられたラインドライバ 2 1 に接続されている。一方、画像信号線 1 2 は、制御線 1 1 と異なる方向（概略直行方向）に沿って配設され、表示パネル 2 に設けられたデータドライバ 2 2 に接続されている。

【0031】

表示パネル 2 の外部には、タイミングコントローラ 1 が設けられている。タイミングコントローラ 1 は、例えば、演算回路、論理回路等を内部に含む駆動用 IC やカウンタ等の制御機器を用いて構成することができ、入力された画像データや、当該画像データを表示部 3 に表示させるための電源入力として発光制御用電源（例えば、後述する VDD、Vp1、VgH、VgL 等）を、ラインドライバ 2 1 又はデータドライバ 2 2 に供給するタイミングを制御する。ここで、ラインドライバ 2 1、データドライバ 2 2 及びタイミングコントローラ 1 は、本発明における駆動制御部に対応する構成部である。

10

【0032】

図 1 では図示を省略したが、表示パネル 2 は、有機 EL 素子を具備し、且つ、マトリクス状に配列された複数の画素回路を有しており、これらの各画素回路には制御線 1 1 及び画像信号線 1 2 が夫々接続されている。なお、画素回路については、後述する第 1～第 3 の各実施形態において詳細に説明する。

【0033】

ラインドライバ 2 1 は、例えばスイッチング素子等を内部に含む駆動用 IC 等を用いて構成することができ、タイミングコントローラ 1 から入力されるクロック信号に基づき、自己の内部で生成した各種信号を制御線 1 1 に印加するタイミングを制御する。

20

【0034】

データドライバ 2 2 は、例えば演算回路等を内部に含む駆動用 IC 等を用いて構成することができ、タイミングコントローラ 1 から入力される画像信号に基づき、当該画像信号に対応する電位（以下、「画像信号電圧」という）を生成するとともに、タイミングコントローラ 1 から入力されるクロック信号に基づき、生成した画像信号電圧を画像信号線 1 2 に供給するタイミングを制御する。

【0035】

なお、タイミングコントローラ 1、制御線 1 1、画像信号線 1 2、ラインドライバ 2 1 及びデータドライバ 2 2 に関する図 1 のレイアウトは、その一例を示すものであり、このレイアウトに限定されるものではない。例えば、図 1 では、ラインドライバ 2 1 及びデータドライバ 2 2 を表示パネル 2 上に配置しているが、表示パネル 2 の外部に配置するようにしてもよい。また、図 1 では、タイミングコントローラ 1 を表示パネル 2 の外部に配置するようにしているが、表示パネル 2 の内部に配置するようにしてもよい。

30

【0036】

[第 1 の実施形態]

図 2 は、第 1 の実施形態にかかる画像表示装置の 1 画素に対応する画素回路の構成の一例を示した図である。なお、図 2 では、有機 EL 素子 OLED の容量を有機 EL 素子容量 C_{oled}として等価的に表している。

40

【0037】

この図 2 に示される画素回路は、発光素子である有機 EL 素子 OLED と、有機 EL 素子 OLED を駆動するためのドライバ素子である駆動トランジスタ T_d と、画像信号電圧を保持する容量素子 C_s と、画像信号電圧の印加を制御するスイッチング素子としてのスイッチングトランジスタ T_s とを備える。なお、図 2 に示す構成は、有機 EL 素子等を制御する画素回路の 1 画素の回路構成を示すものであり、画像表示装置としては、この画素回路をマトリクス状に複数配列した構成を有している。

【0038】

駆動トランジスタ T_d は、制御端子、第 1 端子、第 2 端子を備え、制御端子はゲート電極に、第 1 端子及び第 2 端子は、一方がドレイン電極に、他方がソース電極に夫々対応し

50

ている。駆動トランジスタT_dの第1端子と第2端子との相対的な電位関係は、以下に説明する各期間に応じて変動する。なお、「ドレイン電極」及び「ソース電極」は、トランジスタの導電型及び相対的な電位関係によって定義される。本実施形態に使用されるn型のトランジスタにおいては、チャンネル領域を挟んで配置された2つの端子（すなわち、第1端子と第2端子）のうち、高電位側の端子が「ドレイン電極」となり、低電位側の端子が「ソース電極」となる。また、p型のトランジスタにおいては、チャンネル領域を挟んで配置された2つの端子のうち、低電位側の端子が「ドレイン電極」となり、高電位側の端子が「ソース電極」となる。そして、駆動トランジスタT_dは、ゲート電極とソース電極との間に与えられる電位差に応じて有機EL素子OLEDに流れる電流量を制御する機能を有する。駆動トランジスタT_dの第1端子には制御線11としての第1電源線111が接続されている。

10

【0039】

有機EL素子OLEDは、アノード電極とカソード電極との間に有機EL素子OLEDの導通電圧以上の電位差が生じることによって、アノード電極とカソード電極との間に電流が流れ、発光する特性を有する素子である。具体的には、有機EL素子OLEDは、アルミニウム、銀、銅又は金等の金属或いはこれらの合金などによって形成されたアノード電極層及びインジウム錫酸化膜(ITO)、錫酸化膜等の光透過性を有する導電材料、又は、マグネシウム、銀、アルミニウム、カルシウム等の材料などによって形成されたカソード電極層と、これらのアノード電極層とカソード電極層との間に発光体層とを少なくとも備えた構造を有し、発光層に注入された正孔と電子とが再結合することによって光を生じる機能を有する。

20

【0040】

発光体層としては、例えば、(ポリ)フルオレン誘導体(PF)、(ポリ)パラフェニレンビニレン誘導体(PPV)、ポリフェニレン誘導体(PP)、ポリバラフィニレン誘導体(PPP)、ポリビニルカルバゾール(PVK)、ポリチオフエン誘導体やポリメチルフェニルシラン(PMPS)等のポリシラン系等を用いることができる。また、これらの高分子材料に、ペリレン系色素、クマリン系色素、ローダミン系色素等の高分子材料や、ルブレン、ペリレン、テトラフェニルブタジエン、キナクリドン、ナイルレッド等の低分子材料をドーピングすることも可能である。ここでは、有機EL素子OLEDのアノード電極は、駆動トランジスタT_dの第2端子と接続され、カソード電極は、制御線11としての第2電源線112と接続される。また、本実施の形態では、有機EL素子OLEDのカソード電極を、画像表示装置を構成する各画素で共通するコモнкаソード型となっている。

30

【0041】

スイッチングトランジスタT_sは制御端子、第1端子及び第2端子を備えている。スイッチングトランジスタT_sは、自身がオン状態となるとともに画像信号線12の画像信号電圧が0Vのときに、駆動トランジスタT_dの制御端子(ゲート電極)に電圧を印加したり、自身がオン状態になるとともに画像信号線12に画像信号電圧が入力されたときに、容量素子C_sに画像信号電圧を印加したりする機能を有する。なお、スイッチングトランジスタT_sの第1端子(ソース電極)は、駆動トランジスタT_dの制御端子と接続される。また、スイッチングトランジスタT_sの第2端子(ドレイン電極)は、画像信号線12と接続され、スイッチングトランジスタT_sの制御端子(ゲート電極)には制御線11としての走査線113が接続されている。

40

【0042】

容量素子C_sは、書き込み時に駆動トランジスタT_dに印加する画像信号電圧に対応する電荷量を保持する機能を有し、スイッチングトランジスタT_sの第1端子(ソース電極)と駆動トランジスタT_dの制御端子(ゲート電極)とを結ぶ配線と、駆動トランジスタT_dの第2端子との間に配置される。なお、以下では、容量素子C_sを構成する二つの極板のうち、スイッチングトランジスタT_sの第1端子(ソース電極)側に接続された極板の電位、即ち、図中点Aの電位をV_aと表し、駆動トランジスタT_dの第2端子に接続さ

50

れた極板の電位、即ち、図中点 B の電位を V_b と表す。

【0043】

駆動トランジスタ T_d 及びスイッチングトランジスタ T_s は、例えば TFT によって構成される。なお、以下で参照する各図面においては、 TFT のチャネルについて、そのタイプ (n 型又は p 型) を明示していないが、 n 型又は p 型の何れかであり、本実施の形態では、 n 型の TFT であるものとする。

【0044】

第 1 電源線 111 と第 2 電源線 112 とは、駆動トランジスタ T_d に所定電圧を供給する。また、本実施の形態では、コモンカソード型であり、画像表示装置上では、有機 EL 素子 $OLED$ の上部電極であるカソードが第 2 電源線 112 となり、共通電極として形成される。走査線 113 は、スイッチングトランジスタ T_s をオン/オフ制御するための信号を供給する。画像信号線 12 は、画像信号電圧を容量素子 C_s に供給する。

【0045】

< 画素回路の動作 >

次に、図 2 に示した画素回路の駆動方法について説明する。図 3 は、図 2 に示した画素回路の駆動方法の一例を示したシーケンス図である。この図 3 に示したように、画素回路は、リセット期間、プリチャージ期間、書き込み期間、書き込み終了期間、発光準備期間、発光期間及び消光期間という 7 つの期間を経て動作する。各画素回路では、駆動制御部による制御の下、これら 7 つの期間の動作を画像信号のフレーム毎に行うことで、当該画像信号が表す画像を表示パネル 2 上に表示する。以下、各期間について説明する。

【0046】

まず、リセット期間では、第 1 電源線 111 がゼロ電位 ($0V$)、第 2 電源線 112 がゼロ電位 ($0V$)、画像信号線 12 の画像信号電圧 (V_{data}) がゼロ電位 ($0V$) とされる。また、走査線 113 が高電位 (V_{GH}) とされる。この制御によって、スイッチングトランジスタ T_s がオン、駆動トランジスタ T_d がオンとされる。その結果、容量素子 C_s 、有機 EL 素子容量 C_{oled} に蓄積されていた前のフレーム分の電荷が放電されるため、点 A の電位 V_a 及び点 B の電位 V_b はともにゼロ電位 ($0V$) となる。

【0047】

なお、第 1 電源線 111 及び第 2 電源線における電位をゼロ電位 ($0V$) としているが、リセット期間において、容量素子 C_s に蓄えられる電圧をオフセットする電圧 (= 電源線の基準電位) であればよく、これに限定されるものではない (以下、第 1 の実施形態の各期間の説明において、第 1 電源線 111 又は第 2 電源線 112 として「ゼロ電位」と記載するものについては、同様に「電源線の基準電位」であればよい)。さらに、画像信号電圧 (V_{data}) をゼロ電位としているが、これは画像信号が 0 階調のときの輝度を規定するための電位 (= 画像信号線の基準電位) であればよく、これに限定されるものではない (以下、第 1 の実施形態の各期間の説明において、画像信号線として「ゼロ電位」と記載するものについては、同様に「画像信号線の基準電位」であればよい)。

【0048】

続く、プリチャージ期間では、第 1 電源線 111 及び画像信号線 12 のゼロ電位、走査線 113 の高電位状態が維持される。また、第 2 電源線 112 の電位が予め定められた値 (V_p) だけ上昇される。以下「 V_p 」をプリチャージ電圧という。この制御によって、電位 V_p に応じた電荷が有機 EL 素子容量 C_{oled} に蓄積されることになり、点 B の電位 V_b は $V_b + V_p$ となる。

【0049】

なお、プレチャージ期間では、第 1 電源線 111 の電位が常に V_b 以下となり、駆動トランジスタ T_d の第 1 端子よりも第 2 端子が高電位となる。したがって、駆動トランジスタ T_d の第 1 端子側がソース電極となり、第 2 端子側がドレイン電極となる。この場合、駆動トランジスタ T_d の電流はゲート電極とソース電極の電位差 V_{gs} に応じた値となる。また、このとき $V_a = 0V$ であるため、駆動トランジスタ T_d のゲート電極 - ソース電極間の電位差 V_{gs} は、 $V_{gs} = V_a - \text{第 1 電源線の電位} = 0V$ となる。つまり、駆動ト

10

20

30

40

50

ランジスタ T d の V_{gs} と、この駆動トランジスタ T d の閾値電圧 V_{th} との関係は $V_{gs} < V_{th}$ となり、駆動トランジスタ T d はオフ状態であるため、 $V_b = V_p$ の状態が保たれる。

【0050】

このように、プリチャージ期間では、容量素子 C_s が有する極板のうち、画像信号線 1 2 と電氣的に接続された極板に対向する極板（以下、対向極板という）の電位、即ち、点 B の電位 V_b を、画像信号電圧 V_{data} の印加に先がけて V_p に変化させる。

【0051】

書き込み期間では、第 1 電源線 1 1 1 のゼロ電位（0 V）、第 2 電源線 1 1 2 の V_p 、走査線 1 1 3 の高電位状態が維持される。一方、画像信号線 1 2 には、画像信号に応じたレベルの画像信号電圧（ V_{data} ）が供給される。この書き込み期間においては、駆動トランジスタ T d の第 2 端子側が、第 1 端子側よりも高電位となる。そのため、第 1 端子がソース電極、第 2 端子がドレイン電極となる。なお、 V_{data} の値は駆動トランジスタ T d の閾値電圧 V_{th} を上回るものとする。この制御によって、点 A の電位 V_a は V_{data} となる。

【0052】

一方、駆動トランジスタ T d の V_{gs} は、 $V_{gs} = V_a - \text{第 1 電源線の電位 (0 V)} = V_{data} > V_{th}$ となるため、駆動トランジスタ T d はオン状態となり、点 B から第 1 電源線 1 1 1 に向けて電流が流れる。このとき、駆動トランジスタ T d の流す電流 I は、飽和領域の下では下記式（12）に従う。なお、「 α 」は駆動トランジスタ T d の特性に応じて定まる係数である。

$$I = \alpha \cdot (V_{gs} - V_{th})^2 \quad (12)$$

【0053】

また、点 B の電位 V_b は下記式（13）で表される。なお、式（13）において「 Q_b 」は点 B に蓄えられている全電荷を意味し、「 C_{all} 」は点 B に接続された全てのコンデンサ（容量素子 C_s 、有機 EL 素子容量 C_{oled} 等）の全容量（キャパシタンス）を意味する。

$$V_b = Q_b / C_{all} \quad (13)$$

【0054】

1 ラインあたりの書き込み時間を Δt とすると、この書き込み期間中に駆動トランジスタ T d を通り点 B から第 1 電源線 1 1 1 に流れる電流量 $I \cdot \Delta t$ は、下記式（14）で表される。よって、書き込み期間後の点 B の電位 V_b は、下記式（15）により求めることができる。

$$I \cdot \Delta t = \alpha \cdot (V_{gs} - V_{th})^2 \cdot \Delta t \quad (14)$$

$$\begin{aligned} V_b &= (Q_b - I \cdot \Delta t) / C_{all} \\ &= (Q_b - \alpha \cdot (V_{gs} - V_{th})^2 \cdot \Delta t) / C_{all} \end{aligned} \quad (15)$$

【0055】

また、上述したように、書き込み期間時の画像信号電圧が V_{data} 、第 1 電源線 1 1 1 の電位がゼロ電位であることから、駆動トランジスタ T d の V_{gs} は V_{data} となる。そのため、上記式（15）は下記式（16）で表される。

$$V_b = (Q_b - \alpha \cdot (V_{data} - V_{th})^2 \cdot \Delta t) / C_{all} \quad (16)$$

【0056】

式（16）から明らかなように、点 B から駆動トランジスタ T d を通り第 1 電源線 1 1 1 に流れる電流量は、 V_{data} の値に依存している。つまり、 V_{data} の値に応じて点 B から第 1 電源線 1 1 1 に流れる電流量は変動し、書き込み期間終了時の点 B の電位 V_b は、 V_{data} の値に応じて変動することになる。また、この書き込み期間において、容量素子 C_s には V_a と V_b との電位差に応じた電荷が蓄積されることになる。

【0057】

なお、書き込み期間の開始直前、即ち、プリチャージ期間の終了時では、 V_{data} の値が V_{th} を下回り、駆動トランジスタ T d はオフ状態となるため、駆動トランジスタ T

d を通って点 B から第 1 電源線 1 1 1 に電荷が抜けることは無い。

【 0 0 5 8 】

例えば、駆動トランジスタ T d の閾値電圧 V t h が 2 V、V d a t a が 0 V（後述する低階調状態）、V p が 4 V の場合を考える。このとき、V d a t a < V t h であるため I = 0 とすると、上述した V b、V p の関係式と式 (1 3) とから、V b = 4 = Q b / C a l l となる。そのため、この式を変形することで Q b = 4 ・ C a l l を導出することができる。また、このときの V a、V b の値は V a = 0 V、V b = 4 V であり、容量素子 C s の両端電位 V c s が V c s = V a - V b で求まるため、プリチャージ期間の終了時には、V c s = V a - V b = - 4 V となり、- 4 V 分の電荷が容量素子 C s に蓄積されることになる。

10

【 0 0 5 9 】

さらに、書き込み期間において、画像信号電圧 V d a t a が 6 V であったとすると、上記式 (1 2) から $I = \alpha \cdot (6 - 2)^2$ が求まり、この電流 I が点 B から第 1 電源線 1 1 1 に向けて流れる。上述したように、プリチャージ期間の終了時 (V d a t a = 0 V) での点 B の全電荷は Q b = 4 ・ C a l l であったため、V d a t a = 6 V の書き込み期間終了時における容量素子 C s の V b は、 $V b = (4 \cdot C a l l - \alpha \cdot (6 - 2)^2 \cdot \Delta t) / C a l l$ となる。また、このときの V a の値は V a = V d a t a であるため、容量素子 C s の両端電位 V c s (= V a - V b) は、V c s = 6 - V b となる。

【 0 0 6 0 】

また、書き込み期間中の V d a t a が 1 0 V（後述する高階調）であったとすると、上記式 (1 2) から $I = \alpha \cdot (6 - 2)^2$ が求まり、この電流 I が点 B から第 1 電源線 1 1 1 に向けて流れる。上述したように、V d a t a = 0 V での点 B の全電荷は Q b = 4 ・ C a l l であるため、V d a t a = 1 0 V の書き込み期間終了時における点 B の電位 V b は、 $V b = (4 \cdot C a l l - \alpha \cdot (10 - 2)^2 \cdot \Delta t) / C a l l$ となる。このとき、駆動トランジスタ T d を通って第 1 電源線 1 1 1 に抜ける電荷量が十分大きいと、プリチャージ期間時に点 B に貯められた電荷は全て第 1 電源線 1 1 1 に抜けてしまうため、第 1 電源線 1 1 1 と同じ 0 V まで低下する。この結果、容量素子 C s の両端電位 V c s は、V c s = 1 0 - 0 = 1 0 V = V d a t a となる。

20

【 0 0 6 1 】

以上、V d a t a = 0 V、V d a t a = 6 V、V d a t a = 1 0 V の場合における、容量素子 C s の両端電位を導出したが、このときの階調特性は図 4 のグラフで表される。ここで図 4 は、図 3 に示した駆動方法により実現される画素回路の階調特性を示した図であって、V d a t a と有機 E L 素子 O L E D の発光輝度との関係を示している。ここで、横軸は階調を表し、画像信号電圧と同義である。また、縦軸は有機 E L 素子 O L E D の発光輝度の平方根を表している。なお、図 4 中実線で示すグラフは本実施形態の駆動方法により実現された階調特性を示しており、破線で示すグラフは後述する従来の駆動方法により実現された階調特性を示している。

30

【 0 0 6 2 】

上述した本実施形態の駆動方法を行うと、プリチャージ期間により点 B に蓄積（プリチャージ）された電荷の分だけ容量素子 C s の両端電位は小さくなるため、低階調側の輝度は従来の駆動方法による輝度特性よりも低くなる。一方、高階調側では点 B にプリチャージされた電荷が全て第 1 電源線に抜けてしまうため、容量素子 C s の両端電位は画像信号電圧 (V d a t a) となり、従来の駆動方法による階調特性と一致することになる。つまり、図 4 に示したように、本実施形態の駆動方法により実現される階調特性は、階調 (V d a t a) と輝度の平方根との関係が比例関係となり、従来の駆動方法による階調特性よりも傾きが急峻となった形を呈する。

40

【 0 0 6 3 】

図 3 に戻り、書き込み終了期間では、第 1 電源線 1 1 1 のゼロ電位、第 2 電源線 1 1 2 の V p が維持され、走査線 1 1 3 が低電位状態 (V g L) とされる。また、V d a t a は画像信号に応じたレベルの信号電位となるが、この書き込み終了期間中に書き込みは終了

50

し、ゼロ電位とされる。この制御によって、画像信号線 1 2 からはその画素に応じた画像信号電圧 V_{data} が供給され、画像信号線→スイッチングトランジスタ T_s →容量素子 C_s という経路で電荷が移動し、さらに容量素子 C_s →駆動トランジスタ T_d →第 1 電源線 1 1 1 という経路で電荷が移動する。そして、容量素子 C_s には画像信号電圧 V_{data} に応じた電荷が保持されることになる。

【0064】

発光準備期間では、第 2 電源線 1 1 2 がゼロ電位とされ、次以降の列の画素にデータが順次書き込まれる。なお、この間 V_{data} は不定となるが、既に V_{data} と点 A はスイッチングトランジスタ T_s によって分断されているので V_{data} の影響は受けず、下記も終了期間時に確定した電位が保持される。

10

【0065】

続く発光期間では、第 1 電源線 1 1 1 が電源電位 (V_{DD}) まで上昇されると、第 1 電源線 1 1 1→駆動トランジスタ T_d →有機 EL 素子 $OLED$ →第 2 電源線 1 1 2 という経路で、容量素子 C_s に蓄積された電荷に応じた電流が流れ、有機 EL 素子 $OLED$ が発光する。また、消光期間では、第 1 電源線 1 1 1 がゼロ電位とされることで、有機 EL 素子 $OLED$ の順方向に流れる電流が停止される。これにより、当該有機 EL 素子 $OLED$ は消光する。

【0066】

以下、本実施形態の駆動方法の特徴について、従来の技術による駆動方法と比較しながら説明する。まず、図 5 を参照して、従来の駆動方法について説明する。ここで、図 5 は、ソースフォロワー式の画素回路における従来の駆動方法を示したシーケンス図である。なお、本シーケンス図に対応する画素回路は図 2 と同様であるため、説明は省略する。

20

【0067】

図 5 に示したように、従来の駆動方法では、画素回路は、リセット期間、書き込み期間、書き込み終了期間、発光準備期間、発光期間、消光期間という 6 つの期間を経て動作する。以下、各期間について説明する。

【0068】

まず、リセット期間では、第 1 電源線 1 1 1 がゼロ電位 ($0V$)、第 2 電源線 1 1 2 がゼロ電位 ($0V$)、画像信号線 1 2 の画像信号電圧 (V_{data}) がゼロ電位 ($0V$) とされるとともに、走査線 1 1 3 が高電位 (V_{GH}) とされる。この制御により、スイッチングトランジスタ T_s がオン、駆動トランジスタがオンとなる。その結果、容量素子 C_s 、有機 EL 素子容量 C_{oled} に蓄積されていた前のフレーム分の電荷が放電され、 $V_a = V_b = 0V$ となる。

30

【0069】

書き込み期間では、第 1 電源線 1 1 1 のゼロ電位、第 2 電源線 1 1 2 のゼロ電位が維持され、走査線 1 1 3 が高電位とされる。画像信号線 1 2 では画像信号に応じた所定のレベルの画像信号電圧 V_{data} が供給され、この V_{data} 分の電荷が容量素子 C_s に蓄えられる。なお、容量素子 C_s に蓄えられる電圧を「 V_{write} 」と定義すると、 $V_{write} = V_a - V_b$ となる。

【0070】

このとき、 $V_{data} = V_{th}$ ならば、 $V_a = V_{data}$ 、 $V_b = 0V$ であるため、 C_s の両端には V_{data} の電位が印加され、当該 V_{data} 分の電荷が容量素子 C_s に蓄えられることになる。

40

【0071】

また、 $V_{data} < V_{th}$ ならば、点 A の電位は低くなるので駆動トランジスタ T_d はオン状態とならず、容量素子 C_s と有機 EL 素子容量 C_{oled} が直列に接続される。このとき、容量素子 C_s の両端電位 V_{cs} 、即ち $V_a - V_b$ は、下記式 (17) となる。つまり、 V_{data} は、容量素子 C_s と有機 EL 素子容量 C_{oled} とにより分圧される。

$$V_a - V_b = V_{data} \cdot C_s / (C_s + C_{oled}) \quad (17)$$

【0072】

50

続く、書き込み終了期間では、第 1 電源線 1 1 1 のゼロ電位、第 2 電源線 1 1 2 のゼロ電位が維持され、走査線 1 1 3 が低電位状態 (V_{gL}) とされる。また、V_{data} は画像信号に応じたレベルの信号電位となるが、この書き込み終了期間中に書き込みは終了し、ゼロ電位とされる。この制御により、画像信号線 1 2 からはその画素に応じた画像信号電圧 V_{data} が供給され、スイッチングトランジスタ T_s → 容量素子 C_s という経路で電荷が移動し、さらに容量素子 C_s → 駆動トランジスタ T_d → 第 1 電源線 1 1 1 という経路で電荷が移動する。

【0073】

発光準備期間では、第 2 電源線 1 1 2 がゼロ電位とされ、次以降の列の画素にデータが順次書き込まれる。なお、この間 V_{data} は不定となるが、V_{data} と点 A とはスイッチングトランジスタ T_s により、既に分断されているので V_{data} の影響は受けず、書き込み終了期間時に確定した電位が保持される。

10

【0074】

続く発光期間では第 1 電源線 1 1 1 の電位が電源電位 (V_{DD}) まで上昇されると、第 1 電源線 1 1 1 → 駆動トランジスタ T_d → 有機 E L 素子 O L E D → 第 2 電源線 1 1 2 という経路で、容量素子 C_s に蓄積された電荷に応じた電流が流れ、有機 E L 素子 O L E D が発光する。このとき、容量素子 C_s によるブートストラップにより、V_a = V_{w r i t e} + V_b = V_{w r i t e} + V_{o l e d} となり、V_b = V_{o l e d} となる。このとき、駆動トランジスタ T_d の電位差 V_{gs} は、V_{gs} = V_a - V_b = V_{w r i t e} + V_{o l e d} - V_{o l e d} = V_{w r i t e} となり、書き込み期間終了時の電位差がそのまま保持されていることが分かる。

20

【0075】

消光期間では、第 1 電源線 1 1 1 がゼロ電位とされることで、有機 E L 素子 O L E D の順方向に流れる電流が停止される。これにより、当該有機 E L 素子 O L E D は消光する。

【0076】

図 6 は、図 5 に示した従来の駆動方法 (ソースフォロワー式) により実現される画素回路の階調特性を示したグラフである。ここで、横軸は階調を表しており、画像信号電圧と同義である。また、縦軸は有機 E L 素子 O L E D の発光輝度の平方根を表している。なお、図 6 中実線で示すグラフは従来の駆動方法により実現される階調特性を示しており、図 4 に示した破線のグラフに対応している。また、図 6 中破線で示すグラフは理想的な階調特性 (以下、理想階調特性) を示している。

30

【0077】

図 6 に示したように、理想階調特性では階調 (V_{data}) と輝度の平方根との関係が、比例関係となる。この理由は、輝度が電流に比例し、この電流値が駆動トランジスタ T_d の電位差 V_{gs} の 2 乗に比例し、そして電位差 V_{gs} が画像信号電圧 V_{data} と一致するからである。

【0078】

従来の駆動方法により実現される階調特性では、高階調側では理想階調特性のグラフに近いものの、低階調側、即ち V_{data} < V_{th} の場合では、電位差 V_{gs} (= V_a - V_b) は、上記式 (17) に示したように、V_{data} を容量素子 C_s と有機 E L 素子容量 C_{oled} とで分圧したものとなる。そのため、電流 I の平方根は下記式 (18) で表されることになるため、図 6 に示したように低階調側では理想的な階調特性に比べて、その傾きが緩慢になるという特性を有している。

40

$$\begin{aligned} \sqrt{I} &= \sqrt{(\alpha \cdot V_{gs}^2)} \\ &= (C_{oled} / (C_s + C_{oled})) \cdot V_{data} \cdot \sqrt{\alpha} \quad (18) \end{aligned}$$

【0079】

ところで、優れたコントラストを実現するためには、黒色の輝度を下げることが求められる。この要請を満たすため、従来の駆動方法では、図 7 に示したように、黒の輝度を下げたため、黒色を表す V_{data} = 0 の場合の輝度が 0 n i t になるよう調整することが行われている。しかしながら、0 n i t への調整量に応じて高輝度側での最大輝度が低下

50

するため（図中矢印参照）、高輝度パネルの実現が困難であるという問題がある。

【0080】

一方、本実施形態の駆動方法により実現される輝度特性では、図4に示したように、階調（ V_{data} ）と輝度の平方根とが比例関係となっており、理想階調特性と同様直線的な輝度特性を呈することになる。

【0081】

また、図4で説明したように、本実施形態の駆動方法による輝度特性によれば、低階調側では従来技術での輝度レベルよりも低い値となり、高輝度側では従来技術での輝度レベルと同じとなる。しかしながら、上述したように従来技術では黒色の輝度を下げため、 $V_{data} = 0$ での輝度が0nitになるよう調整する必要がある、この調整分だけ最大輝度レベルが低下することになる。そのため、本実施形態の駆動方法では従来の駆動方法と比べ、より大きなコントラスト比を表すことが可能となる。

【0082】

以上のように、第1の実施形態によれば、画像信号電圧の印加に先がけて、画像信号線12と電氣的に接続された容量素子 C_s の電位を変動させることで、実質的に画像信号電圧範囲以上の電圧を容量素子 C_s に保持する。これにより、理想階調特性と同様の階調特性を実現することができるため、画像信号電圧の範囲を増大することなく、また、最大輝度を損なうことなくパネルを駆動させることができ、コントラストを向上させた状態でパネルを駆動させることが可能となる。また、本実施形態の駆動方法は、既存の画素回路に適用することができるため、既存のパネルにおいてもコントラストを向上させることが可能となり、結果としてパネルの生産性を向上させることができる。

【0083】

〔第2の実施形態〕

次に、第2の実施形態にかかる画像表示装置について説明する。上述した第1の実施形態では、駆動トランジスタ T_d とスイッチングトランジスタ T_s との二つのトランジスタを備えた画素回路の駆動方法について説明した。本実施形態では、駆動トランジスタ T_d 及びスイッチングトランジスタ T_s に、閾値電圧検出用トランジスタ T_{th} を加えた、三つのトランジスタを備える画素回路の駆動方法について説明する。なお、上述した第1の実施形態と同様の構成要素については、同じ符号を付与し説明を省略する。

【0084】

図8は、第2の実施形態にかかる画像表示装置の1画素に対応する画素回路の一例を示した図である。同図に示される画素回路は、有機EL素子OLEDと、駆動トランジスタ T_d と、駆動トランジスタ T_d の閾値電圧を検出する際に主として用いる閾値電圧検出用トランジスタ T_{th} と、画像信号電圧を保持する第1容量素子 C_{s1} と、駆動トランジスタ T_d の閾値電圧を保持する第2容量素子 C_{s2} と、スイッチングトランジスタ T_s と、を備える。なお、図8に示す構成は、有機EL素子等を制御する画素回路の1画素の回路構成を示すものであり、画像表示装置としては、この画素回路をマトリクス状に複数配列した構成を有している。

【0085】

閾値電圧検出用トランジスタ T_{th} は、制御端子、第1端子及び第2端子を有しており、制御端子がゲート電極に、第1端子と第2端子の一方がソース電極に、他方がドレイン電極にそれぞれ対応する。閾値電圧検出トランジスタ T_{th} は、自身がオン状態となったときに、駆動トランジスタ T_d のゲート電極とドレイン電極とを電氣的に接続する機能を有するとともに、駆動トランジスタ T_d のゲート電極とソース電極との間の電位差が駆動トランジスタ T_d の閾値電圧 V_{th} となるまで駆動トランジスタ T_d のゲート電極からドレイン電極に向かって電流を流すことによって、駆動トランジスタ T_d の閾値電圧 V_{th} を検出する機能を有している。つまり、駆動トランジスタ T_d が閾値電圧 V_{th} となったときに、駆動トランジスタ T_d には電流が流れなくなるので、このときのゲート電極とソース電極との間の電位差すなわち V_{th} が、第2容量素子 C_{s2} に印加される。また、閾値電圧検出用トランジスタ T_{th} のゲート電極には、制御線11としての T_{th} 制御線1

14が接続されている。なお、Tth制御線114は、閾値電圧検出用トランジスタTthをオン/オフ制御するための信号を供給する。なお、本実施形態において、閾値電圧検出トランジスタTthの第1端子は駆動トランジスタTdの制御電極と第2容量素子Cs2との間に電氣的に接続されている。また、第2端子は、駆動トランジスタTdの第2端子と第1容量素子Cs1との間に電氣的に接続されている。

【0086】

第1容量素子Cs1は、書き込み時に駆動トランジスタTdに印加する画像信号電圧に対応する電荷量を保持する機能を有し、駆動トランジスタTdの第2端子と、スイッチングトランジスタTsの第1端子(ソース電極)と第2容量素子Cs2とを結ぶ配線と、の間に配置される。

【0087】

第2容量素子Cs2は、閾値電圧の検出時に駆動トランジスタTdの閾値電圧Vthに対応する電荷量を保持する機能を有し、駆動トランジスタTdの制御端子(ゲート電極)とスイッチングトランジスタTsの第1端子(ソース電極)との間に配置される。

【0088】

つまり、第2容量素子Cs2に閾値電圧Vthが印加され、第1容量素子Cs1に画像信号電圧Vdataが印加された状態で、スイッチングトランジスタTsがオフ状態にあるときに、駆動トランジスタTdのゲートから見ると、第1容量素子Cs1と第2容量素子Cs2とは直列接続となる。

【0089】

なお、駆動トランジスタTd、スイッチングトランジスタTs及び閾値電圧検出用トランジスタTthは、例えばTFTによって構成される。なお、以下で参照する各図面においては、TFTのチャンネルについて、そのタイプ(n型又はp型)を明示していないが、n型又はp型の何れかであり、本実施の形態では、n型のTFTであるものとする。

【0090】

<画素回路の動作>

次に、図8に示した画素回路の駆動方法について説明する。図9は、図8に示した画素回路の駆動方法の一例を示したシーケンス図である。この図9に示したように、画素回路は、第1容量素子リセット期間、第2容量素子リセット期間、閾値電圧検出期間、検出終了期間、Coledリセット期間、プリチャージ期間、書き込み期間、書き込み終了期間、発光準備期間、発光期間及び消光期間という11の期間を経て動作する。各画素回路では、駆動制御部による制御の下、これら11の期間の動作を画像信号のフレーム毎に行うことで、当該画像信号が表す画像を表示パネル2上に表示する。以下、各期間について説明する。

【0091】

まず、第1容量素子リセット期間では、第1電源線111がゼロ電位(0V)、第2電源線112がゼロ電位(0V)、画像信号線12の画像信号電圧(Vdata)がゼロ電位(0V)とされる。また、走査線113が高電位(VgH)とされるとともに、Tth制御線114が低電位(VgL)とされる。この制御により、スイッチングトランジスタTsがオンとされ、この結果、第1容量素子Cs1に蓄積されていた前のフレーム分の電荷が放電されることで、図8に示した点Cの電位Vcと、点Bの電位Vbとはともに0Vとなる($V_c = V_b = 0V$)。

【0092】

なお、第1電源線111及び第2電源線112をゼロ電位としているが、第2の実施形態においては閾値電圧検出用トランジスタTthによって検出される閾値電圧をオフセットする電圧(=電源線の基準電位)であればよい(以下、第2の実施形態の各期間においては、第1電源線111又は第2電源線112として「ゼロ電位」と記載するものについては、同様に「電源線の基準電位」であればよい)。さらに、画像信号電圧(Vdata)をゼロ電位としているが、これは画像信号が0階調のときの輝度を規定するための電位(=画像信号線の基準電位)であればよく、これに限定されるものではない(以下、第2の

10

20

30

40

50

実施形態の各期間の説明において、画像信号線として「ゼロ電位」と記載するものについては、同様に「画像信号線の基準電位」であればよい。

【0093】

続く第2容量素子リセット期間では、第1電源線111、第2電源線112、走査線113及び画像信号線12の電位が維持されるとともに、Tth制御線114が高電位(VgH)とされることで、閾値電圧検出用トランジスタTthがオンとされる。この結果、第2容量素子Cs2に蓄積されていた電荷が放電され、図8に示した点Aの電位Vaは0Vとなる。

【0094】

閾値電圧検出期間では、第2電源線112が所定の電位Vp1とされることで、点Bの電位が上昇される。このとき、閾値電圧検出用トランジスタTthはオン状態であるため、点Aの電位も上昇し、駆動トランジスタTdがオンとなる。そのため、点A→点B→第1電源線111の経路で電荷が抜けるため、点Aの電位は徐々に低下し、この点Aの電位が駆動トランジスタTdの閾値電圧Vthに達すると(Va = Vth)、駆動トランジスタTdはオフとなる。

【0095】

検出終了期間では、Tth制御線114が低電位(VgL)とされることで、閾値電圧検出用トランジスタTthがオフとされる。これにより、駆動トランジスタTdの閾値電圧Vthに相当する電荷が第2容量素子Cs2に蓄積される。なお、閾値電圧検出用トランジスタTthの寄生容量のため、第2容量素子Cs2の両端電位は閾値電圧Vthよりも若干小さくなる。

【0096】

続くColedリセット期間では、第2電源線112がゼロ電位とされる。この結果、有機EL素子容量Coledにより点Bの電位が一時的に低下するが、駆動トランジスタTdを通じて第1電源線111から点Bに電荷が流入し、点Bの電位Vbは徐々に第1電源線111の電位0Vに近づくため、有機EL素子容量Coledがリセットされる。

【0097】

プリチャージ期間では、第2電源線112が所定の電位Vp2(但し、 $Vp2 < Vp1$)とされ、点Bの電位が上昇される。例えば、 $Vp2 = 4V$ とすると、有機EL素子容量Coledのキャパシタンスにより $Vb = 4V$ となる。このとき、閾値電圧Vthが2Vであるとすると、 $Va = Vth = 2V$ であり、駆動トランジスタTdはオフ状態となるため、点Bの電位Vbは略4Vに保たれる。

【0098】

このように、プリチャージ期間では、第1容量素子Cs1が有する極板のうち、画像信号線12と電氣的に接続された極板に対向する対向極板の電位、即ち、点Bの電位Vbを、画像信号電圧Vdataの印加に先がけてVp2に変化させる。なお、このVp2が、第1の実施形態で説明したプリチャージ電圧に相当する。

【0099】

書き込み期間では、画像信号に応じた所定のレベルの画像信号電圧Vdataが画像信号線12に供給され、このVdata分の電荷が第1容量素子Cs1に蓄えられる。この場合、駆動トランジスタTdの第2端子側が、第1端子側と比べ高電位となる。そのため、書き込み期間においては、駆動トランジスタTdの第1端子がソース電極となり、第2端子がドレイン電極となる。したがって、駆動トランジスタTdのゲート電極-ソース電極間の電位差Vgsは、 $Vgs = Vc + Vth - \text{第1電源線の電位}(0V) > Vth$ となるため、点Bから駆動トランジスタTdを通じ、 $I \cdot \Delta t = \alpha \cdot (Vgs - Vth)^2 \cdot \Delta t$ だけ電荷が抜ける。このとき、Vbの値は上記式(15)で求められ、第1容量素子Cs1には当該第1容量素子Cs1の両端電位Vcs($Vcs = Vc - Vb$)に応じた電荷が蓄えられることになる。

【0100】

書き込み終了期間では、第1電源線111のゼロ電位、第2電源線112のVp2が維

10

20

30

40

50

持され、走査線 1 1 3 が低電位状態 (V_gL) とされる。また、画像信号線 1 2 の画像信号電圧 V_da t a が維持されるとともに、T t h 制御線 1 1 4 の低電位状態 (V_gL) が維持される。この制御により、容量素子 C_s には画像信号電圧 V_da t a に応じた電荷が保持されることになる。

【0101】

書き込み終了期間では、第 1 電源線 1 1 1 のゼロ電位、第 2 電源線 1 1 2 の V_p 2、T t h 制御線 1 1 4 の低電位状態 (V_gL) 及び画像信号線 1 2 の画像信号電圧 (V_da t a) が維持されるとともに、走査線 1 1 3 が低電位状態 (V_gL) とされる。この制御によって、画像信号線 1 2 からはその画素に応じた画像信号電圧 V_da t a が供給され、画像信号線→スイッチングトランジスタ T_s→第 1 容量素子 C_s 1 という経路で電荷が移動し、さらに第 1 容量素子 C_s 1→駆動トランジスタ T_d→第 1 電源線 1 1 1 という経路で電荷が移動する。そして、第 1 容量素子 C_s 1 には画像信号電圧 V_da t a に応じた電荷が保持される。

10

【0102】

発光準備期間では、第 1 電源線 1 1 1 のゼロ電位、走査線 1 1 3 の低電位状態 (V_gL) 及び T t h 制御線 1 1 4 の低電位状態 (V_gL) が維持されるとともに、画像信号線 1 2 の電位がゼロ電位とされる。また、この発光準備期間中に第 2 電源線 1 1 2 の電位がゼロ電位とされる。次以降の列の画素にデータが順次書き込まれる。

【0103】

発光期間では、第 1 電源線 1 1 1 が電源電位 (V_{DD}) とされる一方で、第 2 電源線 1 1 2 がゼロ電位に維持され、T t h 制御線 1 1 4 は低レベル (V_gL) に維持される。また、走査線 1 1 3 が低レベル (V_gL) に維持されるとともに、画像信号線 1 2 のゼロ電位が維持される。この場合、駆動トランジスタ T_d の第 1 端子側が、第 2 端子側よりも高電位になる。したがって、発光期間においては、駆動トランジスタ T_d の第 1 端子がドレイン電極、第 2 端子がソース電極となる。このとき、駆動トランジスタ T_d の閾値電圧 V_t h を保持する第 2 容量素子 C_s 2 と画像信号に応じた画像信号電圧 V_da t a を保持する第 1 容量素子 C_s 1 とが直列に接続され、両者の電圧の和 (V_t h + V_da t a) が駆動トランジスタ T_d のゲート電極とソース電極との間に印加される。その結果、駆動トランジスタ T_d がオンとなり、第 1 電源線 1 1 1→駆動トランジスタ T_d→有機 E L 素子 O L E D→第 2 電源線 1 1 2 という経路で電流が流れ、有機 E L 素子 O L E D が発光する。

20

30

【0104】

最後に消光期間では、第 1 電源線 1 1 1 の電位がゼロ電位に戻されることで、有機 E L 素子 O L E D への電流流入が停止し、消光状態とされる。

【0105】

本実施形態の駆動方法においても、上述したプリチャージ電圧の作用により、その階調特性は図 4 と同様のグラフで表される。即ち、階調 (V_da t a) と輝度の平方根とが比例関係となり、理想階調特性と同様の直線的な輝度特性を呈するため、上述した第 1 の実施形態の駆動方法と同様の効果を奏する。

【0106】

以上のように、第 2 の実施形態によれば、画像信号電圧の印加に先がけて、画像信号線 1 2 と電氣的に接続された第 1 容量素子 C_s 1 の電位を変動させることで、実質的に画像信号電圧範囲以上の電圧を第 1 容量素子 C_s 1 に保持する。これにより、理想階調特性と同様の階調特性を実現することができるため、画像信号電圧の範囲を増大することなく、また、最大輝度を損なうことなくパネルを駆動させることができ、コントラストを向上させた状態でパネルを駆動させることが可能となる。また、本実施形態の駆動方法は、既存の画素回路に適用することができるため、既存のパネルにおいてもコントラストを向上させることが可能となり、結果としてパネルの生産性を向上させることができる。

40

【0107】

[第 3 の実施形態]

次に、第 3 の実施形態にかかる画像表示装置について説明する。上述した第 1 の実施形

50

態では、駆動トランジスタ T_d とスイッチングトランジスタ T_s との二つのトランジスタを備える画素回路の駆動方法について説明した。本実施形態では、上記駆動トランジスタ T_d に、閾値電圧検出用トランジスタ T_{th} 、第1スイッチングトランジスタ T_{s1} 及び第2スイッチングトランジスタ T_{s2} を加えた、四つのトランジスタを備える画素回路での駆動方法について説明する。なお、上述した第1、第2の実施形態と同様の構成要素については、同じ符号を付与し説明を省略する。

【0108】

図10は、第3の実施形態にかかる画像表示装置の1画素に対応する画素回路の一例を示した図である。この図10に示される画素回路は、有機EL素子OLEDと、駆動トランジスタ T_d と、閾値電圧検出用トランジスタ T_{th} と、第1容量素子 C_{s1} と、第2容量素子 C_{s2} と、第1スイッチングトランジスタ T_{s1} と、第2スイッチングトランジスタ T_{s2} とを備える。なお、図10に示す構成は、有機EL素子等を制御する画素回路の1画素の回路構成を示すものであり、画像表示装置としては、この画素回路をマトリクス状に複数配列した構成を有している。

10

【0109】

第1スイッチングトランジスタ T_{s1} は、画像信号線12の電氣的接続を制御するスイッチング素子であり、制御端子、第1端子及び第2端子を備えている。この第1スイッチングトランジスタ T_{s1} の第2端子(ソース電極)は、第1容量素子 C_{s1} の一端、第2容量素子 C_{s2} の一端及び第2スイッチングトランジスタ T_{s2} のソース電極との接続点Cに接続される。また、第1スイッチングトランジスタ T_{s1} の第1端子(ドレイン電極)は、画像信号線12と接続され、制御端子(ゲート電極)には走査線113が接続されている。

20

【0110】

第2スイッチングトランジスタ T_{s2} は、第1電源線111の電氣的接続を制御するスイッチング素子であり、制御端子、第1端子及び第2端子を備えている。この第2スイッチングトランジスタ T_{s2} の第2端子(ソース電極)は点Cに接続される。また、第2スイッチングトランジスタ T_{s2} の第1端子(ドレイン電極)は、第1電源線111と接続され、制御端子(ゲート電極)には制御線11としてのマージ線115が接続されている。ここで、マージ線115は、第2スイッチングトランジスタ T_{s2} を制御するための制御信号を供給する。

30

【0111】

なお、駆動トランジスタ T_d 、閾値電圧検出用トランジスタ T_{th} 、第1スイッチングトランジスタ T_{s1} 及び第2スイッチングトランジスタ T_{s2} は、例えばTFTによって構成される。なお、以下で参照する各図面においては、TFTのチャネルについて、そのタイプ(n型又はp型)を明示していないが、n型又はp型の何れかであり、本実施の形態では、n型のTFTであるものとする。

【0112】

<画素回路の動作>

次に、図10に示した画素回路の処理動作について説明する。図11は、図10に示した画素回路の駆動方法の一例を示したシーケンス図である。この図11に示したように、画素回路は、第1容量素子リセット期間、第2容量素子リセット期間、閾値電圧検出期間、検出終了期間、 C_{oled} リセット期間、プリチャージ期間、書き込み準備期間、書き込み期間、書き込み終了期間、発光準備期間、発光期間及び消光期間という12の期間を経て動作する。各画素回路では、駆動制御部による制御の下、これら12の期間の動作を画像信号のフレーム毎に行うことで、当該画像信号が表す画像を表示パネル2上に表示する。以下、各期間について説明する。

40

【0113】

まず、第1容量素子リセット期間では、第1電源線111がゼロ電位(0V)、第2電源線112がゼロ電位(0V)、画像信号線12の画像信号電圧(V_{data})がゼロ電位(0V)とされる。また、走査線113が低電位(V_{gL})、 T_{th} 制御線114が低

50

電位 (V_{gL}) とされ、マージ線 115 が高電位 (V_{gH}) とされる。これにより、第 2 スイッチングトランジスタ T_s2 がオンとされる。この結果、第 1 容量素子 C_{s1} に蓄積されていた前のフレーム分の電荷が放電され、図 10 に示した点 C の電位 V_c と、点 B の電位 V_b とはともに 0 V となる ($V_c = V_b = 0 V$)。

【0114】

なお、第 1 電源線 111 及び第 2 電源線 112 をゼロ電位としているが、第 3 の実施形態においては閾値電圧検出用トランジスタ T_{th} によって検出される閾値電圧をオフセットする電圧 (= 電源線の基準電位) であればよい (以下、第 3 の実施形態の各期間においては、第 1 電源線 111 又は第 2 電源線 112 として「ゼロ電位」と記載するものについては、同様に「電源線の基準電位」であればよい)。さらに、画像信号電圧 (V_{data}) をゼロ電位としているが、これは画像信号が 0 階調のときの輝度を規定するための電位 (= 画像信号線の基準電位) であればよく、これに限定されるものではない (以下、第 3 の実施形態の各期間の説明において、画像信号線として「ゼロ電位」と記載するものについては、同様に「画像信号線の基準電位」であればよい)。

10

【0115】

続く第 2 容量素子リセット期間では、 T_{th} 制御線 114 が高電位 (V_{gH}) とされることで、閾値電圧検出用トランジスタ T_{th} がオンとされる。この結果、第 2 容量素子 C_{s2} に蓄積されていた電荷が放電され、点 A の電位 V_a は 0 V となる。

【0116】

閾値電圧検出期間では、第 2 電源線 112 が所定の電位 V_{p1} とされることで、点 B の電位が上昇される。このとき、閾値電圧検出用トランジスタ T_{th} はオン状態であるため、点 A の電位も上昇し、駆動トランジスタ T_d がオンとなる。そのため、点 A → 点 B → 第 1 電源線 111 の経路で電荷が抜けるため、点 A の電位は徐々に低下し、この点 A の電位が駆動トランジスタ T_d の閾値電圧 V_{th} に達すると ($V_a = V_{th}$)、駆動トランジスタ T_d はオフとなる。

20

【0117】

検出終了期間では、 T_{th} 制御線 114 が低電位 (V_{gL}) とされることで、閾値電圧検出用トランジスタ T_{th} がオフとされる。これにより、第 2 容量 C_{s2} に閾値電圧 V_{th} 分の電荷が蓄積される。なお、閾値電圧検出用トランジスタ T_{th} の寄生容量のため、第 2 容量素子 C_{s2} の両端電位は、閾値電圧 V_{th} よりも若干小さくなる。

30

【0118】

続く C_{ol} リセット期間では、第 2 電源線 112 がゼロ電位とされる。この結果、有機 EL 素子容量 C_{ol} により点 B の電位が一時的に低下するが、駆動トランジスタ T_d を通じて第 1 電源線 111 から点 B に電荷が流入し、点 B の電位 V_b は徐々に第 1 電源線 111 の電位 0 V に近づくため、有機 EL 素子容量 C_{ol} がリセットされる。

【0119】

プリチャージ期間では、第 2 電源線 112 が所定の電位 V_{p2} (但し、 $V_{p2} < V_{p1}$) とされ、点 B の電位が上昇される。例えば、 $V_{p2} = 4 V$ とすると、有機 EL 素子容量 C_{ol} のキャパシタンスにより $V_b = 4 V$ となる。このとき、閾値電圧 V_{th} が 2 V であるとする、 $V_a = V_{th} = 2 V$ であり、駆動トランジスタ T_d はオフ状態となるため、点 B の電位 V_b は略 4 V に保たれる。

40

【0120】

このように、プリチャージ期間では、第 1 容量素子 C_{s1} が有する極板のうち、画像信号線 12 と電氣的に接続された極板に対向する対向極板の電位、即ち、点 B の電位 V_b を、画像信号電圧 V_{data} の印加に先がけて V_{p2} に変化させる。なお、この V_{p2} が、第 1 の実施形態で説明したプリチャージ電圧に相当する。

【0121】

書き込み準備期間では、マージ線 115 が低電位 (V_{gL}) とされ、第 2 スイッチングトランジスタ T_s2 がオフとされる。これにより、点 C が第 1 電源線 111 から切り離され、次の書き込み期間での V_{data} の入力に備える。

50

【 0 1 2 2 】

書き込み期間では、画像信号に応じた所定のレベルの画像信号電圧 V_{data} が画像信号線 12 に供給される。また、この書き込み期間中に走査線 113 の電位が高電位状態 (V_{gH}) とされ、第 1 スイッチングトランジスタ T_{s1} がオンとされる。これにより、 V_{data} 分の電荷が第 1 容量素子 C_{s1} に蓄えられる。この場合、駆動トランジスタ T_d の第 2 端子側は、第 1 端子側よりも高電位となる。そのため、書き込み期間においては、第 1 端子がソース電極、第 2 端子がドレイン電極となる。したがって、駆動トランジスタ T_d のゲート電極 - ソース電極間の電位差 V_{gs} は、 $V_{gs} = V_c + V_{th}$ - 第 1 電源線の電位 ($0V$) $> V_{th}$ となるため、点 B から駆動トランジスタ T_d を通じ、 $I \cdot \Delta t = \alpha \cdot (V_{gs} - V_{th})^2 \cdot \Delta t$ だけ電荷が抜ける。このとき、 V_b の値は上記式 (15) で求まり、第 1 容量素子 C_{s1} には当該第 1 容量素子 C_{s1} の両端電位 V_{cs} ($V_{cs} = V_c - V_b$) に応じた電荷が蓄えられることになる。

10

【 0 1 2 3 】

書き込み終了期間では、走査線 113 の電位が低電位状態 (V_{gL}) に戻され、第 1 スイッチングトランジスタ T_{s1} がオフとされる。

【 0 1 2 4 】

発光準備期間では、第 1 電源線 111 のゼロ電位、走査線 113 の低電位状態 (V_{gL}) 及び T_{th} 制御線 114 の低電位状態 (V_{gL})、マージ線 115 の低電位状態 (V_{gL}) が維持されるとともに、画像信号線 12 の電位がゼロ電位とされる。また、この発光準備期間中に第 2 電源線 112 の電位がゼロ電位とされる。

20

【 0 1 2 5 】

発光期間では、第 1 電源線 111 が電源電位 (V_{DD}) とされる一方で、第 2 電源線 112 及び画像信号線 12 がゼロ電位に維持され、走査線 113、 T_{th} 制御線 114 及びマージ線 115 が低電位状態 (V_{gL}) に維持される。このとき、駆動トランジスタ T_d の第 1 端子側が、第 2 端子側よりも高電位となる。そのため、発光期間においては、第 1 端子がドレイン電極、第 2 端子がソース電極となる。したがって、駆動トランジスタ T_d の閾値電圧 V_{th} を保持する第 1 容量素子 C_{s1} と画像信号に応じた画像信号電圧 V_{data} を保持する第 2 容量素子 C_{s2} とが直列に接続され、両者の電圧の和 ($V_{th} + V_{data}$) が駆動トランジスタ T_d のゲート電極とソース電極との間に印加される。その結果、駆動トランジスタ T_d がオンとなり、第 1 電源線 111 → 駆動トランジスタ T_d → 有機 EL 素子 OLE D → 第 2 電源線 112 という経路で電流が流れ、有機 EL 素子 OLE D が発光する。

30

【 0 1 2 6 】

最後に消光期間では、第 1 電源線 111 の電位がゼロ電位に戻されることで、有機 EL 素子 OLE D への電流流入が停止し、消光状態とされる。

【 0 1 2 7 】

本実施形態の駆動方法においても、上述したプリチャージ電圧の作用により、その階調特性は図 4 と同様のグラフで表される。即ち、階調 (V_{data}) と輝度の平方根とが比例関係となり、理想階調特性と同様の直線的な輝度特性を呈するため、上述した第 1 の実施形態の駆動方法と同様の効果を奏する。

40

【 0 1 2 8 】

以上のように、第 3 の実施形態によれば、画像信号電圧の印加に先がけて、画像信号線 12 と電氣的に接続された第 1 容量素子 C_{s1} の電位を変動させることで、実質的に画像信号電圧範囲以上の電圧を第 1 容量素子 C_{s1} に保持する。これにより、理想階調特性と同様の階調特性を実現することができるため、画像信号電圧の範囲を増大することなく、また、最大輝度を損なうことなくパネルを駆動させることができ、コントラストを向上させた状態でパネルを駆動させることが可能となる。また、本実施形態の駆動方法は、既存の画素回路に適用することができるため、既存のパネルにおいてもコントラストを向上させることが可能となり、結果としてパネルの生産性を向上させることができる。

【 0 1 2 9 】

50

以上、本発明にかかる第１～第３の実施形態について説明したが、これに限定されるものではなく、本発明の主旨を逸脱しない範囲での種々の変更、置換、追加等が可能である。例えば、本実施形態の変形例として、第１の実施形態と同様に、第１電源線１１１と駆動トランジスタＴｄの第１端子の間に有機ＥＬ素子ＯＬＥＤを配置し、駆動トランジスタＴｄとしてｐ型のものを用いることが可能である。当該画素回路構成によっても本実施形態と同様の効果を得ることができる。

【産業上の利用可能性】

【０１３０】

以上のように、本発明にかかる画像表示装置及び駆動方法は、コントラストの向上に特に有用である。

10

【図面の簡単な説明】

【０１３１】

【図１】本発明の好適な実施形態にかかる画像表示装置の構成を示した図である。

【図２】第１の実施形態にかかる画素回路（１画素）の一例を示した図である。

【図３】図２に示す画素回路の駆動方法を説明するためのシーケンス図である。

【図４】図３に示した駆動方法による画素回路の階調特性を示した図である。

【図５】従来の駆動方法を説明するためのシーケンス図である。

【図６】従来の駆動方法による画素回路の階調特性を示した図である。

【図７】従来の駆動方法による画素回路の階調特性を示した図である。

【図８】第２の実施形態にかかる画素回路（１画素）の一例を示した図である。

20

【図９】図８に示す画素回路の駆動方法を説明するためのシーケンス図である。

【図１０】第３の実施形態にかかる画素回路（１画素）の一例を示した図である。

【図１１】図１０に示す画素回路の駆動方法を説明するためのシーケンス図である。

【符号の説明】

【０１３２】

１ タイミングコントローラ

２ 表示パネル

３ 表示部

１１ 制御線

１１１ 第１電源線

30

１１２ 第２電源線

１１３ 走査線

１１４ Ｔｔｈ制御線

１１５ マージ線

１２ 画像信号線

２１ ラインドライバ

２２ データドライバ

Ｃｏｌｅｄ 有機ＥＬ素子容量

Ｃｓ 容量素子

Ｃｓ１ 第１容量素子

40

Ｃｓ２ 第２容量素子

ＯＬＥＤ 有機ＥＬ素子

Ｔｄ 駆動トランジスタ

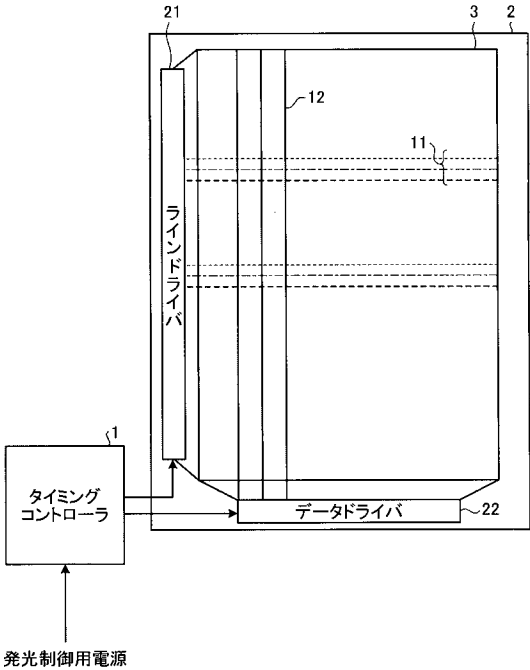
Ｔｓ スイッチングトランジスタ

Ｔｓ１ 第１スイッチングトランジスタ

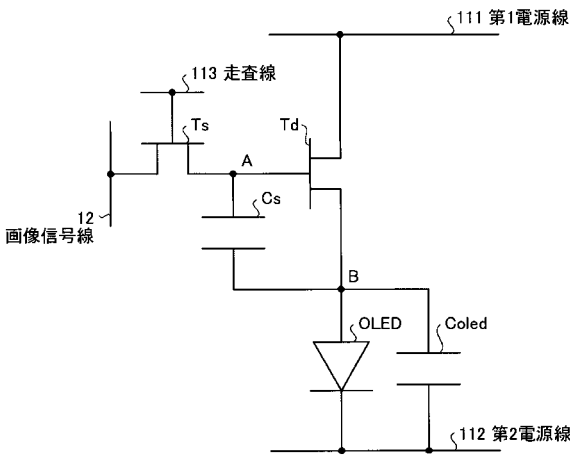
Ｔｓ２ 第２スイッチングトランジスタ

Ｔｔｈ 閾値電圧検出用トランジスタ

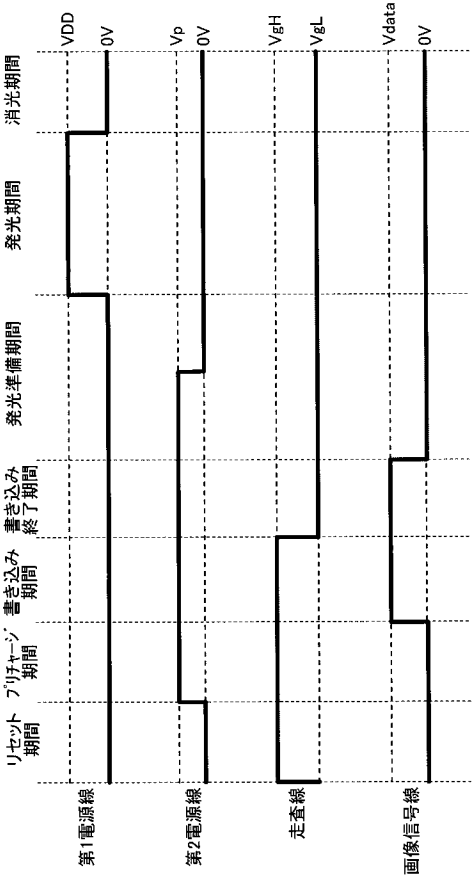
【 図 1 】



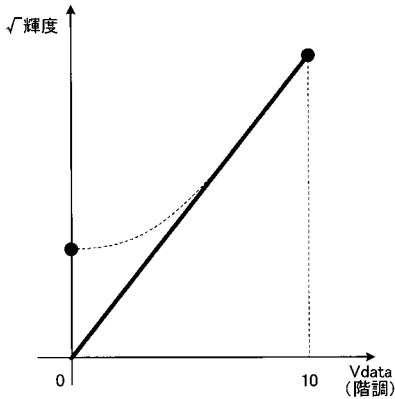
【 図 2 】



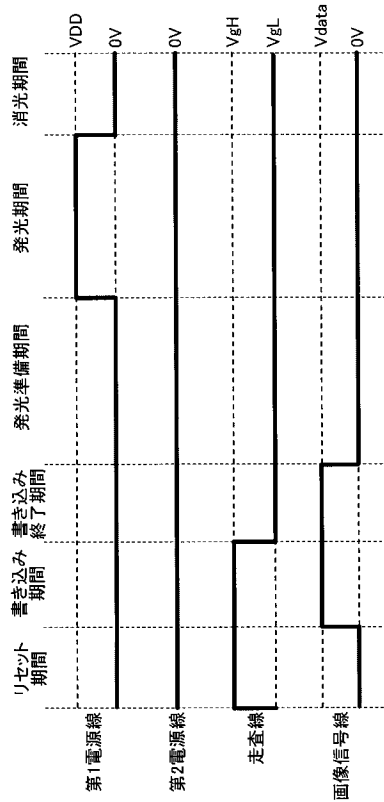
【 図 3 】



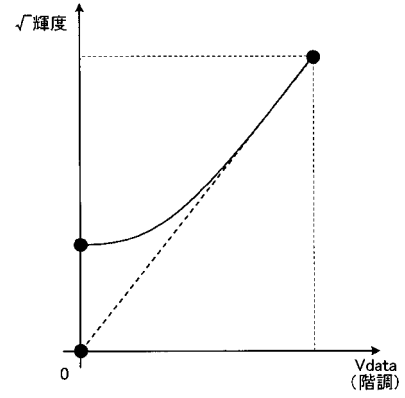
【 図 4 】



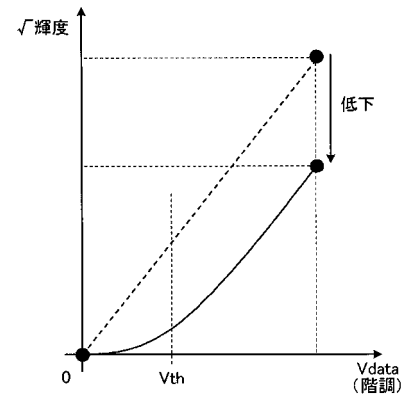
【図 5】



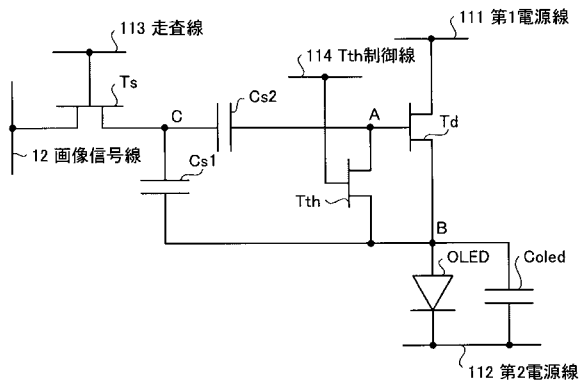
【図 6】



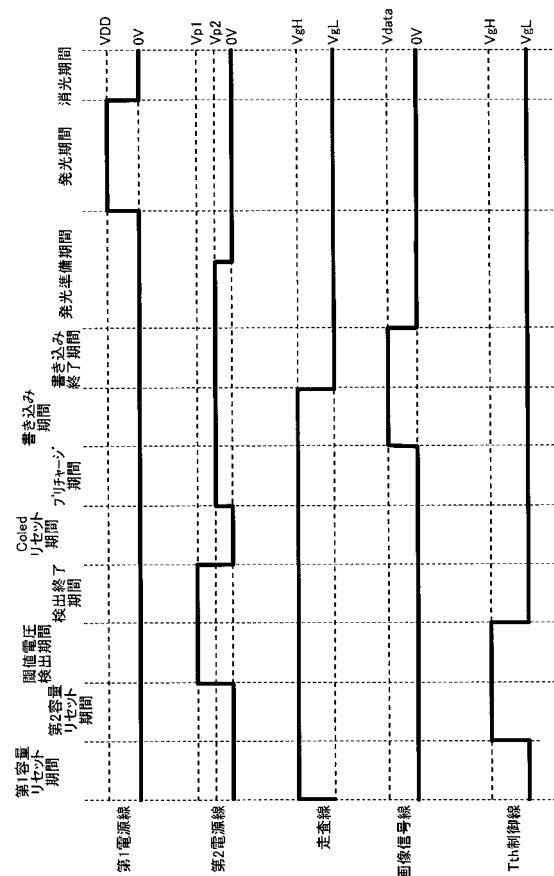
【図 7】



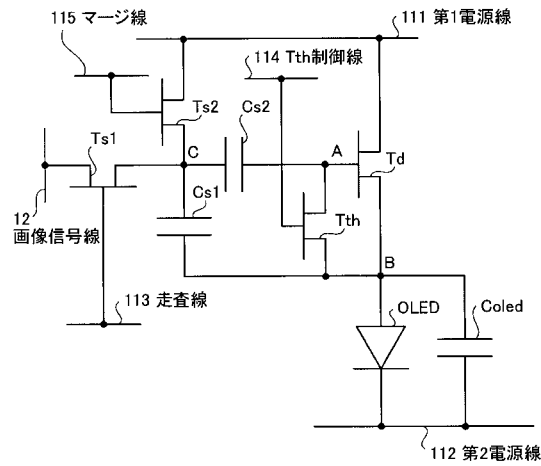
【図 8】



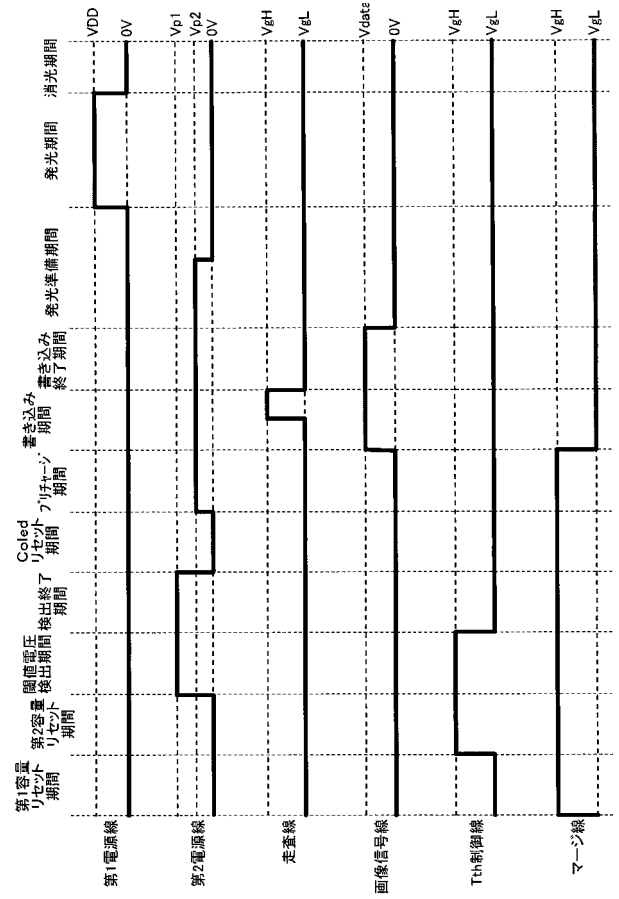
【図 9】



【図 10】



【図 11】



フロントページの続き

(51) Int. Cl.

F I

テーマコード (参考)

H 0 5 B	33/14	A
G 0 9 G	3/20	6 2 4 D
G 0 9 G	3/20	6 4 2 D