

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-4805

(P2009-4805A)

(43) 公開日 平成21年1月8日(2009.1.8)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 6 5 2 H	
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 5 8 A	
	H O 1 L 29/78 6 5 2 M	
	H O 1 L 29/78 6 5 8 G	

審査請求 有 請求項の数 22 O L (全 13 頁)

(21) 出願番号	特願2008-227992 (P2008-227992)	(71) 出願人	506207200
(22) 出願日	平成20年9月5日 (2008.9.5)		サード ディメンジョン (スリーディ)
(62) 分割の表示	特願2006-545755 (P2006-545755) の分割		セミコンダクタ インコーポレイテッド
原出願日	平成16年12月10日 (2004.12.10)		アメリカ合衆国 アリゾナ州 8 5 2 8 5
(31) 優先権主張番号	60/531, 501		、テンペ、サウス リバー パークウェイ
(32) 優先日	平成15年12月19日 (2003.12.19)		7 8 5 5、スイート 1 2 2、ピーオー
(33) 優先権主張国	米国 (US)		ボックス 2 4 6 1 9
		(74) 代理人	100107308
			弁理士 北村 修一郎
		(72) 発明者	シー、フュー イュアン
			アメリカ合衆国 カリフォルニア州 9 5
			0 7 0、サラトガ、セヴィラ レーン 2
			0 7 6 8

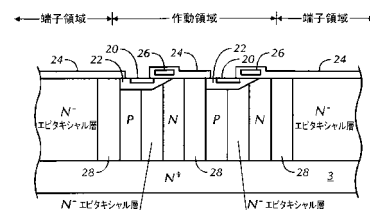
(54) 【発明の名称】 従来の端子を備えた超接合装置の製造方法

(57) 【要約】

【課題】 作動中の抵抗が低く破壊電圧の高い、電力スイッチングに適した半導体デバイスの製造方法を提供する。

【解決手段】 半導体デバイスの製造方法は、強くドーピングされた第1導電率形の第1領域と、弱くドーピングされた第2導電率形の第2領域とを含む半導体基板3の作動領域をエッチングして複数の溝からなるメサを形成する。作動領域の所定領域を酸化し、乾式酸化物エッチング法によりエッチングして溝の酸化物を除去する。保護シールドが所定領域上から部分的に除去される。ドーパントが所定領域のメサに或る角度で打込まれる。複数の溝は絶縁材料を備え、構造体の頂面が平坦化されて、この構造体に超接合装置が形成される。

【選択図】 図11



【特許請求の範囲】

【請求項 1】

相互に対向する第 1 及び第 2 の主表面を有する半導体基板を設け、この半導体基板は、第 2 主表面に第 1 導電率形の強くドーピングされた領域を有し、第 1 主表面に第 1 導電率形の弱くドーピングされた領域を有し、

上記基板の作動領域に複数個の溝と複数個のメサとを形成し、各溝は、強くドーピングされた領域に向け、第 1 主表面から第 1 深さ位置まで延びる第 1 延長部分を有し、各メサは側壁面を有し、上記の複数個の溝の各々は、複数個のメサの 1 つにより、その他の溝の各々から離れていて、

作動領域と、作動領域の外側およびこれに隣接する端子領域内に延びる、複数個のメサと複数個の溝との所定領域上に、誘電体層が、複数個のメサのうち上記所定領域内の各メサの頂部、複数個の溝の各々の両側面および底部ならびに端子領域の頂部を覆うまで上記の誘電体層を形成し、

複数個のメサと複数個の溝との所定領域から上記の誘電体層を取り除いて、複数個の溝の底部にある誘電体層を除去し、

作動領域と端子領域との間の境界の領域上に保護シールドを形成し、

その後複数個のメサと複数個の溝との所定領域の上から保護シールドを部分的に除去し、

複数個のメサと複数個の溝との所定領域の少なくとも 1 つのメサに、隣接対の溝において、1 つの溝の側壁面で、第 1 導電率形のドーパントを打込み、上記の 1 つの溝の側壁面に、強くドーピングされた領域より低いドーピング濃度を有する第 1 導電率形の第 1 ドーピング領域を形成し、

複数個のメサと複数個の溝との所定領域の上記少なくとも 1 つのメサに、第 1 導電率形のドーパントを打込んだ側壁に対向する上記の少なくとも 1 つのメサの側壁面で、第 2 導電率形のドーパントを打込んで、第 1 導電率形のドーパントを打込んだ側壁に対向する側壁面に第 2 導電率形の第 2 ドーピング領域を設ける半導体デバイスの製造方法によって形成された半導体デバイス。

【請求項 2】

半導体デバイスの製造方法であって、

相互に対向する第 1 及び第 2 の主表面を有する半導体基板を設け、この半導体基板は、第 2 主表面に第 1 導電率形の強くドーピングされた領域を有し、第 1 主表面に第 1 導電率形の弱くドーピングされた領域を有する、

上記基板の作動領域に複数個の溝と複数個のメサとを形成し、各溝は、強くドーピングされた領域に向け、第 1 主表面から第 1 深さ位置まで延びる第 1 延長部分を有し、各メサは側壁面を有し、上記の複数個の溝の各々は、複数個のメサの 1 つにより、その他の溝の各々から離れていて、

作動領域と、作動領域の外側およびこれに隣接する端子領域内に伸びる、複数個のメサと複数個の溝との所定領域に、誘電体層が、複数個のメサのうち上記所定領域内の各メサの頂部、複数個の溝の各々の両側面および底部ならびに端子領域の頂部を覆うまで上記の誘電体層を形成し、

複数個のメサと複数個の溝との所定領域から上記の誘電体層を取除いて、複数個の溝の底部にある誘電体層を除去し、

作動領域と端子領域との間の境界の領域上に保護シールド(遮蔽部)を形成し、

その後複数個のメサと複数個の溝との所定領域の上から保護シールドを部分的に除去し、

複数個のメサと複数個の溝との所定領域の少なくとも 1 つのメサに、隣接対の溝において、1 つの溝の側壁面で、第 1 導電率形のドーパントをドーピングし、上記の 1 つの溝の側壁面に、強くドーピングされた領域より低いドーピング濃度を有する第 1 導電率形の第 1 ドーピング領域を形成し、

複数個のメサと複数個の溝との所定領域の上記少なくとも 1 つのメサに、第 1 導電率形

10

20

30

40

50

のドーパントを打込んだ側壁に対向する上記の少なくとも1つのメサの側壁面で、第2導電率形のドーパントを、ドーブし、第1導電率形のドーパントをドーブした側壁に対向する側壁面に第2導電率形の第2ドーブ領域を設けるもの。

【請求項3】

請求項2に記載した半導体デバイスの製造方法であって、保護シールドを形成する工程が、

複数個のメサと複数個の溝との所定領域の上にフォトレジストの層を沈着させ、

複数個のメサと複数個の溝との所定領域の各側の最後の溝の外側壁上のフォトレジストが保護され、上記の所定領域の残りの個所は保護されないように、マスクを置き、

フォトレジストの保護されていない部分を、紫外線光、深紫外線光、電子ビームおよびX線を含むグループから選ばれたフォトレジスト反応体に晒すことからなるものにおいて、

10

上記の保護シールドを部分的に除去する工程が

複数個のメサと複数個の溝との所定領域上からマスクを除き、

反応したフォトレジストを構造体から取り除き、

複数個のメサと複数個の溝の所定領域を湿式エッチング法によりエッチングして、反応しなかったフォトレジストにより誘電体層が保護されていた、上記の所定領域の各側の最後の溝の外側壁をのぞいて、上記の所定領域から反応しなかったフォトレジストと誘電体層とを除去し、上記の誘電体層は上記の各最後の溝の外側壁へのイオン打込みを阻止するため残されているもの。

20

【請求項4】

請求項3に記載した半導体デバイスの製造方法であって、

第2ドーブ領域と電氣的に連結する第3ドーブ領域を第1および第2ドーブ領域の第1主表面に設け、

第1導電率形の第4ドーブ領域を、これが第3ドーブ領域を挟んで第1ドーブ領域と対向するように、上記の1つの溝の第1主表面と側壁面の少なくとも1方に設け、

ゲート電極層を、第1ドーブ領域と第4ドーブ領域との間で、ゲート絶縁層を介在させて第3ドーブ領域に対向させて設けることからなるもの。

【請求項5】

請求項4に記載した半導体デバイスの製造方法であって、ゲート電極層が少なくとも1つの溝に形成されるもの。

30

【請求項6】

請求項4に記載した半導体デバイスの製造方法であって、ゲート電極層が第1主表面上に形成されるもの。

【請求項7】

請求項2に記載した半導体デバイスの製造方法であって、保護シールドを形成する工程が、

複数個のメサと複数個の溝との所定領域を乾式エッチング法を用いてエッチングして、複数個の溝の各々の両側部と底部とにある誘電体層を除去し、

マスクを、このマスクの開口部のみが、作動領域の各側の最後の溝とこれに隣接するメサ領域上に位置するように位置決めし、

40

作動領域の最後の溝とこれに隣接するメサ領域のみが、フォトレジストが沈着する領域であるようにフォトレジストの層をマスク上に沈着させることからなるものにおいて、

部分的に保護シールドを除去する工程が、最後の溝とこれに隣接するメサ領域とを除いて、フォトレジストが沈着するのを阻止したマスクを除去することからなるもの。

【請求項8】

請求項7に記載した半導体デバイスの製造方法であって、更に、

第2ドーブ領域と電氣的に連結する第3ドーブ領域を第1および第2ドーブ領域の第1主表面に設け、

第1導電率形の第4ドーブ領域を、これが第3ドーブ領域を挟んで第1ドーブ領域と対

50

向するように、上記の複数の溝の第1主表面と側壁面のいずれかに設け、

ゲート電極層を、第1ドーピング領域と第4ドーピング領域との間で、ゲート絶縁層を介在させて第3ドーピング領域に対向させて設けることからなるもの。

【請求項9】

請求項7に記載した半導体デバイスの製造方法であって、ゲート電極層が第1主表面上に形成されるもの。

【請求項10】

請求項7に記載した半導体デバイスの製造方法であって、更に、

第2ドーピング領域と電氣的に連結する第3ドーピング領域を第1および第2ドーピング領域の第1主表面に設けることからなるもの。

10

【請求項11】

請求項7に記載した半導体デバイスの製造方法であって、更に、電極層を第1ドーピング領域とオーム接触させるもの。

【請求項12】

請求項7に記載した半導体デバイスの製造方法であって、更に、

半導体デバイスの製造において第1および第2導電率形のドーパントの各々の拡散長さが、隣接対の溝の側壁面から、第1および第2ドーピング領域のP-N接合までの距離より長いもの。

【請求項13】

請求項2に記載した半導体デバイスの製造方法であって、更に、

第2ドーピング領域と電氣的に連結する第3ドーピング領域を第1および第2ドーピング領域の第1主表面に設けることからなるもの。

20

【請求項14】

請求項2に記載した半導体デバイスの製造方法であって、更に、

電極層を第1ドーピング領域とショットキー(Schottky)接触させることからなるもの。

【請求項15】

請求項2に記載した半導体デバイスの製造方法であって、

半導体デバイスの製造において第1および第2導電率形のドーパントの各々の拡散長さが、隣接対の溝の側壁面から、第1および第2ドーピング領域のP-N接合までの距離より長いもの。

30

【請求項16】

請求項2に記載した半導体デバイスの製造方法であって、複数の溝の各側壁面が、第1主表面に対し所定の傾斜角度を維持するもの。

【請求項17】

請求項2に記載した半導体デバイスの製造方法であって、乾式エッチング法を用いて、複数のメサと複数の溝との所定領域から誘電体層を除去するもの。

【請求項18】

請求項2に記載した半導体デバイスの製造方法であって、第1導電率形のドーパントが第1所定打込み角度でドーピングされるもの。

【請求項19】

請求項2に記載した半導体デバイスの製造方法であって、第2導電率形のドーパントが第2所定打込み角度でドーピングされるもの。

40

【請求項20】

請求項2に記載した半導体デバイスの製造方法であって、更に、

複数の溝に絶縁材料を充填し、

構造体の頂面を平坦化して、

その構造体に超接合装置を形成するもの。

【請求項21】

請求項2に記載した半導体デバイスの製造方法によって形成された半導体デバイス。

50

【請求項 22】

以下の製造方法によって、形成された半導体デバイスであって、その方法は、

相互に対向する第1及び第2の主表面を有する半導体基板を設け、上記の半導体基板は、第2主表面に第1導電率形の強くドーパされた領域を有し、第1主表面に第1導電率形の弱くドーパされた領域を有する、

上記の半導体基板において、その作動領域に複数個の溝と複数個のメサとを形成し、各溝は、強くドーパされた領域に向け、第1主表面から第1深さ位置まで延びる第1延長部分を有し、各メサは側壁面を有し、上記の複数個の溝の各々は、複数個のメサの1つにより、その他の溝の各々から離れていて、

作動領域と、作動領域の外側およびこれに隣接する端子領域内に伸びる、複数個のメサと複数個の溝との所定領域を、複数個のメサのうち上記所定領域内の各メサの頂部、複数個の溝の各々の両側面および底部ならびに端子領域の頂部を酸化物が覆うまで酸化し、

複数個のメサと複数個の溝との所定領域とをエッチングして、複数個の溝の底部にある酸化物を除去し、

作動領域と端子領域との間の境界の所定領域上に保護シールドを形成し、

その後複数個のメサと複数個の溝との所定領域の上から保護シールドを部分的に除去し、

複数個のメサと複数個の溝との所定領域の上記少なくとも1つのメサに、隣接対の溝において、1つの溝の側壁面で、第1導電率形のドーパントを打込み、上記の1つの溝の側壁面に、強くドーパされた領域より低いドーパ濃度を有する第1導電率形の第1ドーパ領域を形成し、

複数個のメサと複数個の溝との所定領域の少なくとも1つのメサに、第1導電率形のドーパントを打込んだ側壁に対向する上記の少なくとも1つのメサの側壁面で、第2導電率形のドーパントを打込んで、第1導電率形のドーパントを打込んだ側壁に対向する側壁面に第2導電率形の第2ドーパ領域を設け、

複数個の溝に絶縁材料を充填し、

構造体の頂面を平坦化することからなるもの。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、作動領域の最後の溝の、イオンが打込まれていない外側壁を含む縁部端子構造体を備えた半導体デバイスの製造方法、特に、作動中の抵抗が低く破壊電圧の高い、電力スイッチングに適した金属酸化物(MOS)ゲート半導体である半導体デバイスに関するものである。

【背景技術】

【0002】

米国特許第5,216,275号に開示されている、キシンビ チェン博士(Dr. Xingbi Chen)による超接合装置の発明以来、彼の発明の超接合効果を拡大及び改良する多くの試みがなされた。米国特許第6,410,958号および米国特許第6,300,171号ならびに米国特許第6,307,246号はそのような努力の例であり、これらを言及することによりそれらの内容を本願に組み込むこととする。

【0003】

米国特許第6,410,958号(Usui, et al.)は縁部端子構造と半導体構成要素としてのドリフト領域に関する。1つの導電率形の半導体本体は、他の導電率形の複数個の領域が2つ以上の異なる面に埋め込まれている縁領域を有する。半導体構成要素の作動領域の下方に、その下にある基板を用いてドリフト領域が結合されている。

【0004】

米国特許第6,307,246号(Nitta, et al.)は高電圧維持縁部構造体を有する半導体構成要素を開示する。この構造体内では、多数の平行に結合した個別の構成要素がセル通路の多数のセルに配置されている。縁領域では、半導体構成要素は、遮光源ゾーン領域

10

20

30

40

50

を備えたセルを有する。この遮光源ゾーン領域では電力半導体構成要素の整流中、不均一に大きい逆電流密度によって寄生バイポーラートランジスタの電源が入るのを抑制する。更に、遮光源ゾーン領域を有する縁部構造体は、Nitta, et al.で論じられている科学技術条件で非常に簡単に製造できる。Nitta, et al.はパラメータの効果を明確にし、on状態で導電し、off状態では、導電しない平行PN層からなるドリフト層を有する超接合半導体デバイスの大量生産を可能にしている。N形のドリフト領域での作動不純物の総量は、P形の区分領域の作動不純物の総量の100%から150%の範囲内である。加えて、N形ドリフト領域とP形区分領域とのいずれか一方の幅は、他方の領域の94%から106%の範囲内である。

【0005】

米国特許第6,300,171号(Frisina)は、高電圧半導体デバイスの縁部構造体の製造方法を開示する。この方法は、第1導電率形の第1半導体層を形成する第1工程と、この第1半導体層の頂面上に第1マスクを形成する第2工程と、このマスクの一部を除去して、マスクに少なくとも1つの開口部を形成する第3工程と、この少なくとも1つの開口部を介して、第1半導体層に第2導電率形のドーパントを導入する第4工程と、第1マスクを完全に除去し、第1半導体層上に、第1導電率形の第2半導体層を形成する第5工程と、第1半導体層に打込んだドーパントを拡散させて、第1および第2の半導体層に第2導電率形のドーパされた領域を形成する第6工程とを含む。第2工程から第6工程までを1回以上繰り返し、多数の第1導電率形の積層された半導体層と、第2導電率形の2列以上のドーパ領域を含む最終縁部構造体を形成する。上記の列は、上記の多数の積層された半導体層に挿入され、その後マスクの開口部を介して打込まれたドーパ領域を積層することにより形成され、高電圧半導体デバイスに近い列は、それより遠い列よりも深い。

【0006】

半導体デバイスの製造のため、唯一のエピタキシャル沈着工程を使用する方法に匹敵する技術を用いて製造される、イオンが打込まれていない、作動領域の最後の溝の外側壁を備えた縁部端子領域を提供することが望ましい。

【0007】

【特許文献1】米国特許第5,216,275号

【特許文献2】米国特許第6,410,958号

【特許文献3】米国特許第6,300,171号

【特許文献4】米国特許第6,307,246号

【発明の開示】

【課題を解決するための手段】

【0008】

簡単に述べると、本発明は、相互に対向する第1及び第2の主表面を有する半導体基板を設けることを含む半導体デバイスの製造方法からなる。上記の半導体基板は、第2主表面に第1導電率形の強くドーパされた領域を有し、第1主表面に第1導電率形の弱くドーパされた領域を有する。この方法は、上記の半導体基板において、その作動領域に複数個の溝と複数個の台地(メサ)とをエッチングして設けることを含む。各溝は、強くドーパされた領域に向け、第1主表面から第1深さ位置まで伸びる第1延長部分を有し、各メサは、第1主表面に対し所定の傾斜を維持する側壁面を有する。上記の複数個の溝の各々は、複数個のメサの1つにより、その他の溝の各々から離れている。この方法は、作動領域と、作動領域の外側およびこれに隣接する端子領域内に伸びる、複数個のメサと複数個の溝との所定領域を、各メサの頂部、複数個の溝の各々の両側壁面および底部ならびに端子領域の頂部を酸化物が覆うまで酸化することを含む。この方法は、複数個のメサと複数個の溝との所定領域を、乾式酸化物エンチング法によってエッチングし、複数個の溝の底部にある酸化物を除去することを含む。この方法は、作動領域と端子領域との間の境界の所定領域上に保護シールドを形成し、その後複数個のメサと複数個の溝との所定領域の上から保護シールドを部分的に除去することを含む。この方法は、複数個のメサと複数個の溝との所定領域の少なくとも1つのメサに、隣接対の溝において、1つの溝の側壁面で、第

10

20

30

40

50

1 導電率形のドーパントを、第 1 所定打込み角度で打込み、上記の 1 つの溝の側壁面に、強くドーピングされた領域より低いドーピング濃度を有する第 1 導電率形の第 1 ドーピング領域を形成することを含む。また、この方法は、複数のメサと複数の溝との上記所定の少なくとも 1 つのメサに、第 1 導電率形のドーパントを打込んだ側壁に対向する上記少なくとも 1 つのメサの側壁面で、第 2 導電率形のドーパントを、第 2 所定打込み角度で打込んで、第 1 導電率形のドーパントを打込んだ側壁に対向する側壁面に第 2 導電率形の第 2 ドーピング領域を設けて、複数の溝の少なくとも 1 つの溝の深さ方向に沿って位置する第 1 および第 2 ドーピング領域の P-N 接合を形成すると共に、作動領域の、イオンが打込まれていない外側壁を設けることを含む。この方法は、複数の溝に絶縁材料を充填し、構造体の頂面を平坦化して、超接合装置をこの構造体上に形成することを含む。

10

【0009】

本発明の第 2 実施例では、半導体デバイスの製造方法は、第 1 及び第 2 の主表面を有する半導体基板を設けることを含む。この半導体基板は、第 2 主表面に第 1 導電率形の強くドーピングされた領域を有し、第 1 主表面に第 1 導電率形の弱くドーピングされた領域を有する。複数の溝と複数のメサとが基板に形成されており、各溝は、強くドーピングされた領域に向け、第 1 主表面から第 1 深さ位置まで伸びる第 1 延長部分を有し、その側壁面は、第 1 主表面に対し所定の傾斜を維持する。上記の複数の溝の各々は、メサ領域により、その他の溝から離れている。次の工程で、酸化物が沈着されて各メサの頂部ならびに各溝の側壁と底部とを酸化物の厚い層で被覆する。この方法は乾式酸化物エンチング法を用いて、各溝の側壁上と底部にある酸化物を除去することを含む。ついで、最後の溝とこの溝に隣接するメサの一部を除いて所定領域の溝とメサ上にマスクが置かれる。フォトリソが沈着されて、マスクが取り除けられる。この方法は、所定領域の溝とメサとのイオン打込みを含む。然し、フォトリソが最後の溝の上に置かれているので、この溝へのイオン打込みは阻止される。構造体の他方端上の最後の溝へのイオン打込みも、同様の方法で阻止される。マスクが置かれているので、フォトリソが最後の溝と、これに隣接するメサの一部上に沈着し、マスクが除かれる。この溝へのイオン打込みは、また、フォトリソにより阻止される。最後の溝へのイオン打込みを阻止することにより、この基板の上に形成されるデバイスの雪崩破壊電圧の劣化を防ぐ。イオン打込み後フォトリソが溝とメサとから取りのけられる。最後の溝を洗浄した後、全ての溝に絶縁材料が充填され、デバイスの頂面が平坦化される。ついで基板が超接合装置の形成準備態勢にはいる。

20

30

【発明を実施するための最良の形態】

【0010】

上記の要約ならびに以下の本発明の好ましい実施例の詳細な説明は、添付図面と共に読めばより良く理解される。本発明を図示するため、図中には、現在好ましい実施例が図示されているが、本発明は、開示されている装置および手段そのものに限定されるものではない。

【0011】

ある種の言葉が便宜上のみ以下の記載に使用されているが、これに限るものではない。“右”、“左”、“下方”および“上方”の言葉は、言及している図面の方向を示すものである。“内方”および“外方”の言葉は、記載している物体とその示されている部分の幾何学的中心に向かうおよびこれから遠のく方向のことを言う。加えて、クレームおよび明細書の対応部分中で使われている“a”の言葉は“少なくとも 1 つの”を意味する。

40

図 1 から図 11 は、本発明の第 1 の好ましい実施例による、従来の端子を備えた超接合装置の製造方法を示す。

【0012】

図 1 に関しては、強くドーピングされた N^+ 基板 3 と弱くドーピングされた N^- 層 5 とを含む半導体ウエハの部分図が示されている。ここで用いられているように、導電率とは、記載の実施例に制限されるが、当業者であれば、P 形導電率は、N 形導電率に変えることができ、上記の半導体デバイスはそれでも機能的には正しい(即ち、第 1 あるいは第 2 導電率

50

形を用いると言っている。) ことが分かる。よって、ここで使用する場合、NまたはPと言っているのはNはPに置き換えることができ、PはNに置き換えることができることを意味する。

【0013】

図2に関しては、当業界で周知の技術を用いて、N⁻層5がエッチングされて、エッチングで形成された溝の底部が、N⁺基板3と、N⁻層5と間の界面に接触あるいは接近している。このエッチング方法で、溝9とメサ11とが形成されている。メサ11は、この方法で、トランジスタ装置をその上に形成する構造体を形成する、周囲の端子領域に対向する作動領域にあるので、“デバイス・メサ”と言う。メサ11に隣接する溝9の幅(A)はその他の溝と比べてほぼ同じである。明確には図示していないが、溝9は、各々、溝埋め方法を容易にするため各底部より各頂部において1%から10%分広いほうが好ましい。よって、メサ11の側壁面は、エピタキシャル層5の第1主表面に対し所定の傾斜を維持する。溝9が、基板(強くドーピングされている領域)3に向け、エピタキシャル層5の第1主表面から第1深さ位置まで深さ(B)で伸びているが、基板(強くドーピングされた領域)3に到る全ての距離に亘って延びる必要はない。

10

【0014】

図3は、化学蒸着法(CVD)により、深さ約1~3マイクロメートル(μm)の酸化物層7で各メサ11の頂部と各溝9とを被覆した後の複数個のメサ11と、複数個の溝9とを示す。

【0015】

図4は、当業界では周知のタイプの乾式酸化物エッチング工程により、複数個の溝9の各々の底部から酸化物7を除去した後の図3の構造体を示す。

20

【0016】

図5は、当業者には周知の方法でフォトレジストの層13を沈着させた後の図4の構造体を示す。

【0017】

図6は、マスク15(即ち、保護シールド)を置き、既知の反応体17を、マスク15では保護されない非保護フォトレジスト13にあてがった図5の構造体を示す。マスク15は、全ての端子領域と、作動領域と端子領域との間の境界に近接した所定の領域にある作動領域の一部との上に置くのが好ましい。既知の反応体17は紫外線光、深紫外線光、電子ビーム、X線等を含む。

30

【0018】

図7は、反応したフォトレジスト13は取り除かれ、反応しないフォトレジスト(以前はマスクの下にあったもの)が当業界では既知の場所に残っている図6の構造体を示す。

【0019】

図8は、湿式酸化物エッチング工程でフォトレジスト13と、作動領域の各側の最後の溝の外壁上と、端子領域の頂部上の酸化物19以外の酸化物を除いた後の図7の構造体を示す。

【0020】

図9は、第1所定角度 Φ (即ち、第1所定打込み角度 Φ)で、図8の構造体へのイオン打込みを示す。第1所定打込み角度 Φ は、溝9の幅(A)と深さ(B)とで決定され、(即ち、 $A/B = \tan \Phi$ (正接)) 垂線から約2度から12度までである。イオンは、各溝9の底部に打込まれない角度 Φ で打ち込まれる。周囲の領域に打込みの拡散が起こらないよう溝9の底部へのイオンの打込みは回避される。イオンの打込みは、約30~200キロ電子ボルト(keV)のエネルギー・レベルで、約 1×10^{13} から $1 \times 10^{14} \text{ cm}^{-2}$ の範囲(即ち、約 1×10^{13} から $1 \times 10^{14} \text{ cm}^{-2}$)のドーピング量で行われる。よって、第1導電率形のドーパントは、複数個のメサと複数個の溝との所定領域の少なくとも1つのメサに、隣接する対の溝9において、1つの溝9の一側面で打込まれ、1つの溝9の一側面に、強くドーピングされた領域より低いドーピング濃度を有する第1導電形の第1ドーピング領域を形成する。図示のように、最後の溝9の外壁上の酸化物19(図9左側)が

40

50

その面へのイオン打込みを阻止している。

【0021】

図10は、第2所定角度 Φ' (即ち、第2所定打込み角度 Φ')での、図9の構造体へのイオン打込みを示す。第2所定打込み角度 Φ' も、溝9の幅(A)と深さ(B)とで決定され、(即ち、 $-A/B = \text{打込み角度}\Phi'$ のタンジェント)垂線から約 -2 度から -12 度までである。イオンは、各溝9の底部に打込まれない角度 Φ' で打ち込まれる。第1所定打込み角度 Φ と第2所定打込み角度 Φ' とはほぼ同じ大きさでも、少し異なっても良い。周囲の領域に打込みの拡散が起こらないよう溝9の底部へのイオンの打込みは回避される。イオンの打込みは、約 $30 - 200 \text{ keV}$ のエネルギー・レベルで、約 $1 \text{ E } 13$ から $1 \text{ E } 14 \text{ cm}^{-2}$ の範囲のドーパ量で行われる。よって、第2導電率形のドーパントは、複数個のメサ11と複数個の溝との所定領域の少なくとも1つのメサ11に、第1導電率形のドーパントが打込まれた側壁と対向している上記の少なくとも1つのメサの側壁面に打込まれ、第1導電率形のドーパントが打込まれた側壁に対向する側壁面に第2導電率形の第2ドーパ領域を設け、複数個の溝9の少なくとも1つの深さ方向にそって位置する第1および第2ドーパ領域のP-N接合を形成すると共に、作動領域の、イオンが打込まれていない外側壁を設ける。図示のように、最後の溝9の外壁上の酸化物19 (図9右側)がその面へのイオン打込みを阻止している。

10

【0022】

図11は、図9と図10の構造体の溝9から酸化物19が除去された後の第10の構造体に形成されている超接合装置を示す。全ての溝9に絶縁材料28が充填され、頂面が平坦化されている。構造体に超接合装置を製造した後イオン打込み22を行い、イオンを打込んだ領域にゲート20を沈着し、ゲート導電体26およびゲート酸化物24を加える。これら全ては、当業界で既知の方法で為される。よって、ゲート電極層20は、溝9の少なくとも1つでその第1主表面上に形成される。ゲート電極層20は、第1ドーパ領域とオーム接触しているが、ショットキー(Schottky)接触しているほうが好ましい。

20

【0023】

この構造体に建造ないし形成された装置の性能は、従来の半導体トランジスタ装置に比べて、雪崩破壊電圧(V_b)特性が向上している。第2ドーパ領域と電氣的に連結する第3ドーパ領域を第1および第2ドーパ領域の第1主表面に設け、第1導電率形の第4ドーパ領域を、これが第3ドーパ領域を挟んで第1ドーパ領域と対向するように、上記の1つの溝9の第1主表面と側壁面の1方あるいは両方に設けることにより追加の打込みをすることもできる。ゲート電極層20は、第1ドーパ領域と第4ドーパ領域との間で、ゲート絶縁層を介在させて第3ドーパ領域に対向させて設けられている。

30

【0024】

図12から図17は、本発明の第2実施例による、従来の端子を備えた超接合装置を製造する方法を示す。

【0025】

図12は、酸化物の沈着とその後の溝9の側壁と底部とのエッチング後の図2の構造体を示す。

【0026】

図13は、マスク(図示されていないが、図6のマスクと同様のもの)が、作動領域の片側の最後の溝9(左側)と、これに隣接するメサ領域の一部にのみフォトリジスト23を沈着するため置かれ、フォトリジスト23が沈着された後の図12の構造体を示す。フォトリジスト23が溝の両側壁へのイオンの打込みを阻止する。

40

【0027】

図14は、第1所定角度 Φ での、図13の構造体へのイオン打込みを示す。第1所定角度 Φ は、溝9の幅(A)と深さ(B)とで決定され、(即ち、 $A/B = \text{打込み角度}\Phi$ のタンジェント)垂線から約 2 度から 12 度までである。イオンは、各溝9の底部に打込まれない角度 Φ で打ち込まれる。周囲の領域に打込みの拡散が起こらないよう溝9の底部へのイオンの打込みは回避される。イオンの打込みは、約 $30 - 200 \text{ keV}$ のエネルギー・レベ

50

ルで、約 1×10^{13} から $1 \times 10^{14} \text{ cm}^{-2}$ の範囲のドーパ量で行われる。よって、第1導電率形のドーパントは、複数のメサ11と複数の溝9との所定領域の少なくとも1つのメサに、隣接対の溝9において、1つの溝9の側壁面で、打込まれ、上記の1つの溝9の一側面に、強くドーパされた領域より低いドーパ濃度を有する第1導電形の第1ドーパ領域を形成する。図示のように、最後の溝9のフォトレジスト23(左側)が溝9へのイオン打込みを阻止している。

【0028】

図15は、マスク(図示されていないが、図6のマスクと同様のもの)を、最後の溝9(右側)と、図13のフォトレジスト23の位置とは反対側の作動領域側の、この溝と隣接するメサ領域の一部にのみフォトレジスト25を沈着するため置かれ、フォトレジスト25が沈着された後の図14の構造体を示す。フォトレジスト25は溝の両側壁へのイオンの打込みを阻止する。

【0029】

図16は、第2所定角度 Φ' (即ち、第2所定打込み角度 Φ')での、図15の構造体へのイオン打込みを示す。第2所定打込み角度 Φ' は、溝の幅(A)と深さ(B)とで決定され、(即ち、 $-(A/B) = \text{打込み角度}\Phi'$ のタンジェントで)垂線から約 -2° から -12° までである。イオンは、各溝9の底部に打込まれない角度 Φ' で打ち込まれる。周囲の領域に打込みの拡散が起らないよう溝9の底部にはイオンの打込みは回避される。イオンの打込みは、約30から200 keVのエネルギー・レベルで、約 1×10^{13} から $1 \times 10^{14} \text{ cm}^{-2}$ の範囲のドーパ量で行われる。よって、第2導電率形のドーパントは、複数のメサ11と複数の溝との所定領域の少なくとも1つのメサ11に、第1導電率形のドーパントが打込まれた側壁に対向する上記の少なくとも1つのメサの側壁面で、打込まれ、第1導電率形のドーパントが打込まれた側壁に対向する側壁面に第2導電率形の第2ドーパ領域を設け、複数の溝9の少なくとも1つの深さ方向にそって位置する第1および第2ドーパ領域のP-N接合を形成すると共に、作動領域の、イオンが打込まれていない外側壁を設ける。図示のように、最後の溝9のフォトレジスト25(右側)が溝9へのイオン打込みを阻止している。

【0030】

よって、第2の好ましい実施例では、最後の溝9(図中右あるいは左)上にフォトレジスト23、25が置かれ、溝9へのイオンの打込みが阻止されている。構造体の他端での最後の溝9へのイオンの打込みも同様に阻止される。最後の溝9(図中右と左)へのイオンの打込みを阻止することにより、基板上に形成されるデバイスの雪崩破壊電圧(V_b)の劣化を防ぐ。フォトレジスト23、25はイオン打込み後メサ11及び溝9から取り除けられる。

【0031】

図17は、図14に示されているフォトレジスト23と図16に示されているフォトレジスト25が構造体から除去され、溝9に絶縁材料28が充填され、頂面が平坦化された後の図16に対応する構造体を示す。構造体に超接合装置を製造した後イオン打込み22を行い、イオンを打込んだ領域にゲート20を沈着し、ゲート導電体26およびゲート酸化物24を加える。これら全ては、当業界で既知の方法で為される。よって、ゲート電極層20は、溝9の少なくとも1つでその主表面上に形成される。ゲート電極層20は、第1ドーパ領域とオーム接触しているが、ショットキー(Schottky)接触しているほうが好ましい。この構造体に建造ないし形成された装置の性能は、従来の半導体トランジスタ装置に比べて、雪崩破壊電圧(V_b)特徴が向上している。

【0032】

第2ドーパ領域のP-N接合を提供する。そして作動領域上に従来のMOS電界効果トランジスタ(MOSFET)装置が、ゲート酸化物層24の形成、ゲート導電体26の沈着と形成およびゲート電極20の沈着を含む周知の工程を用いて、作製される。選択的に第2導電率形の作動領域を打込み、その後選択的に第1導電率形の領域を打込む追加の工程によりデバイスが完成する。前面の領域と後面への接点も作られ、パッシベーション膜

10

20

30

40

50

が沈着され、パターン化されデバイスの製造順序が終了する。

【0033】

上記より、本発明は、半導体デバイスおよび半導体デバイスの製造方法に関する。当業者であれば、上記の実施例には、その広い発明概念から逸脱することなく変形が可能であることが感得せられる。よって、本発明は、開示されている特定の実施例に限定されるものではなく、本発明の精神内の変形例もカバーするものである。

【図面の簡単な説明】

【0034】

【図1】本発明の第1の好ましい実施例による、エピタキシアル層があてがわれた半導体基板の部分断面図である。

【図2】エッチングでエピタキシアル層に溝を形成した後の図1の半導体基板およびエピタキシアル層の部分断面図である。

【図3】酸化物沈着工程後の図2の構造体の部分断面図である。

【図4】乾式エッチング工程後の図3の構造体の部分断面図である。

【図5】フォトリソ層沈着後の図4の構造体の部分断面図である。

【図6】マスクが置かれ、反応媒体が非保護領域にあてがわれているのを示す図5の構造体の部分断面図である。

【図7】反応したフォトリソ層が取り除けられた後の図6の構造体の部分断面図である。

【図8】湿式酸化物エッチング法により、残っているフォトリソ層と、作動領域の最後の溝の外壁上のもの以外の酸化物とを除いた後の図7の構造体の部分断面図である。

【図9】第1打込み角度でのイオン打込みを示す図8の構造体の部分断面図である。

【図10】第2打込み角度でのイオン打込みを示す図8の構造体の部分断面図である。

【図11】図10の構造体に形成された超接合装置を示す部分断面図である。

【図12】本発明の第2実施例による、酸化物の沈着と、その後の溝の側壁と底部とのエッチング後の図2対応の構造体を示す部分断面図である。

【図13】構造体の片側の最後の溝をマスクすると共にフォトリソ層を沈着させた後の図12の構造体を示す部分断面図である。

【図14】或る第1角度でのイオン打込みを示す図13の構造体の部分断面図である。

【図15】構造体の図13とは反対側の最後の溝にマスクをすると共に、フォトリソ層を沈着させた後の図12の構造体を示す部分断面図である。

【図16】或る第2角度でのイオン打込みを示す図15の構造体の部分断面図である。

【図17】図16の構造体に形成された超接合装置を示す部分断面図である。

【符号の説明】

【0035】

- 3 基板
- 20 ゲート（ゲート電極層）
- 22 イオン打ち込み（イオン打ち込み領域）
- 24 ゲート酸化物（ゲート酸化物層）
- 26 ゲート導電体
- 28 絶縁材料

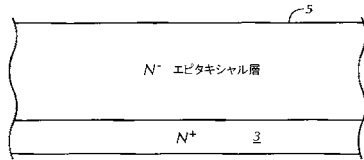
10

20

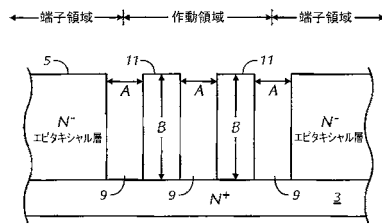
30

40

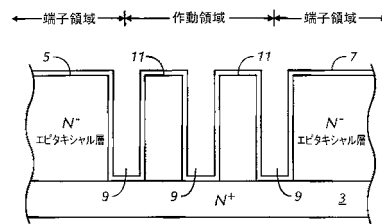
【図 1】



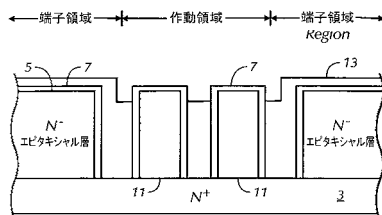
【図 2】



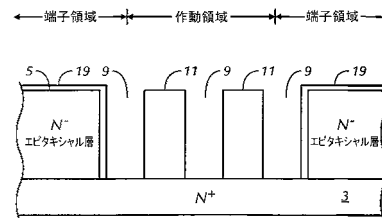
【図 3】



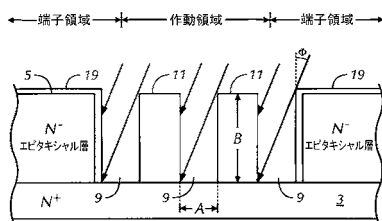
【図 7】



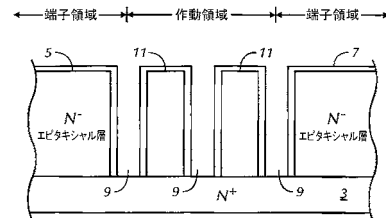
【図 8】



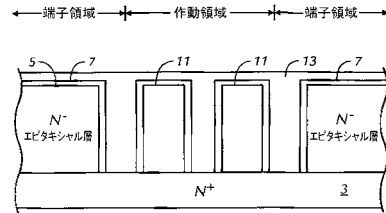
【図 9】



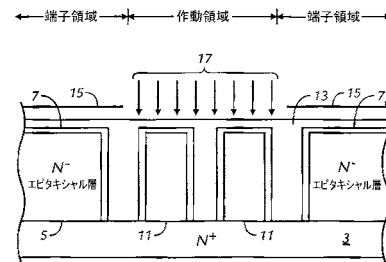
【図 4】



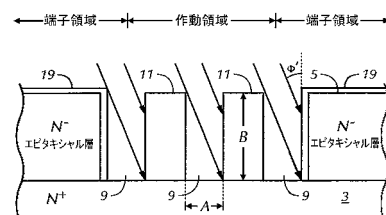
【図 5】



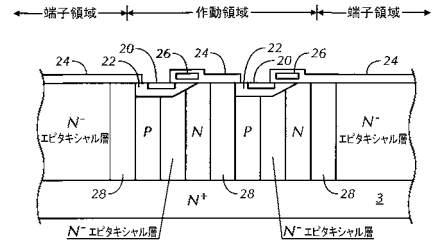
【図 6】



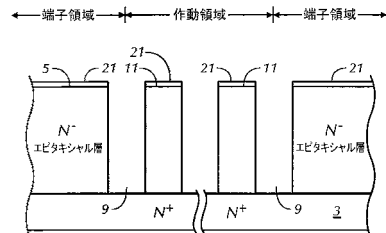
【図 10】



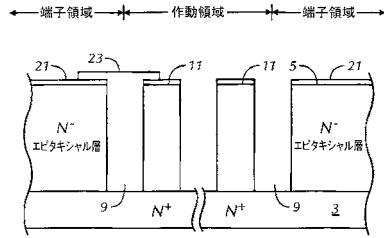
【図 11】



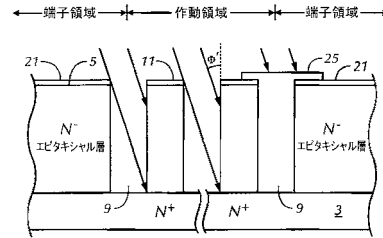
【図 12】



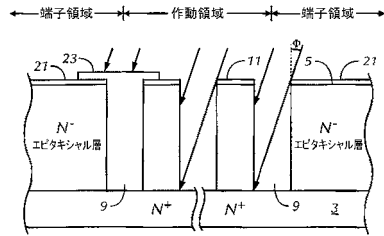
【図 1 3】



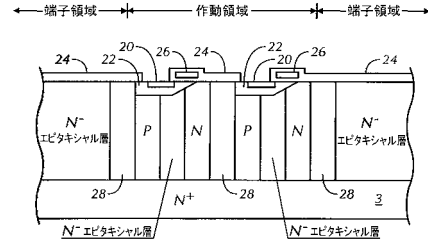
【図 1 6】



【図 1 4】



【図 1 7】



【図 1 5】

