

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁶
H01L 21/76

(45) 공고일자 1997년01월13일
(11) 공고번호 97-0000552

(21) 출원번호	특1987-0014760	(65) 공개번호	특1988-0008451
(22) 출원일자	1987년12월21일	(43) 공개일자	1988년08월31일
(30) 우선권 주장	945,742 1986년12월22일 미국(US)		
(71) 출원인	텍사스 인스트루먼트 인코포레이티드	엔. 라이스 머레트	
	미합중국 텍사스 달라스 노오스 센트랄 익스프레스 웨이 13500		
(72) 발명자	루이스 니콜라스 허터		
	미합중국 75081 텍사스 리차드슨 실버 홀리 레인 2303		
	제임스 도간 군		
	미합중국 75243 텍사스 달라스 그린 애쉬 로드 10227		
	슈-항 안		
	미합중국 75081 텍사스 리차드슨 우드글렌 드라이브 2304		
	고팔 케이. 라오		
	네덜란드 왕국 벨드호벤 5508 디브이 커미스 버그 5		
(74) 대리인	장수길		

심사관 : 정경덕 (책자공보 제4782호)

(54) 기판의 표면 접촉부를 갖고 있는 딥 트렌치 분리 구조물 및 이의 제조 방법

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

기판의 표면 접촉부를 갖고 있는 딥 트렌치 분리 구조물 및 이의 제조 방법

[도면의 간단한 설명]

제1도 내지 제7도는 본 발명의 분리 트렌치를 제조할 때의 스텝을 도시한 단면도.

제8도 내지 제11도는 트렌치를 통해 기판에 형성된 상부 표면 접촉부를 갖고 있는 본 발명의 선택적인 분리 트렌치의 단면도.

* 도면의 주요부분에 대한 부호의 설명

10 : P-형 반도체 기판	12 : 매립층
14 : 에피택셜층	16, 20, 38, 40 : 이산화 실리콘층
18, 46, 60 : 질화 실리콘층	22, 62, 67 : 포토레지스트 마스크층
24 : 트렌치 개구	26 : 트렌치
28, 30 : 수직 트렌치 측벽	32 : 저부
34, 36 : 우물 또는 탱크	42, 44 : 외부 사각형 트렌치 모서리
52 : 폴리 실리콘 물질	53 : 도전성 폴리 실리콘층
54 : 침단부	56 : 포토레지스트 물질
58 : 캡 이산화물	61 : 접지
64, 66 : 필드 산화물	68, 70 : P형 반도체 영역
74, 78 : 접촉 전극	

[발명의 상세한 설명]

본 발명은 반도체 구조물 및 이의 제조 방법에 관한 것으로, 특히 기판상에 형성된 반도체 회로들 사이에 측방향 분리를 제공하기 위한 방법 및 구조물에 관한 것이다.

반도체 산업은 상당히 높은 회로 집적레벨의 필요성에 계속 직면하였다. 이 목적을 달성하기 위한 한 방법은 소형 회로가 실현 되도록 기존의 회로를 스케일링(scaling)하여, 추가적으로 회로가 칩내에 집적될 수 있게 하는 것을 포함한다.

패킹(packaging) 밀도를 증가시키기 위한 집적 회로의 스케일링은 트랜지스터 피취(feature)의 측방향 크기를 감소시킴으로써 달성된다. 일반적으로, 다수의 포토리소그래픽(photolithographic) 마스크는 최종 회로의 크기가 감소되도록 크기가 감소한다. P-채널(PMOS) 절연 게이트 전계 효과 트랜지스터 및 N-채널(NMOS) 트랜지스터의 스케일링은 트랜지스터의 피취가 반도체 본체(body)의 면에 측방향으로 배향되므로, 성능이 크게 저하되지 않고서 수행될 수 있다. 또한, 바이폴라 트랜지스터도 패킹 밀도를 증가시키기 위해 스케일될 수 있지만, 이 장치의 측방향 크기는, 이 종류의 장치가 측방향 동작 장치가 아니고, 반도체 본체의 면에 직교하는 반도체층의 특정한 수직 공간에 좌우되므로, 용이하게 스케일될 수 없다.

집적 회로를 스케일링하는 것의 주요 관점은 회로들 사이에 유지되어야 하는 전기적 분리이다. 다시 말하면, 그렇지 않고 바람직하지 않는한, 한 회로의 전기 동작은 이웃 회로의 동작과 무관해야 한다. 회로, 특히 바이폴라 형태의 회로를 분리하기 위하여 종래에 사용한 한가지 방법은 P-형 기판상에 N-형 매립층(buried layer)을 형성하고 그위에 P-형 에피택셜층을 피착하는 것이다. N-우물(N-well)은 에피택셜층 내에 상기 매립층과 접촉되도록 형성된다. 바이폴라 트랜지스터의 베이스 및 에미터 형태 뿐만 아니라 콜렉터 접촉부가 N-우물 내에 형성된다. N-우물을 둘러싸는 에피택셜층은 효율적으로 인접 회로로부터 바이폴라 트랜지스터를 분리시킨다. 이 분리 기술은 통상적으로 콜렉터 확산형 분리 기술로서 불려진다.

접합 기술을 사용하는 또 다른 회로 분리 기술은 통상적으로 표준 매립형 콜렉터 기술로서 불려진다. 표준 매립형 콜렉터 기술은 콜렉터 확산형 분리 기술과 유사하지만, 에피택셜층 내에 반도체 우물을 형성하는 대신에, 환상(annular) P-형 분리링(ring)이 매립 콜렉터 상에 배치된 N-형 에피택셜층 주위에 형성되므로, 인접 회로로부터 에피택셜 우물을 분리시킨다. 베이스, 에미터 및 콜렉터 접촉 반도체 영역은 분리된 에피택셜 영역내에 형성된다.

또 다른 분리 기술은 매립 콜렉터로부터 떨어져 간격을 두고 매립 콜렉터를 둘러싸는 P-형 반도체 재료로 된 환상링이 형성되는 것을 포함한다. 에피택셜층이 그 위에 피착되고, 제2P-형 환상링이 저부 분리링상에 배치된 에피택셜층 내에 형성된다. 상부 및 저부 P-형 분리링의 열 확산은 이러한 링들이 결합되게 하므로, 에피택셜 영역 부분을 둘러싸서 인접 회로로부터 이 에피택셜 영역부를 분리시키게 된다.

이전에 개발된 이러한 접합 분리 기술의 단점은 분리 구조물 자체를 형성하는 데에 상당한 양의 측방향 웨이퍼 영역이 필요하다는 것이다. 접합형 분리 기술을 사용할 때 직면하는 웨이퍼 영역 문제점은 에피택셜층이 비교적 두꺼워야 하는 고전압 바이폴라 트랜지스터를 제조할 때 더욱 심각해진다. 이 상황에서, 반도체 본체의 표면으로부터 기판까지 연장되는 확산 분리 영역도 상당한 웨이퍼 영역이 사용되는 정도로 측방향으로 확산된다. 더우기, 인접 회로들 사이의 브레이크 다운(breakdown) 또는 펀치-스루(punch-through)를 방지하기 위해, 소정량의 소모(wasted) 측방향 영역이 인접 회로의 분리 확산부들 사이에 보존되어야 한다. 분리 확산부 및 소모 공간에 필요한 웨이퍼 영역은 전체 회로 영역의 1/2 이상을 차지한다.

반도체 회로를 제조할 때 종래에 사용한 또 다른 분리 기술은 분리될 회로들 사이에 형성된 산화물 분리부를 이용하는 것이다. 산화물 분리부를 사용하는 한가지 기술은 회로 영역을 마스크하고 하부 기판으로 에피택셜층을 통해 선택적으로 산화시키는 것을 포함한다. 그러므로, 인접 회로는 실리콘 산화물에 의해 전기적으로 분리된다. 이 기술은 얇은 에피택셜층내에 형성된 회로의 분리 기술에 제한된다. 이 방법을 두꺼운 에피택셜층에 관련하여 사용하면 불균일한 지형 표면이 발생할 수 있다. 이 기술로 분리 산화물을 형성할 때, 산화물은 측방향 확산을 하게 되어 액티브 회로 영역(active circuit area)으로 침범하게 된다.

또 다른 산화물 분리 기술은 반도체 재료로 비등방성으로 에칭되고, 고온 산화로 인하여 결정체 결합이 후속적으로 형성되는 것을 감소시키기 위해 상부 트렌치(trench) 모서리에 경사지게 에칭된 딥(deep) 트렌치를 형성하는 것이다. 그 후, 얇은 실리콘 산화물층이 트렌치 측벽상에 형성된다. 질화 실리콘층은 트렌치 측벽상에 피착되고, 트렌치는 다결정성 실리콘으로 채워진다. 후속 마스크링, 패터닝 및 제조 스텝용으로 적합한 지형을 형성하는 데에 웨이퍼 표면의 평면화가 필요하다. 이 기술은 고속 바이폴라 VLSI의 분리 기술 페이지 62~65, 제82권 IEEE저어널, 1982(Isolation Technique for High Speed Bipolar VLSI's, PP. 62-65, Vol.82 IEEE Journal, 1982.)라는 논문에서 기술되어 있다.

딥 트렌치를 형성하는 것에 관련된 주요 결정은 후속 산화 스텝과 같은 웨이퍼의 후속 어닐링(annealing) 또는 열처리에 의해 야기되는 트렌치에 인접한 영역내의 실리콘 반도체 재료가 손상된다는 점이다. 트렌치의 모서리는 트렌치로부터 상당거리 연장되는 결정의 전위 및 결함을 발생시키기 위한 메카니즘인 것으로 공지되어 있다. 일반적으로, 이 결함들을 갖고 있는 실리콘 물질내에 형성된 반도체 회로는 누설 가능 PN 접합을 나타내어 회로 성능을 심하게 저하시킨다.

일반적으로, 산화 분리의 또 다른 결정은 표면으로부터 하부 기판까지 전기적 액티브 물질이 더 이상 없다는 것이다. 이 결정은 종종 후측(backside) 상에 기판 접촉부를 제공함으로써 우회할 수 있다. 웨이퍼의 후측 처리 공정은 칩에 헤더를 합금 장착시키는 기술을 비롯하여, 특별한 패키징(packaging) 기술을 필요로 한다.

상술한 설명으로부터, 알거나 깊게 될 수 있고 상당히 적은 측방향 웨이퍼 영역을 필요로 하는 인접 반도체 회로의 분리 방법 및 구조물이 필요하다는 것을 알 수 있다. 인접 회로들을 분리함과 동시

에, 이들 인접 회로들 사이에 전기 차폐부(shield) 뿐만아니라 하부 기판으로의 표면 접촉부를 제공하는 방법이 동시에 필요하다.

본 발명에 따르면, 본 명세서에 기술된 분리 기술 및 구조물은 종래 기술에 관련된 단점 및 결점을 감소시키거나 제거한다. 본 발명의 분리 기술에 따르면, 적당한 깊이의 트렌치가 액티브 반도체 재료를 통해 기판에 이르기까지 형성되고 이것의 측벽상의 얇은 분리 물질층을 형성하도록 산화된다. 질화물층과 같은 산화물 장벽은 트렌치의 측벽 및 저부를 비롯하여 웨이퍼의 표면상에 형성된다.

이때, 웨이퍼는 저부 트렌치에서 질화물 및 실리콘 산화물 뿐만 아니라 상부 표면 질화물 및 실리콘 산화물을 제거하는 반응성 이온 에칭(RIE)을 받게 된다. 최종 웨이퍼는 트렌치 측벽상의 질화물과 연결된 질화 실리콘 표면층을 포함한다. 그러나, 트렌치의 저부는 기판의 노출 표면으로 구성된다. 트렌치의 상부 모서리 주위에 형성된 질화물 마스크는 후속적으로 필요한 웨이퍼의 산화 처리 공정 중에 발생할 수 있는 실리콘 결정의 전위 및 결함을 방지하기 위한 산화 장벽 마스크를 제공한다.

그 다음, 높게 도핑된 다결정성 실리콘(폴리실리콘)의 적합한 층이 트렌치를 완전히 채우기에 충분한 두께로 웨이퍼의 표면상에 피착된다. 중요하게도, 도전성 폴리실리콘은 하부 기판과 트렌치 저부에서 전기적으로 접촉된다. 적합한 폴리실리콘층은 다수의 산화 스텝을 비롯한 후속 회로 제조 용으로 적합한 표면을 제공하도록 평면화된다.

이 기술에 제공된 기술적인 장점은 상부 트렌치 모서리를 덮고 있는 질화물층이 실리콘 결정 격자내의 전위중심(dislocation center)을 생성시키는 실리콘의 양방향 성장(bidirectional growth)을 방지한다는 것이다. 기판과 전기 접촉하여 형성된 도전성 다결정 실리콘 트렌치에 의하여, 전형적인 기판의 접지는 트렌치의 각각의 열에 형성된 회로를 분리시키는 정전 차폐부를 제공한다.

본 발명의 다른 실시예에서, 트렌치의 도전성 폴리실리콘을 통해 상부 표면 접촉부가 형성되어 상부 표면 기판 접촉부를 제공한다. 폭이 단지 2~3미크론으로 될 수 있는 트렌치와 같은 매우 좁은 분리 트렌치의 경우에는, 상부 표면 접촉부를 정렬하기가 어렵다. 본 발명의 또 다른 형태에서, 분리 트렌치는, 이 트렌치에 인접하고 에피택셜 영역과 반대의 도전성 형태의 반도체 영역을 웨이퍼면 내에 포함한다. 표면-배향 영역은 도체가 좁은 트렌치의 도전성 폴리실리콘과 접촉하도록 형성될 수 있는 증가된 영역을 제공한다. 기판이 상부 도체를 접지시키는 것에 의한 것과 같이 전위에 관련될 때에는, 표면 배향 반도체 영역 및 그 밑의 에피택셜 영역이 역바이어스 접합부를 형성하므로, 에피택셜 영역으로부터 상부측 기판 도체를 분리시키게 된다.

이하, 본 발명의 양호한 실시예를 도시한 첨부 도면을 참조하여 본 발명의 특징 및 장점에 대하여 상세히 설명하겠다. 도면에서, 동일한 부분에는 동일한 참조 번호를 붙였다.

다음 설명은 다수의 반도체층을 통해 하부 기판에 형성된 분리 트렌치 및 이외 제조 방법에 관해 기술한 것이다. 반도체층 및 불순물 종류는 임의적이고, 본 발명의 원리 및 개념을 기술하기 위해서만 사용된다.

제1도를 참조하면, 예시적인 집적 회로가 P-형 반도체 기판(10)을 기초로 하여 형성한다. 고농도로 도핑된 매립층(12)는 종래의 이온 주입 및/또는 피착 공정에 의해 기판(10)상에 형성된다. 에피택셜층의 두께는 공칭적으로 8미크론 두께로 될 수 있는데, 에피택셜층 내에 형성하고자 하는 장치의 형태에 따라 변한다. 매립층(12)는 바이폴라 트랜지스터 회로내의 매립 콜렉터(buried collector)로서 사용하기에 적합한 N-형 불순물로 고농도로 도핑된 것으로 도시되어 있다. 선택적으로, 매립층(12)는 N-형 물질의 역도오프 표면층을 형성하기 위해 P-형 기판내에 N-형 불순물을 확산시킴으로써 형성될 수 있다.

또 하나의 반도체 재료 층(14)는 매립층(12)상의 에피택셜 공정에 의해 피착될 수 있다. 에피택셜층(14)는 NPN 바이폴라 트랜지스터 또는 P-채널MOSFET 트랜지스터를 형성할 때 사용하기에 적합한 N-형 도전성을 갖고 있는 것으로 도시되어 있다. 에피택셜층(14)는 저전압 바이폴라 트랜지스터 및 MOSFET 트랜지스터용으로 2~3미크론의 두께로 피착되거나, 또는 고전압 바이폴라 트랜지스터용으로 큰 깊이로 피착될 수 있다.

제2도는 얇은 이산화실리콘층(16), 질화실리콘층(18), 및 두꺼운 이산화실리콘층(20)이 에피택셜층(14)의 표면상에 형성된 후의 웨이퍼의 구조를 도시한 것이다. 이산화실리콘층(16)은 산소의 존재 하에서 에피택셜층(14)의 상부 표면의 산화에 의해 약 1,000 Å의 두께로 형성된다. 질화실리콘층(18)은 이산화실리콘층(16)의 표면상에 저압 화학 증착(LPCVD) 공정에 의해 약 1,000 Å의 두께로 증착될 수 있다. 이산화실리콘층(16)은 질화물층(18)이 에피택셜 물질(14)에 접촉하지 못하게 하기 위해 질화물층(18)이 형성되기 이전에 에피택셜층(14)의 표면상에 형성된다. 질화실리콘층(18)은 후속 산화 처리 공정 스텝 중에 에피택셜층(14)의 상부 표면이 이산화실리콘으로 변환되지 못하게 하는 산화 장벽(oxidation barrier)을 형성한다.

두꺼운 이산화실리콘층(20)은 트렌치를 형성하기 위한 후속 에칭중에 사용하기 위해 질화실리콘층(18)상에 피착된다. 이산화실리콘층(20)은 종래의 테트라에톡시실란(tetraethoxysilane : TEOS)의 분해에 의해 14,000~ 15,000 Å의 두께로 형성될 수 있다. 그 다음에는 포토레지스트 마스크층(22)가 이산화실리콘층(20)의 표면상에 회전에 의해 피착된다. 포토레지스트 마스크층(20)은 트렌치의 위치를 정하기 위해 개구(24)를 형성하도록 패턴화된다. 제2도의 단면도는 단일 개구를 도시하였는데, 실제로는, 패턴화된 포토레지스트 마스크(22)는 회로를 형성하기를 원하는 하부 에피택셜 영역을 둘러싸는 트렌치 개구를 정하게 된다.

트렌치 개구(24)에 의해 정해진 이산화실리콘층(16 및 20)의 부분 및 질화실리콘층(18)의 부분을 제거하기 위해 웨이퍼에 반응성 이온 에칭과 같은 건식 에칭을 하게 된다. 이때, 포토레지스트 마스크층(22)가 제거된다.

제3도에 관련하여 설명하면, 반응성 이온 에칭 처리 공정은 수직측벽(28 및 30) 및 저부(32)를 갖고 있는 트렌치(26)이 하부 반도체층 내에 형성될 때까지 계속된다. 반응성 이온 에칭 처리 공정의 사

용에 의해, 거의 수직인 트렌치 측벽(28 및 30)이 형성된다. 마스크층(22)에 의해 정해진 개구에 따라서, 트렌치 폭은 2~3미크론 정도로 작게 될 수 있다. 이러한 크기의 분리부를 형성함으로써, 최소의 측방향 웨이퍼 영역이 분리 목적을 위해 사용된다. 더우기, 에피택셜 물질(14)에 의해 형성된 사각형 상부 트렌치 모서리에 의해, 필요한 분리 트렌치 영역은 종래 기술에 기술된 바와 같이 트렌치 모서리를 테이퍼링 할 때 사용한 영역보다 감소된다. 그러므로, 대부분의 웨이퍼 영역이 회로 장치의 제조에 사용될 수 있으므로, 회로 자체를 위해 웨이퍼를 최적화하여 사용할 수 있게 된다.

제3도를 다시 참조하면, 트렌치(26)은 에피택셜층(14) 및 고농도로 도핑된 매립층(12)을 통해 기판(10)에 이르기까지 형성된다. 실제로, 기판 물질의 일부는 트렌치(26)의 저부 표면(32)을 정한다. 에피택셜층(14) 및 매립층(12)을 트렌치(26)과 분리시킴으로써, 다수의 분리된 반도체 영역이 형성되는데, 이 영역들은 각각 개별적으로 동작하는 회로를 내부에 제조하기 위해 사용될 수 있다. 그러나, 기판(10)은 모든 분리 반도체층에 공통적이다. 통상적으로 우물 또는 탱크(tank)라 칭하는 독립적인 반도체 영역은 참조번호(34 및 36)으로 도시되어 있다.

제4도에 도시한 바와 같이, 웨이퍼는 다시 얇은 이산화실리콘층(38 및 40)이 트렌치(26)의 각각의 측벽(28 및 30)상에 형성되는 산화 분위기에 있게 된다. 측벽 이산화실리콘(38 및 40)은 표면층(16)의 깊이와 거의 동일한 깊이로 형성되는데, 이 2개의 층은 외부 사각형 트렌치 모서리(42 및 44)에서 함께 병합(merge)되거나 결합된다. 원래의 상부 표면 질화실리콘층(18)은 산화 장벽으로서 작용하므로, 에피택셜 영역(34 및 36)의 상부 표면상에서 이산화실리콘이 추가로 성장하지 못하게 한다.

추가적인 질화실리콘층(46)은 트렌치 측벽 산화물(38 및 40)을 포함하는 웨이퍼의 표면뿐만 아니라 트렌치(26)의 산화 저부(32)상에 피착된다. 질화물층(46)은 다수의 동종(homogeneous)층을 형성하도록 최초 질화물층(18)과 결합한다.

이제, 제5도를 참조하면, 웨이퍼는 추가의 반응성 이온 에칭후에 나타나는 형태로서 단면도로 도시되어 있다. 반응성 이온 에칭 처리 공정은 특성면에서 비등방성인데, 예를 들어, 이것은 물질을 한 방향으로 제거시키는게 효율적이다. 이 상황에서, 물질은 하향 방향으로 선택적으로 제거되므로, 트렌치의 저부(32) 뿐만 아니라 웨이퍼의 상부 표면상에 형성된 측방향 피착 질화실리콘층(46)을 제거시킨다. 반응성 이온 에칭 처리 공정은 트렌치의 저부(32)상의 산화물이 제거될 때까지 계속되어, 기판(10)의 노출된 표면을 남긴다. 피착된 이산화물층(20)의 다른 부분은 건식 에칭에 의해 제거된다. 그러나, 파착된 이산화물(20)의 제거는 불합리한데, 그 이유는 이것의 유일한 목적이 다수의 에칭 스텝에 의해 하부 질화물층(18)이 제거되지 못하게 보호하기 위한 것이기 때문이다.

제6도를 보면, 그 다음에는 폴리실리콘의 원래 위치에 P+가 도핑된 일치하는 층이 웨이퍼 표면상에 LPCVD공정에 의해 피착된다. 폴리실리콘은 트렌치(26)의 측벽내에 밀접하게 되기에 충분한 깊이로 피착되므로, 이 트렌치(26)을 완전히 채우게 된다. 중요하게도, 트렌치(26)의 저부에 도우프된 폴리실리콘은 반도체 기판 물질(10)과 물리적 및 전기적으로 병합되거나 결합된다. 결과적으로, 트렌치(26)을 채우는 도전성 폴리실리콘(53)은 기판(10)과 전기 접촉된다. 폴리실리콘 피착부(52)의 적합한 특성으로 인해, 첨단부(cusp, 54)가 트렌치(26)상에 형성된다.

폴리실리콘 보충물(53)은 무겁게 도우프된 P+ 물질로서 피착될 수 있거나, 트렌치(26)을 채우기 위해 P-형 불순물로 선택적으로 확산 또는 주입시킴으로써 층내에 선택적으로 피착될 수 있다. 진성 폴리실리콘으로 트렌치(26)을 채우고, 이를 통해 하부 기판(10)까지 도판트(dopant)를 확산시키는 것을 비롯한 그밖의 다른 트렌치 보충 기술이 사용될 수 있다.

반도체 영역(34 및 36)의 상부에 주로 배치된 폴리실리콘 물질(52)를 제거하기 위하여, 포토레지스트 물질(56)이 웨이퍼의 표면에 회전에 의해 피착된다. 일반적으로, 포토레지스트 물질(56)은 비등사적(nonconformal), 상부 표면이 평평하게 된다. 포토레지스트의 에칭비가 폴리실리콘 물질(52)의 에칭비와 동일한 건식 에칭 공정이 개발된다. 그러므로, 웨이퍼에 건식에칭 평면화 공정을 수행하면, 웨이퍼의 표면은 점차적으로 균일하게 제거되므로, 첨단부(54)가 제거된다. 평면화 에칭은 폴리실리콘층(52)가 피착된 이산화실리콘층(20)의 상부영역에서 제거될 때까지 계속된다. 다량의 이산화실리콘층(20)이 일종의 에칭 시스템내에서 검출될 때, 폴리실리콘(52)가 제거되었다는 것을 알게 된다. 그 다음에, 에칭 공정은 정지되고, 남아있는 유일한 폴리실리콘은 트렌치(26)내에 존재하는 것이다. 나머지 이산화실리콘층(20)은 다른 종래의 에칭 공정에 의해 제거될 수 있다.

제7도에 도시한 바와 같이, 웨이퍼는 얇은 이산화물 캡(58)이 트렌치 폴리실리콘(53)의 상부상에 형성되는 산화 분위기에 있게 된다. 웨이퍼의 나머지 표면 영역이 최초 질화물층(18)에 의해 덮여지기 때문에, 다른 이산화실리콘 성장은 어느 곳에서도 발생하지 않는다. 캡 이산화물(58)은 이산화물층(16)의 깊이와 거의 동일한 깊이로 성장된다. 추가의 질화실리콘층(60)은 웨이퍼의 표면에 형성되어, 최초 질화물층(18)의 표면과 결합된다.

그 다음, 웨이퍼는 에피택셜 영역(34 및 36) 내에 회로를 제조하기 위한 후속 처리공정을 위해 준비된다. 중요하게도 상술한 바와 같이, 고온 산화 스텝을 비롯한 후속 웨이퍼 처리 공정은 외부 사각형 트렌치 모서리(42 및 44)에 형성되는 실리콘 결정체의 전위(dislocation) 문제가 없이 실행될 수 있다. 본 발명의 다른 기술적인 장점에 따르면, 기판(10)이 접지(61)과 같은 회로 전위에 접속될 때, 트렌치의 도전성 폴리실리콘(53)도 접지 전위에 있게 되므로, 에피택셜 영역(34와 36) 사이에 정전 차폐부를 제공하게 된다. 이것은 비전도성 트렌치 보충물이 기생 트랜지스터의 게이트 절연물로서 작용할 수 있는 기생 FET 트랜지스터로 인한 이러한 영역(34와 36) 사이의 전위 전기 결합(potential electric coupling)을 감소시킬 때 중요한데, 이것은 수직 바이폴라 트랜지스터를 형성하는 영역과 같은 반도체 영역이 트렌치의 한쪽에서 FET 트랜지스터 피쳐로서 작용할 수 있는 상황에서 발생할 수 있다. 이러한 상황에서, 트렌치의 다른쪽의 반도체 영역에 인가된 전위는 이러한 다른쪽에 배치된 바이폴라 트랜지스터의 떨어진 영역들 사이에 FET 도전성 채널이 형성되게 할 수 있다.

본 발명의 다른 중요한 특징에 따르면, 트렌치 보충물의 도전성 물질(53)을 사용하여 상부측 기판 접촉부가 제조될 수 있다. 상부측 접촉부는 추가의 마스크 스텝을 필요로 하지 않고, 집적 회로의 나머지 부분을 제조할 때 사용하는 동일한 스텝에 의해 형성될 수 있다. 예를 들면, 반도체 탱크 또는 우물이 집적 회로내의 다른 곳에 형성될 때, 트렌치 보충물(53)으로의 접촉부를 정하는 웨이퍼 영역상에 포토레지스트 마스크층(62)이 피착될 수 있다. 포토레지스트 물질(62)은 제8도에 도시한 바와 같이 패턴화된다. 패턴화된 포토레지스트(62)는 상부측 기판 접촉부용의 확장된 측방향 접촉 영역을 제공하기 위해 각각의 에피택셜 영역(34 및 36)내의 하부 반도체 영역을 덮도록 패턴화된다. 마스크(62)에 의해 노출된 최초 이산화실리콘층(16) 부분은 에칭 공정에 의해 제거된다. 마스크되지 않은 질화실리콘(60)이 제거된 후에는, 포토레지스트(62)가 제거된다. 일반적으로, 트렌치 영역의 상부에 배치된 질화물 패드(60)은 산화실리콘이 패턴화된 질화물에 의해 덮인 영역에 성장하지 않도록 산화 마스크를 제공한다.

다음에는, 웨이퍼가 두꺼운 필드 산화물(64 및 66)이 질화물 산화 장벽(60)에 의해 덮여있지 않은 영역내에 성장되는 산화 분위기에 있게 된다. 이 스텝은 제9도에 도시되어 있다. 필드 산화물(64 및 66)은 산화물층(16)과 동일 물질로 된다.

그 다음, 웨이퍼는 질화물 산화 마스크(60), 및 트렌치 보충물(53)을 덮고 있는 얇은 산화 실리콘(58)을 제거하기에 적합한 공정에 의해 에칭된다. 결과적으로, 트렌치 보충물이 트렌치에 인접한 에피택셜 영역(34 및 36)의 표면 영역과 마찬가지로 노출된다.

제10도에서는, 추가의 포토레지스트(67)이 도시한 바와 같이 웨이퍼상에 회전에 의해 피착되고 트렌치 영역을 개방하기 위해 패턴화된 것으로 도시되어 있다. 고농도로 도핑된 P-형 반도체 영역(68 및 70)은 이온 주입(72)에 의해 에피택셜 영역(34 및 36) 각각의 면에 형성된다. 트렌치 보충물(53)은 P-형 불순물로 이미 고농도로 도핑되어 있으므로, 주입에 의해 영향을 받지 않는다. 붕소 또는 그 밖의 다른 유사한 불순물이 주입된 P-형 영역(68 및 70)을 형성하기 위해 사용될 수 있다. 포토레지스트 마스크(67)는 웨이퍼의 다른 영역에 P-형 불순물이 주입되는 것을 방지하기 위한 장벽으로서 작용한다. 포토레지스트(67)은 주입 후에 제거되고, 그 후 웨이퍼를 어니얼링함으로써 이온이 활성화된다. 이온 주입이 측방향 도전성 영역(68 및 70)을 형성하는데에는 바람직하지만, 확산 공정을 이온 주입 대신에 사용할 수 있다.

모든 회로가 형성된 후, 상부측 기판은 웨이퍼 회로의 종래의 금속 공정에 따라 금속화된다. 금속화의 패터닝 스텝에서는, 트렌치 보충물(53) 및 반도체 영역(68 및 70)상의 영역내에 개구가 형성된다.

제11도에 도시한 바와 같이, 도전성 물질의 층 또는 금속층이 웨이퍼의 표면에 형성되어, 도전성 트렌치 보충물(53)상에 접촉 전극(74)을 형성하도록 마스크되고 패턴화된다(도시하지 않음). 트렌치 자체가 매우 좁은 상황에서, 추가적인 측방향 도전성 영역(68 및 70)은 좁은 트렌치 보충물(53)과 접촉하게 하면서 접촉 전극(74)의 어느 정도의 오정렬을 허용한다. 그 다음에, 접촉 전극(74)는 접지(76)되어 트렌치의 도전성 폴리실리콘 보충물(53)을 통해 기판(10)에 접지 전위를 제공하도록 할 수 있다. P-형 도전성으로 되는 측방향 영역(68 및 70)에 의하여, 이러한 영역과 대응 에피택셜 영역(34 및 36) 사이에 역바이어스 접합부가 형성되므로, 접촉 전극(78)을 액티브 반도체 영역(34 및 36)으로부터 전기적으로 분리된 상태로 유지시킨다.

제11도의 상부측 기판 접촉부는 집적 회로의 다른 회로와 동일한 공정 마스크 및 금속화 스텝을 사용하여, 바람직하게는 웨이퍼 제조 공정시의 최종 스텝으로서 형성된다.

금속화 스텝은 실리콘 산화 스텝보다 상당히 낮은 온도에서 행해지기 때문에, 결정체 결함을 형성하는 위험이 감소된다.

이상 반도체 회로내에 분리 트렌치를 제조하기 위한 방법 및 구조물에 대해 기술하였다. 트렌치 구조물의 한가지 기술적인 장점은 고온 산화 공정에 의해 야기되는 결정체 결함 및 전위로부터 인접한 반도체 영역을 보호하는 산화 장벽으로부터 생긴다. 본 발명의 다른 기술적인 장점은 기판과 전기적으로 접촉되는 트렌치의 도전성 보충물이다. 이 도전성 트렌치 보충물은 인접한 반도체 영역들 사이의 정전 차폐부로서 작용하므로, 이들 사이의 전기적인 간섭 및 기생 트랜지스터 작용을 감소시킨다. 트렌치의 도전성 보충물에 관련된 본 발명의 또 다른 기술적인 장점은 웨이퍼 기판으로의 상부측 접촉을 허용한다는 점이다. 트렌치의 도전성 보충 물질에 접촉하고 하부 기판과 간접적으로 접촉하여 웨이퍼의 상부 표면에 형성된 접촉 전극은, 웨이퍼의 상부에서 기판에 전위를 인가할 수 있게 한다.

본 명세서에 기술된 스텝은 본 발명의 원리 및 개념의 응용만을 설명한 것으로, 본 분야에 숙련된 기술자들은 본 발명의 원리 및 범위를 벗어나지 않고서 다수의 다른 스텝 및 물질을 사용할 수 있다.

(57) 청구의 범위

청구항 1

기판 상의 제1도전형 반도체 재료에서 회로들을 절연시키는 방법에 있어서, 상기 반도체 재료를 통하여 상기 기판까지 연장되는 트렌치를 상기 반도체 재료 내에 형성하는 단계, 상기 트렌치의 외부 모서리 주위에 산화 장벽을 형성하되, 상기 장벽이 하부 반도체 재료의 열 산화로 인한 팽창으로부터 상기 외부 모서리를 보호하도록 상기 트렌치 내에 측방향 외향 및 수직으로 연장되도록 하는 단계, 상기 트렌치를 도전성 물질로 채워서 상기 도전성 물질이 상기 트렌치의 밑바닥에서 상기 기판과 전기적으로 접촉되도록 하는 단계, 및 상기 트렌치의 상부에 상기 도전성 물질로의 접촉부를 형성하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 2

제1항에 있어서, 질화물층으로 상기 트렌치의 상기 외부 모서리를 코팅함으로써 상기 산화 장벽을 형성하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 3

제2항에 있어서, 상기 질화물층과 상기 반도체 재료 사이에 얇은 이산화실리콘층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 4

제1항에 있어서, 높은 도전성의 다결정성 실리콘으로 상기 트렌치를 채우는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 5

제1항에 있어서, 상기 트렌치의 상부에 인접하여 제2도전형의 제2반도체 영역을 형성하여, 상기 접속부가 상기 제2반도체 영역을 적어도 부분적으로 덮도록 하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 6

제1항의 방법에 따라 제조된 반도체 구조물.

청구항 7

베이스를 형성하는 기판을 갖고 있는 집적 회로 내에 상부 표면 접속부를 갖고 있는 트렌치 분리부를 제조하는 방법에 있어서, 상기 기판과 반대의 도전형으로 된 반도체 재료의 에피택셜층을 형성하는 단계, 외부 모서리를 갖는 트렌치를 상기 반도체 재료를 통하여 상기 기판 까지 형성하는 단계, 상기 트렌치의 측벽 상에 전기 절연부를 형성하되, 상기 트렌치의 저부에는 상기 전기 절연부가 없도록 유지하면서 형성하는 단계, 상기 트렌치를 도전성 물질로 채워서, 상기 도전성 물질이 상기 트렌치의 저부에서 상기 기판과 전기적으로 접촉되도록 하는 단계, 및 상기 에피택셜층의 외부에 상기 트렌치의 상부에 배치된 상기 도전성 물질로의 접속부를 형성하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 8

제7항에 있어서, 상기 절연부는 상기 트렌치의 측벽 표면을 산화시킴으로써 형성되는 것을 특징으로 하는 방법.

청구항 9

제8항에 있어서, 적어도 상기 트렌치의 외부 모서리에서는, 산화 처리된 트렌치 측벽 위에 산화 장벽을 형성하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 10

제7항에 있어서, 인-시추(in situ) 도핑된 다결정성 실리콘으로 상기 트렌치를 채우는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 11

제7항에 있어서, 상기 트렌치가 채워질 때까지 다결정성 실리콘층과 도펀트를 연속적으로 피착시키는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 12

제7항에 있어서, 다결정성 실리콘으로 상기 트렌치를 채우고, 상기 다결정성 실리콘을 통하여 상기 기판까지 불순물을 확산시키는 단계를 더 포함하는 것을 특징으로하는 방법.

청구항 13

제7항에 있어서, 상기 기판과 동일한 도전형의 불순물로 도핑된 다결정성 실리콘으로 상기 트렌치를 채우는 단계를 더 포함하는 것을 특징으로하는 방법.

청구항 14

제7항에 있어서, 상기 트렌치의 상부에 인접하여 측방향 반도체 영역을 형성하는 단계를 더 포함하고, 상기 측방향 반도체 영역은 상기 반도체 재료의 도전형과 반대의 도전형을 갖고 있는 것을 특징으로 하는 방법.

청구항 15

제14항에 있어서, 적어도 부분적으로 상기 측방향 반도체 영역을 덮는 접속부를 형성하는 단계를 더 포함하는 것을 특징으로하는 방법.

청구항 16

제7항에 방법에 따라 제조된 반도체 구조물.

청구항 17

절연 영역을 갖고 있는 반도체 구조물에 있어서, 제1도전형의 반도체 기판, 상기 기판 상에 형성되어 있으며 제2도전형의 물질로 이루어진 반도체 재료층, 상기 반도체 재료층 내에 있고 이 층을 통하여 상기 기판까지 연장되어, 상기 반도체 재료층의 두 개의 반도체 영역을 그 대향하는 쪽에 각각 형성하기 위한 트렌치, 상기 트렌치를 채우고 이 트렌치의 저부에서 상기 기판과 전기적으로 접촉되는 도전성 반도체 물질, 상기 트렌치를 채우는 반도체 물질과 상기 반도체 재료층 사이에 형성되고 이 반도체 재료층의 외부 표면상에 적어도 부분적으로 측방향으로 연장되는 산화 장벽, 및 상기 트렌치를 채우는 물질의 상부와 전기적으로 접속되도록 형성된 상부 접속부를 포함하는 것을 특징으로 하는 반도체 구조물.

청구항 18

제17항에 있어서, 상기 산화 장벽과 상기 반도체 재료층 사이에 얇은 절연층을 더 포함하는 것을 특징으로 하는 반도체 구조물.

청구항 19

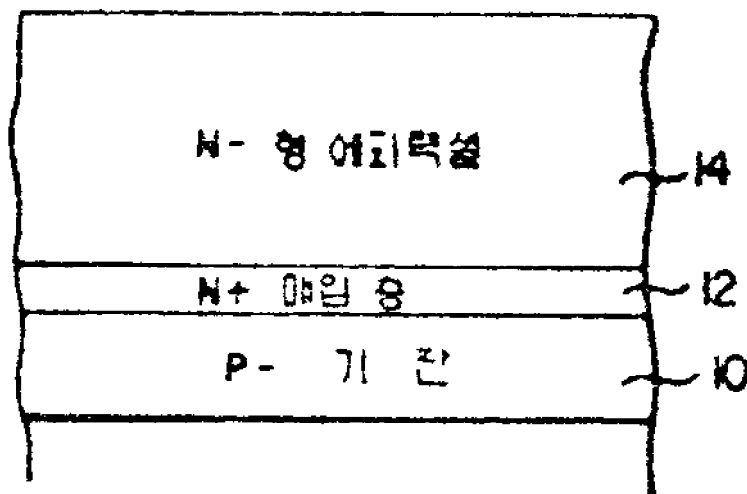
제17항에 있어서, 상기 반도체 재료층의 일면에 형성되고 상기 트렌치를 채우는 물질에 인접하여 상기 상부 접속부와 전기적으로 접속되는 반도체 영역을 더 포함하는 것을 특징으로 하는 반도체 구조물.

청구항 20

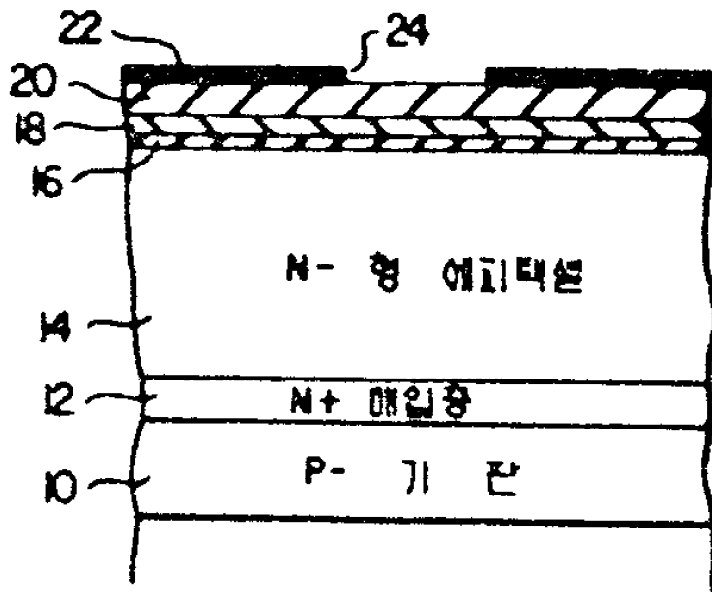
제17항에 있어서, 상기 상부 접속부가 회로 접지에 접속되는 것을 특징으로 하는 반도체 구조물.

청구항 21

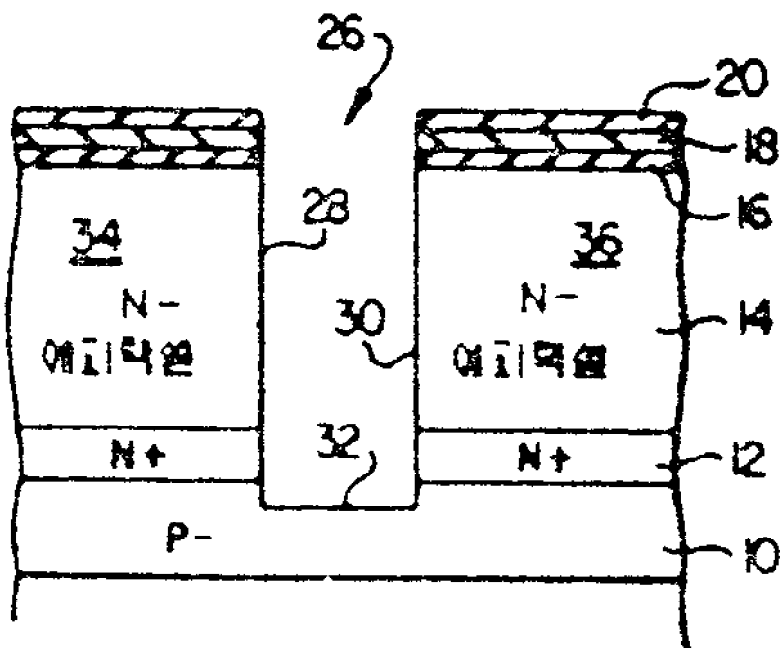
제19항에 있어서, 상기 트렌치를 채우는 물질 및 상기 반도체 영역이 상기 제1도전형으로 형성되는 것을 특징으로 하는 반도체 구조물.

도면**도면1**

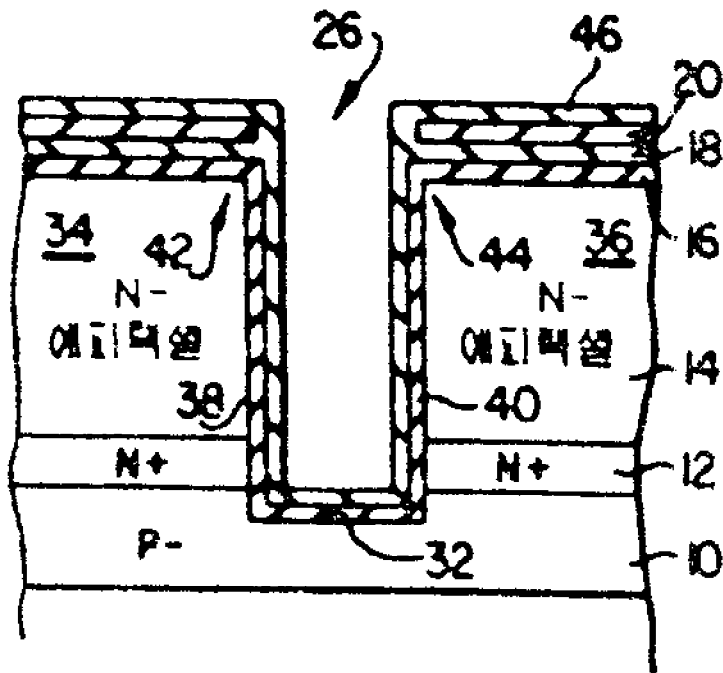
도면2



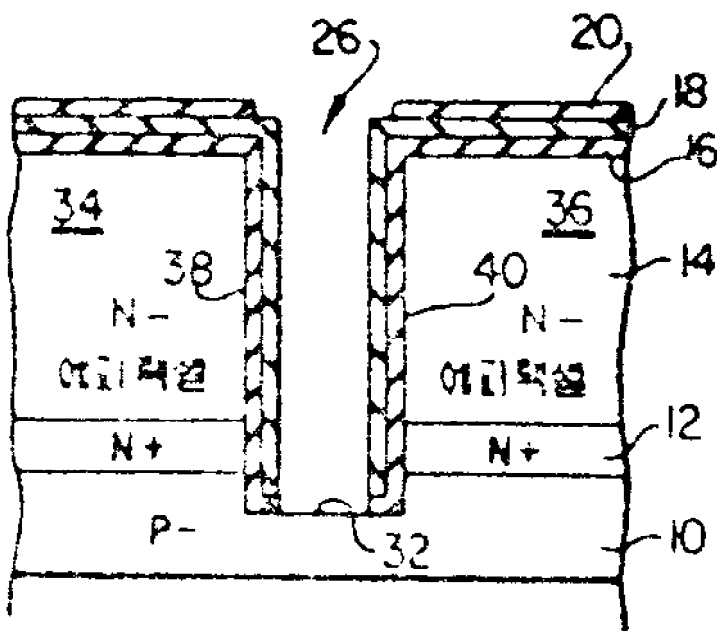
도면3



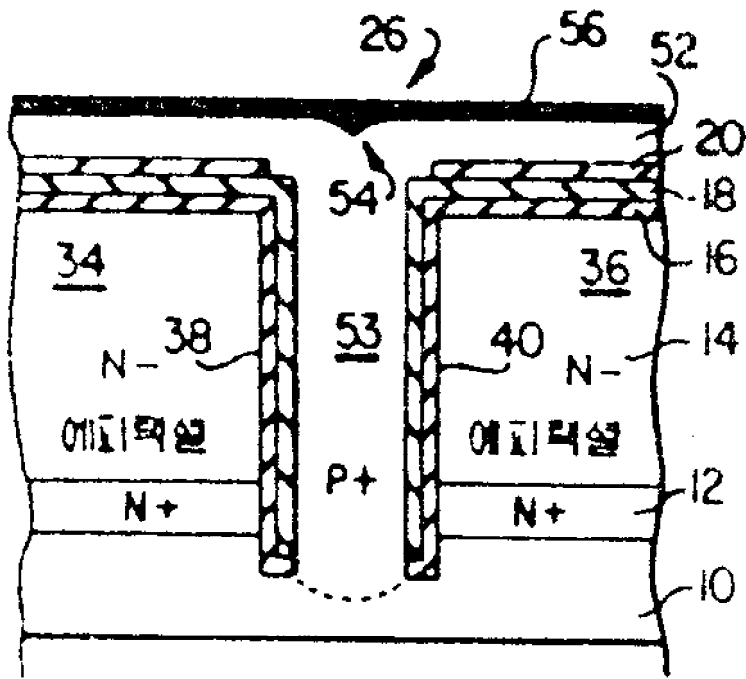
도면4



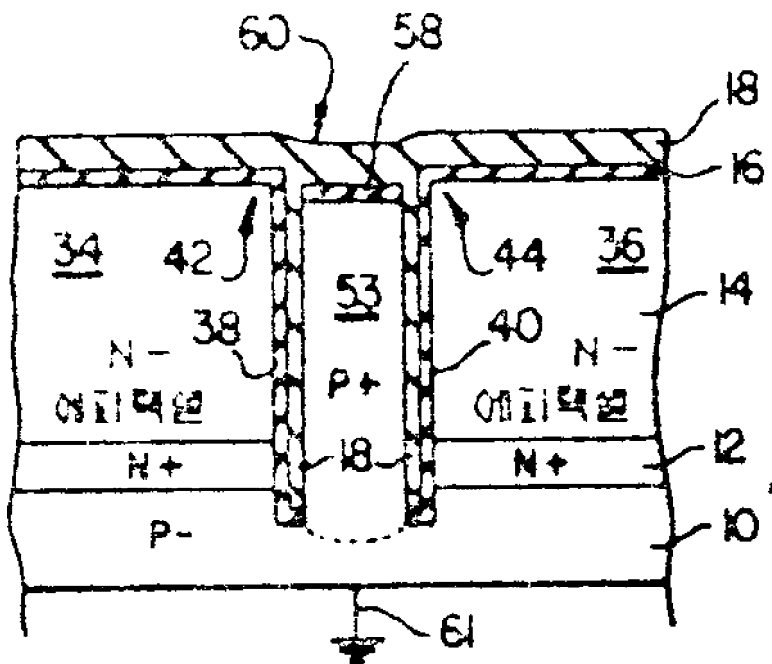
도면5



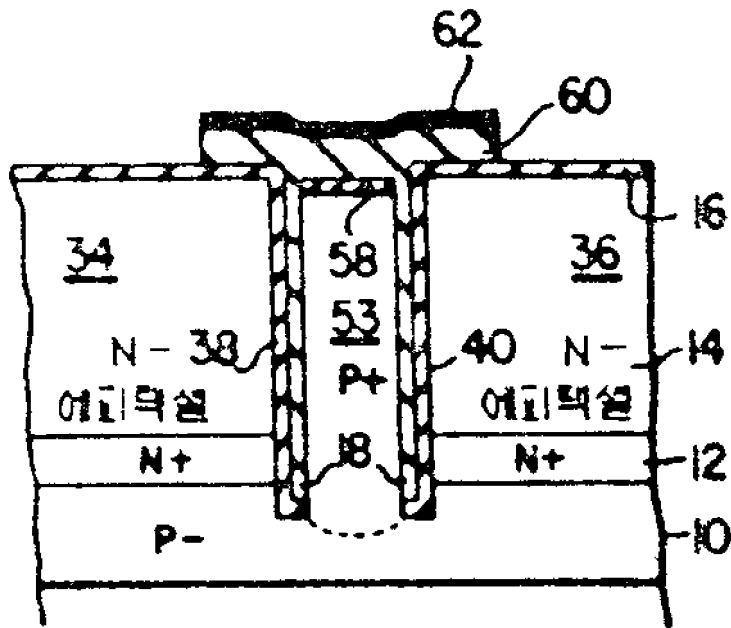
도면6



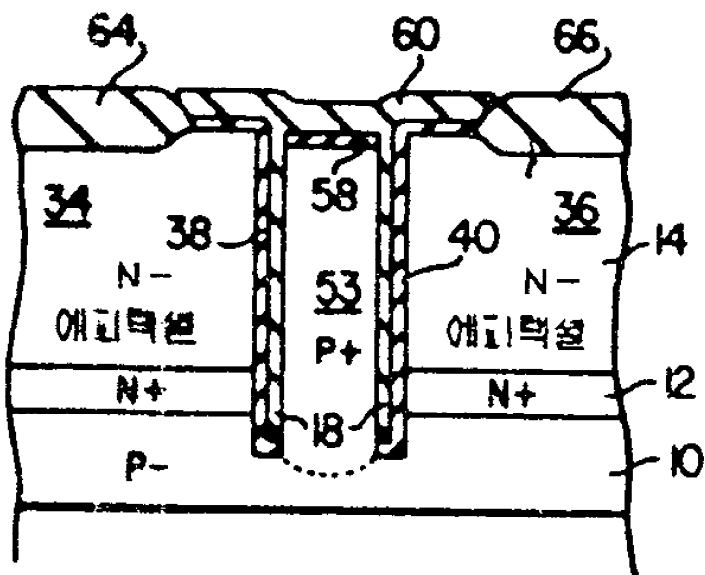
도면7



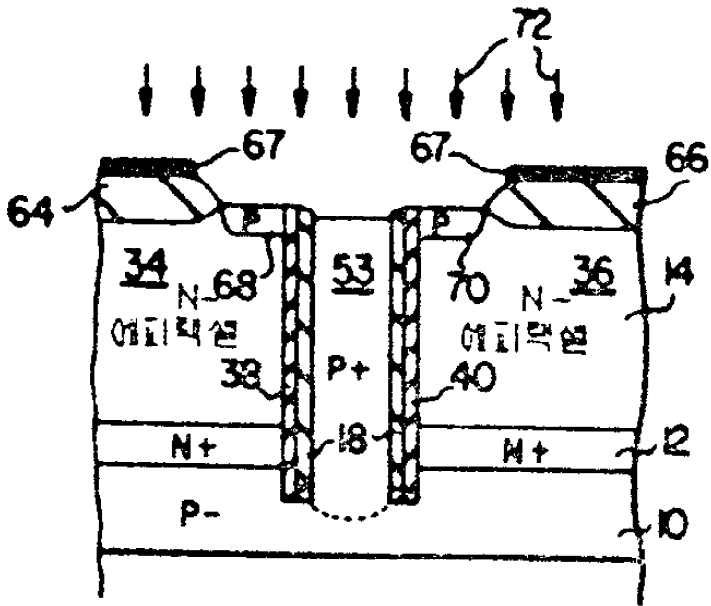
도면8



도면9



도면10



도면11

