

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4449189号  
(P4449189)

(45) 発行日 平成22年4月14日 (2010. 4. 14)

(24) 登録日 平成22年2月5日 (2010. 2. 5)

(51) Int. Cl.	F I
<b>G09G 3/36 (2006.01)</b>	G09G 3/36
<b>G02F 1/133 (2006.01)</b>	G02F 1/133 550
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 611H
	G09G 3/20 623B

請求項の数 13 (全 18 頁)

(21) 出願番号	特願2000-226188 (P2000-226188)	(73) 特許権者	000005108
(22) 出願日	平成12年7月21日 (2000. 7. 21)		株式会社日立製作所
(65) 公開番号	特開2002-41001 (P2002-41001A)		東京都千代田区丸の内一丁目6番6号
(43) 公開日	平成14年2月8日 (2002. 2. 8)	(74) 代理人	100100310
審査請求日	平成18年2月2日 (2006. 2. 2)		弁理士 井上 学
		(72) 発明者	秋元 肇
			茨城県日立市大みか町七丁目1番1号
			株式会社 日立製作所 日立
			研究所内
		(72) 発明者	佐藤 秀夫
			茨城県日立市大みか町七丁目1番1号
			株式会社 日立製作所 日立
			研究所内
		審査官	中塚 直樹
			最終頁に続く

(54) 【発明の名称】 画像表示装置およびその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

所定の電圧が印加される対向電極と、該対向電極との間で容量を形成するために設けられた画素電極と、該画素電極に直列に接続された画素スイッチとを有する画素を複数個構成している表示部と、

表示すべき画像データに基づいて第一のアナログ画像信号電圧を出力する画像信号電圧発生手段と、

該第一のアナログ画像信号電圧を入力として、前記画像信号電圧発生手段より低い出力インピーダンスで、第二のアナログ画像信号電圧を出力するために設けられた半導体素子を用いた出力インピーダンス変換手段群と、

該出力インピーダンス変換手段群の中に設けられ、該各出力インピーダンス変換手段群における半導体素子特性のばらつきに起因する第二のアナログ画像信号電圧の出力オフセットばらつきをキャンセルするために設けられ、一端が該出力インピーダンス変換手段の電圧入力端子に接続されたオフセットキャンセル容量と、一端が該出力インピーダンス変換手段の電圧入力端子に接続された第一の半導体スイッチを有するオフセットキャンセル回路群と、

前記出力インピーダンス変換手段群の出力端子と、前記画素スイッチとを接続する信号線群と、

前記出力インピーダンス変換手段群の出力である第二のアナログ画像信号電圧を、前記信号線群と、前記画素スイッチ群を介して、所定の表示画素の液晶容量に書込むための信

10

20

号電圧書込み手段と、

前記第一の半導体スイッチがオフする際に生成するスイッチフィードスルー電荷のばらつきに起因する、第二のアナログ画像信号電圧の出力ばらつきを低減する手段とを有し、

前記出力インピーダンス変換手段は差動増幅回路に負帰還をかけたボルテージフォロア回路を含む画像表示装置において、

前記オフセットキャンセル回路は、該差動増幅回路の第一の入力端子にその一端が接続された上記オフセットキャンセル容量と、該オフセットキャンセル容量の他端と該差動増幅回路の第二の入力端子を接続する第二の半導体スイッチと、該オフセットキャンセル容量の他端と第一のノードを接続する第三の半導体スイッチと、該差動増幅回路の第一の入力端子と第一のノードを接続する上記第一の半導体スイッチと、該差動増幅回路の第二の入力端子と該差動増幅回路の出力を接続する第四の半導体スイッチと、該第一のノードと該差動増幅回路の出力を接続する第五の半導体スイッチと、該オフセットキャンセル回路への入力を該差動増幅回路の第二の入力端子と該第一のノードのいずれかに選択的に接続させる第六の半導体スイッチと、該差動増幅回路の第一の入力端子を負入力にかつ第二の入力端子を正入力に設定することと該差動増幅回路の第一の入力端子を正入力にかつ第二の入力端子を負入力に設定することとを選択的に可能とする差動増幅回路正負反転手段を有する画像表示装置。

【請求項 2】

前記差動増幅回路は、電流源と、差動ドライバ FET 対と、ゲートが共通に一方の該差動ドライバ FET のドレインに接続された負荷 FET 対を有し、

前記差動増幅回路正負反転手段は、該負荷 FET 対のゲートを該差動ドライバ FET 対のいずれかに選択的に接続する第七の半導体スイッチ対と、該第七の半導体スイッチ対の選択とは逆の差動ドライバ FET から該差動増幅回路の出力を取る第八の半導体スイッチ対とを含む請求項 1 の画像表示装置。

【請求項 3】

前記出力インピーダンス変換手段と上記信号線の間には、両者を接続及び遮断するための第九の半導体スイッチを有する請求項 1 の画像表示装置。

【請求項 4】

所定の電圧が印加される対向電極と、該対向電極との間で容量を形成するために設けられた画素電極と、該画素電極に直列に接続された画素スイッチとを有する画素を複数個構成している表示部と、

表示すべき画像データに基づいて第一のアナログ画像信号電圧を出力する画像信号電圧発生手段と、

該第一のアナログ画像信号電圧を入力として、該画像信号電圧発生手段より低い出力インピーダンスで、第二のアナログ画像信号電圧を出力するために設けられた、差動増幅回路に負帰還をかけたボルテージフォロア回路を含む出力インピーダンス変換手段群と、

該出力インピーダンス変換手段の中に設けられた、該各出力インピーダンス変換手段群における差動増幅回路を構成する半導体素子特性のばらつきに起因する第二のアナログ画像信号電圧の出力オフセットばらつきをキャンセルするために設けられた、該差動増幅回路の第一の入力端子にその一端が接続されたオフセットキャンセル容量と、該オフセットキャンセル容量の他端と該差動増幅回路の第二の入力端子を接続する第二の半導体スイッチと、該オフセットキャンセル容量の他端と第一のノードを接続する第三の半導体スイッチと、該差動増幅回路の第一の入力端子と第一のノードを接続する第一の半導体スイッチと、該差動増幅回路の第二の入力端子と該差動増幅回路の出力を接続する第四の半導体スイッチと、該第一のノードと該差動増幅回路の出力を接続する第五の半導体スイッチと、該オフセットキャンセル回路の入力を該差動増幅回路の第二の入力端子と該第一のノードのいずれかに選択的に接続させる第六の半導体スイッチと、該差動増幅回路の第一の入力端子を負入力にかつ第二の入力端子を正入力に設定することと該差動増幅回路の第一の入力端子を正入力にかつ第二の入力端子を負入力に設定することとを選択的に可能とする差動増幅回路正負反転手段を有するオフセットキャンセル回路群と、

該出力インピーダンス変換手段群の出力端子と該画素スイッチ群とを接続する信号線群と、

該出力インピーダンス変換手段群の出力である第二のアナログ画像信号電圧を、該信号線群と該画素スイッチ群を介して、所定の表示画素の液晶容量に書込むための信号電圧書込み手段とを有する画像表示装置において、

該第四の半導体スイッチをオフ、該第五の半導体スイッチをオン、該第六の半導体スイッチを該差動増幅回路の第二の入力端子に接続した状態で、該第一、第二、第三の半導体スイッチを所定の順序で開閉してオフセットキャンセルを行う第一のオフセットキャンセル動作と、該第四の半導体スイッチをオン、該第五の半導体スイッチをオフ、該第六の半導体スイッチを該第一のノードに接続した状態で、該第一、第二、第三の半導体スイッチを所定の順序で開閉してオフセットキャンセルを行う第二のオフセットキャンセル動作とを選択的にを行うことを特徴とする画像表示装置の駆動方法。

10

【請求項 5】

前記オフセットキャンセル動作において、第一の半導体スイッチがオフした後に第二の半導体スイッチがオフする請求項 4 の画像表示装置の駆動方法。

【請求項 6】

前記第一のオフセットキャンセル動作と第二のオフセットキャンセル動作とを、それぞれ表示フレーム毎に交互に行う請求項 4 の画像表示装置の駆動方法。

【請求項 7】

前記第一のオフセットキャンセル動作と第二のオフセットキャンセル動作とを、単一の表示フィールド内に一回ずつ行う請求項 4 の画像表示装置の駆動方法。

20

【請求項 8】

表示フィールド内の前後半 2 回のオフセットキャンセル動作の時間は、前半のオフセットキャンセル動作の方が後半のオフセットキャンセル動作よりも長い請求項 7 の画像表示装置の駆動方法。

【請求項 9】

前記第一のオフセットキャンセル動作と第二のオフセットキャンセル動作とを、単一の表示フィールド内に  $n$  回 ( $n$  は 2 以上の整数) ずつ行う請求項 4 の画像表示装置の駆動方法。

【請求項 10】

30

所定の電圧が印加される対向電極と、該対向電極との間で容量を形成するために設けられた画素電極と、該画素電極に直列に接続された画素スイッチとを有する画素を複数個構成している表示部と、

表示すべき画像データに基づいて第一のアナログ画像信号電圧を出力する画像信号電圧発生手段と、

該第一のアナログ画像信号電圧を入力として、該画像信号電圧発生手段より低い出力インピーダンスで、第二のアナログ画像信号電圧を出力するために設けられた、差動増幅回路に負帰還をかけたボルテージフォロア回路を含む出力インピーダンス変換手段群と、

該出力インピーダンス変換手段の中には、該各出力インピーダンス変換手段群における差動増幅回路を構成する半導体素子特性のばらつきに起因する第二のアナログ画像信号電圧の出力オフセットばらつきをキャンセルするために設けられた、該差動増幅回路の負入力端子にその一端が接続された上記オフセットキャンセル容量と、該オフセットキャンセル容量の他端と該差動増幅回路の正入力端子を接続する第二の半導体スイッチと、該オフセットキャンセル容量の他端と該差動増幅回路の出力端とを接続する第三の半導体スイッチと、該差動増幅回路の負入力端子と該差動増幅回路の出力端を接続する第一の半導体スイッチとを有し、更に該オフセットキャンセル回路の入力が該差動増幅回路の正入力端子に接続され、該第一の半導体スイッチが複数の半導体スイッチの並列接続で構成されているオフセットキャンセル回路群と、

40

該出力インピーダンス変換手段群の出力端子と該画素スイッチ群とを接続する信号線群と、

50

該出力インピーダンス変換手段群の出力である第二のアナログ画像信号電圧を、該信号線群と該画素スイッチ群を介して、所定の表示画素の液晶容量に書込むための信号電圧書込み手段とを有する画像表示装置において、

該第一、第二、第三の半導体スイッチを所定の順序で開閉してオフセットキャンセル動作を行う際に、該第一の半導体スイッチを構成する複数の半導体スイッチを時系列的に順次オフすることを特徴とする画像表示装置の駆動方法。

【請求項 1 1】

前記オフセットキャンセル動作において、該第一の半導体スイッチが全てオフした後に第二の半導体スイッチが順次オフする請求項 1 0 の画像表示装置の駆動方法。

【請求項 1 2】

少なくとも一方が透明である一対の基板と、該一対の基板間に配置した液晶層とを有し、

前記一対の基板の少なくともいずれか一方の基板に、複数の走査線と、該複数の走査線に交差するように配置した複数の信号線とを有して表示部を構成し、

前記走査線に接続された走査信号駆動回路と、

前記信号線に接続され、表示すべき画像データに基づいて第 1 のアナログ画像信号電圧を生成する画像信号駆動回路を有し、

前記画像信号駆動回路は、前記第 1 のアナログ画像信号電圧を前記表示部に送信する際に、該第 1 のアナログ画像信号電圧を、該第 1 のアナログ画像信号電圧より低いインピーダンスの第 2 のアナログ画像信号電圧に変換する出力インピーダンス変換手段を有し、

該出力インピーダンス変換手段は、内部にスイッチング素子として用いられる複数の半導体素子と、差動増幅回路を有し、

前記差動増幅器は第 1 の入力端及び第 2 の入力端を有し、

前記複数の半導体素子によって、

前記第 1 のタイミングでは、前記出力インピーダンス変換手段の入力と前記差動増幅回路の前記第 1 の入力端とオフセットキャンセル容量の一端が接続され、前記オフセットキャンセル容量の他端と前記差動増幅回路の前記第 2 の入力端と前記差動増幅回路の出力端が接続され、

前記第 2 のタイミングでは、前記出力インピーダンス変換手段の入力と前記差動増幅回路の前記第 1 の入力端が接続され、前記オフセットキャンセル容量の一端と前記差動増幅回路の出力端が接続され、前記オフセットキャンセル容量の他端と前記差動増幅回路の前記第 2 の入力端が接続され、

前記第 3 のタイミングでは、前記出力インピーダンス変換手段の入力と前記オフセットキャンセル容量の他端と前記差動増幅回路の前記第 2 の入力端が接続され、前記オフセットキャンセル容量の一端と前記差動増幅回路の前記第 1 の入力端と前記差動増幅回路の出力端が接続され、

前記第 4 のタイミングでは、前記出力インピーダンス変換手段の入力と前記オフセットキャンセル容量の一端が接続され、前記オフセットキャンセル容量の他端と前記差動増幅回路の前記第 2 の入力端が接続され、前記差動増幅回路の前記第 1 の入力端と前記差動増幅回路の出力端が接続されることを特徴とする液晶表示装置。

【請求項 1 3】

前記差動増幅回路の前記第 1 の入力端は、第 1 のタイミングと第 2 のタイミングでは正の入力端となり、第 3 のタイミングと第 4 のタイミングでは負の入力端の端子となる請求項 1 2 の液晶表示装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は特に高品位な画像表示が可能な液晶画像表示装置に関する。

【0 0 0 2】

【従来の技術】

10

20

30

40

50

以下、図 1 1 を用いて従来の技術に関して説明する。

【 0 0 0 3 】

図 1 1 は従来の技術を用いた T F T 液晶パネル駆動用の低温 poly - S i 駆動回路に用いられているオフセットキャンセルバッファ回路の構成図である。アナログ入力信号  $V_{in}$  は負帰還をかけた差動増幅回路 1 5 5 によりバッファされ、アナログ出力信号  $V_{out}$  として T F T 液晶パネルに入力される。負帰還路はスイッチ 1 5 3 を経由した場合とスイッチ 1 5 2 を経由した場合とが設けられており、スイッチ 1 5 2 を経由した場合には容量 1 5 1 を介している。またスイッチ 1 5 2 と容量 1 5 1 の接続部からはスイッチ 1 5 4 を経由した配線が入力部、 $V_{in}$  へと接続されている。

【 0 0 0 4 】

本従来例の動作を以下に説明する。差動増幅回路 1 5 5 の正および負の入力部は低温 poly - S i T F T で構成されるが、一般に低温 poly - S i T F T は単結晶 M O S トランジスタに比較して素子性能のばらつきが大きいので、単純に帰還をかけただけのボルテージフォロア回路ではバッファ回路毎に大きな出力オフセット電圧ばらつきを生じてしまい、液晶パネル上に縦筋状の輝度むらが発生してしまう。そこで本従来例では、このオフセット電圧をキャンセルするためにオフセットキャンセル回路を適用している。水平走査期間の前半では、スイッチ 1 5 3 , 1 5 4 がオン、スイッチ 1 5 2 がオフされる。この際に容量 1 5 1 には、負帰還を有する差動増幅回路 1 5 5 の出力オフセット電圧が記憶される。次いで水平走査期間の後半では、スイッチ 1 5 3 , 1 5 4 をオフ、スイッチ 1 5 2 をオンする。この操作によって生じる新しい負帰還路には出力オフセット電圧を記憶した容量 1 5 1 が直列に加わるため、この出力オフセット電圧は差動増幅回路 1 5 5 によって減算されることになる。即ち本回路構成によって、出力オフセット電圧のキャンセルが可能となる。

【 0 0 0 5 】

本従来技術に関しては、例えば電子情報通信学会技術報告 E I D 9 8 - 1 2 5 ( 1 9 9 9 年 1 月 ) 等に詳しく記載されている。

【 0 0 0 6 】

また同様のオフセットキャンセルバッファ回路を L S I で構成し、T F T 液晶パネルを駆動した際の周辺回路構成に関しても、例えば Proceedings of Euro Display '96, pp.247-250 等に詳しく記載されている。

【 0 0 0 7 】

【発明が解決しようとする課題】

上記従来技術によれば、差動増幅回路の不整合に起因するオフセット電圧をキャンセルすることが可能である。しかしながらスイッチ 1 5 3 ( F E T ( Field-Effect Transistor ) スイッチ ) が新たな出力オフセット電圧ばらつきの主因となり、オフセットキャンセル回路の出力電圧精度の一層の向上を図るためには、これを対策せねばならないことを発明者らは見出した。これを以下、同様に図 1 1 を用いて説明する。

【 0 0 0 8 】

ここで説明のために容量 1 5 1 を  $C_m$ 、スイッチ 1 5 3 がオフした際に生じるスイッチフィードスルー電荷を図のように  $q_1$  および  $q_2$  と定義する。また差動増幅回路 1 5 5 の開放利得を  $G$  とおく。

【 0 0 0 9 】

始めにスイッチ 1 5 3 , 1 5 4 がオンし、容量  $C_m$  , 1 5 1 に差動増幅回路 1 5 5 の出力オフセット電圧を記憶させた後に、スイッチ 1 5 3 , 1 5 4 がオフする。このときそれぞれのスイッチを構成する F E T は、オフする際にフィードスルー電荷をそれぞれのソースおよびドレイン側に放出することは良く知られている。この結果、スイッチ 1 5 3 のフィードスルー電荷のうちの  $q_1$  は、容量  $C_m$  , 1 5 1 に本来蓄えられている電荷量に加算され、容量  $C_m$  , 1 5 1 の両端の電圧を変調してしまう。この  $q_1$  に起因して上記オフセットキャンセル動作後にオフセットキャンセルバッファ回路の出力  $V_{out}$  に生じる新たなオフセット電圧  $V_{out}$  は、

【 0 0 1 0 】

【 数 1 】

$$V_{out} = -q_1 \cdot G / (G + 1) C_m$$

... 数式 1

と求められる。

【 0 0 1 1 】

一般に差動増幅回路 1 5 5 の開放利得  $G$  は極めて大きな値に設計されるため、数式 1 から  $G$  に十分に大きな値を仮定すると、スイッチ 1 5 3 のフィードスルー電荷に起因する ( $-q_1 / C_m$ ) のオフセット電圧  $V_{out}$  の発生が回避できないことがわかる。なおここでスイッチ 1 5 3 のフィードスルー電荷  $q_2$  は、特に影響は及ぼさない。

【 0 0 1 2 】

バッファ回路の役割はインピーダンス変換であるから、入力インピーダンスを小さく設計することは好ましくなく、容量  $C_{m151}$  はあまり大きくはできない。そのためにこの新たなオフセット電圧  $V_{out}$  はバッファ回路の出力電圧精度を向上させる際には大きな問題となる。 ( $-q_1 / C_m$ ) が一定値ならば、明らかに外部補正が可能である。しかしここで問題となるのは、 $q_1$  のばらつきに起因して T F T 液晶パネルの表示画像上に生じる縦筋状の輝度むらであり、その外部補正は困難である。ここでは上記のような  $q_1$  のばらつきに起因するオフセットばらつきを、以降「スイッチフィードスルーオフセットばらつき」と称することにする。

【 0 0 1 3 】

さてまた一般に、単結晶 M O S トランジスタを上記スイッチ 1 5 3 に用いた場合には、閾値電圧  $V_{th}$  は最大でも 2 0 m V 程度しかばらつくことはなく、かつまたゲート寸法はサブミクロンの大きさである。従って上記「スイッチフィードスルーオフセットばらつき」は比較的小さな容量  $C_{m151}$  で抑圧が可能である。しかしながら例えば多結晶 S i - T F T を上記スイッチ 1 5 3 に用いた場合には、チャネル部分に結晶粒構造を有し、かつゲート絶縁膜界面の欠陥準位密度も不均一であるため、その  $V_{th}$  は数 1 0 0 m V から最大では 1 V 近くもばらつくことがある。またプロセス基板寸法が数十 cm から 1 m と比較的大きいため最小ゲート加工寸法は数ミクロンの大きさであり、加工寸法ばらつきも比較的大きくなってしまふ。スイッチフィードスルー電荷、 $q_1$  は主にチャネル電荷  $C_g \cdot (V_g - V_{th})$  に比例する。但しここで  $C_g$  はゲート面積とゲート絶縁膜厚、ゲート絶縁膜誘電率で決まるゲート容量である。従って  $V_{th}$  およびゲート面積のばらつきはそのままスイッチフィードスルー電荷、 $q_1$  のばらつきに直接反映されてしまふ。例えば  $V_{th}$  が 1 V ばらつき、スイッチ 1 5 3 と  $C_m$  の容量比が 1 0 0 倍、スイッチ 1 5 3 のチャネル電荷の半分が  $q_1$  となると仮定すると、差動増幅回路 1 5 5 の開放利得、 $G$  を無限大と近似した場合、出力には 5 m V のばらつきが生じることになる。実際にはこれに更にゲート面積の加工寸法ばらつき等も加算される訳であり、このままではバッファ回路の出力オフセット電圧ばらつきを実用的なレベルにまで下げることは困難である。

【 0 0 1 4 】

なおここではスイッチ 1 5 3 に起因する問題点として、図 1 1 に示したオフセットキャンセル回路が有する課題を説明したが、これは図 1 1 の回路に特有の問題ではなく、広く一般のオフセットキャンセル回路に共通の問題であることをここで指摘しておきたい。オフセットキャンセル回路は、予め容量に蓄えたオフセット電圧を差動増幅回路の入力に加えて減算するものであり、このためには容量の一端は必ず差動増幅回路の入力に接続される必要がある。更にこの容量にオフセット電圧を書きこむためには、上記の一端は同時にスイッチにも接続されていなければならない。従ってこのスイッチがオフした際のフィードスルー電荷は必然的に上記容量に加算され、その結果差動増幅回路の入力に誤差電圧として印加されてしまふのである。

【 0 0 1 5 】

以上の考察から、F E T を用いたオフセットキャンセルバッファ回路では、差動増幅回路の入力に接続されているオフセットキャンセル用スイッチのフィードスルー電荷、 $q_1$  のばらつきが、「スイッチフィードスルーオフセットばらつき」と称する新たなオフセット

10

20

30

40

50

電圧ばらつきの原因となること、そしてバッファ回路の出力電圧精度の一層の向上を図るためには、その対策が新規に必要なことが明らかになった。

【 0 0 1 6 】

なお以上で説明したフィードスルーが問題となるスイッチ 1 5 3 は、n 型 TFT 構成、p 型 TFT 構成、或いは CMOS TFT 構成としても、フィードスルー電荷の「ばらつき」という観点からはいずれも同様の問題点が生じることは明らかである。

【 0 0 1 7 】

【課題を解決するための手段】

上記課題は、所定の電圧が印加される液晶対向電極と、液晶対向電極との間で液晶容量を形成するために設けられた画素電極と、画素電極に直列に接続された画素スイッチとを有し、画像表示を行うためにマトリクス状に配置された複数の表示画素と、表示すべき画像データに基づいて第一のアナログ画像信号電圧を出力する画像信号電圧発生手段と、第一のアナログ画像信号電圧を入力として、該画像信号電圧発生手段より低い出力インピーダンスで、第二のアナログ画像信号電圧を出力するために設けられた半導体素子を用いた出力インピーダンス変換手段群と、出力インピーダンス変換手段の中に設けられた、各出力インピーダンス変換手段群における半導体素子特性のばらつきに起因する第二のアナログ画像信号電圧の出力オフセットばらつきをキャンセルするために設けられた、一端が出力インピーダンス変換手段の電圧入力端子に接続されたオフセットキャンセル容量と、同様に一端が出力インピーダンス変換手段の電圧入力端子に接続された第一の半導体スイッチを含む、オフセットキャンセル回路群と、出力インピーダンス変換手段群の出力端子と画素スイッチ群とを接続する信号線群と、出力インピーダンス変換手段群の出力である第二のアナログ画像信号電圧を、信号線群と画素スイッチ群を介して、所定の表示画素の液晶容量に書込むための信号電圧書込み手段とを有する画像表示装置において、第一の半導体スイッチがオフする際に生成するスイッチフィードスルー電荷のばらつきに起因する、第二のアナログ画像信号電圧の出力ばらつきを低減する手段を新規に設けることによって解決することができる。

【 0 0 1 8 】

【発明の実施の形態】

( 第一の実施例 )

以下図 1 ～ 図 5 および表 1 を用いて、本発明における第一の実施例に関して説明する。

【 0 0 1 9 】

図 3 は本実施例である多結晶 Si - TFT 液晶表示パネルの構成図である。

【 0 0 2 0 】

所定の電圧が印加される液晶対向電極との間に形成された液晶容量 1 2 およびこれに接続された画素 TFT 1 1 とから構成される表示画素は、マトリクス状に配置されて画像表示領域を構成している。画素 TFT 1 1 のゲートはゲート線 1 3 を介してゲート線駆動回路 1 0 に接続されている。また、画素 TFT 1 1 のドレインは、信号線 7 を介して信号線駆動回路 9 0 と接続されている。具体的には、画素 TFT 1 1 のドレイン電極は信号線 7 を介して信号線駆動回路 9 0 のアナログバッファ出力スイッチ 1 6 に接続されている。アナログバッファ出力スイッチ 1 6 の他端は、階調切替えスイッチ 1 4 を介してアナログバッファ 2 0 A , 2 0 B の出力端に接続され、更にアナログバッファ 2 0 A , 2 0 B の入力端は階調選択スイッチ 3 A , 3 B に接続されている。ここでアナログバッファ 2 0 A , 2 0 B と階調選択スイッチ 3 A , 3 B は、階調切替えスイッチ 1 4 , 1 5 によって、いずれかが選択される。なおここで階調選択スイッチ 3 A , 3 B はマルチプレクサ構成になっており、階調選択線 1 7 により選択された所定の階調電源線 2 A , 2 B の一本を出力に接続することによって、D / A 変換器のデコーダとして機能する。なお、図 3 ではラッチアドレス選択回路 2 1 , 1 次ラッチ回路 2 3 , 2 次ラッチ回路 2 4 、及び階調選択スイッチ 3 A , 3 B により構成される部分が画像信号電圧発生部 9 1 であり、アナログバッファ 2 0 A , 2 0 B で構成されている部分が出力インピーダンス変換手段群 9 2 となっている。

【 0 0 2 1 】

また、ここでは画像表示データは6bit としたため、階調電源線2A, 2Bはそれぞれ異なった階調電圧が印加された64本の並列配線で構成されている。一方、階調選択線17は1次ラッチ回路23より2次ラッチ回路24を介して出力されており、1次ラッチ回路23にはデジタルデータ入力線22およびラッチアドレス選択回路21が入力している。上記各回路ブロックは多結晶Si-TFT素子を用いて、ガラス基板上に構成されており、ここで各スイッチには多結晶Si-TFTを用いて構成されたCMOSスイッチを採用している。なおここではカラーフィルタやバックライト構成等、TFTパネルの構築に必要な所定の構造の記載は、説明の簡略化のために省略している。

#### 【0022】

以下に、本液晶表示パネルの動作の概略を説明する。なおアナログバッファ20A, 20Bの構成と動作タイミングの詳細は、図1, 表1, 図2, 図4, 図5を用いて後述する。デジタルデータ入力線22に入力された画像表示データは、ラッチアドレス選択回路21によって選択されたアドレスを有する1次ラッチ回路23にラッチされる。一行分の書込みに必要な画像表示データのラッチが一水平走査期間内に完了すると、これらの画像表示データは一括して1次ラッチ回路23から2次ラッチ回路24に転送され、次の水平走査期間中に2次ラッチ回路24はこの画像表示データを階調選択線17に出力する。デコードスイッチ群より構成される階調選択スイッチ3A, 3Bは、階調選択線17の内容に応じて、所定のアナログ画像信号電圧を階調電源線2A, 2Bからアナログバッファ20A, 20Bに供給する。アナログバッファ20A, 20Bは、供給された画像信号電圧に対応する画像信号電圧を、アナログバッファ出力スイッチ16を介して信号線7に供給する。アナログバッファ20A, 20Bの役割は、この際の実出力インピーダンスを階調選択スイッチ3A, 3Bにおける出力インピーダンスよりも低下させて信号線7への信号電圧書込み速度を向上させること、および画像信号電圧を低インピーダンスで出力することにより、信号線7同士の容量結合等によるクロストークを防止することにある。ここでアナログバッファ20A, 20Bは、後述するようにアナログバッファ自体のオフセット電圧ばらつきを補償するためのオフセットキャンセル機能に加えて、オフセットキャンセル回路が生じるフィードスルー電荷に起因した「スイッチフィードスルーオフセットばらつき」のキャンセル機能をも有している。信号線7に入力された上記オフセットばらつきのない画像信号電圧は、ゲート線13を介してゲート線駆動回路10が所定の行の画素TFT11をオンすることによって、所定の液晶容量12に書込まれる。

#### 【0023】

次に図1, 表1, 図2を用いて、アナログバッファ20A, 20Bの回路構成について説明する。ここでアナログバッファ20A, 20Bは同一の基本構成を有するため、以下では単にアナログバッファ20として記載する。

#### 【0024】

#### 【表1】

表 1

	$\phi 1$	$\phi 2$
A	+	-
B	-	+

#### 【0025】

図1は上記オフセットキャンセル機能とスイッチフィードスルーオフセットキャンセル機能を有する、アナログバッファ20の回路構成図である。

#### 【0026】



アナログバッファ20の入力端は、位相 1, 2で切替わる切替えスイッチ31に入力されている。スイッチ31の一端はクロックc1. 1bでオンするスイッチ35, 位相 2でオンするスイッチ32, 差動増幅器30の一方の入力端に接続され、スイッチ31の他端はクロックc1. 2でオンするスイッチ36, クロックc1. 1aでオンする切替えスイッチ34, 位相 1でオンするスイッチ33に接続されている。また差動増幅器30の他方の入力端は、c1. 1aでオンする切替えスイッチ34とキャンセル容量37に接続され、キャンセル容量37の他端はクロックc1. 1bでオンするスイッチ35とクロックc1. 2でオンするスイッチ36に接続されている。そして差動増幅器30の出力端はアナログバッファ20の出力端に接続されると同時に、位相 2でオンするスイッチ32と位相 1でオンするスイッチ33に接続されている。なおここで差動増幅器30の図中に(A, B)で示した入力端子の符号は、表1に示すように位相 1では(+, -)であり、位相 2では(-, +)に切替わる。

【0027】

図2は上記の機能を有する差動増幅器30の回路構成図である。

【0028】

差動増幅器30は初段の差動回路と、次段のソースフォロア回路とから構成されている。差動回路は多結晶Si-ドライバTFT41, 42と多結晶Si-負荷TFT43, 44, 所定のバイアスで駆動される多結晶Si-電流源TFT45とから成っており、その差動出力端は、位相 1, 2で切替わる多結晶Si-スイッチTFT群46, 47, 48, 49によって切替えが可能である。これらのスイッチ群により、差動増幅器30のA, Bの入力の正負の切替えが行われる。多結晶Si-ドライバTFT51, 所定のバイアスで駆動される多結晶Si-負荷TFT52で構成される次段のソースフォロア回路は、大出力電流の供給と動作点電圧の整合を図るために設けられている。なおここでVd1, Vs1, Vd2, Vs2はそれぞれ上記初段の差動回路の高, 低電圧電源と上記次段のソースフォロア回路の高, 低電圧電源である。

【0029】

以下に図4, 図5を用いて本実施例の動作を詳細に説明する。

【0030】

始めに図4を用いて、本アナログバッファ20の動作を説明する。アナログバッファ20は位相 1の前半において、スイッチ34m35を閉じて(a)オフセット量の記憶1を行う。このときキャンセル容量, Cm37の両端にはアナログバッファ20のオフセット電圧 Vが入力されている。次いで位相 1の後半においてはスイッチ36を閉じて(b)オフセット量の減算1を行う。このときアナログバッファ20のオフセット電圧 Vを記憶したキャンセル容量, Cm37はアナログバッファ20の負帰還路に挿入されるため、差動増幅器30の出力電圧は Vだけ小さくなる。これによってアナログバッファ20のオフセット電圧 Vはキャンセルされるが、先に「発明が解決しようとする課題」の項でも述べたとおり、スイッチ34がオフになる際に差動増幅器30の負入力端側に生じたフィードスルー電荷q1に起因するスイッチフィードスルーオフセット電圧が、アナログバッファ20の出力端に(-q1/Cm)だけ生じてしまう。

【0031】

次にアナログバッファ20は位相 2の前半において、スイッチ34, 35を閉じて(c)オフセット量の記憶2を行う。このときもキャンセル容量Cm37の両端にはアナログバッファ20のオフセット電圧 Vが入力される。次いで位相 2の後半においてはスイッチ36を閉じて(d)オフセット量の減算2を行う。このときアナログバッファ20のオフセット電圧 Vを記憶したキャンセル容量Cm37はアナログバッファ20の正入力端に挿入されるため、差動増幅器30の出力電圧は Vだけ小さくなる。これによってアナログバッファ20のオフセット電圧 Vはキャンセルされるが、このときにも先程と同様に、スイッチ34がオフになる際に差動増幅器30の正入力端側に生じたフィードスルー電荷q1に起因するスイッチフィードスルーオフセット電圧が、アナログバッファ20の出力端に(+q1/Cm)だけ生じる。しかしながら位相 1と 2でアナログバッファ20

10

20

30

40

50

に入力する電圧が等しいと仮定すると、ここで生じるスイッチフィードスルーオフセット電圧は基本的に同一のTFTから同一の電圧条件で生じるものであるから両者の $q_1$ の値は等しいため、位相 1 と 2 でアナログバッファ20の出力端に生じるスイッチフィードスルーオフセット電圧は互いに正負が逆で値は等しくなることが判る。従って位相 1 と 2 をフレーム毎に交互に切替えることによって、上記スイッチフィードスルーオフセットを視覚的にキャンセルすることが可能であり、これによって問題であったスイッチフィードスルーオフセット電圧のばらつきも、同時に消去される。

#### 【0032】

次に図5は本実施例における各動作パルスの、2フレーム(=4フィールド)期間内における同一の画素行書込み時のある列におけるタイミングチャートである。本実施例は奇数2フレームを繰り返し単位として駆動される。本チャートにおいては、スイッチのオン/オフは、図中にも記したように上側をオン、下側をオフとして表わしてある。但し階調切替えスイッチ14、15のみ、選択されるアナログバッファ20A、20Bと階調選択スイッチ3A、3Bに対応させて、上をA、下をBとして示した。

#### 【0033】

奇数フレーム期間・正フィールドの始めに位相 1 が選択され、階調切替えスイッチ14、15がA選択に切替わる。次いでゲート線駆動回路10によって選択された所定のゲート線13(画素TFT11)がオンし、アナログバッファ20Aのスイッチ36がオフする。続いてアナログバッファ20Aにおけるオフセットキャンセル回路の動作が開始される。一次ラッチ回路23の出力がオンすると共に、スイッチ34、35がオンしてキャンセル容量、 $C_{m37}$ の両端に差動増幅器30のオフセット電圧が入力する。次いでスイッチ34、そしてスイッチ35の順で両スイッチがオフするが、スイッチ35のフィードスルー電荷の影響を除去するためには、これらがオフする順序は大切である。先にスイッチ34がオフしてしまえば、この後に生じるスイッチ35のフィードスルー電荷はキャンセル容量、 $C_{m37}$ には入力されず、その影響を回避できるからである。次いでスイッチ36がオンすることによって、キャンセル容量、 $C_{m37}$ に記憶されていた差動増幅器30のオフセット電圧は負帰還路に入力され、多結晶Si-TFTを用いた差動増幅器30のTFT不整合に起因するオフセット電圧はキャンセルされる。この状態でアナログバッファ出力スイッチ16がオンすると、信号線7にはアナログバッファ20Aより画像信号電圧が出力される。この状態では差動増幅回路30の入力に接続されているスイッチ34のフィードスルー電荷のばらつきが、 $(-q_1 A / C_m)$ のスイッチフィードスルーオフセット電圧として信号線7を介して画素に入力されることは既に述べたとおりである。(ここではアナログバッファ20Aのスイッチ34のスイッチフィードスルー電荷を $q_1 A$ と記した。)この後ゲート線13(画素TFT11)、アナログバッファ出力スイッチ16がオフすることによって、選択された一行分の画素に対する書込み動作は終了する。アナログバッファ出力スイッチ16の役割は、必要に応じてアナログバッファ20A、20Bの出力を信号線7から切離すことによって、オフセットキャンセル動作時におけるアナログバッファ20A、20Bの出力の立ち上がりを高速化することである。

#### 【0034】

次いで図示した奇数フレーム期間・負フィールドにおける、同一の画素行書込み時の動作を説明する。この動作は階調切替えスイッチ14、15がB選択に切替わることを除けば、上記奇数フレーム期間・正フィールドにおける書込み動作と基本的に同一である。本実施例においてはこのように正/負のフィールドで階調切替えスイッチ14、15を切替えることにより、液晶に対する交流駆動を実現している。本期間においても、差動増幅器30の入力に接続されているスイッチ34のフィードスルー電荷のばらつきが、 $(-q_1 B / C_m)$ のスイッチフィードスルーオフセット電圧として信号線7を介して画素に入力されることになる。(ここではアナログバッファ20Bのスイッチ34のスイッチフィードスルー電荷を $q_1 B$ と記した。)このときはアナログバッファは20Aに替えて20Bが用いられている訳であるから、この $q_1 B$ の値は、先の $q_1 A$ の値とは全く独立の値であることは明らかである。

10

20

30

40

50

## 【0035】

次に図示した偶数フレーム期間・正フィールドにおける、同一の画素行書込み時の動作を説明する。この動作は位相 2 が選択されることを除けば、上記奇数フレーム期間・正フィールドにおける書込み動作と同一である。前述のようにこの場合、差動増幅回路 30 の入力に接続されているスイッチ 34 のフィードスルー電荷のばらつきは、 $(+q_1 A / C_m)$  のスイッチフィードスルーオフセット電圧として信号線 7 を介して画素に入力される。ここで表示する画像データが奇数フレーム期間・正フィールドと偶数フレーム期間・正フィールドとで実質的に変化していなければ、両者のスイッチフィードスルーオフセット電圧は視覚的にキャンセルされ、筋状の輝度むらの発生は回避される。輝度むらが視覚的に問題となるのは、表示画像データの値が特に時間的に大きく変化しないときであるため、上記のオフセットキャンセル操作は実用的には十分な効果を有している。

10

## 【0036】

最後に図示した偶数フレーム期間・負フィールドにおける、同一の画素行書込み時の動作を説明する。この動作は位相 2 が選択されることを除けば、上記奇数フレーム期間・負フィールドにおける書込み動作と同一であり、このスイッチフィードスルーオフセット電圧の視覚的なキャンセル効果は上記と同様であるので、詳細な説明は省略する。

## 【0037】

上記実施例においては、各回路ブロックは多結晶 Si-TFT 素子を用いてガラス基板上に構成している。しかしながらガラス基板に変えて、石英基板、透明プラスチック基板を用いることや、液晶表示方式を反射型に変えることで Si 基板を始めとする不透明基板を用いることも明らかに可能である。

20

## 【0038】

また上記差動増幅回路における、TFT の n 型、p 型の導電型を逆に構成することや、その他の回路構成を用いることも、本発明の原理を損なわない範囲で可能であることは言うまでもない。差動増幅器 30 の利得を向上させるために、カスコード構成を採用することもまた有効である。TFT には基板バイアス効果を持たないという長所があるものの、ドレインコンダクタンスが大きいという課題もあるため、バイアス端子が新たに必要になるものの、数百倍以上に差動増幅回路の利得を確保するためには、このようなカスコード構成の採用は有利である。

## 【0039】

以上では説明を簡略化するために画像表示データを 6 bit、階調電源線は異なった階調電圧が印加された 64 本の並列配線としたが、画像表示データが n-bit であれば、階調電源線は異なった階調電圧が印加された  $2^n$  本の並列配線となることは明らかである。

30

## 【0040】

この他、本実施例ではスイッチ群の構成は CMOS スイッチ、画素 TFT は n 型 TFT スイッチを採用したが、p 型 TFT を含むいずれのスイッチ構成をこれらに用いても本発明の適用は可能である。また本発明の趣旨を逸脱しない範囲で、反射型表示画素構造等、多様な構造やレイアウト形状が適用可能であることは言うまでもない。

## (第二の実施例)

第二の実施例である多結晶 Si-TFT 液晶表示パネルの全体構成は、第一の実施例のそれと同様であるので説明は省略する。第一の実施例と比較した場合の本実施例の差異は、各動作パルスの動作タイミングにある。以下、これに関して述べる。

40

## 【0041】

以下図 6 および図 7 を用いて、本発明における第二の実施例の動作に関して説明する。

## 【0042】

図 6 は本実施例における各動作パルスの、1 フィールド期間における画素行書込み時のある列におけるタイミングチャートである。図 6 は第一の実施例における図 5 に対応するものであるが、ここではフィールドの正/負を切替える階調切替えスイッチ 14, 15 に関しては記載を省略した。本実施例においては、階調切替えスイッチ 14, 15 の A, B の選択以外は、正および負フィールドにおける各パルスの動作は共通だからである。なお本

50

チャートにおいても、スイッチのオン／オフは、図中にも記したように上側をオン，下側をオフとして表わしてある。

#### 【 0 0 4 3 】

1フィールドの始めに位相 1 が選択され、次いでゲート線駆動回路 10 によって選択された所定のゲート線 13 (画素 T F T 1 1) がオンし、スイッチ 36 がオフする。続いてアナログバッファ 20 (上記のようにアナログバッファ 20 A , 20 B における動作は基本的に同一であるため、ここではアナログバッファ 20 として記載する) におけるオフセットキャンセル回路の動作が開始される。一次ラッチ回路 23 の出力がオンすると共に、スイッチ 34 , 35 がオンしてキャンセル容量,  $C_m 37$  の両端に差動増幅器 30 のオフセット電圧が入力する。次いでスイッチ 34、そしてスイッチ 35 の順で両スイッチがオフする。次いでスイッチ 36 がオンすることによって、キャンセル容量,  $C_m 37$  に記憶されていた差動増幅器 30 のオフセット電圧は負帰還路に入力され、多結晶 S i T F T を用いた差動増幅器 30 の T F T 不整合に起因するオフセット電圧はキャンセルされる。この状態でアナログバッファ出力スイッチ 16 がオンすると、信号線 7 にはアナログバッファ 20 より画像信号電圧が出力される。この状態では差動増幅回路 30 の入力に接続されているスイッチ 34 のフィードスルー電荷のばらつきが、 $(-q_1 / C_m)$  のスイッチフィードスルーオフセット電圧として信号線 7 を介して画素に入力されることは第一の実施例と同様である。しかし本実施例においては、同一の画素行書込み時に連続して以下の動作が行われる。即ちアナログバッファ出力スイッチ 16 が一度オフした後に位相 2 が選択され、もう一度上記の画像信号電圧の出力動作が繰り返される。この場合には差動増幅回路 30 の入力に接続されているスイッチ 34 のフィードスルー電荷のばらつきが、 $(+q_1 / C_m)$  のスイッチフィードスルーオフセット電圧として信号線 7 を介して画素に入力されることになる。この後ゲート線 13 (画素 T F T 1 1) , アナログバッファ出力スイッチ 16 がオフすることによって、選択された一行分の画素に対する書込み動作は終了する。

#### 【 0 0 4 4 】

図 7 は、上記の書込み動作によって信号線 7 に書込まれる画像信号電圧を示したものである。一回目にアナログバッファ出力スイッチ 16 がオンする  $t_1$  から  $t_2$  の期間には、信号線 7 には  $(V_{in} - q_1 / C_m)$  に漸近する出力信号が書込まれる。ただしここで  $V_{in}$  は、本来信号線 7 に書込まれるべき画像信号電圧である。(図中では  $q_1$  は負の値を有しているものとして示している。) 次いで二回目にアナログバッファ出力スイッチ 16 がオンする  $t_3$  から  $t_4$  の期間には、信号線 7 には  $(V_{in} + q_1 / C_m)$  に漸近する出力信号が書込まれる。ここで  $(t_4 - t_3)$  の期間を  $(t_2 - t_1)$  よりも小さい適当な値に設定することによって、最終的に信号線 7 に書込まれる画像信号電圧  $V_A$  を、 $V_{in}$  近傍の値に近づけることができる。本実施例では上記手法を用いることによって、画素に入力されるスイッチフィードスルーオフセット電圧ばらつきの低減を実現している。

#### 【 0 0 4 5 】

なお本実施例においては 1 フィールド内における位相 1 / 2 の切替えを一回としたが、これをより多い回数行うことによって同様な効果を得ることが可能である。

#### ( 第三の実施例 )

第三の実施例である多結晶 S i - T F T 液晶表示パネルの全体構成は、第一の実施例のそれと同様であるので説明は省略する。第一の実施例と比較した場合の本実施例の差異は、アナログバッファ 20 A , 20 B の回路構成とその動作パルスの動作タイミングにある。以下、これに関して述べる。

#### 【 0 0 4 6 】

図 8 はオフセットキャンセル機能とスイッチフィードスルーオフセットキャンセル機能を有する、本実施例におけるアナログバッファ 20 (なお本実施例においてもアナログバッファ 20 A , 20 B における動作は基本的に同一であるため、ここでもアナログバッファ 20 として記載する) の回路構成図である。

#### 【 0 0 4 7 】

アナログバッファ 20 の入力端は、クロック  $c1$  ,  $1b$  でオンするスイッチ 55 と、差動

増幅器 50 の正入力端に接続され、また差動増幅器 50 の負入力端は、c1 . 1 a 1 でオンするスイッチ 54 , c1 . 1 a 2 でオンするスイッチ 58 とキャンセル容量 57 に接続され、キャンセル容量 57 の他端はクロック c1 . 1 b でオンするスイッチ 55 とクロック c1 . 2 でオンするスイッチ 56 に接続されている。そして差動増幅器 50 の出力端はアナログバッファの出力端に接続されると同時に、c1 . 1 a 1 でオンするスイッチ 54 , c1 . 1 a 2 でオンするスイッチ 58 , クロック c1 . 2 でオンするスイッチ 56 の他端に接続されている。

【0048】

次に上記アナログバッファ 20 の動作に関して、図 9 を用いて説明する。

【0049】

図 9 は本実施例における各動作パルスの、1 フィールド期間における画素行書込み時のある列におけるタイミングチャートであり、第二の実施例における図 6 に対応するものである。

【0050】

1 フィールドの始めにゲート線駆動回路 10 によって選択された所定のゲート線 13 (画素 T F T 11) がオンし、スイッチ 56 がオフする。続いてアナログバッファにおけるオフセットキャンセル回路の動作が開始される。一次ラッチ回路 23 の出力がオンすると共に、スイッチ 54 , 55 , 58 がオンしてキャンセル容量, Cm 57 の両端に差動増幅器 50 のオフセット電圧が入力する。次いでスイッチ 54 , スイッチ 58、そしてスイッチ 55 の順で各スイッチがオフする。次いでスイッチ 56 がオンすることによって、キャンセル容量, Cm 57 に記憶されていた差動増幅器 50 のオフセット電圧は負帰還路に入力され、多結晶 S i - T F T を用いた差動増幅器 50 の T F T 不整合に起因するオフセット電圧はキャンセルされる。この状態でアナログバッファ出力スイッチ 16 がオンすると、信号線 7 にはアナログバッファ 20 より画像信号電圧が出力される。ここで本実施例においては、後からオフするスイッチ 58 のゲート幅は、先にオフするスイッチ 54 のゲート幅よりも小さく設計されている。但し両者のゲート長は同一である。即ちキャンセル容量, Cm 57 への充電は、スイッチフィードスルー電荷量は大きいオン抵抗のより低いスイッチ 54 を用いて行い、更にオン抵抗は大きいスイッチフィードスルー電荷量のより小さいスイッチ 58 を用いてスイッチフィードスルー電荷量の低減を図っている。本実施例を用いれば、先の第一、第二の実施例よりも小さい回路規模で、スイッチフィードスルーオフセット電圧ばらつきの低減が可能である。

【0051】

なお本実施例では後からオフするスイッチ 58 のゲート幅を、先にオフするスイッチ 54 のゲート幅よりも小さく設計しているが、本発明の考え方は、後からオフするスイッチ 58 のゲートを先にオフするスイッチ 54 のゲートよりも低いゲート電圧で駆動する等、種々の応用も可能である。

( 第四の実施例 )

以下図 10 を用いて、本発明における第四の実施例に関して説明する。

【0052】

図 10 は第四の実施例である画像ビューア 71 の構成図である。

【0053】

無線インターフェース ( I / F ) 回路 73 には、圧縮された画像データが外部から bluetooth 規格に基づく無線データとして入力し、無線 I / F 回路 73 の出力は中央演算ユニット ( C P U ) / デコーダ 74 を経てフレームメモリ 75 に接続される。更に C P U / デコーダ 74 の出力は多結晶 S i 液晶表示パネル 76 に設けられたインターフェース ( I / F ) 回路 77 を介して行選択回路 79 およびデータ入力回路 78 に接続されており、画像表示領域 80 は行選択回路 79 およびデータ入力回路 78 により駆動される。画像ビューア 71 には更に電源 82 および光源 81 が設けられている。ここで多結晶 S i 液晶表示パネル 76 は、先に述べた第一の実施例と同一の構成および動作を有している。

【0054】

以下に本第四の実施例の動作を説明する。無線 I / F 回路 73 は圧縮された画像データを外部から取り込み、このデータを CPU / デコーダ 74 に転送する。CPU / デコーダ 74 はユーザからの操作を受けて、必要に応じて画像ビューア 71 を駆動、或いは圧縮された画像データのデコード処理を行う。デコードされた画像データはフレームメモリ 75 に一時的に蓄積され、CPU / デコーダ 74 の指示に従って、蓄積されていた画像を表示するための画像データおよびタイミングパルスを I / F 回路 77 に出力する。I / F 回路 77 が、これらの信号を用いて、行選択回路 79 およびデータ入力回路 78 を駆動して画像表示領域に画像を表示することに関しては、第一の実施例で述べたとおりであるので、ここでは詳細な説明は省略する。光源は液晶表示に対するバックライトであり、電源 82 には二次電池が含まれており、これらの装置全体を駆動する電源を供給する。

10

#### 【0055】

本第四の実施例によれば、圧縮された画像データを元に、前述のように「スイッチフィードスルーオフセットばらつき」に起因する縦筋状の輝度むらのない、高品位な画像を表示させることができる。

#### 【0056】

#### 【発明の効果】

本発明によれば、高品位画像表示の可能な液晶画像表示装置を提供することができる。

#### 【図面の簡単な説明】

【図1】第一の実施例におけるアナログバッファの回路構成図。

【図2】第一の実施例における差動増幅器の回路構成図。

20

【図3】第一の実施例における多結晶 Si - TFT 液晶表示パネルの構成図。

【図4】第一の実施例におけるアナログバッファの動作説明図。

【図5】第一の実施例におけるタイミングチャート。

【図6】第二の実施例におけるタイミングチャート。

【図7】第二の実施例における信号線に書込まれる画像信号電圧説明図。

【図8】第三の実施例におけるアナログバッファの回路構成図。

【図9】第三の実施例におけるタイミングチャート。

【図10】第四の実施例である画像ビューアの構成図。

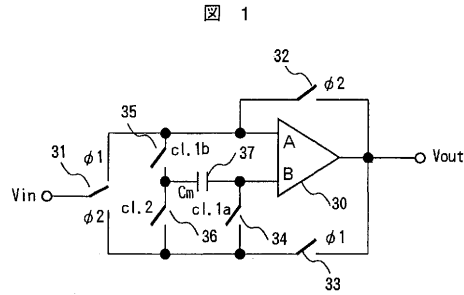
【図11】従来例である TFT 液晶パネル駆動用のオフセットキャンセルバッファ回路の構成図。

30

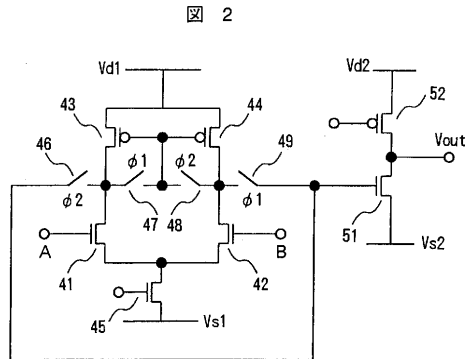
#### 【符号の説明】

2A, 2B ... 階調電源線、3A, 3B ... 階調選択スイッチ、7 ... 信号線、11 ... 画素 TFT、12 ... 液晶容量、13 ... ゲート線、14, 15 ... 階調切替えスイッチ、16 ... アナログバッファ出力スイッチ、17 ... 階調選択線、20A, 20B ... アナログバッファ、21 ... ラッチアドレス選択回路、22 ... デジタルデータ入力線、23 ... 一次ラッチ回路、24 ... 2次ラッチ回路、30 ... 差動増幅回路、37 ... キャンセル容量、90 ... 画像信号駆動回路、91 ... 画像信号電圧発生部、92 ... 出力インピーダンス変換手段。

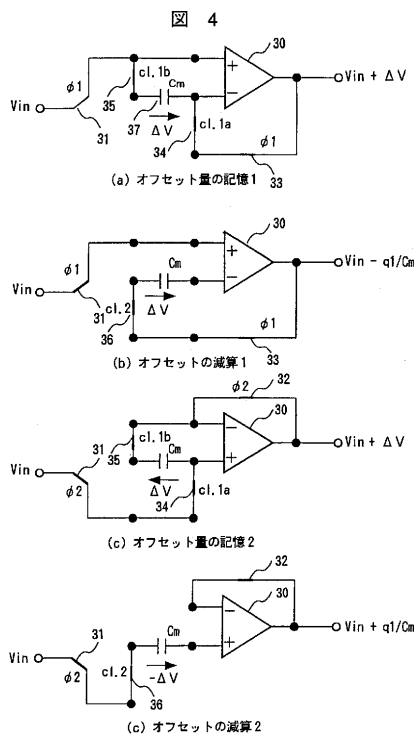
【図 1】



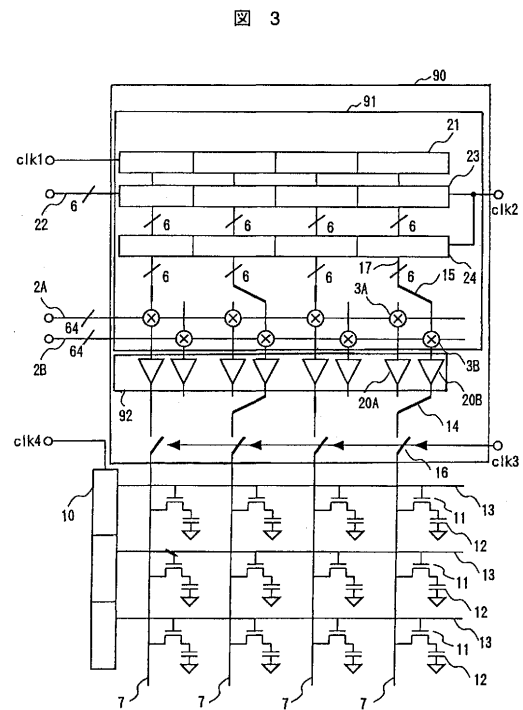
【図 2】



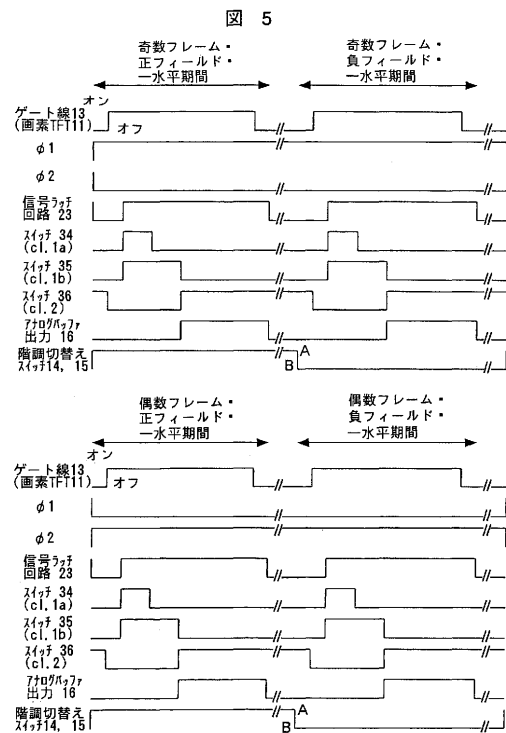
【図 4】



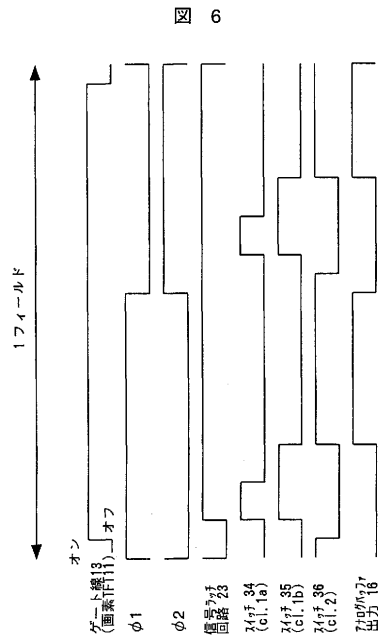
【図 3】



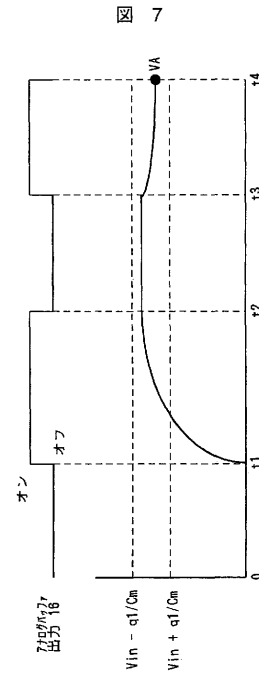
【図 5】



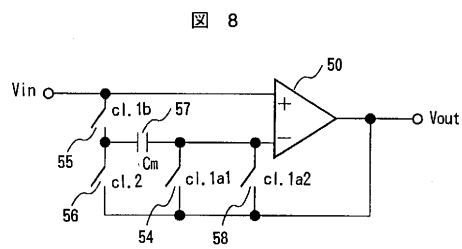
【図 6】



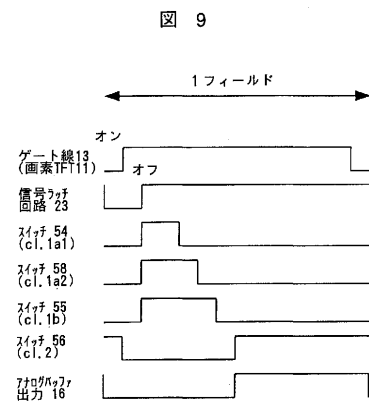
【図 7】



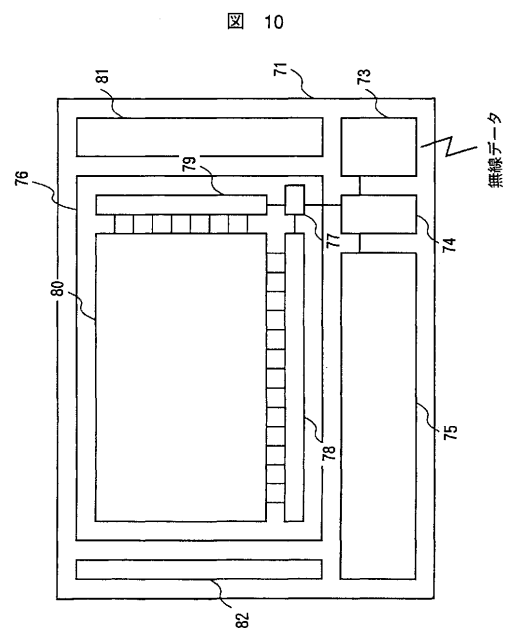
【図 8】



【図 9】



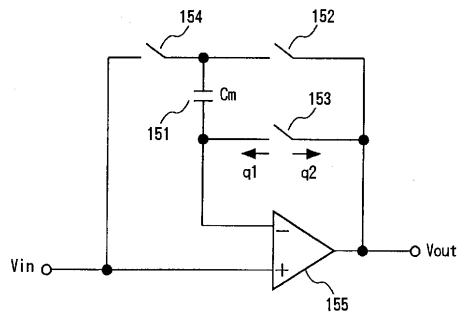
【図 10】





【図 11】

図 11



---

フロントページの続き

(56)参考文献 特開 2 0 0 1 - 1 2 5 5 4 3 ( J P , A )  
特開平 1 1 - 2 4 9 6 2 4 ( J P , A )  
特開 2 0 0 1 - 1 7 5 2 2 8 ( J P , A )  
特開昭 5 9 - 1 4 9 4 0 8 ( J P , A )  
特開平 1 1 - 3 0 5 7 3 5 ( J P , A )  
特開 2 0 0 1 - 1 7 5 2 2 6 ( J P , A )  
特開平 0 9 - 2 4 4 5 9 0 ( J P , A )  
特開 2 0 0 1 - 0 6 7 0 4 7 ( J P , A )  
特開昭 5 9 - 1 5 4 8 0 8 ( J P , A )  
特開平 1 1 - 1 5 0 4 2 7 ( J P , A )  
特開平 0 4 - 0 5 6 8 8 8 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

G09G 3/20

G09G 3/36

G02F 1/133