(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 117730419 A
(43)申请公布日 2024.03.19

(21)申请号 202280048397.4

(22)申请日 2022.06.28

(30)优先权数据
2021-114510 2021.07.09 JP

(85)PCT国际申请进入国家阶段日
2024.01.08

(86)PCT国际申请的申请数据
PCT/IB2022/055967 2022.06.28

(87)PCT国际申请的公布数据
WO2023/281353 JA 2023.01.12

(71)申请人 株式会社半导体能源研究所
地址 日本神奈川县厚木市

(72)发明人 山崎舜平 国武宽司 奥野直树
神保安弘 大野敏和 大贯达也

(74)专利代理机构 中国专利代理(香港)有限公司 72001
专利代理师 李志强 王伦伟

(51)Int.Cl.
H01L 29/786(2006.01)
H10B 41/70(2023.01)
H01L 27/088(2006.01)
H01L 27/06(2006.01)
H10B 12/00(2023.01)
H01L 21/8234(2006.01)
H01L 21/336(2006.01)

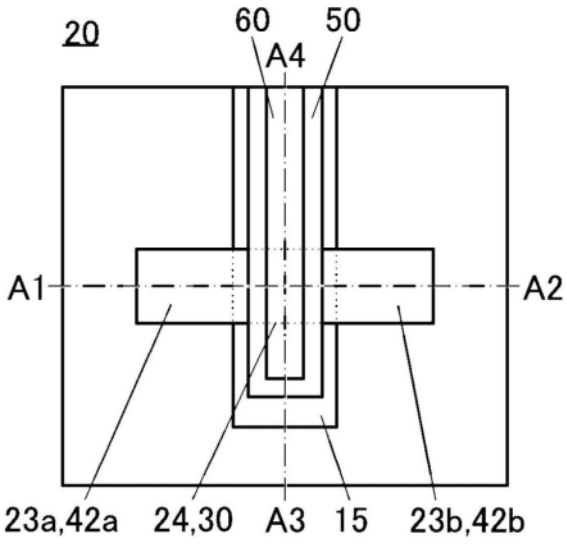
权利要求书3页 说明书78页 附图73页

(54)发明名称

晶体管

(57)摘要

提供一种电特性不均匀少的晶体管。晶体管包括第一至第四导电体、第一至第十绝缘体以及氧化物。第三至第五绝缘体位于第二绝缘体上，第六绝缘体具有与第一绝缘体的顶面、氧化物的侧面、第二导电体的侧面及顶面以及第三导电体的侧面及顶面接触的区域，第一导电体与氧化物及第四导电体重叠，第三绝缘体与氧化物及第四导电体重叠，第四绝缘体与氧化物及第二导电体重叠，第五绝缘体与氧化物及第三导电体重叠，第八绝缘体与第三绝缘体的侧面、氧化物的侧面及第七绝缘体的侧面分别接触，第三绝缘体的顶面的高度与第四绝缘体的顶面及第五绝缘体的顶面的高度一致或大致一致。



CN 117730419 A

1.一种晶体管,包括:

第一导电体;

所述第一导电体上的第一绝缘体;

所述第一绝缘体上的第二绝缘体;

所述第二绝缘体上的第三绝缘体、第四绝缘体及第五绝缘体;

所述第三绝缘体、所述第四绝缘体及所述第五绝缘体上的氧化物;

所述氧化物上的第二导电体及第三导电体;

所述第二导电体及所述第三导电体上的第六绝缘体;

所述第六绝缘体上的第七绝缘体;

所述氧化物上的第八绝缘体;

所述第八绝缘体上的第九绝缘体;

所述第九绝缘体上的第四导电体;以及

所述第七绝缘体、所述第八绝缘体、所述第九绝缘体及所述第四导电体上的第十绝缘体,

其中,所述第六绝缘体具有与所述第一绝缘体的顶面、所述氧化物的侧面、所述第二导电体的侧面及顶面以及所述第三导电体的侧面及顶面接触的区域,

所述第一导电体以与所述氧化物及所述第四导电体重叠的方式配置,

所述第三绝缘体以与所述氧化物及所述第四导电体重叠的方式配置,

所述第四绝缘体以与所述氧化物及所述第二导电体重叠的方式配置,

所述第五绝缘体以与所述氧化物及所述第三导电体重叠的方式配置,

所述第八绝缘体与所述第三绝缘体的侧面、所述氧化物的侧面及所述第七绝缘体的侧面接触,

所述第八绝缘体具有其厚度比所述第九绝缘体薄的区域,

并且,所述第三绝缘体的顶面的高度与所述第四绝缘体的顶面及所述第五绝缘体的顶面的高度一致或大致一致。

2.根据权利要求1所述的晶体管,

其中所述第四导电体的顶面的高度与所述第七绝缘体的顶面的高度一致或大致一致。

3.根据权利要求2所述的晶体管,

其中所述第四导电体的顶面的高度与所述第八绝缘体的最上部及所述第九绝缘体的最上部的高度一致或大致一致。

4.根据权利要求1至3中任一项所述的晶体管,

其中所述第八绝缘体包含铝及氧,

并且所述第八绝缘体具有其厚度为1.0nm以上且3.0nm以下的区域。

5.根据权利要求1至4中任一项所述的晶体管,

其中所述第一绝缘体及所述第六绝缘体都包含硅及氮,

所述第二绝缘体及所述第十绝缘体都包含铝及氧,

并且所述第三绝缘体、所述第七绝缘体及所述第九绝缘体都包含硅及氧。

6.根据权利要求1至5中任一项所述的晶体管,还包括所述第十绝缘体上的第十一绝缘体,

其中所述第十一绝缘体与所述第一绝缘体的顶面、所述第六绝缘体的侧面、所述第七绝缘体的侧面、所述第十绝缘体的侧面及所述第十绝缘体的顶面接触，

并且所述第十一绝缘体包含硅及氮。

7.一种晶体管，包括：

第一绝缘体；

所述第一绝缘体上的第二绝缘体；

所述第二绝缘体上的第三绝缘体、第四绝缘体及第五绝缘体；

所述第三绝缘体、所述第四绝缘体及所述第五绝缘体上的氧化物；

所述氧化物上的第一导电体及第二导电体；

所述第一导电体及所述第二导电体上的第六绝缘体；

所述第六绝缘体上的第七绝缘体；

所述氧化物上的第八绝缘体；

所述第八绝缘体上的第三导电体；以及

所述第七绝缘体、所述第八绝缘体及所述第三导电体上的第九绝缘体，

其中，所述第六绝缘体具有与所述第一绝缘体的顶面、所述氧化物的侧面、所述第一导电体的侧面及顶面以及所述第二导电体的侧面及顶面接触的区域，

所述第三绝缘体以与所述氧化物及所述第三导电体重叠的方式配置，

所述第四绝缘体以与所述氧化物及所述第一导电体重叠的方式配置，

所述第五绝缘体以与所述氧化物及所述第二导电体重叠的方式配置，

所述第八绝缘体与所述第三绝缘体的侧面、所述氧化物的侧面及所述第七绝缘体的侧面接触，

并且，所述第三绝缘体的顶面的高度与所述第四绝缘体的顶面及所述第五绝缘体的顶面的高度一致或大致一致。

8.根据权利要求7所述的晶体管，

其中所述第三导电体的顶面的高度与所述第七绝缘体的顶面的高度一致或大致一致。

9.根据权利要求8所述的晶体管，

其中所述第三导电体的顶面的高度与所述第八绝缘体的最上部的高度一致或大致一致。

10.根据权利要求7至9中任一项所述的晶体管，

其中所述第一绝缘体及所述第六绝缘体都包含硅及氮，

所述第二绝缘体及所述第九绝缘体都包含铝及氧，

并且所述第三绝缘体、所述第七绝缘体及所述第八绝缘体都包含硅及氧。

11.根据权利要求7至10中任一项所述的晶体管，还包括所述第九绝缘体上的第十绝缘体，

其中所述第十绝缘体与所述第一绝缘体的顶面、所述第六绝缘体的侧面、所述第七绝缘体的侧面、所述第九绝缘体的侧面及所述第九绝缘体的顶面接触，

并且所述第十绝缘体包含硅及氮。

12.根据权利要求1至11中任一项所述的晶体管，

其中所述氧化物、所述第四绝缘体及所述第五绝缘体都包含铟、镓、锌及氧，

并且所述第四绝缘体的相对于铟的镓的原子个数比大于所述氧化物的相对于铟的镓的原子个数比。

13.根据权利要求1至12中任一项所述的晶体管,

其中在利用二次离子质谱分析法测量所述氧化物时,氧化物具有所述氧化物中的氢浓度低于1×10^{19}atoms/cm^3的区域。

晶体管

技术领域

[0001] 本发明的一个方式涉及一种晶体管、半导体装置及电子设备。另外,本发明的一个方式涉及一种半导体装置的制造方法。另外,本发明的一个方式涉及一种半导体晶片及模块。

[0002] 注意,在本说明书等中,半导体装置是指能够通过利用半导体特性而工作的所有装置。除了晶体管等半导体元件之外,半导体电路、运算装置或存储装置也是半导体装置的一个方式。显示装置(液晶显示装置、发光显示装置等)、投影装置、照明装置、电光装置、蓄电装置、存储装置、半导体电路、摄像装置、电子设备等有时包括半导体装置。

[0003] 注意,本发明的一个方式不局限于上述技术领域。本说明书等所公开的发明的一个方式涉及一种物体、方法或制造方法。另外,本发明的一个方式涉及一种工序(process)、机器(machine)、产品(manufacture)或者组合物(composition of matter)。

背景技术

[0004] 近年来,已对半导体装置进行开发,将其主要用于LSI、CPU及存储器。CPU是包括将半导体晶片加工为芯片的半导体集成电路(至少包括晶体管及存储器)且形成有作为连接端子的电极的半导体元件的集合体。

[0005] LSI、CPU及存储器等的半导体电路(IC芯片)安装在例如印刷线路板等电路板上,并被用作各种电子设备的部件之一。

[0006] 此外,通过使用形成在具有绝缘表面的衬底上的半导体薄膜构成晶体管的技术受到注目。该晶体管被广泛地应用于集成电路(IC)及图像显示装置(也简单地记载为显示装置)等电子设备。作为可以应用于晶体管的半导体薄膜,硅类半导体材料被广泛地周知。作为其他材料,氧化物半导体受到关注。

[0007] 另外,已知使用氧化物半导体的晶体管的泄漏电流在非导通状态下极低。例如,专利文献1已公开了应用使用氧化物半导体的晶体管的泄漏电流低的特性的低功耗CPU等。另外,例如专利文献2已公开了利用使用氧化物半导体的晶体管的泄漏电流低的特性实现存储内容的长期保持的存储装置等。

[0008] 用于晶体管的氧化物半导体中的杂质及缺陷影响到该晶体管的电特性。作为氧化物半导体中的缺陷之一可以举出氧空位。于是,用于晶体管的氧化物半导体中的氧空位越少越好。专利文献3及专利文献4公开了从设置在氧化物半导体的下方的绝缘体向该氧化物半导体供应氧来填补氧空位的方法。

[0009] 近年来,随着电子设备的小型化和轻量化,对集成电路的进一步高密度化的要求提高。此外,有提高包含集成电路的半导体装置的生产率的需求。

[先行技术文献]

[专利文献]

[0010] [专利文献1]日本专利申请公开第2012-257187号公报

[专利文献2]日本专利申请公开第2011-151383号公报

[专利文献3]国际专利申请公开第2019/048983号

[专利文献4]国际专利申请公开第2019/123109号

发明内容

发明所要解决的技术问题

[0011] 本发明的一个方式的目的之一是提供一种电特性不均匀少的晶体管。此外,本发明的一个方式的目的之一是提供一种可靠性优异的晶体管。本发明的一个方式的目的之一是提供一种具有优异电特性的晶体管。另外,本发明的一个方式的目的之一是提供一种新颖晶体管。

[0012] 此外,本发明的一个方式的目的之一是提供一种晶体管的电特性不均匀小的半导体装置。此外,本发明的一个方式的目的之一是提供一种可靠性优异的半导体装置。另外,本发明的一个方式的目的之一是提供一种具有优异电特性的半导体装置。此外,本发明的一个方式的目的之一是提供一种通态电流高的半导体装置。此外,本发明的一个方式的目的之一是提供一种能够实现微型化或高集成化的半导体装置。此外,本发明的一个方式的目的之一是提供一种低功耗的半导体装置。

[0013] 注意,这些目的的记载并不妨碍其他目的的存在。注意,本发明的一个方式并不需要实现所有上述目的。注意,可以从说明书、附图、权利要求书等的记载得知并抽出上述以外的目的。

解决技术问题的手段

[0014] 本发明的一个方式是一种晶体管,包括:第一导电体;第一导电体上的第一绝缘体;第一绝缘体上的第二绝缘体;第二绝缘体上的第三绝缘体、第四绝缘体及第五绝缘体;第三绝缘体、第四绝缘体及第五绝缘体上的氧化物;氧化物上的第二导电体及第三导电体;第二导电体及第三导电体上的第六绝缘体;第六绝缘体上的第七绝缘体;氧化物上的第八绝缘体;第八绝缘体上的第九绝缘体;第九绝缘体上的第四导电体;以及第七绝缘体、第八绝缘体、第九绝缘体及第四导电体上的第十绝缘体。第六绝缘体具有与第一绝缘体的顶面、氧化物的侧面、第二导电体的侧面及顶面以及第三导电体的侧面及顶面接触的区域,第一导电体以与氧化物及第四导电体重叠的方式配置,第三绝缘体以与氧化物及第四导电体重叠的方式配置,第四绝缘体以与氧化物及第二导电体重叠的方式配置,第五绝缘体以与氧化物及第三导电体重叠的方式配置,第八绝缘体与第三绝缘体的侧面、氧化物的侧面及第七绝缘体的侧面接触,第八绝缘体具有其厚度比第九绝缘体薄的区域,并且,第三绝缘体的顶面的高度与第四绝缘体的顶面及第五绝缘体的顶面的高度一致或大致一致。

[0015] 在上述晶体管中,优选的是,第四导电体的顶面的高度与第七绝缘体的顶面的高度一致或大致一致。

[0016] 在上述晶体管中,优选的是,第四导电体的顶面的高度与第八绝缘体的最上部及第九绝缘体的最上部的高度一致或大致一致。

[0017] 在上述晶体管中,优选的是,第八绝缘体包含铝及氧,并且第八绝缘体具有其厚度为1.0nm以上且3.0nm以下的区域。

[0018] 在上述晶体管中,优选的是,第一绝缘体及第六绝缘体都包含硅及氮,第二绝缘体及第十绝缘体都包含铝及氧,并且第三绝缘体、第七绝缘体及第九绝缘体都包含硅及氧。

[0019] 在上述晶体管中,优选的是,还包括第十绝缘体上的第十一绝缘体,其中第十一绝缘体与第一绝缘体的顶面、第六绝缘体的侧面、第七绝缘体的侧面、第十绝缘体的侧面及第十绝缘体的顶面接触,并且第十一绝缘体包含硅及氮。

[0020] 本发明的一个方式是一种晶体管,包括:第一绝缘体;第一绝缘体上的第二绝缘体;第二绝缘体上的第三绝缘体、第四绝缘体及第五绝缘体;第三绝缘体、第四绝缘体及第五绝缘体上的氧化物;氧化物上的第一导电体及第二导电体;第一导电体及第二导电体上的第六绝缘体;第六绝缘体上的第七绝缘体;氧化物上的第八绝缘体;第八绝缘体上的第三导电体;以及第七绝缘体、第八绝缘体及第三导电体上的第九绝缘体。第六绝缘体具有与第一绝缘体的顶面、氧化物的侧面、第一导电体的侧面及顶面以及第二导电体的侧面及顶面接触的区域,第三绝缘体以与氧化物及第三导电体重叠的方式配置,第四绝缘体以与氧化物及第一导电体重叠的方式配置,第五绝缘体以与氧化物及第二导电体重叠的方式配置,第八绝缘体与第三绝缘体的侧面、氧化物的侧面及第七绝缘体的侧面接触,并且,第三绝缘体的顶面的高度与第四绝缘体的顶面及第五绝缘体的顶面的高度一致或大致一致。

[0021] 在上述晶体管中,优选的是,第三导电体的顶面的高度与第七绝缘体的顶面的高度一致或大致一致。

[0022] 在上述晶体管中,优选的是,第三导电体的顶面的高度与第八绝缘体的最上部的高度一致或大致一致。

[0023] 在上述晶体管中,优选的是,第一绝缘体及第六绝缘体都包含硅及氮,第二绝缘体及第九绝缘体都包含铝及氧,并且第三绝缘体、第七绝缘体及第八绝缘体都包含硅及氧。

[0024] 在上述晶体管中,优选的是,还包括第九绝缘体上的第十绝缘体,其中第十绝缘体与第一绝缘体的顶面、第六绝缘体的侧面、第七绝缘体的侧面、第九绝缘体的侧面及第九绝缘体的顶面接触,并且第十绝缘体包含硅及氮。

[0025] 在上述晶体管中,优选的是,氧化物、第四绝缘体及第五绝缘体都包含铟、镓、锌及氧,并且第四绝缘体的相对于铟的镓的原子个数比大于氧化物的相对于铟的镓的原子个数比。

[0026] 在上述晶体管中,优选的是,在利用二次离子质谱分析法测量氧化物时,氧化物具有氧化物中的氢浓度低于1×10^{19}atoms/cm^3的区域。

发明效果

[0027] 根据本发明的一个方式可以提供一种电特性不均匀少的晶体管。此外,根据本发明的一个方式可以提供一种可靠性优异的晶体管。根据本发明的一个方式可以提供一种具有优异电特性的晶体管。另外,根据本发明的一个方式可以提供一种新颖晶体管。

[0028] 此外,根据本发明的一个方式可以提供一种晶体管的电特性不均匀小的半导体装置。此外,根据本发明的一个方式可以提供一种可靠性优异的半导体装置。另外,根据本发明的一个方式可以提供一种具有优异电特性的半导体装置。此外,根据本发明的一个方式可以提供一种通态电流高的半导体装置。此外,根据本发明的一个方式可以提供一种能够实现微型化或高集成化的半导体装置。此外,根据本发明的一个方式可以提供一种低功耗的半导体装置。

[0029] 注意,这些效果的记载并不妨碍其他效果的存在。注意,本发明的一个方式并不需要具有所有上述效果。注意,可以从说明书、附图、权利要求书等的记载得知并抽出上述以

外的效果。

附图简要说明

[0030] 图1A是本发明的一个方式的晶体管的俯视图。图1B及图1C是本发明的一个方式的晶体管的截面图。

图2A及图2B是本发明的一个方式的晶体管的截面图。

图3A至图3E是本发明的一个方式的晶体管的截面图。

图4A至图4J是示出本发明的一个方式的晶体管的制造方法的截面图。

图5A至图5H是示出本发明的一个方式的晶体管的制造方法的截面图。

图6A至图6F是示出本发明的一个方式的晶体管的制造方法的截面图。

图7是说明根据本发明的一个方式的微波处理装置的俯视图。

图8是说明根据本发明的一个方式的微波处理装置的截面示意图。

图9是说明根据本发明的一个方式的微波处理装置的截面示意图。

图10是说明根据本发明的一个方式的微波处理装置的示意图。

图11A至图11D是说明本发明的一个方式的晶体管的截面图。

图12A至图12D是说明本发明的一个方式的晶体管的截面图。

图13A至图13D是说明本发明的一个方式的晶体管的截面图。

图14A是本发明的一个方式的半导体装置的俯视图。图14B至图14D是本发明的一个方式的半导体装置的截面图。

图15A及图15B是本发明的一个方式的半导体装置的截面图。

图16A是示出本发明的一个方式的半导体装置的制造方法的俯视图。图16B至图16D是示出本发明的一个方式的半导体装置的制造方法的截面图。

图17A是示出本发明的一个方式的半导体装置的制造方法的俯视图。图17B至图17D是示出本发明的一个方式的半导体装置的制造方法的截面图。

图18A是示出本发明的一个方式的半导体装置的制造方法的俯视图。图18B至图18D是示出本发明的一个方式的半导体装置的制造方法的截面图。

图19A是示出本发明的一个方式的半导体装置的制造方法的俯视图。图19B至图19D是示出本发明的一个方式的半导体装置的制造方法的截面图。

图20A是示出本发明的一个方式的半导体装置的制造方法的俯视图。图20B至图20D是示出本发明的一个方式的半导体装置的制造方法的截面图。

图21A是示出本发明的一个方式的半导体装置的制造方法的俯视图。图21B至图21D是示出本发明的一个方式的半导体装置的制造方法的截面图。

图22A是示出本发明的一个方式的半导体装置的制造方法的俯视图。图22B至图22D是示出本发明的一个方式的半导体装置的制造方法的截面图。

图23A是示出本发明的一个方式的半导体装置的制造方法的俯视图。图23B至图23D是示出本发明的一个方式的半导体装置的制造方法的截面图。

图24A是示出本发明的一个方式的半导体装置的制造方法的俯视图。图24B至图24D是示出本发明的一个方式的半导体装置的制造方法的截面图。

图25A是示出本发明的一个方式的半导体装置的制造方法的俯视图。图25B至图25D是示出本发明的一个方式的半导体装置的制造方法的截面图。

图26A是示出本发明的一个方式的半导体装置的制造方法的俯视图。图26B至图26D是示出本发明的一个方式的半导体装置的制造方法的截面图。

图27A是示出本发明的一个方式的半导体装置的制造方法的俯视图。图27B至图27D是示出本发明的一个方式的半导体装置的制造方法的截面图。

图28A是本发明的一个方式的半导体装置的俯视图。图28B至图28D是本发明的一个方式的半导体装置的截面图。

图29A是本发明的一个方式的半导体装置的俯视图。图29B至图29D是本发明的一个方式的半导体装置的截面图。

图30A是本发明的一个方式的半导体装置的俯视图。图30B至图30D是本发明的一个方式的半导体装置的截面图。

图31A是根据本发明的一个方式的半导体装置的俯视图。图31B及图31C是本发明的一个方式的半导体装置的截面图。

图32是示出根据本发明的一个方式的存储装置的结构的截面图。

图33是示出根据本发明的一个方式的存储装置的结构的截面图。

图34是根据本发明的一个方式的半导体装置的截面图。

图35A及图35B是根据本发明的一个方式的半导体装置的截面图。

图36是根据本发明的一个方式的半导体装置的截面图。

图37A是示出根据本发明的一个方式的存储装置的结构例子的方框图。图37B是示出根据本发明的一个方式的存储装置的结构例子的立体图。

图38A至图38H是示出根据本发明的一个方式的存储装置的结构例子的电路图。

图39A及图39B是根据本发明的一个方式的半导体装置的示意图。

图40是说明CPU的结构例子的图。

图41A及图41B是说明CPU的结构例子的图。

图42是示出CPU的电源门控序列的图。

图43A及图43B是说明电子构件的一个例子的图。

图44A至图44E是根据本发明的一个方式的存储装置的示意图。

图45A至图45H是示出根据本发明的一个方式的电子设备的图。

实施发明的方式

[0031] 下面,参照附图对实施方式进行说明。注意,所属技术领域的普通技术人员可以很容易地理解一个事实,就是实施方式可以以多个不同形式来实施,其方式和详细内容可以在不脱离本发明的宗旨及其范围的条件下被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在下面所示的实施方式所记载的内容中。

[0032] 在附图中,为显而易见,有时夸大表示大小、层的厚度或区域。因此,本发明并不局限于附图中的尺寸。此外,在附图中,示意性地示出理想的例子,因此本发明不局限于附图所示的形状或数值等。例如,在实际的制造工序中,有时由于蚀刻处理而层及抗蚀剂掩模等被非意图性地减薄,但是为了便于理解有时不反映于附图中。另外,在附图中,有时在不同的附图之间共同使用相同的附图标记来表示相同的部分或具有相同功能的部分,而省略其重复说明。此外,当表示具有相同功能的部分时有时使用相同的阴影线,而不特别附加附图标记。

[0033] 另外,尤其在俯视图(也称为平面图)或立体图等中,为了便于对发明的理解,有时省略部分构成要素的记载。另外,有时省略部分隐藏线的记载。

[0034] 此外,在本说明书等中,为了方便起见,附加了第一、第二等序数词,而其并不表示工序顺序或叠层顺序。因此,例如可以将“第一”适当地替换为“第二”或“第三”等来进行说明。此外,本说明书等所记载的序数词与用于指定本发明的一个方式的序数词有时不一致。

[0035] 在本说明书等中,为方便起见,使用了“上”或“下”等表示配置的词句,以参照附图说明构成要素的位置关系。此外,构成要素的位置关系根据描述各构成要素的方向适当地改变。因此,不局限于说明书中所说明的词句,根据情况可以适当地换词句。

[0036] 例如,在本说明书等中,当明确地记载为“X与Y连接”时,意味着如下情况:X与Y电连接;X与Y在功能上连接;X与Y直接连接。因此,不局限于附图或文中所示的连接关系等规定的连接关系,附图或文中所示的连接关系以外的连接关系也在附图或文中公开了。在此,X和Y为对象物(例如,装置、元件、电路、布线、电极、端子、导电膜或层等)。

[0037] 在本说明书等中,晶体管是指至少包括栅极、漏极以及源极这三个端子的元件。晶体管在漏极(漏极端子、漏极区域或漏电极)与源极(源极端子、源极区域或源电极)之间具有形成沟道的区域(以下也称为沟道形成区域),并且通过沟道形成区域电流能够流过源极和漏极之间。注意,在本说明书等中,沟道形成区域是指电流主要流过的区域。

[0038] 另外,在使用极性不同的晶体管的情况或电路工作中的电流方向变化的情况等下,源极或漏极的功能有时互相调换。因此,在本说明书等中,有时源极或漏极可以相互调换。

[0039] 注意,沟道长度例如是指晶体管的俯视图中的半导体(或在晶体管处于导通状态时,在半导体中电流流过的部分)和栅电极互相重叠的区域或者沟道形成区域中的源极(源极区域或源电极)和漏极(漏极区域或漏电极)之间的距离。另外,在一个晶体管中,沟道长度不一定在所有的区域中成为相同的值。也就是说,一个晶体管的沟道长度有时不限定于一个值。因此,在本说明书中,沟道长度是沟道形成区域中的任一个值、最大值、最小值或平均值。

[0040] 沟道宽度例如是指在晶体管的俯视图中半导体(或在晶体管处于导通状态时,在半导体中电流流过的部分)和栅电极互相重叠的区域或者沟道形成区域中的垂直于沟道长度方向上的沟道形成区域的长度。另外,在一个晶体管中,沟道宽度不一定在所有的区域中成为相同的值。也就是说,一个晶体管的沟道宽度有时不限定于一个值。因此,在本说明书中,沟道宽度是沟道形成区域中的任一个值、最大值、最小值或平均值。

[0041] 在本说明书等中,根据晶体管的结构,有时形成沟道的区域中的实际上的沟道宽度(以下,也称为“有效沟道宽度”)和晶体管的俯视图所示的沟道宽度(以下,也称为“外观上的沟道宽度”)不同。例如,在栅电极覆盖半导体的侧面时,有时因为有效沟道宽度大于外观上的沟道宽度,所以不能忽略其影响。例如,在微型且栅电极覆盖半导体的侧面的晶体管中,有时形成在半导体的侧面上的沟道形成区域的比例增高。在此情况下,有效沟道宽度大于外观上的沟道宽度。

[0042] 在上述情况下,有时难以通过实测估计有效沟道宽度。例如,为了根据设计值估计有效沟道宽度,需要预先知道半导体的形状的假定。因此,当不确定半导体的形状时,难以准确地测量有效的沟道宽度。

[0043] 在本说明书中,在简单地描述为“沟道宽度”时,有时是指外观上的沟道宽度。或者,在本说明书中,在简单地表示“沟道宽度”时,有时表示有效沟道宽度。注意,例如通过对截面TEM(Transmission Electron Microscope:透射电子显微镜)图像等进行分析,可以决定沟道长度、沟道宽度、有效沟道宽度及外观上的沟道宽度等的值。

[0044] 注意,半导体的杂质例如是指构成半导体的主要成分之外的元素。例如,浓度低于0.1原子%的元素可以说是杂质。在包含杂质时,例如有时发生半导体的缺陷态密度的增高或结晶性的降低等。当半导体是氧化物半导体时,作为改变半导体的特性的杂质,例如有第1族元素、第2族元素、第13族元素、第14族元素、第15族元素以及除氧化物半导体的主要成分外的过渡金属等。例如,有氢、锂、钠、硅、硼、磷、碳及氮等。此外,有时水也作为杂质起作用。此外,例如有时杂质的混入导致氧化物半导体中的氧空位(也称为V_O:oxygen vacancy)的形成。

[0045] 注意,在本说明书等中,氧氮化硅是指氧含量大于氮含量的物质。此外,氮氧化硅是指氮含量大于氧含量的物质。此外,氧氮化铝是指氧含量大于氮含量的物质。此外,氮氧化铝是指氮含量大于氧含量的物质。此外,氧氮化铪是指氧含量大于氮含量的物质。此外,氮氧化铪是指氮含量大于氧含量的物质。

[0046] 注意,在本说明书等中,可以将“绝缘体”换称为“绝缘膜”或“绝缘层”。另外,可以将“导电体”换称为“导电膜”或“导电层”。另外,可以将“半导体”换称为“半导体膜”或“半导体层”。

[0047] 在本说明书等中,“平行”是指两条直线形成的角度为-10°以上且10°以下的状态。因此,也包括该角度为-5°以上且5°以下的状态。“大致平行”是指两条直线形成的角度为-30°以上且30°以下的状态。另外,“垂直”是指两条直线的角度为80°以上且100°以下的状态。因此,也包括该角度为85°以上且95°以下的状态。“大致垂直”是指两条直线形成的角度为60°以上且120°以下的状态。

[0048] 在本说明书等中,金属氧化物(metal oxide)是指广义上的金属的氧化物。金属氧化物被分类为氧化物绝缘体、氧化物导电体(包括透明氧化物导电体)和氧化物半导体(Oxide Semiconductor,也可以简称为OS)等。例如,在将金属氧化物用于晶体管的半导体层的情况下,有时将该金属氧化物称为氧化物半导体。换言之,可以将OS晶体管换称为包含金属氧化物或氧化物半导体的晶体管。

[0049] 注意,在本说明书等中,常关闭是指:在不对栅极施加电位或者对栅极施加接地电位时流过晶体管的每沟道宽度1μm的漏极电流在室温下为1×10^{-20}A以下,在85℃下为1×10^{-18}A以下,或在125℃下为1×10^{-16}A以下。

[0050] 此外,在本说明书等中,可以适当地调换“电压”和“电位”。“电压”是指与基准电位之间的电位差,例如在基准电位为地电位(接地电位)时,也可以将“电压”称为“电位”。接地电位不一定意味着0V。此外,电位是相对性的,根据基准电位的变化而供应到布线的电位、施加到电路等的电位、从电路等输出的电位等也产生变化。

[0051] 此外,在本说明书等中,在多个要素使用同一符号并且需要区分它们时,有时对符号附加“_1”、“[n]”或“[m,n]”等用于识别的符号。

[0052] 注意,在本说明书等中,“高度一致或大致一致”是指在从截面看时距作为基准的面(例如,衬底表面等平坦的面)的高度相等的结构。例如,在半导体装置的制造工艺中,有

时进行平坦化处理(典型的是CMP处理)使单层或多个层的表面露出。在这种情况下,CMP处理的被处理面距作为基准的面的高度相等。注意,根据进行CMP处理时的处理装置、处理方法或被处理面的材料,有时多个层的高度不同。在本说明书等中,“高度一致或大致一致”也包括上述情况。例如,在出现对基准面具有两个高度的层(在此称为第一层和第二层)的情况下,当第一层的顶面的高度与第二层的顶面的高度之差为20nm以下时,也将其称为“高度一致或大致一致”。

[0053] 注意,在本说明书等中,“端部一致或大致一致”是指在俯视时层叠的层与层之间轮廓的至少一部分重叠。例如,包括上层及下层通过同一的掩模图案或其一部分同一的掩模图案被加工的情况。但是,严格地说,有时轮廓不重叠且上层的轮廓位于下层的轮廓的内侧或者上层的轮廓位于下层的轮廓的外侧,这些情况也包括在“端部一致或大致一致”。

[0054] (实施方式1)

在本实施方式中,参照图1至图13说明本发明的一个方式的晶体管的结构例子及其制造方法。

[0055] <结构例子1>

参照图1说明本发明的一个方式的晶体管的结构例子。图1A至图1C是晶体管20的俯视图及截面图。图1A是晶体管20的俯视图。此外,图1B及图1C是晶体管20的截面图。在此,图1B是沿着图1A中的A1-A2的点划线的部分的截面图,也是晶体管20的沟道长度方向的截面图。此外,图1C是沿着图1A中的A3-A4的点划线的部分的截面图,也是晶体管20的沟道宽度方向的沟道形成区域及其附近的截面图。注意,在图1A的俯视图中,为了容易理解,省略部分构成要素。

[0056] 晶体管20包括:衬底(未图示)上的导电体15;导电体15上的绝缘体14;绝缘体14上的绝缘体22;绝缘体22上的绝缘体24、绝缘体23a及绝缘体23b;绝缘体24、绝缘体23a及绝缘体23b上的氧化物30;氧化物30上的导电体42a、导电体42b及绝缘体50;位于绝缘体50上且与氧化物30的一部分重叠的导电体60;配置于绝缘体14、绝缘体22、绝缘体24、绝缘体23a、绝缘体23b、氧化物30、导电体42a及导电体42b上的绝缘体75;绝缘体75上的绝缘体80;绝缘体80、绝缘体50及导电体60上的绝缘体82。

[0057] 以下,有时将绝缘体23a和绝缘体23b统称为绝缘体23。此外,有时将导电体42a和导电体42b统称为导电体42。

[0058] 在绝缘体80及绝缘体75中形成到达氧化物30的开口。该开口内配置有绝缘体50及导电体60。此外,在晶体管20的沟道长度方向上导电体42a与导电体42b之间设置有绝缘体50及导电体60。

[0059] 绝缘体50具有与导电体60的侧面接触的区域以及与导电体60的底面接触的区域。此外,绝缘体50具有与绝缘体14的顶面、绝缘体22的侧面、绝缘体24的侧面、氧化物30的侧面、氧化物30的顶面、导电体42a的侧面、导电体42b的侧面、绝缘体75的侧面及绝缘体80的侧面接触的区域。

[0060] 导电体60的顶面以与绝缘体50的最上部及绝缘体80的顶面的高度一致或大致一致的方式配置。

[0061] 注意,在图1B中,埋入有导电体60等的开口的侧面与氧化物30的被形成面大致垂直,但是本实施方式不局限于此。例如,该开口的底部也可以为具有平缓曲面的U字型形状。

此外,例如,该开口的侧面也可以倾斜于氧化物30的被形成面。

[0062] 绝缘体24的顶面的高度与绝缘体23a的顶面及绝缘体23b的顶面的高度一致或大致一致。

[0063] 导电体60被用作第一栅(也称为顶栅极)电极,导电体15被用作第二栅(也称为背栅极)电极。此外,绝缘体50被用作第一栅极绝缘体,绝缘体22及绝缘体24被用作第二栅极绝缘体。此外,绝缘体23有时被用作第二栅极绝缘体。此外,导电体42a被用作源电极和漏电极中的一个,导电体42b被用作源电极和漏电极中的另一个。另外,氧化物30的与导电体60重叠的区域的至少一部分被用作沟道形成区域。

[0064] 优选在晶体管20中将用作半导体的金属氧化物(以下,有时称为氧化物半导体)用于包含沟道形成区域的氧化物30。

[0065] 用作半导体的金属氧化物优选使用其带隙为2eV以上,优选为2.5eV以上的金属氧化物。通过使用带隙较宽的金属氧化物,可以减小晶体管的关态电流(off-state current)。

[0066] 例如,作为氧化物30优选使用包含铟、元素M及锌的In-M-Zn氧化物(元素M为选自铝、镓、钇、锡、铜、钒、铍、硼、钛、铁、镍、锗、锆、钼、镧、铈、钕、铪、钽、钨和镁等中的一种或多种)等的金属氧化物。注意,有时将元素M为镓的上述金属氧化物记为In-Ga-Zn氧化物。此外,作为氧化物30也可以使用In-Ga氧化物、In-Zn氧化物、铟氧化物。

[0067] 氧化物30优选具有结晶性。尤其是,优选使用CAAC-OS(c-axis aligned crystalline oxide semiconductor:c轴取向结晶氧化物半导体)作为氧化物30。

[0068] CAAC-OS具有结晶性高的致密结构且是杂质或缺陷(例如,氧空位(V_O)及金属空位等)少的金属氧化物。尤其是,通过在形成金属氧化物后以金属氧化物不被多晶化的温度(例如,400℃以上且600℃以下)进行热处理,可以使CAAC-OS具有结晶性更高的致密结构。如此,通过进一步提高CAAC-OS的密度,可以进一步降低该CAAC-OS中的杂质或缺陷。

[0069] 此外,在CAAC-OS中不容易观察明确的晶界,因此不容易发生起因于晶界的电子迁移率的下降。因此,包含CAAC-OS的金属氧化物的物理性质稳定。因此,具有CAAC-OS的金属氧化物具有耐热性且可靠性高。

[0070] 注意,在图1B及图1C中,示出绝缘物30具有单层的结构,但是本发明不局限于此,也可以采用两层以上的叠层结构。

[0071] 注意,在氧化物30具有两层以上的叠层结构时,后述的区域30a、区域30b及区域30c既可以形成在一部分的层中,又可以形成在所有层中。

[0072] 氧化物30也可以具有化学组成不同的多个氧化物层的叠层结构。例如,用于导电体60一侧的氧化物层的金属氧化物中的相对于元素M的In的原子个数比优选比用于导电体15一侧的氧化物层的金属氧化物中的相对于元素M的In的原子个数比大。通过采用该结构,晶体管20可以得到大通态电流及高频率特性。

[0073] 此外,通过使多个氧化物层除了氧以外还包含共同元素作为主要成分,可以降低氧化物层的界面的缺陷态密度。因为可以降低氧化物层的界面的缺陷态密度,可以减少界面散射对载流子传导的负面影响,由此可以得到大通态电流。

[0074] 在此,图2A示出图1B中的沟道形成区域及其附近的放大图,图2B示出图1C中的沟道形成区域及其附近的放大图。如图2A所示,氧化物30具有区域30c以及以夹有区域30c的

方式设置的一对区域30a及区域30b。区域30c的至少一部分与导电体60重叠。换言之,区域30c设置在导电体42a与导电体42b间的区域中。区域30a与导电体42a重叠,区域30b与导电体42b重叠。

[0075] 区域30c是用作晶体管20的沟道形成区域。另外,区域30a被用作晶体管20的源极区域和漏极区域中的一个,区域30b被用作晶体管20的源极区域和漏极区域中的另一个。

[0076] 与区域30a及区域30b相比,其氧空位少或氢、氮、金属元素等杂质浓度低,所以用作沟道形成区域的区域30c是载流子浓度低的高电阻区域。例如,区域30c的载流子浓度优选为$1\times10^{18}cm^{-3}$以下,更优选低于$1\times10^{17}cm^{-3}$,进一步优选低于$1\times10^{16}cm^{-3}$,更进一步优选低于$1\times10^{13}cm^{-3}$,还进一步优选低于$1\times10^{12}cm^{-3}$。对区域30c的载流子浓度的下限值没有特别的限定,例如,可以将其设定为$1\times10^{-9}cm^{-3}$。

[0077] 此外,例如,在利用二次离子质谱分析法(SIMS:Secondary Ion Mass Spectrometry)测量氧化物30时,氧化物30具有如下区域:氧化物30中的氢浓度低于$1\times10^{20}atoms/cm^3$,优选低于$1\times10^{19}atoms/cm^3$,更优选低于$5\times10^{18}atoms/cm^3$,进一步优选低于$1\times10^{18}atoms/cm^3$。尤其是,该区域优选位于氧化物30的区域30c内。在本说明书中,有时将“利用SIMS测量层时的该层中的杂质浓度”记为“利用SIMS测得的层中的杂质浓度”。

[0078] 用作源极区域或漏极区域的区域30a及区域30b是如下区域:由于氧空位多或者氢、氮、金属元素等杂质的浓度高,因此载流子浓度提高,所以被低电阻化。就是说,区域30a及区域30b是比区域30c载流子浓度高且电阻低的区域。例如,区域30a及区域30b的各载流子浓度优选为$1\times10^{17}cm^{-3}$以上,更优选为$1\times10^{18}cm^{-3}$以上,进一步优选为$1\times10^{19}cm^{-3}$以上。注意,对区域30a及区域30b的各载流子浓度的上限值没有特别的限制,例如可以为$1\times10^{21}cm^{-3}$。

[0079] 此外,有时在区域30c与区域30a或区域30b之间形成载流子浓度等于或低于区域30a及区域30b的载流子浓度且等于或高于区域30c的载流子浓度的区域。换言之,该区域被用作区域30c与区域30a或区域30b的接合区域。该接合区域的氢浓度有时等于或低于区域30a及区域30b的氢浓度且等于或高于区域30c的氢浓度。此外,该接合区域的氧空位有时等于或少于区域30a及区域30b的氧空位且等于或多于区域30c的氧空位。

[0080] 在氧化物30中,有时难以明确地观察各区域的边界。在各区域中检测出的金属元素、氢及氮等杂质元素的浓度并不需要按每区域分阶段地变化,也可以在各区域中逐渐地变化。就是说,越接近沟道形成区域,金属元素、氢及氮等杂质元素的浓度越低即可。

[0081] 在使用氧化物半导体的晶体管中,如果在氧化物半导体的沟道形成区域中存在杂质或氧空位,电特性则容易变动,有时降低可靠性。此外,氧空位附近的氢形成氢进入氧空位中的缺陷(下面有时称为V_OH)而可能会产生成为载流子的电子。因此,当在氧化物半导体的沟道形成区域中包含氧空位时,晶体管会具有常开启特性(即使不对栅电极施加电压也存在沟道而在晶体管中电流流过的特性)。由此,在氧化物半导体的沟道形成区域中,优选尽量减少杂质、氧空位及V_OH。换言之,优选的是,氧化物半导体中的沟道形成区域的载流子浓度降低且被i型化(本征化)或实质上被i型化。

[0082] 相对于此,优选氧化物半导体中的源极区域及漏极区域中的载流子浓度高且被n型化。因此,氧化物半导体中的源极区域及漏极区域优选包括生成成为载流子的电子的V_OH。注意,需要抑制源极区域及漏极区域中的V_OH扩散到沟道形成区域。因此,优选源极区域

及漏极区域包含的V_0H稳定。尤其是,当源极区域及漏极区域包含的V_0H在衬底面内不均匀时,晶体管的电特性也出现不均匀。

[0083] 就是说,优选的是,在氧化物半导体中,被用作沟道形成区域的区域30c的载流子浓度降低且被i型化或实质上被i型化。另一方面,优选的是,被用作源极区域或漏极区域的区域30a及区域30b的载流子浓度高且被n型化。此外,i型或实质上i型的区域30c、n型的区域30a及区域30b优选是稳定的。

[0084] 相对于此,通过在氧化物半导体附近设置包含通过加热脱离的氧(以下,有时称为过剩氧)的绝缘体而进行热处理,可以从该绝缘体向氧化物半导体供应氧而减少氧空位及V_0H。注意,在对源极区域或漏极区域供应过多的氧时,有可能引起晶体管20的通态电流下降或者场效应迁移率的下降。并且,在供应到源极区域或漏极区域的氧量在衬底面内有不均匀时,晶体管的电特性发生不均匀。

[0085] 因此,优选的是,在氧化物半导体中,用作沟道形成区域的区域30c的载流子浓度得到降低且被i型化或实质上被i型化。另一方面,优选的是,用作源极区域或漏极区域的区域30a及区域30b的载流子浓度高且被n型化。换言之,优选减少氧化物半导体的区域30c的氧空位及V_0H且区域30a及区域30b不被供应过多的氧。

[0086] 于是,在本实施方式中,作为与区域30c的顶面接触的绝缘体及与区域30c的底面接触的绝缘体使用包含过剩氧的绝缘体,作为与区域30a的底面接触的绝缘体及与区域30b的底面接触的绝缘体使用抑制氧(例如,氧原子和氧分子等中的至少一个)的扩散的绝缘体。通过采用该结构,可以对区域30c高效地供应氧,从而可以使沟道形成区域成为稳定的i型区域。再者,由于区域30a及区域30b的被供应的氧量比区域30c少,所以可以防止源极区域及漏极区域的载流子浓度降低。

[0087] 在图1B所示的晶体管20中,绝缘体50是与区域30c的顶面接触的绝缘体,绝缘体24是与区域30c的底面接触的绝缘体。由于区域30c与导电体60重叠,所以绝缘体24隔着区域30c与导电体60重叠。换言之,绝缘体24以与氧化物30及导电体60重叠的方式配置。

[0088] 绝缘体50及绝缘体24优选为包含过剩氧的绝缘体。此时,可以将包含在绝缘体50及绝缘体24中的氧高效地供应到区域30c。

[0089] 另外,当与绝缘体50接触的绝缘体包含过剩氧时,绝缘体50也可以使用容易使氧透过的绝缘材料形成。此时,可以将与绝缘体50接触的绝缘体所包含的氧通过绝缘体50供应给区域30c。在图1B及图1C所示的晶体管20中,作为与绝缘体50接触的绝缘体,可以举出绝缘体80。就是说,绝缘体80优选为包含过剩氧的绝缘体。此时,绝缘体24也可以使用容易使氧透过的绝缘材料形成。通过采用该结构,可以将包含在绝缘体80中的氧通过绝缘体50及绝缘体24供应给区域30c。

[0090] 图2A所示的箭头是使绝缘体80所包含的氧通过绝缘体50扩散到区域30c的情况及绝缘体24所包含的氧扩散到区域30c的情况可见化的。另外,图2B所示的箭头是使绝缘体80所包含的氧通过绝缘体50扩散到区域30c的情况、绝缘体80所包含的氧通过绝缘体50及绝缘体24扩散到区域30c的情况、绝缘体24所包含的氧扩散到区域30c的情况可见化的。

[0091] 作为绝缘体50、绝缘体24及绝缘体80,例如可以使用氧化硅、氧氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅或具有空孔的氧化硅等绝缘材料。尤其是,氧化硅及氧氮化硅具有热稳定性,所以是优选的。此时,绝缘体50、绝缘体24及绝缘体

80是至少包含氧和硅的绝缘体。上述绝缘材料也是介电常数低的材料。因为绝缘体80还被用作层间膜,所以通过使用上述绝缘体材料形成绝缘体80,可以减少产生在布线之间的寄生电容。

[0092] 绝缘体50、绝缘体24及绝缘体80中的水及氢等杂质浓度优选都得到降低。绝缘体50、绝缘体24和绝缘体80中的至少一个具有通过SIMS测得的膜中的氢浓度低于2×10^{20}atoms/cm^3,优选低于1×10^{20}atoms/cm^3,更优选低于5×10^{19}atoms/cm^3,进一步优选低于1×10^{19}atoms/cm^3。

[0093] 绝缘体50需要与导电体60一起设置在形成于绝缘体80等中的开口中。为了实现晶体管20的微型化,绝缘体50的厚度优选小。绝缘体50的膜厚度优选为0.5nm以上且20nm以下,更优选为1.0nm以上且15.0nm以下。此时,绝缘体50的至少一部分是具有上述厚度的区域即可。

[0094] 在图1B及图1C中,示出绝缘体50具有单层的结构,但是本发明不局限于此,也可以采用两层以上的叠层结构。例如,在使绝缘体50具有两层叠层结构的情况下,优选的是,下层使用容易使氧透过的绝缘体形成,而上层使用具有抑制氧的扩散的功能的绝缘体形成。通过采用该结构,可以抑制包含在下层中的氧扩散到导电体60。就是说,可以抑制供应到氧化物30的氧量减少。另外,可以抑制下层中的氧导致导电体60的氧化。例如,下层使用上述的能够用于绝缘体50的材料,上层使用包含铝和铪中的一方或双方的氧化物的绝缘体,即可。作为该绝缘体,可以使用氧化铝、氧化铪、包含铝及铪的氧化物(铝酸铪)、包含铪及硅的氧化物(硅酸铪)等。例如,当作为上层使用氧化铪时,该上层为至少包含氧及铪的绝缘体。

[0095] 在图1B及图1C所示的晶体管20中,绝缘体23a是与区域30a的底面接触的绝缘体。由于区域30a与导电体42a重叠,所以绝缘体23a隔着区域30a与导电体42a重叠。换言之,绝缘体23a以与氧化物30及导电体42a重叠的方式配置。绝缘体23b是与区域30b的底面接触的绝缘体。区域30b与导电体42b重叠,所以绝缘体23b隔着区域30b与导电体42b重叠。换言之,绝缘体23b以与氧化物30及导电体42b重叠的方式配置。

[0096] 在此,绝缘体23a及绝缘体23b优选具有抑制氧的扩散的功能。作为具有抑制氧扩散的功能的绝缘体,例如可以使用氧化铝、氧化镁、氧化铪、含铪及硅的氧化物、含铪及铝的氧化物、含铪及锆的氧化物、氧化镓、含镓及锌的氧化物、In-Ga-Zn氧化物、氮化硅、氮氧化硅等。注意,绝缘体23a及绝缘体23b具有抑制氧扩散的功能即可,作为绝缘体23a及绝缘体23b不局限于绝缘材料,也可以使用半导体材料。

[0097] 再者,绝缘体23a及绝缘体23b优选具有压缩应力,更优选其压缩应力比氧化物30大。例如,可用于绝缘体23a及绝缘体23b的氮化硅的压缩应力比氧化物30大。通过作为绝缘体23a及绝缘体23b使用具有压缩应力的绝缘体,尤其是其压缩应力比氧化物30大的绝缘体,可以在区域30a及区域30b中形成向拉伸方向扩展的应变(以下有时称为拉伸应变)。通过由拉伸应变稳定地形成V_OH,可以使区域30a及区域30b成为稳定的n型区域。注意,绝缘体所具有的压缩应力是缓和该绝缘体的压缩形状的应力,并且是具有从绝缘体的中央部向端部的方向的向量的应力。

[0098] 注意,如上所述,In-Ga-Zn氧化物也是可用于氧化物30的金属氧化物。在将In-Ga-Zn氧化物用于晶体管的沟道形成区域时,有如下倾向:相对于镓的铟的原子个数比越大,该晶体管的通态电流及场效应迁移率越高。此外,在In-Ga-Zn氧化物中,有如下倾向:相对于

铟的镓的原子个数比越大,氧的扩散越被抑制。因此,在作为氧化物30以及绝缘体23a及绝缘体23b使用In-Ga-Zn氧化物的情况下,用于氧化物30的In-Ga-Zn氧化物中的相对于镓的铟的原子个数比优选大于用于绝缘体23a及绝缘体23b的In-Ga-Zn氧化物中的相对于镓的铟的原子个数比。此外,用于绝缘体23a及绝缘体23b的In-Ga-Zn氧化物中的相对于铟的镓的原子个数比优选大于用于氧化物30的In-Ga-Zn氧化物中的相对于铟的镓的原子个数比。

[0099] 具体而言,作为绝缘体23a及绝缘体23b使用In:M:Zn=1:3:4[原子个数比]或其附近的组成的金属氧化物,即可。此外,作为氧化物30,使用In:M:Zn=1:1:1[原子个数比]或其附近的组成、In:M:Zn=1:1:1.2[原子个数比]或其附近的组成、In:M:Zn=1:1:2[原子个数比]或其附近的组成或者In:M:Zn=4:2:3[原子个数比]或其附近的组成的金属氧化物,即可。注意,附近的组成包括所希望的原子个数比的±30%的范围。另外,作为元素M优选使用镓。

[0100] 此外,在通过溅射法沉积金属氧化物时,上述原子个数比不局限于所沉积的金属氧化物的原子个数比,而也可以是用于金属氧化物的沉积的溅射靶材的原子个数比。

[0101] 图2A示出绝缘体23a的导电体60一侧的端部与区域30a的导电体60一侧的端部一致或大致一致,绝缘体23b的导电体60一侧的端部与区域30b的导电体60一侧的端部一致或大致一致的结构,但是本发明不局限于此。绝缘体23a和绝缘体23b中的一方或双方也可以具有与区域30c重叠的区域。

[0102] 图3A示出图1B所示的晶体管20的变形例子。图3A是晶体管20的沟道长度方向的截面图。此外,图3A所示的晶体管20的沟道宽度方向上的截面结构可以与图1C所示的晶体管20的截面结构同样。在图3A所示的晶体管20中,绝缘体23a及绝缘体23b也可以具有与氧化物30的沟道形成区域重叠的区域。此时,在晶体管20的沟道长度方向上,绝缘体24的宽度比沟道形成区域的宽度窄。供应到CAAC-OS的氧有容易向垂直于c轴的方向扩散的倾向。因此,可推测在作为氧化物30使用CAAC-OS时通过采用该结构可以抑制对源极区域及漏极区域供应过多的氧。

[0103] 作为绝缘体82,优选使用能够对绝缘体80添加氧的绝缘体。例如,优选使用氧化铝作为绝缘体82。此时的绝缘体82为至少包含氧及铝的绝缘体。此外,绝缘体82或将成为绝缘体82的绝缘膜优选利用溅射法沉积,更优选利用溅射法在含氧气氛下沉积。通过使用溅射法在含氧气氛下沉积绝缘体82或将成为绝缘体82的绝缘膜,可以在进行沉积的同时对绝缘体80添加氧。由此,可以使绝缘体80包含过剩氧。

[0104] 在此,作为绝缘体82,优选使用具有非晶结构的金属氧化物。例如,优选使用氧化铝或氧化镁等金属氧化物。具有非晶结构的金属氧化物有时具有如下性质:具有悬空键的氧原子存在而由该悬空键俘获或固定氢。通过将上述具有非晶结构的金属氧化物用作晶体管20的构成要素或者设置在晶体管20的周围,可以俘获或固定含在晶体管20中的氢或存在于晶体管20的周围的氢。尤其是,优选俘获或固定含在晶体管20的沟道形成区域中的氢。通过将具有非晶结构的金属氧化物用作晶体管20的构成要素或者设置在晶体管20的周围,可以制造具有良好特性的可靠性高的晶体管20。

[0105] 此外,绝缘体82优选具有非晶结构,但是也可以在其一部分形成多晶结构的区域。绝缘体82也可以具有层叠有非晶结构的层与多晶结构的层的多层结构。例如,也可以具有在非晶结构的层上层叠有多晶结构的层的叠层结构。

[0106] 如图1B所示,绝缘体75具有与绝缘体14的顶面的一部分接触的结构。因此,氧化物30配置在由绝缘体75及绝缘体14密封的区域中。在此,绝缘体75及绝缘体14优选被用作抑制水及氢等杂质扩散到上述密封的区域中的阻挡绝缘膜。因此,作为绝缘体14及绝缘体75,优选使用具有抑制氢原子、氢分子及水分子等杂质的扩散的功能(不容易使上述杂质透过)的绝缘材料。通过采用该结构,可以抑制包含在上述密封的区域外的水及氢等杂质混入上述密封的区域中。因此,可以抑制水及氢等杂质混入氧化物30。

[0107] 此外,在本说明书中,阻挡绝缘膜是指具有阻挡性的绝缘膜。在本说明书中,阻挡性是指抑制所对应的物质的扩散的功能(也可以说透过性低)。或者,是指俘获并固定所对应的物质(也称为吸杂)的功能。

[0108] 作为绝缘体14及绝缘体75,优选使用具有抑制水及氢等杂质的扩散的功能的绝缘体,例如可以使用选自氧化铝、氧化镁、氧化铪、氧化镓、包含镓及锌的氧化物、In-Ga-Zn氧化物、氮化硅和氮氧化硅中的任一个或多个的材料。例如,作为绝缘体14及绝缘体75,优选使用氢阻挡性更高的氮化硅等。此时,绝缘体14及绝缘体75为至少包含氮及硅的绝缘体。此外,绝缘体14及绝缘体75也可以具有组合上述材料的叠层结构(两层以上的叠层结构)。

[0109] 作为绝缘体22,优选选择在对将成为绝缘体23a及绝缘体23b的绝缘膜进行蚀刻形成槽时被用作蚀刻阻挡膜的绝缘体。例如,在作为上述形成槽的绝缘膜使用氮化硅的情况下,绝缘体22优选使用氧化铝或In-Ga-Zn氧化物等。如此,优选根据用于形成上述槽的绝缘膜的材料适当地选择用于绝缘体22的材料。

[0110] 另外,绝缘体22也可以使用具有非晶结构的金属氧化物。例如,作为绝缘体22优选使用可用于绝缘体82的金属氧化物。通过采用该结构,可以俘获或固定经过绝缘体24扩散到绝缘体22的包含在晶体管20的沟道形成区域中的氢。

[0111] 以嵌入形成于绝缘体80等的开口的方式自对准地形成导电体60通过如此形成导电体60,可以在导电体42a和导电体42b之间的区域中无需对准并确实地配置导电体60。

[0112] 由于导电体60还被用作布线,所以优选使用导电性高的导电体。例如,导电体60可以使用以钨、铜或铝为主要成分的导电材料。

[0113] 注意,虽然在图1B及图1C中导电体60具有单层结构,但是也可以具有两层以上的叠层结构。

[0114] 在导电体60具有两层叠层结构时,绝缘体50一侧的层优选使用具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子、铜原子等杂质的扩散的功能的导电材料。此外,优选使用具有抑制氧(例如,氧原子和氧分子等中的至少一个)的扩散的功能的导电材料。

[0115] 此外,通过绝缘体50一侧的层具有抑制氧的扩散的功能,可以抑制绝缘体50所包含的氧使配置在绝缘体50一侧的层的内侧的层氧化而导电率降低。作为具有抑制氧扩散的功能的导电材料,例如优选使用钛、氮化钛、钽、氮化钽、钌、氧化钌等。

[0116] 此外,如图1C所示,在晶体管20的沟道宽度方向上,以绝缘体14的底面为基准,导电体60的导电体60不与氧化物30重叠的区域的底面的高度优选比氧化物30的底面的高度低。通过采用用作栅电极的导电体60隔着绝缘体50等覆盖氧化物30的沟道形成区域的侧面及顶面的结构,容易使导电体60的电场作用于氧化物30的沟道形成区域整体。由此,可以提高晶体管20的通态电流及频率特性。以绝缘体14的底面为基准时的氧化物30不与导电体60

重叠的区域的导电体60的底面的高度与氧化物30的底面的高度之差为0nm以上且100nm以下,优选为3nm以上且50nm以下,更优选为5nm以上且20nm以下。

[0117] 导电体42a及导电体42b与氧化物30的顶面接触。

[0118] 作为导电体42例如优选使用选自包含钽的氮化物、包含钛的氮化物、包含钼的氮化物、包含钨的氮化物、包含钽及铝的氮化物和包含钛及铝的氮化物中的一种或多种。在本发明的一个方式中,尤其优选采用包含钽的氮化物。此外,例如也可以使用氧化钌、氮化钌、包含锶和钌的氧化物或包含镧和镍的氧化物等。这些材料是不容易氧化的导电材料或者即使吸收氧也维持导电性的材料,所以是优选的。

[0119] 注意,图1B示出导电体42具有单层结构,但本发明不局限于此。例如,导电体42也可以具有两层以上的叠层结构。此时,优选层叠多个由上述材料形成的导电层。或者,优选在组成互不相同的情况下层叠多个由上述材料形成的导电层。此外,在导电体42具有叠层结构的情况下,例如,可以适当地使用包含钽的氮化物和该包含钽的氮化物上的包含钛的氮化物的叠层结构。

[0120] 注意,有时包含在氧化物30等中的氢扩散到导电体42a或导电体42b。尤其是,当作为导电体42a及导电体42b使用包含钽的氮化物时,有时包含在氧化物30等中的氢容易扩散到导电体42a或导电体42b,该扩散的氢与导电体42a或导电体42b所包含的氮键合。也就是说,有时包含在氧化物30等中的氢被导电体42a或导电体42b吸收。

[0121] 另外,当在导电体42a(导电体42b)与氧化物30接触的状态下进行加热处理时,与导电体42a(导电体42b)重叠的区域的氧化物30的薄层电阻有时降低。另外,有时载流子浓度增加。因此,可以使与导电体42a(导电体42b)重叠的区域的氧化物30自对准地低电阻化。

[0122] 优选在氧化物30上设置导电体42a及导电体42b的状态下在含氧气氛下进行微波处理。通过进行该微波处理,可以减少区域30c的氧空位及V_OH。在此,微波处理例如是指使用包括利用微波生成高密度等离子体的电源的装置的处理。另外,在本说明书等中,微波是指具有300MHz以上且300GHz以下的频率的电磁波。

[0123] 通过在含氧气氛下进行微波处理,可以使用微波或RF等高频使氧气体等离子体化而使该氧等离子体作用。此时,也可以将微波或RF等高频照射到区域30c。通过等离子体、微波等的作用,可以使区域30c的V_OH分开为氧空位及氢,可以从区域30c去除该氢且由氧填补该氧空位。由此,可以降低区域30c中的氢浓度、氧空位及V_OH而降低载流子浓度。另外,通过在微波处理中防止对处理室导入过多的氧,可以防止在区域30a及区域30b中载流子浓度过度地降低。

[0124] 当在含氧气氛下进行微波处理时,微波或RF等高频、氧等离子体等的作用被导电体42a及导电体42b遮蔽并没有涉及到区域30a及区域30b。由此,在进行微波处理时在区域30a及区域30b中不发生V_OH的减少以及过多的氧的供应,因此可以防止载流子浓度的降低。

[0125] 优选在沉积将成为绝缘体50的绝缘膜之后在含氧气氛下进行微波处理。如此,通过经由绝缘体50以含氧气氛进行微波处理,可以对区域30c高效地注入氧。

[0126] 另外,作为注入到区域30c中的氧,有氧原子、氧分子、氧自由基(也称为O自由基,包含不成对电子的原子、分子或者离子)等各种方式。注入到区域30c中的氧可以为上述方式中的任一个或多个,尤其优选为氧自由基。另外,由于可以提高绝缘体50的膜品质,晶体管20的可靠性得到提高。

[0127] 如上所述,可以在氧化物半导体的区域30c中选择性地去除氧空位及V_OH而使区域30c成为i型或实质上i型。并且,可以抑制对被用作源极区域或漏极区域的区域30a及区域30b供应过多的氧而保持进行微波处理之前的n型区域的状态。由此,可以抑制晶体管20的电特性的变动,可以抑制在衬底面内晶体管20的电特性不均匀。

[0128] 导电体15以与氧化物30及导电体60重叠的方式配置。此外,如图1B所示,导电体15优选比氧化物30中的不与导电体42a及导电体42b重叠的区域大。如图1C所示,导电体15优选延伸到氧化物30的沟道宽度方向的端部的外侧的区域。就是说,优选在氧化物30的沟道宽度方向的侧面的外侧,导电体15和导电体60隔着绝缘体重叠。通过具有上述结构,可以由被用作第一栅电极的导电体60的电场和被用作第二栅电极的导电体15的电场电围绕氧化物30的沟道形成区域。在本说明书中,将由第一栅极及第二栅极的电场电围绕沟道形成区域的晶体管结构称为surrounded channel(S-channel)结构。

[0129] 在本说明书等中,S-channel结构的晶体管是指由一对栅电极中的一方及另一方的电场电围绕沟道形成区域的晶体管的结构。此外,本说明书等中公开的S-channel结构与Fin型结构及平面型结构不同。通过采用S-channel结构,可以实现对短沟道效应的耐性得到提高的晶体管,换言之,可以实现不容易发生短沟道效应的晶体管。

[0130] 通过晶体管20常关闭且使其具有上述S-channel结构,可以电围绕沟道形成区域。由此,也可以说晶体管20具有GAA(Gate All Around:全环绕栅极)结构或LGAA(Lateral Gate All Around:横向全环绕栅极)结构。通过使晶体管20具有S-channel结构、GAA结构或LGAA结构,可以将形成在氧化物30与栅极绝缘体的界面或其附近的沟道形成区域设置在氧化物30的整个块体。因此,可以提高流过晶体管的电流密度,所以可以期待晶体管的通态电流或晶体管的场效应迁移率的提高。

[0131] 此外,如图1C所示,将导电体15延伸来用作布线。但是,本发明不局限于此,也可以在导电体15下设置被用作布线的导电体。此外,不一定需要在每一个晶体管中设置一个导电体15。例如,在多个晶体管中可以共同使用导电体15。

[0132] 图1B示出导电体15具有单层结构,但本发明不局限于此。例如,导电体15也可以具有两层以上的叠层结构。

[0133] 导电体15有时被用作第二栅电极。在此情况下,通过独立地改变施加到导电体15的电位而不使其与施加到导电体60的电位联动,可以控制晶体管20的阈值电压(Vth)。尤其是,通过对导电体15施加负电位,可以增大晶体管20的Vth而减少关态电流。由此,与不对导电体15施加负电位的情况相比,在对导电体15施加负电位的情况下,可以减少对导电体60施加的电位为0V时的漏极电流。

[0134] 此外,导电体15的电阻率考虑上述施加到导电体15的电位设计,导电体15的厚度根据该电阻率设定。

[0135] 另外,在晶体管20具有常关闭特性的情况或者在晶体管20的关态电流较小的情况下,也可以不设置导电体15。通过采用不设置导电体15的结构,可以简化晶体管的制造工序来提高生产率。

[0136] 图1B示出绝缘体80与绝缘体50接触的结构,但本发明不局限于此。例如,也可以在绝缘体80与绝缘体50之间设置绝缘体。

[0137] 图3B及图3C示出图1B及图1C所示的晶体管20的变形例子。图3B及图3C是晶体管20

的截面图。图3B是晶体管20的沟道长度方向的截面图,图3C是晶体管20的沟道宽度方向的截面图。

[0138] 图3B及图3C所示的晶体管20在氧化物30上包括绝缘体52。此外,绝缘体50设置于绝缘体52上。此外,绝缘体52设置于绝缘体80与绝缘体50之间。

[0139] 绝缘体52配置在设置于绝缘体80及绝缘体75中的开口内,并分别与绝缘体14的顶面、绝缘体22的侧面、绝缘体24的侧面、氧化物30的侧面、氧化物30的顶面、导电体42a的侧面、导电体42b的侧面、绝缘体75的侧面及绝缘体80的侧面接触。绝缘体50隔着绝缘体52配置在上述开口内。此外,导电体60隔着绝缘体52及绝缘体50以填充上述开口的方式配置。另外,导电体60以其顶面的高度与绝缘体80的顶面、绝缘体52的最上部及绝缘体50的最上部的高度一致或大致一致的方式配置。

[0140] 绝缘体52的一部分被用作第一栅极绝缘体。作为绝缘体52优选使用氧阻挡绝缘膜。作为绝缘体52使用上述可用于绝缘体82的绝缘体即可。例如作为绝缘体52优选使用包含铝和铪中的一方或双方的氧化物的绝缘体。作为该绝缘体,可以使用氧化铝、氧化铪、包含铝及铪的氧化物(铝酸铪)、包含铪及硅的氧化物(硅酸铪)等。在本实施方式中,作为绝缘体52,使用氧化铝。此时,绝缘体52是至少包含氧及铝的绝缘体。

[0141] 绝缘体52以与氧化物30的顶面及侧面、绝缘体24的侧面、绝缘体22的侧面及绝缘体14的顶面接触的方式设置。就是说,在沟道宽度方向的截面中氧化物30及绝缘体24的与导电体60重叠的区域被绝缘体52覆盖。因此,可以利用具有氧阻挡性的绝缘体52防止在进行热处理等时氧化物30中的氧脱离。因此,可以减少在氧化物30中形成氧空位。由此,可以减少形成在区域30c中的氧空位及V_OH。因此,可以提高晶体管20的电特性及可靠性。

[0142] 另外,即使绝缘体80、绝缘体50及绝缘体24等包含过多的氧,也可以抑制该氧过度供应到氧化物30。因此,可以抑制区域30a及区域30b通过区域30c被过度氧化而导致晶体管20的通态电流的下降或场效应迁移率的下降。

[0143] 另外,如图3B所示,绝缘体52以与导电体42、绝缘体75及绝缘体80各自的侧面接触的方式设置。因此,可以抑制导电体42的侧面被氧化而氧化膜形成在该侧面。因此,可以抑制导致晶体管20的通态电流的下降或场效应迁移率的下降。

[0144] 另外,绝缘体52需要与绝缘体50及导电体60一起设置在形成于绝缘体80等中的开口中。为了实现晶体管20的微型化,绝缘体52的厚度优选小。绝缘体52的厚度为0.1nm以上且5.0nm以下,优选为0.5nm以上且3.0nm以下,更优选为1.0nm以上且3.0nm以下。此时,绝缘体52的至少一部分是具有上述厚度的区域即可。另外,绝缘体52的厚度优选比绝缘体50的厚度小。此时,绝缘体52的至少一部分是厚度比绝缘体50小的区域即可。

[0145] 为了如上所述地将绝缘体52沉积得薄,优选利用原子层沉积(ALD:Atomic Layer Deposition)法沉积绝缘体52。ALD法有只利用热能使前驱物及反应物起反应的热ALD(Thermal ALD)法、使用受到等离子体激发的反应物的PEALD(Plasma Enhanced ALD)法等。在PEALD法中,通过利用等离子体可以在更低温下进行沉积,所以有时是优选的。

[0146] ALD法可以沉积每一层的原子,从而发挥能够沉积极薄的膜、能够对纵横比高的结构进行沉积、能够以针孔等的缺陷少的方式进行沉积、能够进行覆盖性优良的沉积及能够在低温下进行沉积等的效果。因此,可以在形成于绝缘体80等中的开口的侧面等以上述较小的厚度且高覆盖性沉积绝缘体52。

[0147] ALD法中使用的前驱物有时包含碳等。因此,利用ALD法形成的膜有时与利用其它的沉积方法形成的膜相比包含更多的碳等杂质。此外,杂质的定量可以利用SIMS、X射线光电子能谱(XPS:X-ray Photoelectron Spectroscopy)或俄歇电子能谱(AES:Auger Electron Spectroscopy)测量。

[0148] 优选在沉积将成为绝缘体52的绝缘膜之后在上述含氧气氛下进行微波处理。如此,通过经由该绝缘膜以含氧气氛进行微波处理,可以对区域30c高效地注入氧。另外,通过以与导电体42的侧面及区域30c的表面接触的方式配置绝缘体52,可以抑制区域30c被注入不必要的氧,因此可以抑制导电体42的侧面的氧化。另外,可以抑制在沉积将成为绝缘体50的绝缘膜时导电体42的侧面被氧化。另外,由于可以提高绝缘体52的膜品质,晶体管20的可靠性得到提高。

[0149] 另外,当在沉积将成为绝缘体52的绝缘膜之后进行微波处理时,既可以在沉积将成为绝缘体50的绝缘膜之后进行微波处理,又可以不进行微波处理。另外,当在沉积将成为绝缘体50的绝缘膜之后进行微波处理时,既可以在沉积将成为绝缘体52的绝缘膜之后进行微波处理,又可以不进行微波处理。

[0150] 此外,通过适当地调节将成为绝缘体50的绝缘膜的沉积条件、含氧气氛下的微波处理的条件、因绝缘体82的沉积而添加到绝缘体80的氧量等,有时可以减少形成在区域30c中的氧空位及V_OH,可以抑制区域30a及区域30b的过度氧化。在此情况下,如图1B所示,通过采用不设置绝缘体52的结构,可以使半导体装置的制造工序简化,可以实现生产率的提高。

[0151] 图3B及图3C示出绝缘体50与导电体60接触的结构,但是本发明不局限于此。例如,也可以在绝缘体50与导电体60之间设置绝缘体。

[0152] 图3D及图3E示出图3B及图3C所示的晶体管20的变形例子。图3D及图3E是晶体管20的截面图。图3D是晶体管20的沟道长度方向的截面图,图3E是晶体管20的沟道宽度方向的截面图。

[0153] 图3D及图3E所示的晶体管20在绝缘体50上包括绝缘体54。导电体60设置于绝缘体54上。此外,绝缘体52设置于绝缘体50与导电体60之间。

[0154] 绝缘体54配置在设置于绝缘体80及绝缘体75中的开口内,并与绝缘体50及导电体60接触。绝缘体54隔着绝缘体50及绝缘体52配置在上述开口内。导电体60隔着绝缘体54、绝缘体50及绝缘体52以填充上述开口的方式配置。导电体60以其顶面的高度与绝缘体80的顶面、绝缘体52的最上部、绝缘体50的最上部及绝缘体54的最上部的高度一致或大致一致的方式配置。

[0155] 绝缘体54的一部分被用作第一栅极绝缘体。作为绝缘体54优选使用对于氢及水分子的阻挡绝缘膜。由此,可以防止包含在导电体60中的氢等杂质扩散到绝缘体50及氧化物30。作为绝缘体54使用上述可用于绝缘体14的绝缘体即可。例如,作为绝缘体54使用利用PEALD法沉积的氮化硅即可。此时,绝缘体54是至少包含氮、硅的绝缘体。

[0156] 另外,绝缘体54也可以还具有氧阻挡性。由此,可以抑制包含在绝缘体50中的氧扩散到导电体60。

[0157] 另外,绝缘体54需要与绝缘体52、绝缘体50、导电体60一起设置在形成于绝缘体80等中的开口中。为了实现晶体管20的微型化,绝缘体54的厚度优选小。绝缘体54的厚度为0.1nm以上且5.0nm以下,优选为0.5nm以上且3.0nm以下,更优选为1.0nm以上且3.0nm以下。

此时,绝缘体54的至少一部分是具有上述厚度的区域即可。另外,绝缘体54的厚度优选比绝缘体50的厚度小。此时,绝缘体54的至少一部分是厚度比绝缘体50小的区域即可。

[0158] 〈构成材料〉

以下,说明可用于本发明的一个方式的晶体管及半导体装置的构成材料。

[0159] 〈〈衬底〉〉

作为形成晶体管20的衬底例如可以使用绝缘体衬底、半导体衬底或导电体衬底。作为绝缘体衬底,例如可以举出玻璃衬底、石英衬底、蓝宝石衬底、稳定氧化锆衬底(氧化钇稳定氧化锆衬底等)、树脂衬底等。此外,作为半导体衬底,例如可以举出以硅或锗等为材料的半导体衬底、或者由碳化硅、硅锗、砷化镓、磷化铟、氧化锌或氧化镓构成的化合物半导体衬底等。并且,还可以举出在上述半导体衬底内部具有绝缘体区域的半导体衬底,例如为SOI(Silicon On Insulator;绝缘体上硅)衬底等。作为导电体衬底,可以举出石墨衬底、金属衬底、合金衬底、导电树脂衬底等。或者,可以举出包含金属氮化物的衬底、包含金属氧化物的衬底等。此外,还可以举出设置有导电体或半导体的绝缘体衬底、设置有导电体或绝缘体的半导体衬底、设置有半导体或绝缘体的导电体衬底等。或者,也可以使用在这些衬底上设置有元件的衬底。作为设置在衬底上的元件,可以举出电容器、电阻器、开关元件、发光元件、存储元件等。

[0160] 〈〈绝缘体〉〉

作为绝缘体,有具有绝缘性的氧化物、氮化物、氧氮化物、氮氧化物、金属氧化物、金属氧氮化物、金属氮氧化物等。

[0161] 例如,当进行晶体管的微型化及高集成化时,由于栅极绝缘体的薄膜化,有时发生泄漏电流等的问题。通过作为被用作栅极绝缘体的绝缘体使用high-k材料,可以在保持物理厚度的同时实现晶体管工作时的低电压化。另一方面,通过将相对介电常数较低的材料用于被用作层间膜的绝缘体,可以减少产生在布线之间的寄生电容。因此,优选根据绝缘体的功能选择材料。

[0162] 作为相对介电常数较高的绝缘体,可以举出氧化镓、氧化铪、氧化锆、含有铝及铪的氧化物、含有铝及铪的氧氮化物、含有硅及铪的氧化物、含有硅及铪的氧氮化物或者含有硅及铪的氮化物等。

[0163] 作为相对介电常数较低的绝缘体,可以举出氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅或树脂等。

[0164] 此外,通过使用具有抑制氢等杂质及氧的透过的功能的绝缘体围绕使用金属氧化物的晶体管,可以使晶体管的电特性稳定。作为具有抑制氢等杂质及氧的透过的功能的绝缘体,例如可以使用包含硼、碳、氮、氧、氟、镁、铝、硅、磷、氯、氩、镓、锗、钇、锆、镧、钕、铪或钽的绝缘体的单层或叠层。具体而言,作为具有抑制氢等杂质及氧的透过的功能的绝缘体,可以使用氧化铝、氧化镁、氧化镓、氧化锗、氧化钇、氧化锆、氧化镧、氧化钕、氧化铪、氧化钽等金属氧化物、氮化铝、氮氧化硅、氮化硅等金属氮化物。

[0165] 此外,用作栅极绝缘体的绝缘体优选为具有包含通过加热脱离的氧的区域的绝缘体。例如,通过采用具有包含通过加热脱离的氧的区域的氧化硅或者氧氮化硅接触于氧化物30的结构,可以填补氧化物30所包含的氧空位。

[0166] <<导电体>>

作为导电体,优选使用选自铝、铬、铜、银、金、铂、钽、镍、钛、钼、钨、铪、钒、铌、锰、镁、锆、铍、铟、钌、铱、锶和镧等中的金属元素、以上述金属元素为成分的合金或者组合上述金属元素的合金等。例如,优选使用氮化钽、氮化钛、钨、包含钛和铝的氮化物、包含钽和铝的氮化物、氧化钌、氮化钌、包含锶和钌的氧化物、包含镧和镍的氧化物等。此外,氮化钽、氮化钛、包含钛和铝的氮化物、包含钽和铝的氮化物、氧化钌、氮化钌、包含锶和钌的氧化物、包含镧和镍的氧化物是不容易氧化的导电材料或者吸收氧也维持导电性的材料,所以是优选的。此外,也可以使用以包含磷等杂质元素的多晶硅为代表的导电率高的半导体以及镍硅化物等硅化物。

[0167] 此外,也可以层叠多个由上述材料形成的导电层。例如,也可以采用组合包含上述金属元素的材料和包含氧的导电材料的叠层结构。此外,也可以采用组合包含上述金属元素的材料和包含氮的导电材料的叠层结构。此外,也可以采用组合包含上述金属元素的材料、包含氧的导电材料和包含氮的导电材料的叠层结构。

[0168] 此外,在将氧化物用于晶体管的沟道形成区域的情况下,作为被用作栅电极的导电体优选采用组合包含上述金属元素的材料和包含氧的导电材料的叠层结构。在此情况下,优选将包含氧的导电材料设置在沟道形成区域一侧。通过将包含氧的导电材料设置在沟道形成区域一侧,从该导电材料脱离的氧容易被供应到沟道形成区域。

[0169] 尤其是,作为用作栅电极的导电体,优选使用包含含在被形成沟道的金属氧化物中的金属元素及氧的导电材料。此外,也可以使用包含上述金属元素及氮的导电材料。例如,可以使用氮化钛、氮化钽等包含氮的导电材料。此外,也可以使用铟锡氧化物、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物、添加有硅的铟锡氧化物。此外,也可以使用包含氮的铟镓锌氧化物。通过使用上述材料,有时可以俘获被形成沟道的金属氧化物所包含的氢。或者,有时可以俘获从外方的绝缘体等混入的氢。

[0170] <<金属氧化物>>

作为氧化物30,优选使用用作半导体的金属氧化物(氧化物半导体)。下面,对可用于根据本发明的氧化物30的金属氧化物进行说明。

[0171] 金属氧化物优选至少包含铟或锌。尤其优选包含铟及锌。此外,除此之外,优选还包含铝、镓、钇、锡等。此外,也可以包含选自硼、钛、铁、镍、锗、锆、钼、镧、铈、钕、铪、钽、钨、镁及钴等中的一种或多种。

[0172] 在此考虑金属氧化物为包含铟、元素M及锌的In-M-Zn氧化物的情况。注意,元素M为铝、镓、钇或锡。作为可以应用于元素M的其他元素,有硼、钛、铁、镍、锗、锆、钼、镧、铈、钕、铪、钽、钨、镁、钴等。注意,作为元素M有时也可以组合多个上述元素。尤其是,元素M优选为选自镓、铝、钇和锡中的一种或多种。

[0173] 尤其是,作为晶体管的半导体层,优选使用包含铟(In)、镓(Ga)及锌(Zn)的氧化物(也记载为IGZO)。或者,作为晶体管的半导体层,也可以使用包含铟(In)、铝(Al)及锌(Zn)的氧化物(也记载为IAZO)。或者,作为晶体管的半导体层,也可以使用包含铟(In)、铝(Al)、镓(Ga)及锌(Zn)的氧化物(IAGZO)。

[0174] 此外,在本说明书等中,有时将包含氮的金属氧化物称为金属氧化物(metal

oxide)。此外,也可以将包含氮的金属氧化物称为金属氧氮化物(metal oxynitride)。

[0175] 以下,作为金属氧化物的一个例子说明包含铟(In)、镓(Ga)及锌(Zn)的氧化物。注意,有时将包含铟(In)、镓(Ga)及锌(Zn)的氧化物称为In-Ga-Zn氧化物。

[0176] <结晶结构的分类>

作为氧化物半导体的结晶结构,可以举出非晶(包括completely amorphous)、CAAC(c-axis-aligned crystalline)、nc(nanocrystalline)、CAC(cloud-aligned composite)、单晶(single crystal)及多晶(poly crystal)等。

[0177] 可以使用X射线衍射(XRD:X-Ray Diffraction)谱对膜或衬底的结晶结构进行评价。例如,可以使用GIXD(Grazing-Incidence XRD)测定测得的XRD谱进行评价。此外,将GIXD法也称为薄膜法或Seemann-Bohlin法。以下,有时将GIXD测量所得的XRD谱简单地记为XRD谱。

[0178] 例如,石英玻璃衬底的XRD谱的峰形状大致为左右对称。另一方面,具有结晶结构的In-Ga-Zn氧化物膜的XRD谱的峰形状不是左右对称。XRD谱的峰的形状是左右不对称说明膜中或衬底中存在结晶。换言之,除非XRD谱峰形状左右对称,否则不能说膜或衬底处于非晶状态。

[0179] 此外,可以使用通过纳米束电子衍射法(NBED:Nano Beam Electron Diffraction)观察的衍射图案(也称为纳米束电子衍射图案)对膜或衬底的结晶结构进行评价。例如,在石英玻璃衬底的衍射图案中观察到光晕图案,可以确认石英玻璃处于非晶状态。此外,以室温沉积的In-Ga-Zn氧化物膜的衍射图案中观察到斑点状的图案而没有观察到光晕。因此可以推测,以室温沉积的In-Ga-Zn氧化物处于既不是单晶或多晶也不是非晶态的中间态,不能得出该In-Ga-Zn氧化物膜是非晶态的结论。

[0180] <<氧化物半导体的结构>>

此外,在着眼于氧化物半导体的结构的情况下,有时氧化物半导体的分类与上述不同。例如,氧化物半导体可以分类为单晶氧化物半导体和除此之外的非单晶氧化物半导体。作为非单晶氧化物半导体,例如可以举出上述CAAC-OS及nc-OS。此外,在非单晶氧化物半导体中包含多晶氧化物半导体、a-like OS(amorphous-like oxide semiconductor)及非晶氧化物半导体等。

[0181] 在此,对上述CAAC-OS、nc-OS及a-like OS的详细内容进行说明。

[0182] [CAAC-OS]

CAAC-OS是包括多个结晶区域的氧化物半导体,该多个结晶区域的c轴取向于特定的方向。此外,特定的方向是指CAAC-OS膜的厚度方向、CAAC-OS膜的被形成面的法线方向、或者CAAC-OS膜的表面的法线方向。此外,结晶区域是具有原子排列的周期性的区域。注意,在将原子排列看作晶格排列时结晶区域也是晶格排列一致的区域。再者,CAAC-OS具有在a-b面方向上多个结晶区域连接的区域,有时该区域具有畸变。此外,畸变是指在多个结晶区域连接的区域中,晶格排列一致的区域和其他晶格排列一致的区域之间的晶格排列的方向变化的部分。换言之,CAAC-OS是指c轴取向并在a-b面方向上没有明显的取向的氧化物半导体。

[0183] 此外,上述多个结晶区域的每一个由一个或多个微小结晶(最大径小于10nm的结晶)构成。在结晶区域由一个微小结晶构成的情况下,该结晶区域的最大径小于10nm。此外,

在结晶区域由多个微小结晶构成的情况下,有时该结晶区域的最大径为几十nm左右。

[0184] 此外,在In-Ga-Zn氧化物中,有CAAC-OS具有层叠有含有铟(In)及氧的层(以下,In层)、含有镓(Ga)、锌(Zn)及氧的层(以下,(Ga,Zn)层)的层状结晶结构(也称为层状结构)的趋势。此外,铟和镓可以彼此置换。因此,有时(Ga,Zn)层包含铟。此外,有时In层包含镓。注意,有时In层包含锌。该层状结构例如在高分辨率TEM图像中被观察作为晶格像。

[0185] 例如,当对CAAC-OS膜使用XRD装置进行结构分析时,在使用θ/2θ扫描的Out-of-plane XRD测量中,在2θ=31°或其附近检测出表示c轴取向的峰值。注意,表示c轴取向的峰值的位置(2θ值)有时根据构成CAAC-OS的金属元素的种类、组成等变动。

[0186] 此外,例如,在CAAC-OS膜的电子衍射图案中观察到多个亮点(斑点)。此外,在以透过样品的入射电子束的斑点(也称为直接斑点)为对称中心时,某一个斑点和其他斑点被观察在点对称的位置。

[0187] 在从上述特定的方向观察结晶区域的情况下,虽然该结晶区域中的晶格排列基本上是六方晶格,但是单位晶格并不局限于正六角形,有是非正六角形的情况。此外,在上述畸变中,有时具有五角形、七角形等晶格排列。此外,在CAAC-OS的畸变附近观察不到明确的晶界(grain boundary)。也就是说,晶格排列的畸变抑制晶界的形成。这可能是由于CAAC-OS因为a-b面方向上的氧原子的排列的低密度或因金属原子被取代而使原子间的键合距离产生变化等而能够包容畸变。

[0188] 此外,确认到明确的晶界的结晶结构被称为所谓的多晶。晶界成为复合中心而载流子被俘获,因而有可能导致晶体管的通态电流的降低、场效应迁移率的降低等。因此,确认不到明确的晶界的CAAC-OS是使晶体管的半导体层具有优异的结晶结构的结晶性氧化物之一。注意,为了构成CAAC-OS,优选为包含Zn的结构。例如,与In氧化物相比,In-Zn氧化物及In-Ga-Zn氧化物能够进一步地抑制晶界的发生,所以是优选的。

[0189] CAAC-OS是结晶性高且确认不到明确的晶界的氧化物半导体。因此,可以说在CAAC-OS中,不容易发生起因于晶界的电子迁移率的降低。此外,氧化物半导体的结晶性有时因杂质的混入、缺陷的生成等而降低,因此可以说CAAC-OS是杂质、缺陷(氧空位等)少的氧化物半导体。因此,包含CAAC-OS的氧化物半导体的物理性质稳定。因此,包含CAAC-OS的氧化物半导体具有高耐热性及高可靠性。此外,CAAC-OS对制造工序中的高温度(所谓热积存:thermal budget)也很稳定。由此,通过将CAAC-OS用于在沟道形成区域中包含金属氧化物的晶体管(有时将其称为OS晶体管),可以扩大制造工序的自由度。

[0190] [nc-OS]

在nc-OS中,微小的区域(例如1nm以上且10nm以下的区域,特别是1nm以上且3nm以下的区域)中的原子排列具有周期性。换言之,nc-OS具有微小的结晶。此外,例如,该微小的结晶的尺寸为1nm以上且10nm以下,尤其为1nm以上且3nm以下,将该微小的结晶称为纳米晶。此外,nc-OS在不同的纳米晶之间观察不到结晶取向的规律性。因此,在膜整体中观察不到取向性。所以,有时nc-OS在某些分析方法中与a-like OS或非晶氧化物半导体没有差别。例如,在对nc-OS膜使用XRD装置进行结构分析时,在使用θ/2θ扫描的Out-of-plane XRD测量中,检测不出表示结晶性的峰值。此外,在对nc-OS膜进行使用其束径比纳米晶大(例如,50nm以上)的电子束的电子衍射(也称为选区电子衍射)时,观察到类似光晕图案的衍射图案。另一方面,在对nc-OS膜进行使用其束径近于或小于纳米晶的尺寸(例如1nm以上且30nm

以下)的电子束的电子衍射(也称为纳米束电子衍射)的情况下,有时得到在以直接斑点为中心的环状区域内观察到多个斑点的电子衍射图案。

[0191] [a-like OS]

a-like OS是具有介于nc-OS与非晶氧化物半导体之间的结构的氧化物半导体。a-like OS包含空洞或低密度区域。也就是说,a-like OS的结晶性比nc-OS及CAAC-OS的结晶性低。此外,a-like OS的膜中的氢浓度比nc-OS及CAAC-OS的膜中的氢浓度高。

[0192] <<氧化物半导体的结构>>

接着,说明上述的CAC-OS的详细内容。此外,CAC-OS与材料构成有关。

[0193] [CAC-OS]

CAC-OS例如是指包含在金属氧化物中的元素不均匀地分布的构成,其中包含不均匀地分布的元素的材料的尺寸为0.5nm以上且10nm以下,优选为1nm以上且3nm以下或近似的尺寸。注意,在下面也将在金属氧化物中一个或多个金属元素不均匀地分布且包含该金属元素的区域混合的状态称为马赛克状或补丁(patch)状,该区域的尺寸为0.5nm以上且10nm以下,优选为1nm以上且3nm以下或近似的尺寸。

[0194] 再者,CAC-OS是指其材料分开为第一区域与第二区域而成为马赛克状且该第一区域分布于膜中的结构(下面也称为云状)。就是说,CAC-OS是指具有该第一区域和该第二区域混合的结构的复合金属氧化物。

[0195] 在此,将相对于构成In-Ga-Zn氧化物的CAC-OS的金属元素的In、Ga及Zn的原子个数比的每一个记为[In]、[Ga]及[Zn]。例如,在In-Ga-Zn氧化物的CAC-OS中,第一区域是其[In]大于CAC-OS膜的组成中的[In]的区域。此外,第二区域是其[Ga]大于CAC-OS膜的组成中的[Ga]的区域。此外,例如,第一区域是其[In]大于第二区域中的[In]且其[Ga]小于第二区域中的[Ga]的区域。此外,第二区域是其[Ga]大于第一区域中的[Ga]且其[In]小于第一区域中的[In]的区域。

[0196] 具体而言,上述第一区域是以铟氧化物或铟锌氧化物等为主要成分的区域。此外,上述第二区域是以镓氧化物或镓锌氧化物等为主要成分的区域。换言之,可以将上述第一区域称为以In为主要成分的区域。此外,可以将上述第二区域称为以Ga为主要成分的区域。

[0197] 注意,有时观察不到上述第一区域和上述第二区域的明确的边界。

[0198] 此外,In-Ga-Zn氧化物中的CAC-OS是指如下构成:在包含In、Ga、Zn及O的材料构成中,部分主要成分为Ga的区域与部分主要成分为In的区域无规律地以马赛克状存在。因此,可推测,CAC-OS具有金属元素不均匀地分布的结构。

[0199] CAC-OS例如可以通过在对衬底不进行加热的条件下利用溅射法来形成。在利用溅射法形成CAC-OS的情况下,作为沉积气体,可以使用选自惰性气体(典型的是氩)、氧气体和氮气体中的任一种或多种。此外,沉积时的沉积气体的总流量中的氧气体的流量比越低越好。例如,使沉积时的沉积气体的总流量中的氧气体的流量比为0%以上且低于30%,优选为0%以上且10%以下。

[0200] 例如,在In-Ga-Zn氧化物的CAC-OS中,根据通过能量分散型X射线分析法(EDX:Energy Dispersive X-ray spectroscopy)取得的EDX面分析(mapping)图像,可确认到具有以In为主要成分的区域(第一区域)及以Ga为主要成分的区域(第二区域)不均匀地分布而混合的结构。

[0201] 在此,第一区域是具有比第二区域高的导电性的区域。就是说,当载流子流过第一区域时,呈现作为金属氧化物的导电性。因此,当第一区域以云状分布在金属氧化物中时,可以实现高场效应迁移率(μ)。

[0202] 另一方面,第二区域是具有比第一区域高的绝缘性的区域。就是说,当第二区域分布在金属氧化物中时,可以抑制泄漏电流。

[0203] 在将CAC-OS用于晶体管的情况下,通过起因于第一区域的导电性和起因于第二区域的绝缘性的互补作用,可以使CAC-OS具有开关功能(控制导通/关闭的功能)。换言之,在CAC-OS的材料的一部分中具有导电性的功能且在另一部分中具有绝缘性的功能,在材料的整体中具有半导体的功能。通过使导电性的功能和绝缘性的功能分离,可以最大限度地提高各功能。因此,通过将CAC-OS用于晶体管,可以实现高通态电流(I_{on})、高场效应迁移率(μ)及良好的开关工作。

[0204] 此外,使用CAC-OS的晶体管具有高可靠性。因此,CAC-OS最适合于显示装置等各种半导体装置。

[0205] 氧化物半导体具有各种结构及各种特性。本发明的一个方式的氧化物半导体也可以包括非晶氧化物半导体、多晶氧化物半导体、a-likeOS、CAC-OS、nc-OS、CAAC-OS中的两种以上。

[0206] <包括氧化物半导体的晶体管>

接着,说明将上述氧化物半导体用于晶体管的情况。

[0207] 通过将上述氧化物半导体用于晶体管,可以实现场效应迁移率高的晶体管。此外,可以实现可靠性高的晶体管。

[0208] 优选将载流子浓度低的氧化物半导体用于晶体管。例如,氧化物半导体的载流子浓度可以为$1\times10^{17}cm^{-3}$以下,优选为$1\times10^{15}cm^{-3}$以下,更优选为$1\times10^{13}cm^{-3}$以下,进一步优选为$1\times10^{11}cm^{-3}$以下,更进一步优选低于$1\times10^{10}cm^{-3}$,且为$1\times10^{-9}cm^{-3}$以上。在以降低氧化物半导体膜的载流子浓度为目的的情况下,可以降低氧化物半导体膜中的杂质浓度以降低缺陷态密度。在本说明书等中,将杂质浓度低且缺陷态密度低的状态称为高纯度本征或实质上高纯度本征。此外,有时将载流子浓度低的氧化物半导体称为高纯度本征的氧化物半导体或实质上高纯度本征的氧化物半导体。

[0209] 因为高纯度本征或实质上高纯度本征的氧化物半导体膜具有较低的缺陷态密度,所以有可能具有较低的陷阱态密度。

[0210] 此外,被氧化物半导体的陷阱态俘获的电荷到消失需要较长的时间,有时像固定电荷那样动作。因此,有时在陷阱态密度高的氧化物半导体中形成沟道形成区域的晶体管的电特性不稳定。

[0211] 因此,为了使晶体管的电特性稳定,降低氧化物半导体中的杂质浓度是有效的。为了降低氧化物半导体中的杂质浓度,优选还降低附近膜中的杂质浓度。作为杂质有氢、氮、碱金属、碱土金属、铁、镍、硅等。注意,氧化物半导体中的杂质例如是指构成氧化物半导体的主要成分之外的元素。例如,浓度低于0.1原子%的元素可以说是杂质。

[0212] <杂质>

在此,说明氧化物半导体中的各杂质的影响。

[0213] 在氧化物半导体包含第14族元素之一的硅或碳时,在氧化物半导体中形成缺陷

态。因此,将氧化物半导体的硅或碳的浓度(SIMS测得的浓度)例如设定为2×10^{18}atoms/cm^3以下,优选为2×10^{17}atoms/cm^3以下。

[0214] 此外,当氧化物半导体包含碱金属或碱土金属时,有时形成缺陷态而形成载流子。因此,使用包含碱金属或碱土金属的氧化物半导体的晶体管容易具有常开启特性。由此,将利用SIMS测得的氧化物半导体中的碱金属或碱土金属的浓度设定为1×10^{18}atoms/cm^3以下,优选为2×10^{16}atoms/cm^3以下。

[0215] 当氧化物半导体包含氮时,产生作为载流子的电子,使载流子浓度增高,而容易被n型化。其结果是,将含有氮的氧化物半导体用于半导体的晶体管容易具有常开启特性。或者,在氧化物半导体包含氮时,有时形成陷阱态。其结果是,有时晶体管的电特性不稳定。因此,将利用SIMS测得的氧化物半导体中的氮浓度设定为低于5×10^{19}atoms/cm^3,优选为5×10^{18}atoms/cm^3以下,更优选为1×10^{18}atoms/cm^3以下,进一步优选为5×10^{17}atoms/cm^3以下。

[0216] 包含在氧化物半导体中的氢与键合于金属原子的氧起反应生成水,因此有时形成氧空位。当氢进入该氧空位时,有时生成作为载流子的电子。此外,有时由于氢的一部分与键合于金属原子的氧键合,产生作为载流子的电子。因此,使用含有氢的氧化物半导体的晶体管容易具有常开启特性。由此,优选尽可能减少氧化物半导体中的氢。具体而言,将利用SIMS测得的氧化物半导体的氢浓度设定为低于1×10^{20}atoms/cm^3,优选低于1×10^{19}atoms/cm^3,更优选低于5×10^{18}atoms/cm^3,进一步优选低于1×10^{18}atoms/cm^3。

[0217] 通过将杂质被充分降低的氧化物半导体用于晶体管的沟道形成区域,可以使晶体管具有稳定的电特性。

[0218] <<其他半导体材料>>

氧化物30可以换称为包括晶体管20的沟道形成区域的半导体层。注意,能够用于半导体层的半导体材料不局限于上述金属氧化物。作为该半导体层,也可以使用具有带隙的半导体材料(不是零带隙半导体的半导体材料)。例如,优选将硅等单个元素的半导体、砷化镓等化合物半导体、用作半导体的层状物质(也称为原子层物质、二维材料等)等用作半导体材料。特别是,优选将用作半导体的层状物质用于半导体材料。

[0219] 在此,在本说明书等中,层状物质是具有层状结晶结构的材料群的总称。层状结晶结构是由共价键或离子键形成的层通过如范德华力那样的比共价键及离子键弱的键合层叠的结构。层状物质在单位层中具有高导电性,即,具有高二维导电性。通过将被用作半导体并具有高二维导电性的材料用于沟道形成区域,可以提供通态电流高的晶体管。

[0220] 作为层状物质,有石墨烯、硅烯、硫族化物等。硫族化物是包含氧族元素的化合物。此外,氧族元素是属于第16族的元素的总称,其中包括氧、硫、硒、碲、钋、鉝。此外,作为硫族化物,可以举出过渡金属硫族化物、第13族硫族化物等。

[0221] 作为半导体层,例如优选使用用作半导体的过渡金属硫族化物。作为能够用作半导体层的过渡金属硫族化物,具体地可以举出硫化钼(典型的是MoS_2)、硒化钼(典型的是$MoSe_2$)、碲化钼(典型的是$MoTe_2$)、硫化钨(典型的是WS_2)、硒化钨(典型的是WSe_2)、碲化钨(典型的是WTe_2)、硫化铪(典型的是HfS_2)、硒化铪(典型的是$HfSe_2$)、硫化锆(典型的是ZrS_2)、硒化锆(典型的是$ZrSe_2$)等。

[0222] [晶体管20的制造方法]

接着,参照图4至图6说明图1所示的晶体管20的制造方法。各附图中的A、C、E、G、I

是晶体管20的沟道长度方向的截面图。另外,各附图中的B、D、F、H、J是晶体管20的沟道宽度方向的截面图。

[0223] 以下,用来形成绝缘体的绝缘材料、用来形成导电体的导电材料或用来形成半导体的半导体材料可以适当地使用溅射法、化学气相沉积(CVD:Chemical Vapor Deposition)法、分子束外延(MBE:Molecular Beam Epitaxy)法、脉冲激光沉积(PLD:Pulsed Laser Deposition)法、ALD法等沉积。

[0224] 作为溅射法,可以举出将高频电源用于溅射用电源的RF溅射法、利用直流电源的DC溅射法、以脉冲方式改变施加到电极的电压的脉冲DC溅射法。RF溅射法主要在沉积绝缘膜时使用,DC溅射法主要在沉积金属导电膜时使用。此外,脉冲DC溅射法主要在利用反应性溅射法沉积氧化物、氮化物、碳化物等化合物时使用。

[0225] 注意,CVD法可以分为利用等离子体的等离子体增强CVD(PECVD)法、利用热量的热CVD(TCVD:Thermal CVD)法及利用光的光CVD(Photo CVD)法等。再者,可以根据使用的源气体分类为金属CVD(MCVD:Metal CVD)法及有机金属CVD(MOCVD:Metal Organic CVD)法。

[0226] 通过利用等离子体CVD法,可以以较低的温度得到高品质的膜。此外,因为在热CVD法中不使用等离子体,所以能够减少对被处理物造成的等离子体损伤。例如,包括在半导体装置中的布线、电极、元件(晶体管、电容器等)等有时因从等离子体接收电荷而会产生电荷积聚(charge up)。此时,有时由于所累积的电荷而使包括在半导体装置中的布线、电极、元件等受损伤。另一方面,因为在不使用等离子体的热CVD法的情况下不产生上述等离子体损伤,所以能够提高半导体装置的成品率。此外,在热CVD法中,不产生沉积时的等离子体损伤,因此能够得到缺陷较少的膜。

[0227] 作为ALD法,采用只利用热能使前驱物及反应物起反应的热ALD法、使用受到等离子体激发的反应物的PEALD法等。

[0228] CVD法及ALD法不同于从靶材等中被释放的粒子沉积的溅射法。因此,CVD法及ALD法是不易受被处理物的形状的影响而具有良好的台阶覆盖性的沉积方法。尤其是,因为具有良好的台阶覆盖性和厚度均匀性,所以ALD法适合用于形成覆盖纵横比高的开口部的表面的膜等。但是,ALD法的沉积速率比较慢,所以有时优选与沉积速度快的CVD法等其他沉积方法组合而使用。

[0229] 此外,当使用CVD法时,可以通过调整源气体的流量比沉积任意组成的膜。例如,当使用CVD法时,可以通过在进行沉积的同时改变源气体的流量比来沉积其组成连续变化的膜。当在改变源气体的流量比的同时进行沉积时,因为不需要传送或调整压力所需的时间,所以与使用多个沉积室进行形成的情况相比可以缩短沉积时间。因此,有时可以提高半导体装置的生产率。

[0230] 当使用ALD法时,通过同时导入不同的多种前驱物,可以沉积任意组成的膜。或者,在导入不同的多种前驱物时,通过控制各前驱物的循环次数可以沉积任意组成的膜。

[0231] 首先,准备衬底(未图示),在该衬底上形成导电体15(参照图4A及图4B)。导电体15也可以在衬底上的绝缘体(未图示)中形成开口之后沉积导电膜并进行CMP处理来形成。或者,导电体15也可以通过将所沉积的导电膜加工为岛状来形成。在此,岛状是指使用在同一工序中形成的同一材料的两个以上的层物理分离的状态。

[0232] 接着,在导电体15上依次沉积绝缘体14、绝缘膜22A及绝缘膜23A(参照图4A及图

4B)。优选在不暴露于大气环境的情况下连续地沉积绝缘体14、绝缘膜22A及绝缘膜23A。通过不暴露于大气而进行沉积,由于可以防止来自大气环境的杂质或水分附着于绝缘体14、绝缘膜22A及绝缘膜23A上,所以可以保持绝缘体14与绝缘膜22A的界面附近及绝缘膜22A与绝缘膜23A的界面附近的清洁。

[0233] 绝缘体14、绝缘膜22A及绝缘膜23A可以利用溅射法、CVD法、MBE法、PLD法或ALD法等沉积。

[0234] 接着,在绝缘膜23A中形成到达绝缘膜22A的开口(参照图4C及图4D)。开口例如包括槽、狭缝等。有时将形成有开口的区域称为开口部。在形成该开口时,可以使用湿蚀刻法,但是对微型加工来说干蚀刻法是优选的。作为绝缘膜22A,优选选择在对绝缘膜23A进行蚀刻以形成开口时被用作蚀刻停止膜的绝缘体。例如,当作为形成开口的绝缘膜23A使用氧化硅或氧氮化硅时,绝缘膜22A优选使用氮化硅、氧化铝或氧化铪。

[0235] 作为干蚀刻装置,可以使用包括平行平板型电极的电容耦合型等离子体(CCP:Capacitively Coupled Plasma)蚀刻装置。包括平行平板型电极的电容耦合型等离子体蚀刻装置也可以采用对平行平板型电极中的一方施加高频电压的结构。或者,也可以采用对平行平板型电极中的一方施加不同的多个高频电压的结构。或者,也可以采用对平行平板型电极的各个施加频率相同的高频电压的结构。或者,也可以采用对平行平板型电极的各个施加频率不同的高频电压的结构。或者,也可以利用具有高密度等离子体源的干蚀刻装置。例如,作为具有高密度等离子体源的干蚀刻装置,可以使用感应耦合等离子体(ICP:Inductively Coupled Plasma)蚀刻装置等。

[0236] 接着,沉积绝缘膜24A(参照图4E及图4F)。可以利用溅射法、CVD法、MBE法、PLD法或ALD法等沉积绝缘膜24A。在本实施方式中,作为绝缘膜24A利用溅射法沉积氧化硅膜。通过使用不需要利用包含氢的分子作为沉积气体的溅射法,可以降低绝缘膜24A中的氢浓度。绝缘膜24A在后面工序中与氧化物30接触,所以如此那样氢浓度得到降低是优选的。

[0237] 接着,通过CMP处理去除绝缘膜24A的一部分,使绝缘膜23A露出(参照图4G及图4H)。其结果是,只在开口部残留绝缘层24B。注意,有时由于该CMP处理而绝缘膜23A的一部分被去除。

[0238] 接着,在绝缘层24B及绝缘膜23A上沉积氧化膜30A(参照图4I及图4J)。氧化膜30A可以利用溅射法、CVD法、MBE法、PLD法或ALD法等沉积。通过利用ALD法沉积氧化膜30A,对纵横比大的槽或开口部也可以形成厚度均匀的膜,所以是优选的。此外,通过利用PEALD法,与热ALD法相比可以以更低的温度形成氧化膜30A,所以是优选的。在本实施方式中,在氧化膜30A的沉积中利用溅射法。

[0239] 例如,在利用溅射法沉积氧化膜30A的情况下,作为溅射气体使用氧或者氧和稀有气体的混合气体。通过提高溅射气体所包含的氧的比例,可以增加沉积的氧化膜中的过剩氧。此外,在利用溅射法沉积上述氧化膜的情况下,例如可以使用上述In-M-Zn氧化物靶材等。

[0240] 在沉积氧化膜30A时,有时溅射气体所包含的氧的一部分供应给绝缘层24B。因此,该溅射气体所包含的氧的比率可以为70%以上,优选为80%以上,更优选为100%。

[0241] 在使用溅射法形成氧化膜30A的情况下,通过在包含在溅射气体中的氧的比率为超过30%且100%以下,优选为70%以上且100%以下的条件下进行沉积,可以形成氧过剩

型氧化物半导体。将氧过剩型氧化物半导体用于沟道形成区域的晶体管可以得到比较高的可靠性。注意,本发明的一个方式不局限于此。在利用溅射法形成氧化膜30A的情况下,当在溅射气体所包含的氧的比率设定为1%以上且30%以下,优选为5%以上且20%以下的情况下进行沉积时,形成氧缺乏型氧化物半导体。将氧缺乏型氧化物半导体用于沟道形成区域的晶体管可以具有较高的场效应迁移率。此外,通过在加热衬底的同时进行沉积,可以提高该氧化膜的结晶性。

[0242] 在本实施方式中,利用溅射法使用In:Ga:Zn=4:2:4.1[原子个数比]的氧化物靶材、In:Ga:Zn=1:1:1[原子个数比]的氧化物靶材、In:Ga:Zn=1:1:1.2[原子个数比]的氧化物靶材或者In:Ga:Zn=1:1:2[原子个数比]的氧化物靶材沉积氧化膜30A。各氧化膜可以根据氧化物30所需的特性适当地选择沉积条件及原子个数比来形成。

[0243] 接着,优选进行热处理。热处理在氧化膜30A中不发生多晶化的温度范围内进行即可,可以在250℃以上且650℃以下,优选在400℃以上且600℃以下进行。热处理在氮气体或惰性气体气氛或者包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行。例如,当在氮气体和氧气体的混合气氛下进行热处理时,将氧气体的比例设为20%左右即可。热处理也可以在减压状态下进行。或者,作为热处理也可以在氮气体或惰性气体气氛下进行热处理,然后为了填补脱离了的氧在包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行热处理。

[0244] 此外,在上述热处理中使用的气体优选被高纯度化。例如,在上述热处理中使用的气体所包含的水分量为1ppb以下,优选为0.1ppb以下,更优选为0.05ppb以下即可。通过使用高纯度化了的气体进行热处理,可以尽可能地防止水分等被氧化膜30A等吸收。

[0245] 在本实施方式中,作为热处理,在氮气体与氧气体的流量比为4:1且450℃的温度的条件下进行1小时的处理。通过这样的包含氧气体的热处理可以减少氧化膜30A中的碳、水及氢等杂质。通过如此减少膜中的杂质,氧化膜30A的结晶性得到提高,可以实现密度更高的致密结构。因此,可以增大氧化膜30A中的结晶区域,可以降低氧化膜30A中的结晶区域的面内不均匀。因此,可以降低晶体管20的电特性的面内不均匀。

[0246] 另外,通过进行热处理,绝缘层24B及氧化膜30A中的氢转移到绝缘膜22A而被绝缘膜22A吸收。换言之,绝缘层24B及氧化膜30A中的氢扩散到绝缘膜22A。因此,虽然绝缘膜22A的氢浓度增高,但绝缘层24B及氧化膜30A中的氢浓度都降低。

[0247] 尤其是,通过加工绝缘层24B形成的绝缘体24被用作晶体管20的栅极绝缘体,通过加工氧化膜30A形成的氧化物30被用作晶体管20的沟道形成区域。因此,包括氢浓度得到降低的绝缘体24及氧化物30的晶体管20具有优异可靠性,所以是优选的。

[0248] 接着,在氧化膜30A上沉积导电膜42A(参照图4I及图4J)。可以利用溅射法、CVD法、MBE法、PLD法或ALD法等沉积导电膜42A。例如,作为导电膜42A利用溅射法沉积氮化钽即可。此外,在沉积导电膜42A之前也可以进行热处理。该热处理也可以在减压下进行,并其中以不暴露于大气的方式连续地沉积导电膜42A。通过进行这种处理,可以去除附着于氧化膜30A的表面的水分及氢,而且减少氧化膜30A中的水分浓度及氢浓度。热处理的温度优选为100℃以上且400℃以下。在本实施方式中,将热处理的温度设定为250℃。

[0249] 接着,利用光刻法将绝缘膜22A、绝缘膜23A、绝缘层24B、氧化膜30A及导电膜42A加工为岛状,形成绝缘体22、绝缘体23a、绝缘体23b、绝缘体24、氧化物30及导电层42B(参照图

5A及图5B)。在此,以其至少一部分与导电体15重叠的方式形成绝缘体24、氧化物30及导电层42B。此外,作为上述加工可以利用干蚀刻法或湿蚀刻法。利用干蚀刻法的加工适合于微细加工。另外,也可以在各自不同的条件下进行绝缘膜22A、绝缘膜23A、绝缘层24B、氧化膜30A及导电膜42A的加工。

[0250] 注意,在光刻法中,首先通过掩模对抗蚀剂进行曝光。接着,使用显影液去除或留下所曝光的区域而形成抗蚀剂掩模。接着,可以通过该抗蚀剂掩模进行蚀刻处理来将导电体、半导体或绝缘体等加工为所希望的形状。例如,使用KrF受激准分子激光、ArF受激准分子激光、EUV(Extreme Ultraviolet:极紫外)光等对抗蚀剂进行曝光来形成抗蚀剂掩模,即可。此外,也可以利用在衬底和投影透镜之间填满液体(例如,水)的状态下进行曝光的液浸技术。此外,也可以使用电子束或离子束代替上述光。注意,当使用电子束或离子束时,不需要掩模。此外,通过进行灰化处理等干蚀刻处理、进行湿蚀刻处理、在进行干蚀刻处理之后进行湿蚀刻处理或者在进行湿蚀刻处理之后进行干蚀刻处理,可以去除抗蚀剂掩模。

[0251] 再者,也可以在抗蚀剂掩模下使用由绝缘体或导电体构成的硬掩模。当使用硬掩模时,可以在导电膜42A上形成将成为硬掩模材料的绝缘膜或导电膜且在其上形成抗蚀剂掩模,然后对硬掩模材料进行蚀刻来形成所希望的形状的硬掩模。对导电膜42A等进行的蚀刻既可以在去除抗蚀剂掩模后进行,又可以不去除抗蚀剂掩模进行。在采用后者的情况下,进行蚀刻时有时抗蚀剂掩模消失。可以在导电膜42A等的蚀刻之后,通过蚀刻去除硬掩模。另一方面,在硬掩模材料没有影响到后工序或者可以在后工序中使用的情况下,不一定需要去除硬掩模。

[0252] 接着,以覆盖绝缘体22、绝缘体23a、绝缘体23b、绝缘体24、氧化物30及导电层42B的方式沉积绝缘体75(参照图5A及图5B)。在此,绝缘体75优选与绝缘体14的顶面、绝缘体22的侧面、绝缘体23a的侧面、绝缘体23b的侧面及绝缘体24的侧面接触。绝缘体75可以利用溅射法、CVD法、MBE法、PLD法、ALD法等沉积。绝缘体75优选使用具有抑制氧透过的功能的绝缘膜。例如,作为绝缘体75可以利用PEALD法沉积氮化硅。通过采用该结构,可以抑制氧扩散。或者,例如作为绝缘体75可以利用溅射法沉积氧化铝且在其上利用PEALD法沉积氮化硅。在绝缘体75具有这种叠层结构时,有时抑制水、氢等杂质及氧的扩散的功能得到提高。

[0253] 如此,可以由具有抑制氧扩散的功能的绝缘体75覆盖氧化物30及导电层42B。由此,可以抑制在后面工序中氧从绝缘体80等直接扩散到氧化物30及导电层42B中。

[0254] 接着,在绝缘体75上沉积将成为绝缘体80的绝缘膜。可以利用溅射法、CVD法、MBE法、PLD法或ALD法等沉积该绝缘膜。例如,作为该绝缘膜通过溅射法沉积氧化硅膜即可。通过在含氧气氛下使用溅射法沉积该绝缘膜,可以形成包含过剩氧的绝缘体80。通过使用不需要利用包含氢的分子作为沉积气体的溅射法,可以降低绝缘体80中的氢浓度。此外,在沉积该绝缘膜之前也可以进行热处理。该热处理也可以在减压下进行,并其中以不暴露于大气的方式连续地沉积该绝缘膜。通过进行这种处理,可以去除附着于绝缘体75的表面等的水分及氢,而且减少氧化物30及绝缘体24中的水分浓度及氢浓度。该热处理可以采用上述热处理的条件。

[0255] 接着,通过对上述将成为绝缘体80的绝缘膜进行CMP处理,形成其顶面平坦的绝缘体80(参照图5A及图5B)。此外,也可以在绝缘体80上例如通过溅射法沉积氮化硅,直到该氮化硅到达绝缘体80为止进行CMP处理。

[0256] 接着,对绝缘体80的一部分、绝缘体75的一部分及导电层42B的一部分进行加工来形成到达氧化物30的开口。该开口优选以与导电体15重叠的方式形成。通过形成该开口,形成导电体42a及导电体42b(参照图5C及图5D)。此外,虽然在图5C及图5D中未图示,但在形成上述开口时,有时氧化物30的上部被去除。

[0257] 此外,可以对绝缘体80的一部分、绝缘体75的一部分及导电层42B的一部分通过干蚀刻法或湿蚀刻法进行加工。利用干蚀刻法的加工适合于微细加工。此外,该加工也可以以互不相同的条件进行。例如,也可以通过干蚀刻法对绝缘体80的一部分进行加工,通过湿蚀刻法对绝缘体75的一部分进行加工,通过干蚀刻法对导电层42B的一部分进行加工。

[0258] 在此,有时发生如下:杂质附着于氧化物30的顶面及侧面、导电体42的侧面以及绝缘体80的侧面等;或者该杂质扩散到它们的内部。此外,也可以进行去除这些杂质的工序。另外,有时因上述干蚀刻而在氧化物30的表面上形成损伤区域。此外,也可以去除这样的损伤区域。作为该杂质,可以举出起因于如下成分等的杂质:绝缘体80、绝缘体75及导电层42B所包含的成分;包含于形成上述开口时使用的装置所使用的构件中的成分;用于蚀刻的气体或液体所包含的成分。作为该杂质,例如有铪、铝、硅、钽、氟、氯等。

[0259] 尤其是,铝或硅等杂质有时导致氧化物30的结晶性下降。因此,在氧化物30的表面及其附近优选去除铝或硅等杂质。此外,该杂质的浓度优选得到降低。例如,氧化物30的表面及其附近的铝原子的浓度可以为5.0原子%以下,优选为2.0原子%以下,更优选为1.5原子%以下,进一步优选为1.0原子%以下,尤其优选小于0.3原子%。

[0260] 由于铝或硅等杂质,在氧化物30的结晶性低的区域中结晶结构的致密度降低,所以产生大量V_0H而晶体管容易变成常开启化。由此,优选减少或去除氧化物30的结晶性低的区域。

[0261] 相对于此,氧化物30优选具有CAAC结构。尤其是,优选氧化物30的漏极的下端部也具有CAAC结构。在此,在晶体管20中,导电体42a或导电体42b及其附近被用作漏极。换言之,导电体42a(导电体42b)的下端部附近的氧化物30优选具有CAAC结构。如此,通过去除对漏极耐压带来显著影响的漏极端部中的氧化物30的结晶性低的区域而使其具有CAAC结构,可以进一步抑制晶体管20的电特性的变动。此外,可以进一步提高晶体管20的可靠性。

[0262] 为了去除在上述蚀刻工序中附着于氧化物30表面的杂质等,进行洗涤处理。作为洗涤方法,有使用洗涤液等的湿式洗涤(也可以称为湿蚀刻处理)、使用等离子体的等离子体处理、使用热处理的洗涤等,也可以适当地组合上述洗涤。注意,通过进行该洗涤处理有时上述槽部变深。

[0263] 作为湿式洗涤,可以使用用碳酸水或纯水稀释氨水、草酸、磷酸或氢氟酸等而成的水溶液、纯水或碳酸水等进行。或者,可以使用上述水溶液、纯水或碳酸水进行超声波洗涤。此外,也可以适当地组合上述洗涤。

[0264] 注意,在本说明书等中,有时将用纯水稀释氟化氢酸的水溶液称为稀氟化氢酸且将用纯水稀释氨水的水溶液称为稀氨水。此外,该水溶液的浓度、温度等根据要去除的杂质、被洗涤的半导体装置的结构等适当地调整即可。稀氨水的氨浓度设定为0.01%以上且5%以下,优选设定为0.1%以上且0.5%以下即可。此外,稀氟化氢酸的氟化氢浓度设定为0.01ppm以上且100ppm以下,优选设定为0.1ppm以上且10ppm以下即可。

[0265] 此外,作为超声波洗涤优选使用200kHz以上,更优选为900kHz以上的频率。通过使

用该频率,可以降低对氧化物30等造成的损伤。

[0266] 此外,可以多次进行上述洗涤处理,也可以按每个洗涤处理改变洗涤液。例如,也可以作为第一洗涤处理进行使用稀氟化氢酸或稀氨水的处理,作为第二洗涤处理进行使用纯水或碳酸水的处理。

[0267] 作为上述洗涤处理,在本实施方式中,使用稀氨水进行湿式洗涤。通过进行该洗涤处理,可以去除附着于氧化物30等的表面或者扩散到其内部的杂质。并且,可以提高氧化物30的结晶性。

[0268] 也可以在上述蚀刻或上述洗涤后进行热处理。热处理以100℃以上且450℃以下,优选以350℃以上且400℃以下进行即可。热处理在氮气体、惰性气体或包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行。例如,热处理优选在氧气氛下进行。由此,对氧化物30供应氧,从而可以减少氧空位。此外,通过进行上述热处理,可以提高氧化物30的结晶性。热处理也可以在减压状态下进行。或者,也可以在氧气氛下进行热处理,然后以不暴露于大气的方式在氮气氛下连续地进行热处理。

[0269] 接着,沉积绝缘膜50A(参照图5E及图5F)。在此,也可以在沉积绝缘膜50A之前进行热处理,并且优选的是,该热处理在减压下进行,以不暴露于大气的方式连续沉积绝缘膜50A。此外,该热处理优选在包含氧的气氛下进行。通过进行这种处理,可以去除附着于氧化物30的表面等的水分及氢,而且减少氧化物30中的水分浓度及氢浓度。热处理的温度优选为100℃以上且400℃以下。

[0270] 可以利用溅射法、CVD法、PECVD法、MBE法、PLD法、ALD法等沉积绝缘膜50A。绝缘膜50A优选通过使用减少或去除氢原子的气体的沉积方法沉积。由此,可以降低绝缘膜50A的氢浓度。在本实施方式中,作为绝缘膜50A通过PECVD法沉积氧氮化硅。

[0271] 接着,优选在含氧气氛下进行微波处理。

[0272] 微波处理例如优选使用包括用微波产生高密度等离子体的电源的微波处理装置。在此,将微波处理装置的频率设定为300MHz以上且300GHz以下,优选为2.4GHz以上且2.5GHz以下,例如为2.45GHz即可。通过使用高密度等离子体,可以生成高密度的氧自由基。另外,微波处理装置的施加微波的电源的功率为1000W以上且10000W以下,优选为2000W以上且5000W以下即可。此外,微波处理装置也可以包括对衬底一侧施加RF的电源。此外,通过对衬底一侧施加RF,可以将由高密度等离子体生成的氧离子高效地导入到氧化物30中。

[0273] 此外,上述微波处理优选在减压下进行,压力为10Pa以上且1000Pa以下,优选为300Pa以上且700Pa以下即可。此外,处理温度为750℃以下,优选为500℃以下,例如为400℃左右即可。此外,也可以在进行氧等离子体处理之后以不暴露于大气的方式连续进行热处理。例如,处理温度为100℃以上且750℃以下,优选为300℃以上且500℃以下即可。

[0274] 另外,例如,上述微波处理使用氧气体及氩气体进行即可。在此,氧流量比($O_2/(O_2+Ar)$)大于0%且为100%以下、优选大于0%且为50%以下、更优选为10%以上且40%以下、进一步优选为10%以上且30%以下,即可。

[0275] 另外,在微波处理中,有时由于微波与氧化物30中的分子的电磁相互作用而对氧化物30直接传递热能量。有时因该热能量而氧化物30被加热。有时将该热处理称为微波退火。通过在含氧气氛下进行微波处理,有时可以得到与氧退火相等的效果。另外,可认为:在氧化物30包含氢时,上述热能量传递到氧化物30中的氢而被活性化的氢从氧化物30释放。

[0276] 接着,沉积导电膜60A。导电膜60A可以利用溅射法、CVD法、MBE法、PLD法或ALD法等沉积。注意,在导电体60具有两层叠层结构的情况下,关于将成为该导电体60的导电膜的沉积方法,可以参照后面的实施方式2的说明。

[0277] 接着,通过利用CMP处理直到绝缘体80露出为止对绝缘膜50A及导电膜60A进行抛光,形成绝缘体50及导电体60(参照图5G及图5H)。由此,绝缘体50以覆盖到达氧化物30的开口的方式配置。此外,导电体60以隔着绝缘体50嵌入上述开口的方式配置。

[0278] 接着,也可以在与上述热处理同样的条件下进行热处理。在本实施方式中,在氮气氛下以400℃的温度进行1小时的处理。通过该加热处理,可以降低绝缘体50及绝缘体80中的水分浓度及氢浓度。此外,在上述热处理之后,以不暴露于大气的方式连续地进行绝缘体82的沉积。

[0279] 接着,在绝缘体50、导电体60及绝缘体80上形成绝缘体82(参照图1B及图1C)。绝缘体82可以通过溅射法、CVD法、MBE法、PLD法或ALD法等沉积。绝缘体82优选使用溅射法沉积。通过使用不需要利用包含氢的分子作为沉积气体的溅射法,可以降低绝缘体82中的氢浓度。

[0280] 在本实施方式中,作为绝缘体82在包含氧气体气氛下使用铝靶材通过脉冲DC溅射法沉积氧化铝。通过使用脉冲DC溅射法,可以使厚度更均匀而提高溅射速率及膜品质。

[0281] 另外,通过使用溅射法在含氧气氛下沉积绝缘体82,可以在进行沉积的同时对绝缘体80添加氧。由此,可以使绝缘体80包含过剩氧。此时,优选在加热衬底的同时沉积绝缘体82。

[0282] 通过上述工序,可以制造图1A至图1C所示的晶体管20。

[0283] 注意,绝缘膜23A及绝缘层24B的形成方法不局限于上述方法。以下,参照图6说明绝缘膜23A及绝缘层24B的其他形成方法。

[0284] 首先,在衬底(未图示)上形成导电体15、绝缘体14及绝缘膜22A。导电体15、绝缘体14及绝缘膜22A的形成方法可以参照上述说明。

[0285] 接着,在绝缘膜22A上形成将成为绝缘层24B的绝缘膜。接着,通过光刻法对该绝缘膜进行加工,形成绝缘层24B(参照图6A及图6B)。此时,有时不与绝缘层24B重叠的区域的绝缘膜22A的一部分被去除。

[0286] 接着,在绝缘膜22A及绝缘层24B上沉积绝缘膜23f(参照图6C及图6D)。绝缘膜23f的沉积方法可以参照上述说明。

[0287] 接着,通过CMP处理去除绝缘膜23f的一部分,使绝缘层24B露出(参照图6E及图6F)。通过该CMP处理形成绝缘膜23A。

[0288] 通过上述工序,可以形成绝缘膜23A及绝缘层24B。

[0289] <微波处理装置>

以下,说明可以在晶体管、半导体装置及存储装置等的制造方法中使用的微波处理装置。

[0290] 首先,参照图7至图10说明制造晶体管、半导体装置等时杂质混入较少的制造装置的结构。

[0291] 图7示意性地示出单片式多室制造装置2700的俯视图。制造装置2700包括:具备收纳衬底的盒2761和进行衬底对准的对准机2762的大气侧衬底供应室2701;从大气侧衬底供

应室2701传送衬底的大气侧衬底传送室2702;进行衬底的搬入且将室内的压力从大气压切换为减压或从减压切换为大气压的装载闭锁室2703a;进行衬底的搬出且将室内的压力从减压切换为大气压或从大气压切换为减压的卸载闭锁室2703b;在真空中进行衬底的传送的传送室2704;处理室2706a;处理室2706b;处理室2706c;以及处理室2706d。

[0292] 此外,大气侧衬底传送室2702与装载闭锁室2703a以及卸载闭锁室2703b连接,装载闭锁室2703a以及卸载闭锁室2703b与传送室2704连接,传送室2704与处理室2706a、处理室2706b、处理室2706c以及处理室2706d连接。

[0293] 在各室之间的连接部设置有闸阀GV,由此除了大气侧衬底供应室2701及大气侧衬底传送室2702以外,各室可以独立地保持为真空状态。在大气侧衬底传送室2702中设置有传送机器人2763a,并且在传送室2704中设置有传送机器人2763b。通过利用传送机器人2763a及传送机器人2763b可以在制造装置2700中传送衬底。

[0294] 传送室2704及各处理室的背压(全压)例如为1×10^{-4}Pa以下,优选为3×10^{-5}Pa以下,更优选为1×10^{-5}Pa以下。传送室2704及各处理室的质量电荷比(m/z)是18的气体分子(原子)的分压例如为3×10^{-5}Pa以下,优选为1×10^{-5}Pa以下,更优选为3×10^{-6}Pa以下。此外,传送室2704及各处理室的m/z是28的气体分子(原子)的分压例如为3×10^{-5}Pa以下,优选为1×10^{-5}Pa以下,更优选为3×10^{-6}Pa以下。传送室2704及各处理室的m/z是44的气体分子(原子)的分压例如为3×10^{-5}Pa以下,优选为1×10^{-5}Pa以下,更优选为3×10^{-6}Pa以下。

[0295] 传送室2704及各处理室内的全压及分压可以使用电离真空计、质量分析器等测量。

[0296] 另外,传送室2704及各处理室优选具有外部泄漏或内部泄漏少的结构。例如,传送室2704的泄漏率为1×10^{0}Pa/min以下,优选为5×10^{-1}Pa/min以下。另外,各处理室的泄漏率为1×10^{-1}Pa/min以下,优选为5×10^{-2}Pa/min以下。

[0297] 泄漏率从利用电离真空计、质量分析器等测量的全压及分压导出即可。例如,从利用涡轮分子泵等真空泵开始抽空后经过10分钟时的全压以及阀关闭后经过10分钟时的全压导出即可。注意,上述开始抽空后经过10分钟时的全压可以是多次测量该全压时的平均值。

[0298] 泄漏率取决于外部泄漏及内部泄漏。外部泄漏是指由于微小的孔或密封不良等,气体从真空系统的外部流入的现象。内部泄漏起因于来自真空系统中的阀等隔板的泄漏或来自内部构件的释放气体。为了将泄漏率设定为上述数值以下,需要从外部泄漏及内部泄漏的两个方面采取措施。

[0299] 例如,优选使用金属垫片对传送室2704及各处理室的开闭部分进行密封。金属垫片优选使用由氟化铁、氧化铝或氧化铬覆盖的金属。金属垫片的紧密性比O形环高,因此可以降低外部泄漏。通过利用由氟化铁、氧化铝、氧化铬等覆盖钝态的金属,可以抑制从金属垫片释放的包含杂质的释放气体,由此可以降低内部泄漏。

[0300] 作为构成制造装置2700的构件,使用包含杂质的释放气体少的铝、铬、钛、锆、镍或钒。另外,也可以使用上述包含杂质的释放气体少的金属覆盖含有铁、铬及镍等的合金。含有铁、铬及镍等的合金具有刚性,耐热且适于加工。在此,通过进行抛光等减少构件表面上的凹凸以缩小表面积,可以减少释放气体。

[0301] 或者,也可以使用氟化铁、氧化铝、氧化铬等覆盖上述制造装置2700的构件。

[0302] 制造装置2700的构件优选尽量只由金属构成,例如当设置由石英等构成的观察窗(viewing window)等时,为了抑制释放气体,优选由其厚度薄的氟化铁、氧化铝或氧化铬等覆盖观察窗的表面。

[0303] 虽然存在于传送室2704及各处理室内的附着物附着于内壁等而不影响到传送室2704及各处理室的压力,但是该附着物成为对传送室2704及各处理室进行排气时产生的气体释放的原因。因此,虽然泄漏率与排气速度不相关,但是使用排气能力高的泵尽量地使存在于传送室2704及各处理室内的附着物脱离并预先进行排气是十分重要的。为了促进附着物的脱离,也可以对传送室2704及各处理室进行烘烤。通过进行烘烤,可以将附着物的脱离速度提高到10倍左右。烘烤以100℃以上且450℃以下进行即可。此时,通过在将惰性气体导入传送室2704及各处理室的同时去除附着物,可以进一步提高仅通过排气不容易脱离的水等的脱离速度。此外,通过对导入的惰性气体以与烘烤温度相同程度的温度进行加热,可以进一步提高附着物的脱离速度。这里,作为惰性气体优选使用稀有气体。

[0304] 此外,优选通过导入被加热的稀有气体等惰性气体或氧等提高传送室2704及各处理室内的压力,并在经过一定时间之后再次对传送室2704及各处理室进行排气处理。可以由被加热的气体的导入使传送室2704及各处理室内的附着物脱离,由此可以减少存在于传送室2704及各处理室内的杂质。有效的是将该处理反复进行2次以上且30次以下,优选为5次以上且15次以下。具体地,通过导入40℃以上且400℃以下,优选为50℃以上且200℃以下的惰性气体或氧等来将传送室2704及各处理室内的压力设定为0.1Pa以上且10kPa以下,优选为1Pa以上且1kPa以下,更优选为5Pa以上且100Pa以下,并将保持压力的期间设定为1分钟以上且300分钟以下,优选为5分钟以上且120分钟以下,即可。然后,对传送室2704及各处理室进行排气5分钟以上且300分钟以下,优选为10分钟以上且120分钟以下。

[0305] 接着,使用图8所示的截面示意图说明处理室2706b及处理室2706c。

[0306] 处理室2706b及处理室2706c例如是能够对被处理物进行微波处理的处理室。注意,处理室2706b与处理室2706c的不同之处仅在于进行微波处理时的气氛。因为处理室2706b和处理室2706c的其他结构相同,所以下面一并说明。

[0307] 处理室2706b及处理室2706c包括缝隙天线板2808、电介质板2809、衬底架2812以及排气口2819。此外,在处理室2706b及处理室2706c的外部等设置有气体供应源2801、阀2802、高频产生器2803、波导管2804、模式转换器2805、气体管2806、波导管2807、匹配器(matching box)2815、高频电源2816、真空泵2817以及阀2818。

[0308] 高频产生器2803通过波导管2804与模式转换器2805连接。模式转换器2805通过波导管2807与缝隙天线板2808连接。缝隙天线板2808与电介质板2809接触地配置。此外,气体供应源2801通过阀2802与模式转换器2805连接。并且,由经过模式转换器2805、波导管2807及电介质板2809的气体管2806对处理室2706b及处理室2706c导入气体。此外,真空泵2817具有通过阀2818及排气口2819从处理室2706b及处理室2706c排出气体等的功能。此外,高频电源2816通过匹配器2815与衬底架2812连接。

[0309] 衬底架2812具有保持衬底2811的功能。例如,衬底架2812具有对衬底2811进行静电卡盘或机械卡盘的功能。此外,衬底架2812具有由高频电源2816供应功率的电极的功能。此外,衬底架2812在其内部包括加热机构2813并具有对衬底2811进行加热的功能。

[0310] 作为真空泵2817,可以使用例如干燥泵、机械增压泵、离子泵、钛升华泵、低温泵或

涡轮分子泵等。此外,除了真空泵2817以外,还可以使用低温冷阱。当使用低温泵及低温冷阱时可以高效地排出水,这是特别优选的。

[0311] 作为加热机构2813,例如使用利用电阻发热体等进行加热的加热机构即可。或者,还可以使用利用被加热的气体等介质的热传导或热辐射来进行加热的加热机构。例如,可以使用GRTA(Gas Rapid Thermal Annealing:气体快速热退火)或LRTA(Lamp Rapid Thermal Annealing:灯快速热退火)等的RTA(Rapid Thermal Annealing:快速热退火)。GRTA利用高温气体进行热处理。作为气体使用惰性气体。

[0312] 此外,气体供应源2801可以通过质量流量控制器与精制器连接。作为气体,优选使用露点为-80℃以下,优选为-100℃以下的气体。例如,可以使用氧气体、氮气体及稀有气体(氩气等)。

[0313] 作为电介质板2809例如使用氧化硅(石英)、氧化铝(alumina)或氧化钇(yttria)等即可。此外,也可以在电介质板2809的表面进一步形成有其他保护层。作为保护层可以使用氧化镁、氧化钛、氧化铬、氧化锆、氧化铪、氧化钽、氧化硅、氧化铝或氧化钇等。因为电介质板2809暴露于后述的高密度等离子体2810的特别高密度区域中,所以通过设置保护层可以减轻损伤。其结果是,可以抑制进行处理时的微粒的增加等。

[0314] 高频产生器2803具有例如产生0.3GHz以上且3.0GHz以下、0.7GHz以上且1.1GHz以下或者2.2GHz以上且2.8GHz以下的微波的功能。高频产生器2803所产生的微波通过波导管2804传送到模式转换器2805。在模式转换器2805中,将被传送的TE(Transverse Electric:横电)模式的微波转换为TEM(Transverse Electric and Magnetic:横电磁)模式的微波。然后,该微波通过波导管2807传送到缝隙天线板2808。在缝隙天线板2808中设置有多个缝隙,微波透过该缝隙及电介质板2809。然后,在电介质板2809的下方产生电场而可以生成高密度等离子体2810。高密度等离子体2810包括根据从气体供应源2801供应的气体种类的离子及自由基。例如,高密度等离子体2810包括氧自由基等。

[0315] 此时,通过利用在高密度等离子体2810中生成的离子及自由基可以改善衬底2811上的膜等的品质等。此外,有时优选使用高频电源2816对衬底2811一侧施加偏压。作为高频电源2816,例如可以使用13.56MHz、27.12MHz等频率的RF(Radio Frequency)电源。通过对衬底一侧施加偏压,可以高效地使高密度等离子体2810中的离子到达衬底2811上的膜等的开口部的深部。

[0316] 例如,通过从气体供应源2801导入氧,可以在处理室2706b或处理室2706c内进行使用高密度等离子体2810的氧自由基处理。

[0317] 接着,使用图9所示的截面示意图说明处理室2706a及处理室2706d。

[0318] 处理室2706a及处理室2706d例如是能够对被处理物照射电磁波的处理室。注意,处理室2706a与处理室2706d的不同之处仅在于电磁波的种类。因为处理室2706a和处理室2706d的其他结构大多是相同的,所以下面一并说明。

[0319] 处理室2706a及处理室2706d包括一个或多个灯2820、衬底架2825、气体导入口2823以及排气口2830。此外,在处理室2706a及处理室2706d的外部等设置有气体供应源2821、阀2822、真空泵2828以及阀2829。

[0320] 气体供应源2821通过阀2822与气体导入口2823连接。真空泵2828通过阀2829与排气口2830连接。灯2820与衬底架2825相对地配置。衬底架2825具有保持衬底2824的功能。此

外,衬底架2825在其内部包括加热机构2826并具有对衬底2824进行加热的功能。

[0321] 作为灯2820,例如可以使用具有放射可见光或紫外线光等的电磁波的功能的光源。例如,可以使用具有放射在10nm以上且2500nm以下、500nm以上且2000nm以下或者40nm以上且340nm以下的波长区域中具有峰值的电磁波的功能的光源。

[0322] 例如,作为灯2820,可以使用卤素灯、金卤灯、氙弧灯、碳弧灯、高压钠灯或者高压汞灯等的光源。

[0323] 例如,从灯2820放射的电磁波的一部分或全部被衬底2824抽吸,由此可以改善衬底2824上的膜等的品质。例如,可以生成或减少缺陷、或者可以去除杂质。此外,在对衬底2824进行加热的同时生成或降低缺陷、或者去除杂质的情况下,可以高效地生成或降低缺陷、或者可以去除杂质等。

[0324] 或者,例如,也可以利用从灯2820放射的电磁波使衬底架2825发热,由此对衬底2824进行加热。在此情况下,不需要在衬底架2825的内部包括加热机构2826。

[0325] 真空泵2828可参照关于真空泵2817的记载。此外,加热机构2826可参照关于加热机构2813的记载。此外,气体供应源2821可参照关于气体供应源2801的记载。

[0326] 可用于本实施方式的微波处理装置不局限于上述微波处理装置,可以使用图10所示的微波处理装置2900。微波处理装置2900包括石英管2901、排气口2819、气体供应源2801、阀2802、高频产生器2803、波导管2804、气体管2806、真空泵2817及阀2818。另外,微波处理装置2900在石英管2901内包括支撑多个衬底2811(2811_1至2811_n,n是2以上的整数)的衬底架2902。另外,微波处理装置2900也可以在石英管2901的外侧包括加热单元2903。

[0327] 由高频产生器2803产生的微波通过波导管2804照射到设置在石英管2901内的衬底。真空泵2817通过阀2818与排气口2819连接,可以调整石英管2901内部的压力。另外,气体供应源2801通过阀2802与气体管2806连接,可以对石英管2901内导入所希望的气体。另外,通过加热单元2903可以将石英管2901内的衬底2811加热到所希望的温度。或者,也可以通过加热单元2903加热从气体供应源2801供应的气体。通过微波处理装置2900,可以对衬底2811同时进行热处理和微波处理。另外,可以在加热衬底2811之后进行微波处理。另外,可以在对衬底2811进行微波处理之后进行热处理。

[0328] 可以将衬底2811_1至衬底2811_n都设为形成半导体装置或存储装置的处理衬底,也可以将衬底2811_1至衬底2811_n的一部衬底设为伪衬底。例如,也可以将衬底2811_1及衬底2811_n设为伪衬底且将衬底2811_2至衬底2811_n-1设为处理衬底。另外,也可以将衬底2811_1、衬底2811_2、衬底2811_n-1及衬底2811_n设为伪衬底且将衬底2811_3至衬底2811_n-2设为处理衬底。通过使用伪衬底,可以在微波处理或热处理时多个处理衬底均匀地被处理而可以降低处理衬底间的不均匀,所以是优选的。例如,通过将伪衬底配置在最接近于高频产生器2803及波导管2804的处理衬底上,可以抑制该处理衬底直接暴露于微波,所以是优选的。

[0329] 通过使用上述制造装置,可以抑制杂质混入到被处理物并可以改善膜品质。

[0330] <结构例子2>

图11A及图11B示出与上述晶体管20不同的结构例子。图11A是晶体管20A的沟道长度方向的截面图,图11B是晶体管20A的沟道宽度方向的截面图。

[0331] 晶体管20A与晶体管20的主要不同之处在于:晶体管20A在绝缘体82上包括绝缘体

83。以下,主要说明与上述结构例子1不同的部分,省略重复部分的说明。

[0332] 绝缘体83以与绝缘体14的顶面、绝缘体75的侧面、绝缘体80的侧面、绝缘体82的侧面及绝缘体82的顶面接触的方式设置。通过采用该结构,绝缘体80配置在由绝缘体83及绝缘体14密封的区域中。在此,绝缘体83优选被用作抑制水及氢等杂质扩散到上述密封的区域中的阻挡绝缘膜。通过采用该结构,可以抑制包含在上述密封的区域外的水、氢等杂质混入上述密封的区域中。因此,可以抑制水、氢等杂质混入绝缘体80。另外,可以抑制水、氢等杂质经过绝缘体80混入氧化物30。

[0333] 绝缘体83可以使用可用于绝缘体14及绝缘体75的绝缘体。例如,作为绝缘体83,优选使用氢阻挡性更高的氮化硅。此时,绝缘体83为至少包含氮及硅的绝缘体。

[0334] <结构例子3>

图11C及图11D示出与上述晶体管20A不同的结构例子。图11C是晶体管20B的沟道长度方向的截面图,图11D是晶体管20B的沟道宽度方向的截面图。

[0335] 晶体管20B与晶体管20A的主要不同之处在于:晶体管20B中导电体15设置在绝缘体22与绝缘体24之间。以下,主要说明与上述结构例子2不同的部分,省略重复部分的说明。

[0336] 导电体15配置在绝缘体22与绝缘体24之间。另外,导电体15配置在绝缘体23a与绝缘体23b之间。也就是说,在沟道长度方向的截面中,导电体15的端部与绝缘体24的端部一致或大致一致。

[0337] 通过上述结构,导电体15配置在由绝缘体75及绝缘体14密封的区域中。因此,可以抑制水、氢等杂质混入导电体15。

[0338] 如图11D所示,导电体15具有与绝缘体24及绝缘体50接触的区域。于是,导电体15优选具有两层叠层结构,并且与绝缘体24及绝缘体50接触一侧的层优选使用具有抑制氧的扩散的功能的导电材料形成。通过采用该结构,可以抑制与绝缘体22接触一侧的层被氧化而导电率下降。此外,导电体15也可以具有单层或三层以上的叠层结构。

[0339] 如图11D所示,导电体15在沟道宽度方向上延伸,并被用作布线。注意,在沟道宽度方向的截面中,导电体15的侧面也可以与绝缘体24的侧面一致或大致一致。此时,也可以在导电体15下设置用作布线的导电体且使该导电体与导电体15电连接。

[0340] <结构例子4>

图12A及图12B示出与上述晶体管20A不同的结构例子。图12A是晶体管20C的沟道长度方向的截面图,图12B是晶体管20C的沟道宽度方向的截面图。

[0341] 晶体管20C与晶体管20A的主要不同之处在于:晶体管20C中绝缘体22的顶面的一部分与绝缘体75接触。以下,主要说明与上述结构例子2不同的部分,省略重复部分的说明。

[0342] 如图12A所示,绝缘体22也延伸设置在绝缘体23a及绝缘体23b的沟道长度方向的端部的外侧的区域。由此,可以将绝缘体22用作通过光刻法对绝缘膜23A进行加工来形成绝缘体23a及绝缘体23b时的蚀刻停止膜。

[0343] 另外,当作为绝缘体22使用具有非晶结构的金属氧化物时,通过增大俯视时的绝缘体22的面积,可以增加能够俘获或固定的氢量。因此,可以降低绝缘体24及氧化物30的氢浓度。

[0344] <结构例子5>

图12C及图12D示出与上述晶体管20C不同的结构例子。图12C是晶体管20D的沟道

长度方向的截面图,图12D是晶体管20D的沟道宽度方向的截面图。

[0345] 晶体管20D与晶体管20C的主要不同之处在于:晶体管20D包括绝缘体16;以及导电体15设置在绝缘体14与绝缘体22之间。以下,主要说明与上述结构例子4不同的部分,省略重复部分的说明。

[0346] 如图12C所示,绝缘体14上设置有导电体15及绝缘体16,导电体15及绝缘体16上设置有绝缘体22。此外,导电体15以嵌入绝缘体16中的方式配置。通过采用该结构,导电体15配置在由绝缘体75及绝缘体14密封的区域中。因此,可以抑制水、氢等杂质混入导电体15。

[0347] 绝缘体16被用作层间膜。因此,绝缘体16的介电常数优选低于绝缘体14。通过将介电常数低的材料用于层间膜,可以减少产生在布线之间的寄生电容。作为绝缘体16优选使用可用于绝缘体80的绝缘材料。

[0348] 如图12C所示,导电体15具有与绝缘体16接触的区域。于是,优选的是,导电体15具有两层叠层结构,并且与绝缘体16接触的层使用具有抑制氧的扩散的功能的导电材料形成。通过采用该结构,可以抑制不与绝缘体16接触的层被氧化而导电率下降。此外,导电体15也可以具有单层或三层以上的叠层结构。

[0349] <结构例子6>

图13A及图13B示出与上述晶体管20A不同的结构例子。图13A是晶体管20E的沟道长度方向的截面图,图13B是晶体管20E的沟道宽度方向的截面图。

[0350] 晶体管20E与晶体管20A的主要不同之处在于:晶体管20E中绝缘体24具有凸部。以下,主要说明与上述结构例子2不同的部分,省略重复部分的说明。

[0351] 绝缘体24在与氧化物30及导电体60重叠的区域具有凸部。该凸部位于绝缘体23a与绝缘体23b之间。此外,绝缘体24包括与绝缘体75接触的区域。另外,绝缘体24的最上部的高度与绝缘体23a的顶面及绝缘体23b的顶面的高度一致或大致一致。

[0352] 绝缘体23a及绝缘体23b配置于绝缘体24上。也就是说,绝缘体24的一部分位于绝缘体23a或绝缘体23b与绝缘体22之间。另外,绝缘体24具有与绝缘体23a及绝缘体23b分别重叠的区域。

[0353] 通过采用上述结构,可以增大俯视时的绝缘体22的面积而增加绝缘体24所包含的过剩氧的量。再者,通过以与氧化物30的源极区域及漏极区域重叠的方式设置绝缘体23a及绝缘体23b,可以高效地通过绝缘体24的凸部对氧化物30的沟道形成区域供应氧。

[0354] 图13A示出绝缘体24的端部与绝缘体22的端部一致或大致一致的结构,但是本发明不局限于此。绝缘体22也可以延伸到绝缘体24的端部的外侧的区域。

[0355] <结构例子7>

图13C及图13D示出与上述晶体管20E不同的结构例子。图13C是晶体管20F的沟道长度方向的截面图,图13D是晶体管20F的沟道宽度方向的截面图。

[0356] 晶体管20F与晶体管20E的主要不同之处在于:晶体管20F中绝缘体22及绝缘体24以与绝缘体83接触的方式延伸设置,绝缘体75包括开口91。以下,主要说明与上述结构例子6不同的部分,省略重复部分的说明。

[0357] 绝缘体22及绝缘体24延伸设置在绝缘体23a及绝缘体23b的端部的外侧的区域。由此,绝缘体22及绝缘体24的一部分位于绝缘体75与绝缘体14之间。另外,绝缘体22及绝缘体24具有与绝缘体83接触的区域。

[0358] 绝缘体75在不与氧化物30重叠的区域中具有与绝缘体24接触的区域。此外,绝缘体75在不与氧化物30重叠的区域中包括开口91。注意,图13C中的点划线所示的开口91分别设置在绝缘体23a与绝缘体83之间的区域及绝缘体23b与绝缘体83之间的区域。绝缘体80通过开口91与绝缘体24接触。通过采用该结构,可以将包含在绝缘体80中的氧通过开口91及绝缘体24供应给氧化物30的沟道形成区域。换言之,可以在晶体管20F的沟道宽度方向及沟道长度方向上将包含在绝缘体80中的氧供应到氧化物30的沟道形成区域。

[0359] 根据本发明的一个方式,可以提供一种电特性不均匀少的晶体管。根据本发明的一个方式,可以提供一种可靠性优异的晶体管。根据本发明的一个方式,可以提供一种具有优异电特性的晶体管。根据本发明的一个方式,可以提供一种新颖的晶体管。

[0360] 以上,本实施方式所示的结构、方法等可以与本实施方式所示的其他结构、方法、其他实施方式所示的结构、方法等适当地组合而实施。

[0361] (实施方式2)

在本实施方式中,使用图14A至图31C对包括根据本发明的一个方式的晶体管200的半导体装置的一个例子及其制造方法进行说明。

[0362] <半导体装置的结构例子>

参照图14说明包括晶体管200的半导体装置的结构。图14A至图14D是包括晶体管200的半导体装置的俯视图及截面图。图14A是该半导体装置的俯视图。图14B至图14D是该半导体装置的截面图。在此,图14B是沿着图14A中的点划线A1-A2的部分的截面图,也是晶体管200的沟道长度方向的截面图。此外,图14C是沿着图14A中的点划线A3-A4的部分的截面图,也是晶体管200的沟道宽度方向的截面图。另外,图14D是沿着图14A中的点划线A5-A6的部分的截面图。注意,在图14A的俯视图中,为了明确起见,省略一部分构成要素。

[0363] 本发明的一个方式的半导体装置包括衬底(未图示)上的绝缘体212、绝缘体212上的绝缘体214、绝缘体214上的晶体管200、晶体管200上的绝缘体280、绝缘体280上的绝缘体282、绝缘体282上的绝缘体283、绝缘体283上的绝缘体274、绝缘体283及绝缘体274上的绝缘体285。绝缘体212、绝缘体214、绝缘体280、绝缘体282、绝缘体283、绝缘体285及绝缘体274被用作层间膜。另外,还包括与晶体管200电连接且用作插头的导电体240(导电体240a及导电体240b)。此外,以与用作插头的导电体240的侧面接触的方式设置绝缘体241(绝缘体241a及绝缘体241b)。另外,在绝缘体285及导电体240上设置与导电体240电连接且用作布线的导电体246(导电体246a及导电体246b)。绝缘体283与绝缘体214的顶面的一部分、绝缘体222的侧面、绝缘体275的侧面、绝缘体280的侧面及绝缘体282的侧面及顶面接触。

[0364] 以与绝缘体280、绝缘体282、绝缘体283及绝缘体285的开口的内壁接触的方式设置绝缘体241a,以与绝缘体241a的侧面接触的方式设置导电体240a。此外,以与绝缘体280、绝缘体282、绝缘体283及绝缘体285的开口的内壁接触的方式设置绝缘体241b,以与绝缘体241b的侧面接触的方式设置导电体240b。此外,绝缘体241具有以与上述开口的内壁接触的方式设置有第一绝缘体且其内侧设置有第二绝缘体的结构。另外,导电体240具有以与绝缘体241的侧面接触的方式设置有第一导电体且其内侧设置有第二导电体的结构。在此,导电体240的顶面高度与重叠于导电体246的区域的绝缘体285的顶面高度可以大致一致。

[0365] 此外,在晶体管200中,层叠有绝缘体241的第一绝缘体与绝缘体241的第二绝缘体,但是本发明不局限于此。例如,绝缘体241也可以具有单层结构或者三层以上的叠层结

构。此外,在晶体管200中,层叠有导电体240的第一导电体与导电体240的第二导电体,但是本发明不局限于此。例如,导电体240也可以具有单层结构或者三层以上的叠层结构。此外,在结构体具有叠层结构的情况下,有时按形成顺序赋予序数以进行区别。

[0366] [晶体管200]

如图14A至图14D所示,晶体管200包括绝缘体214上的绝缘体216、以嵌入绝缘体216中的方式配置的导电体205(导电体205a及导电体205b)、绝缘体216及导电体205上的绝缘体222、绝缘体222上的绝缘体224、绝缘体223a及绝缘体223b、绝缘体224、绝缘体223a及绝缘体223b上的氧化物230、氧化物230上的导电体242a、导电体242a上的绝缘体271a、氧化物230上的导电体242b、导电体242b上的绝缘体271b、氧化物230上的绝缘体252、绝缘体252上的绝缘体250、绝缘体250上的绝缘体254、位于绝缘体254上并与氧化物230的一部分重叠的导电体260(导电体260a及导电体260b)、以及配置在绝缘体222、绝缘体224、绝缘体223a、绝缘体223b、氧化物230、导电体242a、导电体242b、绝缘体271a及绝缘体271b上的绝缘体275。在此,如图14B及图14C所示,绝缘体252与绝缘体222的顶面、绝缘体224的侧面、氧化物230的侧面及顶面、导电体242的侧面、绝缘体271的侧面、绝缘体275的侧面、绝缘体280的侧面及绝缘体250的底面接触。另外,导电体260的顶面以高度与绝缘体254的最上部、绝缘体250的最上部、绝缘体252的最上部及绝缘体280的顶面的高度一致或大致一致的方式配置。另外,绝缘体282与导电体260、绝缘体252、绝缘体250、绝缘体254和绝缘体280各自的顶面的至少一部分接触。绝缘体283于绝缘体216的侧面接触。

[0367] 以下,有时将绝缘体223a及绝缘体223b统称为绝缘体223。此外,有时将导电体242a及导电体242b统称为导电体242。此外,有时将绝缘体271a及绝缘体271b统称为绝缘体271。

[0368] 在绝缘体280及绝缘体275中形成到达氧化物230的开口。在该开口内设置绝缘体252、绝缘体250、绝缘体254及导电体260。此外,在晶体管200的沟道长度方向上,绝缘体271a及导电体242a与绝缘体271b及导电体242b间设置有导电体260、绝缘体252、绝缘体250及绝缘体254。绝缘体254具有与导电体260的侧面接触的区域及与导电体260的底面接触的区域。

[0369] 导电体260被用作第一栅(也称为顶栅极)电极,导电体205被用作第二栅(也称为背栅极)电极。此外,绝缘体252、绝缘体250及绝缘体254被用作第一栅极绝缘体,绝缘体222及绝缘体224被用作第二栅极绝缘体。注意,有时将栅极绝缘体称为栅极绝缘层或栅极绝缘膜。此外,导电体242a被用作源电极和漏电极中的一个,导电体242b被用作源电极和漏电极中的另一个。此外,氧化物230的与导电体260重叠的区域的至少一部分被用作沟道形成区域。绝缘体216被用作层间膜。

[0370] 在此,图15A示出图14B中的沟道形成区域及其附近的放大图。如图15A所示,氧化物230包括用作晶体管200的沟道形成区域的区域230c及以夹着区域230c的方式设置并用作晶体管200的源极区域或漏极区域的区域230a及区域230b。

[0371] 注意,氧化物230对应于上述实施方式中说明的氧化物30。区域230c对应于上述实施方式所说明的区域30c。另外,区域230a及区域230b分别对应于上述实施方式所说明的区域30a及区域30b。因此,氧化物230所包括的区域(区域230c、区域230a及区域230b等)的详细内容可以参照实施方式1所说明的内容。

[0372] 优选在晶体管200中将用作半导体的金属氧化物(以下,也称为氧化物半导体)用于包括沟道形成区域的氧化物230。例如,作为氧化物230,可以使用可用于上述实施方式所说明的氧化物30的金属氧化物。另外,氧化物230的结构可以参照实施方式1所说明的内容。

[0373] 如图14C所示,在从晶体管200的沟道宽度的截面看时,也可以在氧化物230的侧面与氧化物230的顶面之间具有弯曲面。就是说,该侧面的端部和该顶面的端部也可以弯曲(以下,也称为圆形)。

[0374] 上述弯曲面的曲率半径优选大于0nm且小于与导电体242重叠的区域的氧化物230的厚度或者小于不具有上述弯曲面的区域的一半长度。具体而言,上述弯曲面的曲率半径大于0nm且为20nm以下,优选为1nm以上且15nm以下,更优选为2nm以上且10nm以下。通过采用上述形状,可以提高绝缘体252、绝缘体250、绝缘体254及导电体260的氧化物230的覆盖性。

[0375] 另外,如图14C等所示,由于以与氧化物230的顶面及侧面接触的方式设置由氧化铝等形成的绝缘体252,氧化物230所包含的铟有时分布在氧化物230和绝缘体252的界面及其附近。因此,氧化物230的表面附近具有接近铟氧化物的原子个数比或者接近In-Zn氧化物的原子个数比。在如此氧化物230,尤其是氧化物230的表面附近的铟的原子个数比较大时,可以提高晶体管200的场效应迁移率。

[0376] 绝缘体212、绝缘体214、绝缘体271、绝缘体275、绝缘体282、绝缘体283、绝缘体285中的至少一个优选被用作抑制水、氢等杂质从衬底一侧或晶体管200的上方扩散到晶体管200的阻挡绝缘膜。因此,绝缘体212、绝缘体214、绝缘体271、绝缘体275、绝缘体282、绝缘体283、绝缘体285中的至少一个优选使用具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子(N_2O、NO、NO_2等)、铜原子等杂质的扩散的功能(不容易使上述杂质透过)的绝缘材料。此外,优选使用具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能(不容易使上述氧透过)的绝缘材料。

[0377] 作为绝缘体212、绝缘体214、绝缘体271、绝缘体275、绝缘体282、绝缘体283及绝缘体285,优选使用具有抑制水、氢等杂质及氧的扩散的功能的绝缘体,例如可以使用氧化铝、氧化镁、氧化铪、氧化镓、铟镓锌氧化物、氮化硅或氮氧化硅等。例如,作为绝缘体212、绝缘体275及绝缘体283,优选使用氢阻挡性更高的氮化硅等。此外,例如,作为绝缘体214、绝缘体271、绝缘体282及绝缘体285,优选使用俘获并固定氢的性能高的氧化铝或氧化镁等。由此,可以抑制水、氢等杂质经过绝缘体212及绝缘体214从衬底一侧扩散到晶体管200一侧。或者,可以抑制水、氢等杂质从配置在绝缘体285的外方的层间绝缘膜等扩散到晶体管200一侧。或者,可以抑制包含在绝缘体224等中的氧经过绝缘体212及绝缘体214扩散到衬底一侧。或者,可以抑制含在绝缘体280等中的氧经过绝缘体282等向晶体管200的上方扩散。如此,优选采用由具有抑制水、氢等杂质及氧的扩散的功能的绝缘体212、绝缘体214、绝缘体271、绝缘体275、绝缘体282、绝缘体283及绝缘体285围绕晶体管200的结构。

[0378] 在此,作为绝缘体212、绝缘体214、绝缘体271、绝缘体275、绝缘体282、绝缘体283及绝缘体285,优选使用具有非晶结构的氧化物。例如,优选使用AlO_x(x是大于0的任意数)或MgO_y(y是大于0的任意数)等金属氧化物。上述具有非晶结构的金属氧化物有时具有如下性质:氧原子具有悬空键而由该悬空键俘获或固定氢。通过将上述具有非晶结构的金属氧化物作为晶体管200的构成要素使用或者设置在晶体管200的周围,可以俘获或固定含在晶

体管200中的氢或存在于晶体管200的周围的氢。尤其是,优选俘获或固定含在晶体管200中的沟道形成区域的氢。通过将具有非晶结构的金属氧化物作为晶体管200的构成要素使用或者设置在晶体管200的周围,可以制造具有良好特性的可靠性高的晶体管200及半导体装置。

[0379] 此外,绝缘体212、绝缘体214、绝缘体271、绝缘体275、绝缘体282、绝缘体283及绝缘体285优选具有非晶结构,但是也可以在其一部分形成多晶结构的区域。此外,绝缘体212、绝缘体214、绝缘体271、绝缘体275、绝缘体282、绝缘体283及绝缘体285也可以具有层叠有非晶结构的层与多晶结构的层的多层结构。例如,也可以具有非晶结构的层上形成有多晶结构的层的叠层结构。

[0380] 绝缘体212、绝缘体214、绝缘体271、绝缘体275、绝缘体282、绝缘体283及绝缘体285的沉积例如可以利用溅射法。溅射法不需要作为沉积气体使用包含氢的分子,所以可以降低绝缘体212、绝缘体214、绝缘体271、绝缘体275、绝缘体282、绝缘体283及绝缘体285的氢浓度。作为沉积方法,除了溅射法以外还可以适当地使用CVD法、MBE法、PLD法、ALD法等。

[0381] 此外,有时优选降低绝缘体212、绝缘体275及绝缘体283的电阻率。例如,通过使绝缘体212、绝缘体275及绝缘体283的电阻率约为$1\times10^{13}\Omega$cm,在半导体装置制造工序的利用等离子体等的处理中,有时绝缘体212、绝缘体275及绝缘体283可以缓和导电体205、导电体242、导电体260或导电体246的电荷积聚。绝缘体212、绝缘体275及绝缘体283的电阻率优选为$1\times10^{10}\Omega$cm以上且$1\times10^{15}\Omega$cm以下。

[0382] 此外,绝缘体216、绝缘体274、绝缘体280及绝缘体285的介电常数优选比绝缘体214低。通过将介电常数低的材料用于层间膜,可以减少产生在布线之间的寄生电容。例如,作为绝缘体216、绝缘体274、绝缘体280及绝缘体285,适当地使用氧化硅、氧氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅或具有空孔的氧化硅等即可。

[0383] 导电体205以与氧化物230及导电体260重叠的方式配置。在此,导电体205优选以嵌入形成在绝缘体216的开口中的方式设置。此外,导电体205的一部分有时嵌入绝缘体214中。

[0384] 导电体205包括导电体205a及导电体205b。导电体205a以与形成于绝缘体216中的开口的底面及侧壁接触的方式设置。导电体205b以嵌入形成在导电体205a的凹部中的方式设置。在此,导电体205b的顶面的高度与导电体205a的顶面的高度及绝缘体216的顶面的高度一致或大致一致。

[0385] 在此,作为导电体205a优选使用具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子(N_2O、NO、NO_2等)、铜原子等杂质的扩散的功能的导电材料。或者,优选使用具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能的导电材料。

[0386] 通过作为导电体205a使用具有降低氢的扩散的功能的导电材料,可以防止含在导电体205b中的氢等杂质通过绝缘体224等扩散到氧化物230。此外,通过作为导电体205a使用具有抑制氧的扩散的功能的导电材料,可以抑制导电体205b被氧化而导电率下降。作为具有抑制氧扩散的功能的导电材料,例如可以使用钛、氮化钛、钽、氮化钽、钌、氧化钌等。因此,作为导电体205a使用单层或叠层的上述导电材料即可。例如,作为导电体205a使用氮化钛即可。

[0387] 此外,导电体205b优选使用以钨、铜或铝为主要成分的导电材料。例如,导电体

205b可以使用钨。

[0388] 注意,示出在晶体管200中作为导电体205层叠有导电体205a及导电体205b的结构,但是本发明不局限于此。例如,导电体205可以具有单层结构,也可以具有三层以上的叠层结构。

[0389] 此外,导电体205的电阻率考虑施加到导电体205的电位设计,导电体205的厚度根据该电阻率设定。此外,在图14所示的晶体管200中,导电体205的厚度与绝缘体216大致相同。在此,优选在导电体205的设计允许的范围内减少导电体205及绝缘体216的厚度。通过减少绝缘体216的厚度,可以降低含在绝缘体216中的氢等杂质的绝对量,所以可以减少该杂质扩散到氧化物230。

[0390] 注意,导电体205对应于在实施方式1中说明的导电体15。因此,用于导电体205的材料及结构等也可以参照在实施方式1中说明的导电体15的内容。另外,在实施方式1中记载的用于导电体15的材料及结构等也可以参照在本实施方式中说明的导电体205的记载。

[0391] 绝缘体222及绝缘体224被用作栅极绝缘体。

[0392] 绝缘体222优选具有抑制氢(例如,氢原子、氢分子等中的至少一个)的扩散的功能。此外,绝缘体222优选具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能。例如,与绝缘体224相比,绝缘体222优选具有抑制氢和氧中的一方或双方的扩散的功能。

[0393] 绝缘体222优选使用作为绝缘材料的包含铝和铪中的一方或双方的氧化物的绝缘体。作为该绝缘体,优选使用氧化铝、氧化铪、包含铝及铪的氧化物(铝酸铪)等。或者,优选使用包含铪及锆的氧化物,例如使用铪锆氧化物。当使用这种材料形成绝缘体222时,绝缘体222被用作抑制氧从氧化物230释放到衬底一侧及氢等杂质从晶体管200的周围部扩散到氧化物230的层。因此,通过设置绝缘体222,可以抑制氢等杂质扩散到晶体管200的内侧,而可以抑制在氧化物230中生成氧空位。此外,可以抑制导电体205与绝缘体224及氧化物230所包含的氧起反应。

[0394] 或者,例如也可以对上述绝缘体添加氧化铝、氧化铋、氧化锗、氧化铌、氧化硅、氧化钛、氧化钨、氧化钇或氧化锆。或者,也可以对上述绝缘体进行氮化处理。此外,作为绝缘体222还可以在上述绝缘体上层叠氧化硅、氧氮化硅或氮化硅而使用。

[0395] 此外,作为绝缘体222,例如也可以以单层或叠层使用包含氧化铝、氧化铪、氧化钽、氧化锆、铪锆氧化物等所谓的high-k材料的绝缘体。当进行晶体管的微型化及高集成化时,由于栅极绝缘体的薄膜化,有时发生泄漏电流等的问题。通过作为被用作栅极绝缘体的绝缘体使用high-k材料,可以在保持物理厚度的同时降低晶体管工作时的栅极电位。此外,作为绝缘体222有时可以使用锆钛酸铅(PZT)、钛酸锶($SrTiO_3$)、(Ba,Sr)TiO_3(BST)等介电常数高的物质。

[0396] 作为与氧化物230接触的绝缘体224,例如适当地使用氧化硅、氧氮化硅等即可。

[0397] 此外,在晶体管200的制造工序中,热处理优选在氧化物230的表面露出的状态下进行。该热处理例如优选以100℃以上且600℃以下,更优选以350℃以上且550℃以下进行。热处理在氮气体或惰性气体气氛或者包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行。例如,热处理优选在氧气氛下进行。由此,对氧化物230供应氧,从而可以减少氧空位。热处理也可以在减压状态下进行。此外,也可以在氮气体或惰性气体的气氛下进行

热处理,然后为了填补脱离的氧而在包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行热处理。此外,也可以在包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行热处理,然后连续地在氮气体或惰性气体的气氛下进行热处理。

[0398] 通过对氧化物230进行加氧化处理,可以由所供应的氧填补氧化物230中的氧空位。再者,氧化物230中残留的氢与被供给的氧发生反应而可以将氢以H_2O的形态去除(脱水化)。由此,可以抑制残留在氧化物230中的氢与氧空位再结合而形成V_OH。

[0399] 此外,绝缘体222及绝缘体224也可以具有两层以上的叠层结构。此时,不局限于使用相同材料构成的叠层结构,也可以是使用不同材料构成的叠层结构。此外,绝缘体224也可以形成为岛状且与氧化物230重叠。在此情况下,绝缘体275与绝缘体224的侧面及绝缘体222的顶面接触。

[0400] 注意,绝缘体222及绝缘体224分别对应于在实施方式1中说明的绝缘体22及绝缘体24。因此,用于绝缘体222及绝缘体224的材料及结构等也可以分别参照在实施方式1中说明的绝缘体22及绝缘体24的内容。另外,在实施方式1中记载的用于绝缘体22及绝缘体24的材料及结构等也可以分别参照在本实施方式中说明的绝缘体222及绝缘体224的记载。

[0401] 绝缘体223a及绝缘体223b的一部分有时被用作栅极绝缘体。注意,绝缘体223a对应于实施方式1所说明的绝缘体23a,绝缘体223b对应于实施方式1所说明的绝缘体23b。因此,用于绝缘体223a及绝缘体223b的材料及结构等可以分别参照在实施方式1中说明的绝缘体23a及绝缘体23b的内容。

[0402] 导电体242a及导电体242b与氧化物230的顶面接触。导电体242a及导电体242b分别被用作晶体管200的源电极或漏电极。

[0403] 优选在导电体242的侧面与导电体242的顶面之间不形成弯曲面。通过使导电体242不具有该弯曲面,如图14D所示,可以增大沟道宽度方向的截面上的导电体242的截面积。由此,增大导电体242的导电率,从而可以增大晶体管200的通态电流。

[0404] 另外,导电体242a对应于实施方式1所说明的导电体42a,导电体242b对应于实施方式1所说明的导电体42b。因此,用于导电体242a及导电体242b的材料及结构等也可以参照在实施方式1中说明的导电体42a及导电体42b的内容。

[0405] 绝缘体271a与导电体242a的顶面接触,绝缘体271b与导电体242b的顶面接触。绝缘体271优选被用作至少对氧具有阻挡性的绝缘膜。因此,绝缘体271优选具有抑制氧扩散的功能。例如,与绝缘体280相比,绝缘体271优选具有进一步抑制氧扩散的功能。作为绝缘体271,例如,可以使用氧化铝或氧化镁等绝缘体。

[0406] 绝缘体275以覆盖绝缘体224、绝缘体223a、绝缘体223b、氧化物230、导电体242及绝缘体271的方式设置。绝缘体275优选具有俘获并固定氢的功能。在此情况下,绝缘体275优选包括氮化硅或具有非晶结构的金属氧化物,例如,氧化铝或氧化镁等绝缘体。此外,例如,作为绝缘体275也可以使用氧化铝与该氧化铝上的氮化硅的叠层膜。

[0407] 通过设置上述绝缘体271及绝缘体275,可以由对氧具有阻挡性的绝缘体包围导电体242。换言之,可以抑制包含在绝缘体224及绝缘体280中的氧扩散到导电体242中。由此,可以抑制包含在绝缘体224及绝缘体280中的氧导致导电体242直接被氧化使得电阻率增大而通态电流减少。

[0408] 注意,绝缘体275对应于在实施方式1中说明的绝缘体75。因此,用于绝缘体275的

材料及结构等也可以参照在实施方式1中说明的绝缘体75的内容。

[0409] 绝缘体252被用作栅极绝缘体的一部分。此外,绝缘体252对应于在实施方式1中说明的绝缘体52。因此,用于绝缘体252的材料及结构等也可以参照在实施方式1中说明的绝缘体52的内容。

[0410] 绝缘体250被用作栅极绝缘体的一部分。绝缘体250优选以与绝缘体252的顶面接触的方式配置。绝缘体250可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅等。尤其是,氧化硅及氧氮化硅具有热稳定性,所以是优选的。此时,绝缘体250是至少包含氧及硅的绝缘体。

[0411] 在图14A至图14D等中,示出绝缘体250具有单层的结构,但是本发明不局限于此,也可以采用两层以上的叠层结构。例如,如图15B所示,绝缘体250也可以具有绝缘体250a与绝缘体250a上的绝缘体250b这两层的叠层结构。

[0412] 如图15B所示,在使绝缘体250具有两层叠层结构的情况下,优选的是,下层的绝缘体250a使用容易使氧透过的绝缘体形成,而上层的绝缘体250b使用具有抑制氧的扩散的功能的绝缘体形成。通过采用这种结构,可以抑制包含在绝缘体250a中的氧扩散到导电体260。换言之,可以抑制对氧化物230供应的氧量的减少。此外,可以抑制因包含在绝缘体250a中的氧导致的导电体260的氧化。例如,绝缘体250a使用上述的能够用于绝缘体250的材料,绝缘体250b使用包含铝和铪中的一方或双方的氧化物的绝缘体,即可。作为该绝缘体,可以使用氧化铝、氧化铪、包含铝及铪的氧化物(铝酸铪)、包含铪及硅的氧化物(硅酸铪)等。在本实施方式中,作为绝缘体250b,使用氧化铪。此时,绝缘体250b是至少包含氧及铪的绝缘体。此外,绝缘体250b的厚度为0.5nm以上且5.0nm以下,优选为1.0nm以上且5.0nm以下,更优选为1.0nm以上且3.0nm以下。此时,绝缘体250b的至少一部分是具有上述厚度的区域即可。

[0413] 注意,当绝缘体250a使用氧化硅或氧氮化硅等时,绝缘体250b也可以使用相对介电常数高的high-k材料的绝缘材料形成。通过作为栅极绝缘体采用绝缘体250a及绝缘体250b的叠层结构,可以形成具有热稳定性且相对介电常数高的叠层结构。因此,可以在保持栅极绝缘体的物理厚度的同时降低在晶体管工作时施加的栅极电位。此外,可以减少被用作栅极绝缘体的绝缘体的等效氧化物厚度(EOT)。因此,可以提高绝缘体250的绝缘耐压。

[0414] 绝缘体250对应于在实施方式1中说明的绝缘体50。因此,用于绝缘体250的材料及结构等也可以参照在实施方式1中说明的绝缘体50的内容。另外,在实施方式1中记载的用于绝缘体50的材料及结构等也可以参照在本实施方式中说明的绝缘体250的记载。

[0415] 绝缘体254被用作栅极绝缘体的一部分。

[0416] 此外,如图15B所示,在绝缘体250采用两层的叠层结构时,通过作为绝缘体250b使用氧化铪等具有抑制氢等杂质及氧的透过的功能的绝缘体,绝缘体250b可以兼具绝缘体254所具有的功能。在此情况下,通过采用不设置绝缘体254的结构,可以使半导体装置的制造工序简化,可以实现生产率的提高。

[0417] 绝缘体254对应于在实施方式1中说明的绝缘体54。因此,用于绝缘体254的材料及结构等也可以参照在实施方式1中说明的绝缘体54的内容。

[0418] 导电体260被用作晶体管200的第一栅电极。导电体260优选包括导电体260a以及配置在导电体260a上的导电体260b。例如,优选以包围导电体260b的底面及侧面的方式配

置导电体260a。此外,如图14B及图14C所示,导电体260的顶面与绝缘体250的顶面一致或大致一致。虽然在图14B及图14C中导电体260具有导电体260a和导电体260b的两层结构,但是也可以具有单层结构或三层以上的叠层结构。

[0419] 作为导电体260a优选使用具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子、铜原子等杂质的扩散的功能的导电材料。此外,优选使用具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能的导电材料。

[0420] 此外,当导电体260a具有抑制氧的扩散的功能时,可以抑制绝缘体250所包含的氧使导电体260b氧化而导致导电率的下降。作为具有抑制氧扩散的功能的导电材料,例如可以使用钛、氮化钛、钽、氮化钽、钌、氧化钌等。

[0421] 此外,由于导电体260还被用作布线,所以优选使用导电性高的导电体。例如,导电体260b可以使用钨、铜或铝为主要成分的导电材料。此外,导电体260b可以具有叠层结构,例如可以具有钛或氮化钛与上述导电材料的叠层结构。

[0422] 此外,在晶体管200中,以填埋形成于绝缘体280等的开口的方式自对准地形成导电体260。通过如此形成导电体260,可以在导电体242a和导电体242b之间的区域中无需对准并确实地配置导电体260。

[0423] 导电体260对应于在实施方式1中说明的导电体60。因此,用于导电体260的材料及结构等也可以参照在实施方式1中说明的导电体60的内容。另外,在实施方式1中记载的用于导电体60的材料及结构等也可以参照在本实施方式中说明的导电体260的记载。

[0424] 绝缘体280设置在绝缘体275上,在设置绝缘体252、绝缘体250、绝缘体254及导电体260的区域中形成开口。此外,绝缘体280的顶面也可以被平坦化。

[0425] 优选的是,用作层间膜的绝缘体280的介电常数低。通过将介电常数低的材料用于层间膜,可以减少产生在布线之间的寄生电容。绝缘体280例如优选使用与绝缘体216同样的材料形成。尤其是,氧化硅及氧氮化硅具有热稳定性,所以是优选的。特别是,因为氧化硅、氧氮化硅、具有空孔的氧化硅等的材料可以容易形成包含通过加热脱离的氧的区域,所以是优选的。

[0426] 绝缘体280对应于在实施方式1中说明的绝缘体80。因此,用于绝缘体280的材料及结构等也可以参照在实施方式1中说明的绝缘体80的内容。另外,在实施方式1中记载的用于绝缘体80的材料及结构等也可以参照在本实施方式中说明的绝缘体280的记载。

[0427] 绝缘体282优选被用作抑制水、氢等杂质从上方向绝缘体280扩散的阻挡绝缘膜且具有俘获氢等杂质的功能。此外,绝缘体282优选被用作抑制氧透过的阻挡绝缘膜。作为绝缘体282,使用具有非晶结构的金属氧化物,例如氧化铝等绝缘体即可。此时的绝缘体282是至少包含氧及铝的绝缘体。通过在夹在绝缘体212与绝缘体283的区域内设置与绝缘体280接触且具有俘获氢等杂质的功能的绝缘体282,可以俘获包含在绝缘体280等中的氢等杂质而将该区域内的氢量为一定的值。尤其是,绝缘体282优选使用具有非晶结构的氧化铝,因为有时能够更有效地俘获或固定氢。由此,可以制造特性良好且可靠性高的晶体管200及半导体装置。

[0428] 绝缘体282对应于在实施方式1中说明的绝缘体82。因此,用于绝缘体282的材料及结构等也可以参照在实施方式1中说明的绝缘体82的内容。另外,在实施方式1中记载的用于绝缘体82的材料及结构等也可以参照在本实施方式中说明的绝缘体282的记载。

[0429] 绝缘体283被用作抑制水、氢等杂质从上方扩散到绝缘体280的阻挡绝缘膜。绝缘体283配置在绝缘体282上。作为绝缘体283,优选使用氮化硅或氮氧化硅等包含硅的氮化物。例如,作为绝缘体283使用通过溅射法沉积的氮化硅即可。通过使用溅射法沉积绝缘体283,可以形成密度高的氮化硅膜。此外,作为绝缘体283,也可以在通过溅射法沉积的氮化硅上还层叠通过PEALD法或CVD法沉积的氮化硅。

[0430] 绝缘体283对应于在实施方式1中说明的绝缘体83。因此,用于绝缘体283的材料及结构等也可以参照在实施方式1中说明的绝缘体83的内容。另外,在实施方式1中记载的用于绝缘体83的材料及结构等也可以参照在本实施方式中说明的绝缘体283的记载。

[0431] 导电体240a及导电体240b优选使用以钨、铜或铝为主要成分的导电材料。此外,导电体240a及导电体240b也可以具有叠层结构。

[0432] 当作为导电体240采用叠层结构时,作为配置在绝缘体285、绝缘体283、绝缘体282、绝缘体280、绝缘体275及绝缘体271附近的第一导电体优选使用具有抑制水、氢等杂质的透过的功能的导电材料。例如,优选使用钽、氮化钽、钛、氮化钛、钌、氧化钌等。可以以单层或叠层使用具有抑制水、氢等杂质的透过的功能的导电材料。此外,可以防止包含在绝缘体283的上方的层的水、氢等杂质通过导电体240a及导电体240b混入到氧化物230。

[0433] 作为绝缘体241a及绝缘体241b,使用可用于绝缘体275等的阻挡绝缘膜即可。作为绝缘体241a及绝缘体241b,例如可以使用氮化硅、氧化铝、氮氧化硅等绝缘体。因为绝缘体241a及绝缘体241b与绝缘体283、绝缘体282及绝缘体271接触地设置,所以可以抑制包含在绝缘体280等中的水、氢等杂质经过导电体240a及导电体240b混入氧化物230。尤其是,氮化硅的氢阻挡性高,所以是优选的。此外,可以防止绝缘体280所包含的氧被导电体240a及导电体240b吸收。

[0434] 在绝缘体241a及绝缘体241b具有如图14B所示那样的叠层结构时,作为与绝缘体280等的开口的内壁接触的第一绝缘体以及其内侧的第二绝缘体优选组合使用氧阻挡绝缘膜和氢阻挡绝缘膜。

[0435] 例如,作为第一绝缘体使用利用ALD法沉积的氧化铝且作为第二绝缘体使用利用PEALD法沉积的氮化硅即可。通过采用这样的结构,可以抑制导电体240的氧化,并且可以抑制氢进入导电体240中。

[0436] 可以以与导电体240a的顶面及导电体240b的顶面接触的方式配置被用作布线的导电体246(导电体246a及导电体246b)。导电体246优选使用以钨、铜或铝为主要成分的导电材料。此外,该导电体可以具有叠层结构,例如,可以具有钛、氮化钛与上述导电材料的叠层结构。此外,该导电体也可以以嵌入形成于绝缘体的开口中的方式形成。

[0437] <半导体装置的制造方法>

接着,使用图16A至图27D说明图14A至图14D所示的本发明的一个方式的半导体装置的制造方法。

[0438] 每个附图中的A是俯视图。另外,每个附图中的B是沿着A中的点划线A1-A2的部分的截面图,该截面图相当于晶体管200的沟道长度方向上的截面图。每个附图中的C是沿着A中的点划线A3-A4的部分的截面图,该截面图相当于晶体管200的沟道宽度方向上的截面图。此外,每个附图中的D是沿着A中的点划线A5-A6的部分的截面图。为了明确起见,在每个附图中的A的俯视图中省略部分构成要素。

[0439] 图14所示的半导体装置所包括的晶体管200包括与在实施方式1中说明的晶体管20相同的构成要素。因此,在图14所示的半导体装置的制造方法中,与晶体管20的制造方法相同的部分的说明可以参照实施方式1。

[0440] 首先,准备衬底(未图示),在该衬底上沉积绝缘体212(参照图16A至图16D)。绝缘体212优选使用溅射法沉积。通过使用不需要利用包含氢的分子作为沉积气体的溅射法,可以降低绝缘体212中的氢浓度。注意,绝缘体212的沉积不局限于溅射法,也可以适当地使用CVD法、MBE法、PLD法、ALD法等。

[0441] 在本实施方式中,作为绝缘体212在含氮气体气氛下使用硅靶材通过脉冲DC溅射法沉积氮化硅。通过使用脉冲DC溅射法,可以抑制因靶材表面的电弧(arcing)而发生的微粒,所以可以使厚度更均匀。此外,通过使用脉冲电压,与高频电压相比可以使放电时的上升或下降急剧。由此,可以更高效地对电极供应功率而提高溅射速率及膜品质。

[0442] 此外,通过使用如氮化硅等不容易使水、氢等杂质透过的绝缘体,可以抑制绝缘体212的下方的层所包含的水、氢等杂质扩散。此外,通过作为绝缘体212使用氮化硅等不容易使铜透过的绝缘体,即使作为绝缘体212的下方的层(未图示)的导电体使用铜等容易扩散的金属,也可以抑制该金属通过绝缘体212向上方扩散。

[0443] 接着,在绝缘体212上沉积绝缘体214(参照图16A至图16D)。绝缘体214优选使用溅射法沉积。通过使用不需要利用包含氢的分子作为沉积气体的溅射法,可以降低绝缘体214中的氢浓度。注意,绝缘体214的沉积不局限于溅射法,也可以适当地使用CVD法、MBE法、PLD法、ALD法等。

[0444] 在本实施方式中,作为绝缘体214在含氧气体气氛下使用铝靶材通过脉冲DC溅射法沉积氧化铝。通过使用脉冲DC溅射法,可以使厚度更均匀而提高溅射速率及膜品质。在此,也可以对衬底施加RF(Radio Frequency:射频)功率。可以根据对衬底施加的RF功率的大小控制注入到绝缘体214的下层中的氧量。作为RF功率,设定为0W/cm^2以上且1.86W/cm^2以下。换言之,可以使用形成绝缘体214时的RF功率使氧量改变为适合于晶体管的特性的量而注入。因此,可以注入适合于提高晶体管的可靠性的量的氧。另外,RF的频率优选为10MHz以上。典型的是13.56MHz。RF的频率越高,越可以减少对衬底造成的损伤。

[0445] 作为绝缘体214,优选使用俘获并固定氢的性能高的具有非晶结构的金属氧化物,例如氧化铝。由此,可以俘获或固定包含在绝缘体216等中的氢以防止该氢扩散到氧化物230。尤其是,绝缘体214特别优选使用具有非晶结构的氧化铝或非晶结构的氧化铝,因为有时能够更有效地俘获或固定氢。由此,可以制造特性良好且可靠性高的晶体管200及半导体装置。

[0446] 接着,在绝缘体214上沉积绝缘体216。绝缘体216优选使用溅射法沉积。通过使用不需要利用包含氢的分子作为沉积气体的溅射法,可以降低绝缘体216中的氢浓度。注意,绝缘体216的沉积不局限于溅射法,也可以适当地使用CVD法、MBE法、PLD法、ALD法等。

[0447] 在本实施方式中,作为绝缘体216在包含氧气体气氛下使用硅靶材通过脉冲DC溅射法沉积氧化硅。通过使用脉冲DC溅射法,可以使厚度更均匀而提高溅射速率及膜品质。

[0448] 绝缘体212、绝缘体214及绝缘体216优选以不暴露于大气的方式连续沉积。例如,使用多室方式沉积装置即可。由此,可以降低膜中的氢而沉积绝缘体212、绝缘体214及绝缘体216,并且可以降低在各沉积工序之间氢混入膜中。

[0449] 接着,在绝缘体216中形成到达绝缘体214的开口。在形成开口时,可以使用湿蚀刻法,但是对微型加工来说干蚀刻法是优选的。作为绝缘体214,优选选择在对绝缘体216进行蚀刻以形成槽时被用作蚀刻停止膜的绝缘体。例如,当作为形成槽的绝缘体216使用氧化硅或氧氮化硅时,绝缘体214优选使用氮化硅、氧化铝、氧化铪。

[0450] 在形成开口之后,沉积成为导电体205a的导电膜。该导电膜优选包括具有抑制氧的透过的功能的导电体。例如,可以使用氮化钽、氮化钨、氮化钛等。或者,可以使用具有抑制氧透过的功能的导电体与钽、钨、钛、钼、铝、铜或钼钨合金的叠层膜。可以利用溅射法、CVD法、MBE法、PLD法、ALD法等沉积该导电膜。

[0451] 在本实施方式中,作为成为导电体205a的导电膜沉积氮化钛。通过作为导电体205b的下层使用上述金属氮化物,可以抑制由于绝缘体216等导电体205b被氧化。此外,即使作为导电体205b使用铜等容易扩散的金属,也可以防止该金属从该导电体205a向外方扩散。

[0452] 接着,沉积成为导电体205b的导电膜。作为该导电膜,可以使用钽、钨、钛、钼、铝、铜、钼钨合金等。该导电膜的沉积可以使用电镀法、溅射法、CVD法、MBE法、PLD法、ALD法等。在本实施方式中,作为该导电膜沉积钨。

[0453] 接着,通过CMP处理去除成为导电体205a的导电膜及成为导电体205b的导电膜的一部分而使绝缘体216露出(参照图16A至图16D)。其结果是,只在开口部中残留导电体205a及导电体205b。此外,有时通过该CMP处理绝缘体216的一部分被去除。

[0454] 接着,在绝缘体216及导电体205上沉积绝缘体222(参照图17A至图17D)。作为绝缘体222优选沉积包含铝和铪中的一方或双方的氧化物的绝缘体。作为包含铝和铪中的一方或双方的氧化物的绝缘体,优选使用氧化铝、氧化铪、包含铝及铪的氧化物(铝酸铪)等。或者,优选使用铪锆氧化物。包含铝和铪中的一方或双方的氧化物的绝缘体对氧、氢及水具有阻挡性。当绝缘体222对氢及水具有阻挡性时,可以抑制晶体管200的周围的结构体所包含的氢及水通过绝缘体222扩散到晶体管200的内侧,从而可以抑制氧化物230中的氧空位的生成。

[0455] 可以利用溅射法、CVD法、MBE法、PLD法、ALD法等沉积绝缘体222。在本实施方式中,作为绝缘体222利用ALD法沉积氧化铪。尤其是,优选使用本发明的一个方式的氢浓度得到降低的氧化铪的形成方法。

[0456] 接着,优选进行热处理。热处理以250℃以上且650℃以下,优选以300℃以上且500℃以下,更优选以320℃以上且450℃以下进行即可。热处理在氮气体或惰性气体气氛或者包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行。例如,当在氮气体和氧气体的混合气氛下进行热处理时,将氧气体的比例设为20%左右即可。热处理也可以在减压状态下进行。或者,热处理也可以在氮气体或惰性气体气氛下进行,然后为了填补脱离了的氧在包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行热处理。

[0457] 此外,在上述热处理中使用的气体优选被高纯度化。例如,在上述热处理中使用的气体所包含的水分量为1ppb以下,优选为0.1ppb以下,更优选为0.05ppb以下即可。通过使用高纯度化了的气体进行热处理,可以尽可能地防止水分等被绝缘体222等吸收。

[0458] 在本实施方式中,作为热处理在沉积绝缘体222后以氮气体与氧气体的流量比为4:1且400℃的温度进行1小时的处理。通过进行该热处理,可以去除绝缘体222所包含的水、

氢等杂质。此外,在作为绝缘体222使用含铪氧化物时,有时通过进行该热处理绝缘体222的一部分被晶化。此外,也可以在沉积绝缘体224之后等的时机进行热处理。

[0459] 接着,在绝缘体222上形成绝缘层224B及绝缘膜223A(参照图17A至图17D)。注意,绝缘层224B及绝缘膜223A可以参照实施方式1所说明的绝缘层24B及绝缘膜23A的形成方法形成。

[0460] 接着,在绝缘层224B及绝缘膜223A上沉积氧化膜230A(参照图17A至图17D)。当氧化物230具有多个氧化物层的叠层结构时,优选在不暴露于大气环境的情况下连续地沉积将成为氧化物230的氧化膜所包括的多个氧化膜的一部分或全部。通过以不暴露于大气的方式沉积氧化膜,可以防止来自大气环境的杂质或水分附着于各氧化物层上,所以可以保持与氧化物层的界面附近的清洁。

[0461] 氧化膜230A可以参照实施方式1所说明的氧化膜30A的沉积方法沉积。

[0462] 接着,优选进行加热处理。该加热处理可以参照实施方式1。通过进行该加热处理,绝缘体216、绝缘层224B及氧化膜230A中的氢移动到绝缘体222而被绝缘体222吸收。换言之,绝缘体216、绝缘层224B及氧化膜230A中的氢扩散到绝缘体222。因此,虽然绝缘体222中的氢浓度变高,但绝缘体216、绝缘层224B及氧化膜230A中的氢浓度都变低。

[0463] 尤其是,通过加工绝缘层224B形成的绝缘体224被用作晶体管200的栅极绝缘体,通过加工氧化膜230A形成的氧化物230被用作晶体管200的沟道形成区域。因此,包括氢浓度得到降低的绝缘层224B及氧化膜230A的晶体管200具有优异的可靠性,因此是优选的。

[0464] 接着,在氧化膜230A上沉积导电膜242A(参照图17A至图17D)。注意,导电膜242A可以参照实施方式1所说明的导电膜42A的沉积方法沉积。

[0465] 接着,在导电膜242A上沉积绝缘膜271A(参照图17A至图17D)。绝缘膜271A可以利用溅射法、CVD法、MBE法、PLD法、ALD法等形成。作为绝缘膜271A,优选使用具有抑制氧的透过的功能的绝缘膜。例如,作为绝缘膜271A通过溅射法沉积氧化铝膜或氮化硅膜即可。

[0466] 优选通过溅射法以不暴露于大气的方式沉积导电膜242A及绝缘膜271A。例如,使用多室方式沉积装置即可。由此,可以降低膜中的氢而沉积导电膜242A及绝缘膜271A,并且可以降低在各沉积工序之间氢混入膜中。此外,当在绝缘膜271A上形成硬掩模时,成为该硬掩模的膜也以不暴露于大气的方式连续沉积即可。

[0467] 接着,利用光刻法将绝缘层224B、绝缘膜223A、氧化膜230A、导电膜242A及绝缘膜271A加工为岛状,形成绝缘体224、绝缘体223a、绝缘体223b、氧化物230、导电层242B及绝缘层271B(参照图18A至图18D)。在此,以其至少一部分与导电体205重叠的方式形成绝缘体224、氧化物230、导电层242B及绝缘层271B。此外,作为上述加工可以利用干蚀刻法或湿蚀刻法。利用干蚀刻法的加工适合于微细加工。另外,也可以在各自不同的条件下进行绝缘层224B及绝缘膜223A、氧化膜230A、导电膜242A以及绝缘膜271A的加工。

[0468] 在此,绝缘层271B被用作导电层242B的掩模,如图18B至图18D所示,导电层242B在侧面与顶面之间不具有弯曲面。由此,图14B及图14D所示的导电体242a及导电体242b的侧面与顶面交叉的端部成为角状。在导电体242的侧面与顶面交叉的端部成为角状时,与该端部具有曲面的情况相比,导电体242的截面积增大。由此,导电体242的电阻下降,从而可以增大晶体管200的通态电流。

[0469] 另外,如图18B至图18D所示,绝缘体224、绝缘体223a、绝缘体223b、氧化物230、导

电层242B及绝缘层271B的侧面形状也可以为锥形形状。注意,在本说明书等中,锥形形状是指构成要素的侧面的至少一部分相对于衬底面倾斜地设置的形状。例如,倾斜的侧面和衬底面所形成的角度(以下,有时称为锥角)优选小于90°。绝缘体224、绝缘体223a、绝缘体223b、氧化物230、导电层242B及绝缘层271B例如以锥角为60°以上且小于90°的方式形成。在侧面具有这样的锥形形状时,以后的工序中的绝缘体275等的覆盖性得到提高,可以减少空洞等缺陷。

[0470] 但是,不局限于此,也可以采用绝缘体224、绝缘体223a、绝缘体223b、氧化物230、导电层242B及绝缘层271B的侧面大致垂直于绝缘体222的顶面的结构。通过采用这样的结构,在设置多个晶体管200时可以实现小面积化及高密度化。

[0471] 此外,有时在上述蚀刻工序中产生的副产物以层状形成在绝缘体224、绝缘体223a、绝缘体223b、氧化物230、导电层242B及绝缘层271B的侧面。在此情况下,该层状的副产物形成在绝缘体224、绝缘体223a、绝缘体223b、氧化物230、导电层242B及绝缘层271B与绝缘体275间。因此,优选去除接触于绝缘体222的顶面的该层状的副产物。

[0472] 接着,以覆盖绝缘体224、绝缘体223a、绝缘体223b、氧化物230、导电层242B及绝缘层271B的方式沉积绝缘体275(参照图19A至图19D)。绝缘体275可以参照实施方式1所说明的绝缘体75的沉积方法沉积。

[0473] 在此,绝缘体275优选与绝缘体222的顶面、绝缘体224的侧面、绝缘体223a的侧面及绝缘体223b的侧面密接。通过采用该结构,可以由具有抑制氧扩散的功能的绝缘体275及绝缘层271B覆盖氧化物230及导电层242B。由此,可以抑制在后面工序中氧从绝缘体280等直接扩散到氧化物230及导电层242B。

[0474] 接着,在绝缘体275上形成绝缘体280(参照图19A至图19D)。绝缘体280可以参照实施方式1所说明的绝缘体80的形成方法形成。

[0475] 接着,对绝缘体280的一部分、绝缘体275的一部分、绝缘层271B的一部分、导电层242B的一部分进行加工来形成到达氧化物230的开口。该开口优选以与导电体205重叠的方式形成。通过形成该开口,形成绝缘体271a、绝缘体271b、导电体242a、导电体242b(参照图20A至图20D)。

[0476] 在此,如图20B及图20C所示,绝缘体280、绝缘体275、绝缘体271及导电体242的侧面形状有时为锥形形状。另外,绝缘体280的锥角有时大于导电体242的锥角。另外,虽然在图20A至图20C中没有示出,但是在形成上述开口时氧化物230的顶部有时被去除。

[0477] 此外,可以对绝缘体280的一部分、绝缘体275的一部分、绝缘层271B的一部分、导电层242B的一部分通过干蚀刻法或湿蚀刻法进行加工。利用干蚀刻法的加工适合于微细加工。此外,该加工也可以以互不相同的条件进行。例如,也可以通过干蚀刻法对绝缘体280的一部分进行加工,通过湿蚀刻法对绝缘体275的一部分及绝缘层271B的一部分进行加工,通过干蚀刻法对导电层242B的一部分进行加工。

[0478] 优选在上述蚀刻之后进行洗涤处理。此外,也可以在上述蚀刻后或上述洗涤处理后进行加热处理。该洗涤处理及该加热处理可以参照实施方式1。

[0479] 接着,沉积绝缘膜252A(参照图21A至图21D)。绝缘膜252A可以利用溅射法、CVD法、MBE法、PLD法或ALD法等沉积。绝缘膜252A优选利用ALD法沉积。如上所述,绝缘膜252A优选沉积得薄,需要将厚度不均匀性抑制为小。对此,ALD法是交替地导入前驱物及反应物(例

如,氧化剂等)进行的沉积方法,由于膜的厚度可以根据反复该循环的次数进行调整,所以可以精密地调整厚度。另外,如图21B及图21C所示,绝缘膜252A需要以高覆盖性沉积在绝缘体280等中形成的开口的底面及侧面。尤其是,绝缘膜252A需要以高覆盖性沉积在氧化物230的顶面及侧面、导电体242的侧面。由于可以在上述开口的底面及侧面上沉积每一层的原子层,所以可以在该开口中以高覆盖性沉积绝缘膜252A。

[0480] 另外,当利用ALD法沉积绝缘膜252A时,作为氧化剂可以使用臭氧(O_3)、氧(O_2)、水(H_2O)等。通过使用不包含氢的臭氧(O_3)、氧(O_2)等作为氧化剂,可以减少扩散到氧化物230的氢。

[0481] 在本实施方式中,作为绝缘膜252A通过热ALD法沉积氧化铝。

[0482] 接着,优选在含氧气氛下进行微波处理(参照图21A至图21D)。图21B至图21D所示的虚线表示微波、RF等高频、氧等离子体或氧自由基等。该微波处理可以参照实施方式1。

[0483] 如图21B至图21D所示,通过在含氧气氛下进行微波处理,可以使用微波或RF等高频使氧气体等离子体化而使该氧等离子体作用于氧化物230的导电体242a与导电体242b间的区域。此时,也可以将微波或RF等高频照射到区域230c。换言之,可以使该微波或RF等高频、氧等离子体等在图15A所示的区域230c中作用。通过等离子体、微波等的作用,可以使区域230c的V_OH分开来从区域230c去除氢。换言之,可以减少包含在区域230c中的V_OH。因此,可以减少区域230c中的氧空位及V_OH而降低载流子浓度。此外,通过对形成在区域230c中的氧空位供应在上述氧等离子体中产生的氧自由基或包含在绝缘体250中的氧,可以进一步降低区域230c中的氧空位,由此可以降低载流子浓度。

[0484] 另一方面,在图15A所示的区域230a及区域230b上设置导电体242a及导电体242b。在此,导电体242优选被用作在含氧气氛下进行微波处理时保护免受微波、RF等高频或氧等离子体等的作用的遮蔽膜。由此,导电体242优选具有遮蔽300MHz以上且300GHz以下,例如2.4GHz以上且2.5GHz以下的电磁波的功能。

[0485] 如图21B至图21D所示,导电体242a及导电体242b遮蔽微波或RF等高频、氧等离子体等的作用,所以不作用于区域230a及区域230b。由此,在区域230a及区域230b中不发生因微波处理引起的V_OH的下降及过多的氧的供应,所以可以防止载流子浓度的降低。

[0486] 另外,以与导电体242a及导电体242b的侧面接触的方式设置有具有氧阻挡性的绝缘体252。因此,可以抑制因微波处理而氧化膜形成在导电体242a及导电体242b的侧面。

[0487] 由于可以提高绝缘体252的膜品质,晶体管200的可靠性得到提高。

[0488] 如上所述,可以在氧化物半导体的区域230c中选择性地去除氧空位及V_OH而使区域230c成为i型或实质上i型。并且,可以抑制被用作源极区域或漏极区域的区域230a及区域230b被供应过多的氧而保持进行微波处理之前的n型区域的状态。由此,可以抑制晶体管200的电特性变动而抑制在衬底面内晶体管200的电特性不均匀。

[0489] 接着,沉积绝缘膜250A(参照图22A至图22D)。绝缘膜250A可以参照实施方式1所说明的绝缘膜50A的沉积方法形成。绝缘膜250A优选通过使用减少或去除氢原子的气体的沉积方法沉积。由此,可以降低绝缘膜250A的氢浓度。绝缘膜250A在后面工序中成为隔着膜厚度较小的绝缘体252与氧化物230相对的绝缘体250,所以如此那样氢浓度得到降低是优选的。

[0490] 在本实施方式中,作为绝缘膜250A通过PECVD法沉积氧氮化硅。

[0491] 另外,当作为绝缘体250采用图15B所示的两层的叠层结构时,在沉积绝缘膜250A之后沉积成为绝缘体250b的绝缘膜即可。成为绝缘体250b的绝缘膜可以利用溅射法、CVD法、MBE法、PLD法或ALD法等沉积。成为绝缘体250b的绝缘膜优选使用具有抑制氧的扩散的功能的绝缘体形成。通过采用这种结构,可以抑制包含在绝缘体250a中的氧扩散到导电体260。换言之,可以抑制对氧化物230供应的氧量的减少。此外,可以抑制因包含在绝缘体250a中的氧导致的导电体260的氧化。成为绝缘体250b的绝缘膜可以使用与绝缘体222同样的材料设置。例如,作为成为绝缘体250b的绝缘膜利用热ALD法沉积氧化铪即可。

[0492] 也可以在沉积绝缘膜250A之后进行微波处理(参照图22A至图22D)。该微波处理也可以利用沉积上述绝缘膜252A之后进行的微波处理的条件。另外,也可以在沉积绝缘膜250A之后进行微波处理而不进行沉积绝缘膜252A后的微波处理。另外,在如上所述设置将成为绝缘体250b的绝缘膜的情况下,也可以在沉积后进行微波处理。该微波处理也可以利用沉积上述绝缘膜252A之后进行的微波处理的条件。另外,也可以在沉积将成为绝缘体250b的绝缘膜之后进行微波处理而不进行沉积绝缘膜252A或绝缘膜250A后的微波处理。

[0493] 另外,也可以在沉积绝缘膜252A、绝缘膜250A后以及沉积成为绝缘体250b的绝缘膜后的微波处理之后保持减压状态下进行热处理。通过进行这种处理,可以高效地去除绝缘膜252A中、绝缘膜250A中、成为绝缘体250b的绝缘膜中及氧化物230中的氢。此外,氢的一部分有时被导电体242(导电体242a及导电体242b)吸杂。此外,也可以反复在进行微波处理之后保持减压状态进行热处理的步骤。通过反复进行热处理,可以进一步高效地去除绝缘膜252A中、绝缘膜250A中、成为绝缘体250b的绝缘膜中及氧化物230中的氢。注意,热处理温度优选为300℃以上且500℃以下。上述微波处理,即微波退火也可以兼作该热处理。在通过微波退火氧化物230等充分地被加热时,也可以不进行该热处理。

[0494] 此外,通过进行微波处理而改变绝缘膜252A、绝缘膜250A及成为绝缘体250b的绝缘膜的膜品质,可以抑制氢、水、杂质等的扩散。由此,可以抑制因成为导电体260的导电膜的沉积等后工序或热处理等后处理而氢、水、杂质等经过绝缘体252扩散到氧化物230等。

[0495] 接着,沉积绝缘膜254A(参照图23A至图23D)。绝缘膜254A可以利用溅射法、CVD法、MBE法、PLD法或ALD法等沉积。与绝缘膜252A同样,绝缘膜254A优选利用ALD法沉积。通过利用ALD法进行沉积,可以以高覆盖性沉积较薄的绝缘膜254A。在本实施方式中,作为绝缘膜254A利用PEALD法沉积氮化硅。

[0496] 接着,依次沉积将成为导电体260a的导电膜及将成为导电体260b的导电膜。将成为导电体260a的导电膜及将成为导电体260b的导电膜可以通过溅射法、CVD法、MBE法、PLD法或ALD法等沉积。在本实施方式中,利用ALD法作为将成为导电体260a的导电膜沉积氮化钛,利用CVD法作为将成为导电体260b的导电膜沉积钨。

[0497] 接着,通过利用CMP处理直到绝缘体280露出为止对绝缘膜252A、绝缘膜250A、绝缘膜254A、将成为导电体260a的导电膜及将成为导电体260b的导电膜进行抛光,来形成绝缘体252、绝缘体250、绝缘体254及导电体260(导电体260a及导电体260b)(参照图24A至图24D)。由此,绝缘体252以覆盖到达氧化物230的开口的方式配置。此外,导电体260隔着绝缘体252、绝缘体250及绝缘体254以填充上述开口的方式配置。

[0498] 接着,也可以在与上述热处理同样的条件下进行热处理。在本实施方式中,在氮气氛下以400℃的温度进行1小时的处理。通过该热处理,可以减少绝缘体250及绝缘体280中

的水分浓度及氢浓度。此外,在上述热处理之后,以不暴露于大气的方式连续地进行绝缘体282的沉积。

[0499] 接着,在绝缘体252、绝缘体250、绝缘体254、导电体260及绝缘体280上形成绝缘体282(参照图24A至图24D)。绝缘体282可以参照实施方式1所说明的绝缘体82的沉积方法形成。

[0500] 接着,通过光刻法在绝缘体282上形成蚀刻掩模,直到使绝缘体214的顶面露出为止对绝缘体282的一部分、绝缘体280的一部分、绝缘体275的一部分、绝缘体222的一部分及绝缘体216的一部分进行加工(参照图25A至图25D)。在进行该加工时,可以使用湿蚀刻,但是对微型加工来说干蚀刻是优选的。

[0501] 接着,也可以进行热处理。热处理以250℃以上且650℃以下的温度,优选以350℃以上且600℃以下的温度进行即可。另外,该热处理优选以低于沉积氧化膜230A后进行的热处理温度进行。此外,热处理在氮气体或惰性气体气氛下进行。通过进行该热处理,添加到绝缘体280的氧的一部分经过绝缘体250等而扩散到氧化物230。

[0502] 通过进行该热处理,可以从因加工绝缘体282、绝缘体280、绝缘体275、绝缘体222及绝缘体216而形成的绝缘体280的侧面向外部释放包含在绝缘体280中的氧及键合于该氧的氢。注意,键合于氧的氢被释放为水。因此,可以减少包含在绝缘体280中的不需的氧以及氢。

[0503] 并且,在氧化物230的与导电体260重叠的区域中,以与氧化物230的顶面及侧面接触的方式设置有绝缘体252。绝缘体252具有氧阻挡性,因此可以减少过多的氧扩散到氧化物230。由此,可以以避免过多的氧的供应的方式将氧供应到区域230c及其附近。由此,可以在抑制过多的氧导致导电体242的侧面的氧化的同时减少形成在区域230c中的氧空位及V_OH。因此,可以提高晶体管200的电特性及可靠性。

[0504] 另一方面,当使晶体管200高密度集成化时,有时相对于一个晶体管200的绝缘体280的体积过小。此时,在上述热处理中,扩散到氧化物230的氧之量显著少。当在氧含量不十分的氧化绝缘体(例如,绝缘体250等)接触的状态下对氧化物230进行加热时,构成氧化物230的氧有可能脱离。但是,在本实施方式所示的晶体管200中,在氧化物230的与导电体260重叠的区域中,以与氧化物230的顶面及侧面接触的方式设置有绝缘体252。因为绝缘体252具有氧阻挡性,所以上述热处理中也可以减少氧从氧化物230脱离。由此,可以减少形成在区域230c中的氧空位及V_OH。因此,可以提高晶体管200的电特性及可靠性。

[0505] 如上所述,在根据本实施方式的半导体装置中,在绝缘体280所供应的氧量较多的情况和绝缘体280所供应的氧量较少的情况下,都可以形成具有优异电特性及高可靠性的晶体管。因此,可以提供一种衬底面内的晶体管200的电特性不均匀得到抑制的半导体装置。

[0506] 接着,在绝缘体282上形成绝缘体283(参照图26A至图26D)。可以利用溅射法、CVD法、MBE法、PLD法、ALD法等沉积绝缘体283。绝缘体283优选使用溅射法沉积。通过使用不需要利用包含氢的分子作为沉积气体的溅射法,可以降低绝缘体283中的氢浓度。此外,绝缘体283也可以采用多层结构。例如,可以通过溅射法沉积氮化硅,并在该氮化硅上通过ALD法沉积氮化硅。通过使用阻挡性高的绝缘体283及绝缘体214包围晶体管200,可以防止水分及氢从外部进入。

[0507] 接着,在绝缘体283上形成绝缘体274。绝缘体274可以通过溅射法、CVD法、MBE法、PLD法、ALD法等沉积。在本实施方式中,作为绝缘体274利用CVD法沉积氧化硅。

[0508] 接着,通过使用CMP处理直到绝缘体283露出为止对绝缘体274进行抛光,来使绝缘体274的顶面平坦(参照图26A至图26D)。有时通过该CMP处理绝缘体283的顶面的一部分被去除。

[0509] 接着,在绝缘体274及绝缘体283上形成绝缘体285(参照图27A至图27D)。绝缘体285可以通过溅射法、CVD法、MBE法、PLD法、ALD法等沉积。绝缘体285优选使用溅射法沉积。通过使用不需要利用包含氢的分子作为沉积气体的溅射法,可以降低绝缘体285中的氢浓度。

[0510] 在本实施方式中,作为绝缘体285通过溅射法沉积氧化硅。

[0511] 接着,在绝缘体271、绝缘体275、绝缘体280、绝缘体282、绝缘体283及绝缘体285中形成到达导电体242的开口(参照图27A及图27B)。在形成该开口时,可以利用光刻法。注意,在图27A中该开口在俯视时的形状为圆形,但是不局限于此。例如,在俯视时,该开口也可以具有椭圆等大致圆形形状、四角形等多角形形状、使四角形等多角形的角部带弧形的形状。

[0512] 接着,沉积将成为绝缘体241的绝缘膜,并对该绝缘膜进行各向异性蚀刻来形成绝缘体241(参照图27B)。可以利用溅射法、CVD法、MBE法、PLD法、ALD法等沉积该绝缘膜。作为该绝缘膜,优选使用具有抑制氧的透过的功能的绝缘膜。例如,优选通过ALD法沉积氧化铝,在其上使用PEALD法沉积氮化硅。氮化硅对氢具有高阻挡性,所以是优选的。

[0513] 此外,作为对将成为绝缘体241的绝缘膜进行的各向异性蚀刻,例如可以采用干蚀刻法等。通过在开口的侧壁部设置绝缘体241,可以抑制来自外部的氧的透过,并防止接下来要形成的导电体240a及导电体240b的氧化。此外,可以防止包含在绝缘体280等中的水、氢等杂质扩散到导电体240a及导电体240b。

[0514] 接着,形成将成为导电体240a及导电体240b的导电膜。该导电膜优选具有包含具有抑制水、氢等杂质的透过的功能的导电体的叠层结构。例如,可以具有氮化钽、氮化钛等与钨、钼、铜等的叠层。可以利用溅射法、CVD法、MBE法、PLD法或ALD法等沉积该导电膜。

[0515] 接着,通过进行CMP处理,去除将成为导电体240a及导电体240b的导电膜的一部分,使绝缘体285的顶面露出。其结果是,上述导电膜只残留在上述开口中,由此可以形成其顶面平坦的导电体240a及导电体240b(参照图27A至图27D)。注意,有时由于该CMP处理而绝缘体285的顶面的一部分被去除。

[0516] 接着,沉积将成为导电体246的导电膜。可以利用溅射法、CVD法、MBE法、PLD法、ALD法等沉积该导电膜。

[0517] 接着,通过光刻法对将成为导电体246的导电膜进行加工,来形成与导电体240a的顶面接触的导电体246a及与导电体240b的顶面接触的导电体246b。此时,导电体246a及导电体246b与绝缘体285不重叠的区域的绝缘体285的一部分有时被去除。

[0518] 通过上述工序,可以制造包括图14A至图14D所示的晶体管200的半导体装置。如图16A至图27D所示,通过使用本实施方式所示的半导体装置的制造方法,可以制造晶体管200。

[0519] <半导体装置的变形例子>

以下,使用图28A至图30D说明本发明的一个方式的半导体装置的一个例子。

[0520] 各附图中的A是半导体装置的俯视图。各附图中的B是沿着各附图中的A中的点划线A1-A2的部分的截面图。各附图中的C是沿着各附图中的A中的点划线A3-A4的部分的截面图。各附图中的D是沿着各附图中的A中的点划线A5-A6的部分的截面图。为了明确起见,在各附图中的A的俯视图中省略部分构成要素。

[0521] 注意,在各附图中的A至D所示的半导体装置中,对具有与构成<半导体装置的结构例子>所示的半导体装置的构成要素相同的功能的结构附加相同附图标记。注意,本节中的构成半导体装置的材料可以使用在<半导体装置的结构例子>中详细说明的材料。

[0522] <半导体装置的变形例子1>

图28A至图28D所示的半导体装置是图14A至图14D所示的半导体装置的变形例子。图28A至图28D所示的半导体装置的与图14A至图14D所示的半导体装置不同之处在于:没有设置绝缘体282。因此,在图28A至图28D所示的半导体装置中,绝缘体283与导电体260的顶面、绝缘体280的顶面、绝缘体254的最上部、绝缘体250的最上部及绝缘体252的最上部接触。

[0523] 例如,在利用图21或图22所示的微波处理等可以将十分的氧供应到氧化物230时,即使是不进行设置绝缘体282的情况下的向绝缘体280的氧供应,可以使区域230c实质i型化。在此情况下,如图28A至图28D所示,通过采用不设置绝缘体282的结构,可以使半导体装置的制造工序简化,可以实现生产率的提高。

[0524] <半导体装置的变形例子2>

图29A至图29D所示的半导体装置是图14A至图14D所示的半导体装置的变形例子。图29A至图29D所示的半导体装置的与图14A至图14D所示的半导体装置不同之处在于:设置有氧化物243(氧化物243a及氧化物243b)。氧化物243a设置在氧化物230和导电体242a之间,氧化物243b设置在氧化物230和导电体242b之间。在此,氧化物243a优选与氧化物230的顶面及导电体242a的底面接触。另外,氧化物243b优选与氧化物230的顶面及导电体242b的底面接触。

[0525] 氧化物243优选具有抑制氧透过的功能。通过在被用作源电极或漏电极的导电体242与氧化物230之间配置具有抑制氧透过的功能的氧化物243,导电体242与氧化物230之间的电阻被减少,所以是优选的。通过采用这样的结构,有时可以提高晶体管200的电特性、场效应迁移率及可靠性。

[0526] 作为氧化物243也可以使用包含元素M的金属氧化物。尤其是,作为元素M优选使用铝、镓、钇或锡。氧化物243的元素M的浓度优选比氧化物230高。此外,作为氧化物243也可以使用氧化镓。此外,作为氧化物243也可以使用In-M-Zn氧化物等金属氧化物。具体而言,用于氧化物243的金属氧化物中的In与元素M的原子个数比优选大于用于氧化物230的金属氧化物中的In与元素M的原子个数比。此外,氧化物243的厚度优选为0.5nm以上且5nm以下,更优选为1nm以上且3nm以下,进一步优选为1nm以上且2nm以下。此外,氧化物243优选具有结晶性。在氧化物243具有结晶性的情况下,可以适当地抑制氧化物230中的氧的释放。例如,在氧化物243具有六方晶等结晶结构的情况下,有时可以抑制氧化物230中的氧的释放。

[0527] <半导体装置的变形例子3>

图30A至图30D所示的半导体装置是图14A至图14D所示的半导体装置的变形例子。图30A至图30D所示的半导体装置与图14A至图14D所示的半导体装置的不同之处在于绝缘

体283与绝缘体212的顶面的一部分接触。因此,晶体管200配置在由绝缘体283及绝缘体212密封的区域中。通过上述结构,可以抑制包含在上述密封的区域外的氢混入上述密封的区域中。另外,在图30A至图30D所示的晶体管200中,绝缘体212、绝缘体283具有单层的结构,但是本发明不局限于此。例如,绝缘体212、绝缘体283也可以都具有两层以上的叠层结构。

[0528] 晶体管200等OS晶体管的因被照射放射线而引起的电特性变动小,即对于放射线的耐受性高,因此可以在有可能入射放射线的环境下也适当地使用。例如,可以在宇宙空间中使用的情况下适当地使用OS晶体管。具体而言,可以将OS晶体管用作构成设置在航天飞机、人造卫星或太空探测器等中的半导体装置的晶体管。作为放射线,例如可以举出X射线及中子辐射等。另外,宇宙空间例如是指高度100km以上的地方,但是本说明书中记载的宇宙空间也可以包括热层、中间层及平流层。

[0529] <半导体装置的应用例子>

以下,使用图31说明本发明的一个方式的半导体装置的一个例子。

[0530] 图31A示出半导体装置500的俯视图。在图31A中,平行于晶体管200的沟道长度方向的方向是x轴,垂直于x轴的方向是y轴。另外,图31B是沿着图31A中的点划线A1-A2的部分的截面图,该截面图相当于晶体管200的沟道长度方向的截面图。图31C是沿着图31A中的点划线A3-A4的截面图,该截面图相当于开口区域400及其附近的截面图。注意,在图31A的俯视图中,为了明确起见,省略部分构成要素。

[0531] 注意,在图31A至图31C所示的半导体装置中,对具有与构成<半导体装置的结构例子>所示的半导体装置的构成要素相同的功能的结构附加相同附图标记。注意,本节中的构成半导体装置的材料可以使用在<半导体装置的结构例子>中详细说明的材料。

[0532] 图31A至图31C所示的半导体装置500是图14A至图14D所示的半导体装置的变形例子。图31A至图31C所示的半导体装置500的与图14A至图14D所示的半导体装置不同之处在于:绝缘体282及绝缘体280形成有开口区域400。另外,与图14A至图14D所示的半导体装置不同之处在于:以围绕多个晶体管200的方式形成有密封部265。

[0533] 半导体装置500包括排列为矩阵状的多个晶体管200及多个开口区域400。另外,在y轴方向上延伸地设置有被用作晶体管200的栅电极的多个导电体260。开口区域400形成在不与氧化物230及导电体260重叠的区域中。另外,以围绕多个晶体管200、多个导电体260及多个开口区域400的方式形成有密封部265。注意,晶体管200、导电体260及开口区域400的数量、配置以及尺寸不局限于图31所示的结构,根据半导体装置500的设计适当地设定即可。

[0534] 如图31B及图31C所示,密封部265以围绕多个晶体管200、绝缘体216、绝缘体222、绝缘体275、绝缘体280及绝缘体282的方式设置。换言之,绝缘体283以覆盖绝缘体216、绝缘体222、绝缘体275、绝缘体280及绝缘体282的方式设置。另外,在密封部265,绝缘体283与绝缘体214的顶面接触。另外,在密封部265的上方,绝缘体283和绝缘体285之间设置有绝缘体274。绝缘体274的顶面高度与绝缘体283的最上面的高度一致或大致一致。另外,作为绝缘体274,可以使用与绝缘体280同样的绝缘体。

[0535] 通过采用这样的结构,可以由绝缘体283、绝缘体214及绝缘体212围绕多个晶体管200。在此,绝缘体283、绝缘体214及绝缘体212中的一个或多个优选被用作氢阻挡绝缘膜。由此,可以抑制包含在密封部265的区域之外的氢进入密封部265的区域中。

[0536] 如图31C所示,在开口区域400中,绝缘体282具有开口部。另外,在开口区域400中,绝缘体280也可以具有与绝缘体282的开口部重叠的槽部。绝缘体280的槽部的深度最深为使绝缘体275的顶面露出的程度即可,例如,可以为绝缘体280的最大厚度的1/4以上且1/2以下左右。

[0537] 另外,如图31C所示,绝缘体283在开口区域400的内侧与绝缘体282的侧面、绝缘体280的侧面及绝缘体280的顶面接触。另外,在开口区域400中,有时绝缘体274的一部分以嵌入形成于绝缘体283中的凹部的方式形成。此时,形成在开口区域400中的绝缘体274的顶面高度与绝缘体283的最上面的高度有时一致或大致一致。

[0538] 在形成有这样的开口区域400且从绝缘体282的开口部绝缘体280露出的状态下进行热处理,由此可以在对氧化物230供应氧的同时从开口区域400将包含在绝缘体280中的氧的一部分扩散到外部。由此,可以从包含通过加热而脱离的氧的绝缘体280将十分的氧供应到氧化物半导体层中的被用作沟道形成区域的区域及其附近,并且可以防止被供应过多的氧。

[0539] 此时,可以将包含在绝缘体280中的氢键合到氧,将其经过开口区域400释放到外部。键合于氧的氢被释放为水。因此,可以减少包含在绝缘体280中的氢,可以减少包含在绝缘体280中的氢进入氧化物230。

[0540] 另外,在图31A中,俯视的开口区域400的形状大致为长方形,但是本发明不局限于此。例如,俯视的开口区域400的形状也可以是长方形、椭圆形、圆形、菱形或组合这些形状而成的形状。另外,开口区域400的面积及配置间距可以根据包括晶体管200的半导体装置的设计适当地设定。例如,在晶体管200的密度低的区域中,扩大开口区域400的面积或缩小开口区域400的配置间距即可。另外,例如,在晶体管200的密度高的区域中,缩小开口区域400的面积或增大开口区域400的配置间距即可。

[0541] 根据本发明的一个方式可以提供一种晶体管特性的不均匀小的半导体装置。此外,根据本发明的一个方式可以提供一种具有优异电特性的半导体装置。此外,根据本发明的一个方式可以提供一种可靠性优异的半导体装置。此外,根据本发明的一个方式可以提供一种通态电流高的半导体装置。此外,根据本发明的一个方式可以提供一种场效应迁移率高的半导体装置。此外,根据本发明的一个方式可以提供一种频率特性良好的半导体装置。此外,根据本发明的一个方式可以提供一种能够实现微型化或高集成化的半导体装置。此外,根据本发明的一个方式可以提供一种低功耗的半导体装置。

[0542] 以上,本实施方式所示的结构、方法等的至少一部分可以与本说明书所记载的其他实施方式及其他实施例等适当地组合而实施。

[0543] (实施方式3)

在本实施方式中,参照图32至图36说明半导体装置的一个方式。注意,有时可以将本实施方式所记载的半导体装置换称为存储装置。另外,在本说明书等中,存储装置是半导体装置的一个方式,所以可以将本实施方式所记载的存储装置换称为半导体装置。

[0544] [存储装置1]

图32示出本发明的一个方式的存储装置的一个例子。在本发明的一个方式的存储装置中,晶体管200设置在晶体管300的上方,电容器100设置在晶体管300及晶体管200的上方。此外,作为晶体管200,可以使用上述实施方式所说明的晶体管200。

[0545] 晶体管200是其沟道形成在包含氧化物半导体的半导体层中的晶体管。因为晶体管200的关态电流低,所以通过将其用于存储装置,可以长期保持存储内容。换言之,由于不需要刷新工作或刷新工作的频度极低,所以可以充分降低存储装置的功耗。

[0546] 在图32所示的存储装置中,布线1001与晶体管300的源极电连接,布线1002与晶体管300的漏极电连接。此外,布线1003与晶体管200的源极和漏极中的一个电连接,布线1004与晶体管200的第一栅极电连接,布线1006与晶体管200的第二栅极电连接。再者,晶体管300的栅极及晶体管200的源极和漏极中的另一个与电容器100的一个电极电连接,布线1005与电容器100的另一个电极电连接。

[0547] 此外,通过将图32所示的存储装置配置为矩阵状,可以构成存储单元阵列。

[0548] <晶体管300>

晶体管300设置在衬底311上,并包括:被用作栅极的导电体316、被用作栅极绝缘体的绝缘体315、由衬底311的一部分构成的半导体区域313以及被用作源极区域或漏极区域的低电阻区域314a及低电阻区域314b。晶体管300可以是p沟道型或n沟道型。

[0549] 在此,在图32所示的晶体管300中,形成沟道的半导体区域313(衬底311的一部分)具有凸形状。此外,以隔着绝缘体315覆盖半导体区域313的侧面及顶面的方式设置导电体316。此外,导电体316可以使用调整功函数的材料。因为利用半导体衬底的凸部,所以这种晶体管300也被称为FIN型晶体管。此外,也可以以与凸部的上表面接触的方式具有用来形成凸部的掩模的绝缘体。此外,虽然在此示出对半导体衬底的一部分进行加工来形成凸部的情况,但是也可以对SOI衬底进行加工来形成具有凸部的半导体膜。

[0550] 注意,图32所示的晶体管300的结构只是一个例子,不局限于上述结构,根据电路结构或驱动方法使用适当的晶体管即可。

[0551] <电容器100>

电容器100设置在晶体管200的上方。电容器100包括被用作第一电极的导电体110、被用作第二电极的导电体120及被用作介电质的绝缘体130。在此,绝缘体130优选使用可被用作上述实施方式所示的绝缘体283的绝缘体。

[0552] 此外,例如,也可以同时形成设置在导电体240上的导电体112及导电体110。此外,导电体112被用作与电容器100、晶体管200或晶体管300电连接的插头或者布线。

[0553] 在图32中,导电体112及导电体110具有单层结构,但是不局限于该结构,也可以具有两层以上的叠层结构。例如,也可以在具有阻挡性的导电体与导电性高的导电体之间形成与具有阻挡性的导电体以及导电性高的导电体之间的紧密性高的导电体。

[0554] 此外,绝缘体130例如可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化铝、氧氮化铝、氮氧化铝、氮化铝、氧化铪、氧氮化铪、氮氧化铪、氮化铪等,并以叠层或单层设置。

[0555] 例如,绝缘体130优选使用氧氮化硅等介电强度高的材料和高介电常数(high-k)材料的叠层结构。通过采用该结构,电容器100可以包括高介电常数(high-k)的绝缘体来确保充分的电容,并可以包括介电强度高的绝缘体来提高介电强度,从而可以抑制电容器100的静电破坏。

[0556] 注意,作为高介电常数(high-k)材料(相对介电常数高的材料),有氧化镓、氧化铪、氧化锆、含有铝及铪的氧化物、含有铝及铪的氧氮化物、含有硅及铪的氧化物、含有硅及铪的氧氮化物或者含有硅及铪的氮化物等。

[0557] 另一方面,作为介电强度高的材料(相对介电常数低的材料),有氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅、树脂等。

[0558] <布线层>

在各结构体之间也可以设置有包括层间膜、布线及插头等的布线层。此外,布线层可以根据设计而设置为多个层。在此,在具有插头或布线的功能的导电体中,有时使用同一符号表示多个结构。此外,在本说明书等中,布线、与布线电连接的插头也可以是一个构成要素。就是说,导电体的一部分有时被用作布线,并且导电体的一部分有时被用作插头。

[0559] 例如,在晶体管300上,作为层间膜依次层叠地设置有绝缘体320、绝缘体322、绝缘体324及绝缘体326。此外,与电容器100或晶体管200电连接的导电体328及导电体330等填埋于绝缘体320、绝缘体322、绝缘体324及绝缘体326中。此外,导电体328及导电体330被用作插头或布线。

[0560] 此外,被用作层间膜的绝缘体可以被用作覆盖其下方的凹凸形状的平坦化膜。例如,为了提高绝缘体322的顶面的平坦性,也可以通过利用化学机械抛光(CMP)法等的平坦化处理实现平坦化。

[0561] 另外,也可以在绝缘体326及导电体330上设置布线层。例如,在图32中,依次层叠有绝缘体350、绝缘体352及绝缘体354。此外,在绝缘体350、绝缘体352及绝缘体354中形成有导电体356。导电体356被用作插头或布线。

[0562] 同样地,在绝缘体210、绝缘体212、绝缘体214及绝缘体216中填充有导电体218及构成晶体管200的导电体(导电体205)等。此外,导电体218被用作与电容器100或晶体管300电连接的插头或布线。再者,导电体120及绝缘体130上设置有绝缘体150。

[0563] 在此,与上述实施方式所示的绝缘体241同样,以与被用作插头的导电体218的侧面接触的方式设置绝缘体217。绝缘体217以与形成在绝缘体210、绝缘体212、绝缘体214及绝缘体216中的开口的内壁接触的方式设置。换言之,绝缘体217设置在导电体218与绝缘体210、绝缘体212、绝缘体214及绝缘体216之间。导电体205可以与导电体218并行形成,所以有时以与导电体205的侧面接触的方式形成绝缘体217。

[0564] 作为绝缘体217,例如可以使用氮化硅、氧化铝或氮氧化硅等绝缘体。绝缘体217以与绝缘体210、绝缘体212、绝缘体214及绝缘体222接触的方式设置,所以可以抑制水、氢等杂质从绝缘体210或绝缘体216等通过导电体218混入氧化物230。尤其是,氮化硅对氢具有高阻挡性,所以是优选的。此外,可以防止包含在绝缘体210或绝缘体216中的氧被导电体218吸收。

[0565] 绝缘体217可以使用与绝缘体241同样的方法形成。例如,使用PEALD法沉积氮化硅,使用各向异性蚀刻形成到达导电体356的开口即可。

[0566] 作为能够被用作层间膜的绝缘体,有具有绝缘性的氧化物、氮化物、氧氮化物、氮氧化物、金属氧化物、金属氧氮化物、金属氮氧化物等。

[0567] 例如,通过将相对介电常数低的材料用于被用作层间膜的绝缘体,可以减少产生在布线之间的寄生电容。因此,优选根据绝缘体的功能选择材料。

[0568] 例如,绝缘体150、绝缘体210、绝缘体352及绝缘体354等优选具有相对介电常数低的绝缘体。例如,该绝缘体优选含有添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮

的氧化硅、具有空孔的氧化硅、树脂等。或者，该绝缘体优选具有氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅或具有空孔的氧化硅和树脂的叠层结构。由于氧化硅及氧氮化硅具有热稳定性，因此通过将其与树脂组合，可以实现具有热稳定性且相对介电常数低的叠层结构。作为树脂，例如可以举出聚酯、聚烯烃、聚酰胺(尼龙、芳族聚酰胺等)、聚酰亚胺、聚碳酸酯或丙烯酸树脂等。

[0569] 此外，通过使用具有抑制氢等杂质及氧透过的功能的绝缘体围绕使用氧化物半导体的晶体管，可以使晶体管的电特性稳定。因此，作为绝缘体214、绝缘体212及绝缘体350等，使用具有抑制氢等杂质及氧的透过的功能的绝缘体，即可。

[0570] 作为具有抑制氢等杂质及氧透过的功能的绝缘体，例如可以以单层或叠层使用包含硼、碳、氮、氧、氟、镁、铝、硅、磷、氯、氩、镓、锗、钇、锆、镧、钕、铪或钽的绝缘体。具体而言，作为具有抑制氢等杂质及氧透过的功能的绝缘体，可以使用氧化铝、氧化镁、氧化镓、氧化锗、氧化钇、氧化锆、氧化镧、氧化钕、氧化铪、氧化钽等金属氧化物、氮氧化硅、氮化硅等。

[0571] 作为能够用于布线、插头的导电体可以使用包含选自铝、铬、铜、银、金、铂、钽、镍、钛、钼、钨、铪、钒、铌、锰、镁、锆、铍、铟以及钌等的金属元素中的一种以上的材料。此外，也可以使用以包含磷等杂质元素的多晶硅为代表的导电率高的半导体以及镍硅化物等硅化物。

[0572] 例如，作为导电体328、导电体330、导电体356、导电体218及导电体112等，可以以单层或叠层使用由上述材料形成的金属材料、合金材料、金属氮化物材料、金属氧化物材料等导电材料。优选使用兼具耐热性和导电性的钨或钼等高熔点材料，优选使用钨。或者，优选使用铝、铜等低电阻导电材料形成。通过使用低电阻导电材料可以降低布线电阻。

[0573] <设置有氧化物半导体的层的布线或插头>

注意，在将氧化物半导体用于晶体管200时，有时在氧化物半导体附近设置具有过剩氧区域的绝缘体。在此情况下，优选在该具有过剩氧区域的绝缘体和设置于该具有过剩氧区域的绝缘体的导电体之间设置具有阻挡性的绝缘体。

[0574] 例如，在图32中，优选在具有过剩氧的绝缘体280与导电体240之间设置绝缘体241。通过使绝缘体241与绝缘体222、绝缘体282及绝缘体283接触地设置，晶体管200可以具有由具有阻挡性的绝缘体密封的结构。

[0575] 也就是说，通过设置绝缘体241，可以抑制绝缘体280所具有的过剩氧被导电体240吸收。此外，通过具有绝缘体241，可以抑制作为杂质的氢经过导电体240扩散到晶体管200。

[0576] 此外，作为绝缘体241，优选使用具有抑制水、氢等杂质及氧的扩散的功能的绝缘材料。例如，优选使用氮化硅、氮氧化硅、氧化铝或氧化铪等。尤其是，氮化硅对氢具有高阻挡性，所以是优选的。此外，例如还可以使用氧化镁、氧化镓、氧化锗、氧化钇、氧化锆、氧化镧、氧化钕、氧化钽等的金属氧化物等。

[0577] 此外，如上述实施方式所示，晶体管200也可以采用由绝缘体212、绝缘体214、绝缘体282及绝缘体283密封的结构。通过采用上述结构，可以降低包含在绝缘体274、绝缘体150等中的氢混入到绝缘体280等中。

[0578] 在此，导电体240贯通绝缘体283及绝缘体282，导电体218贯通绝缘体214、绝缘体212，并且，如上所述，绝缘体241与导电体240接触地设置，绝缘体217与导电体218接触地设置。由此，可以减少通过导电体240及导电体218混入绝缘体212、绝缘体214、绝缘体282及绝

缘体283的内侧的氢。如此，可以由绝缘体212、绝缘体214、绝缘体282、绝缘体283、绝缘体241及绝缘体217密封晶体管200，而可以减少包含在绝缘体274等中的氢等杂质从外侧混入。

[0579] 〈切割线〉

下面，对当将大面积衬底按每个半导体组件分割而得到芯片形状的多个半导体装置时设置的切割线(有时也称为分割线、分断线或截断线)进行说明。作为分割方法，例如，有时，首先在衬底中形成用来分断半导体组件的槽(切割线)之后，在切割线处截断，得到被分断(被分割)的多个半导体装置。

[0580] 在此，例如，如图32所示，优选以绝缘体283和绝缘体214接触的区域重叠于切割线的方式进行设计。也就是说，在设置在包括多个晶体管200的存储单元的边缘的成为切割线的区域附近，在绝缘体282、绝缘体280、绝缘体275、绝缘体222及绝缘体216中设置开口。

[0581] 也就是说，在设置于绝缘体282、绝缘体280、绝缘体275、绝缘体222及绝缘体216的开口中，绝缘体214与绝缘体283接触。

[0582] 此外，例如，也可以在绝缘体282、绝缘体280、绝缘体275、绝缘体222、绝缘体216及绝缘体214中形成开口。通过采用这种结构，在设置于绝缘体282、绝缘体280、绝缘体275、绝缘体222、绝缘体216及绝缘体214的开口中，绝缘体212与绝缘体283接触。此时，也可以使用相同材料及相同方法形成绝缘体212及绝缘体283。通过使用相同的材料及相同的方法形成绝缘体212和绝缘体283，可以提高紧密性。例如，优选使用氮化硅。

[0583] 通过采用该结构，可以由绝缘体212、绝缘体214、绝缘体282及绝缘体283包围晶体管200。绝缘体212、绝缘体214、绝缘体282和绝缘体283中的至少一个由于具有抑制氧、氢及水的扩散的功能，所以即使将衬底按每个形成有本实施方式所示的半导体组件的电路区域分割而加工为多个芯片，也可以防止从截断的衬底的侧面方向混入氢或水等杂质且该杂质扩散到晶体管200。

[0584] 此外，通过采用该结构，可以防止绝缘体280中的过剩氧扩散到外部。因此，绝缘体280中的过剩氧高效地被供应到晶体管200中的形成沟道的氧化物中。由于该氧，而可以减少晶体管200中的形成沟道的氧化物的氧空位。由此，可以使晶体管200中的形成沟道的氧化物成为缺陷态密度低且具有稳定的特性的氧化物半导体。也就是说，可以在抑制晶体管200的电特性变动的同时提高可靠性。

[0585] 注意，在图32所示的存储装置中作为电容器100的形状采用平面型，但是本实施方式所示的存储装置不局限于此。例如，如图33所示，作为电容器100的形状也可以采用圆柱型。图33所示的存储装置的绝缘体150下方的结构与图32所示的存储装置相同。

[0586] 图33所示的电容器100包括绝缘体130上的绝缘体150、绝缘体150上的绝缘体142、配置在形成于绝缘体150及绝缘体142的开口中的导电体115、导电体115及绝缘体142上的绝缘体145、绝缘体145上的导电体125、导电体125及绝缘体145上的绝缘体152。在此，在形成于绝缘体150及绝缘体142的开口中配置导电体115、绝缘体145及导电体125的至少一部分。

[0587] 导电体115被用作电容器100的下部电极，导电体125被用作电容器100的上部电极，绝缘体145被用作电容器100的介电质。电容器100具有在绝缘体150及绝缘体142的开口中不仅在底面上而且在侧面上上部电极与下部电极隔着介电质对置的结构，因此可以增加

单位面积的静电电容。该开口的深度越深,电容器100的静电电容越大。如此,通过增加电容器100的单位面积的静电电容,可以推进存储装置的微型化或高集成化。

[0588] 作为绝缘体152,可以使用能够被用作绝缘体280的绝缘体。此外,作为绝缘体142,优选使用被用作形成绝缘体150的开口时的蚀刻停止层并可以用于绝缘体214的绝缘体。

[0589] 形成在绝缘体150及绝缘体142中的开口的俯视时的形状可以为四角形、四角形以外的多角形形状、其角部呈弧形的多角形形状或椭圆等圆形形状。在此,在俯视时优选该开口与晶体管200重叠的面积大。通过采用这种结构,可以缩减包括电容器100及晶体管200的存储装置的占有面积。

[0590] 导电体115以与形成在绝缘体142及绝缘体150中的开口接触的方式配置。导电体115的顶面优选与绝缘体142的顶面一致或大致一致。此外,导电体115的底面通过绝缘体130的开口与导电体110接触。导电体115优选通过ALD法或CVD法等沉积,例如使用可用于导电体205的导电体即可。

[0591] 绝缘体145以覆盖导电体115及绝缘体142的方式配置。例如,优选通过ALD法或CVD法等沉积绝缘体145。作为绝缘体145,例如使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化锆、氧化铝、氧氮化铝、氮氧化铝、氮化铝、氧化铪、氧氮化铪、氮氧化铪、氮化铪等,并且可以采用叠层结构或单层结构。例如,作为绝缘体145,可以使用依次层叠有氧化锆、氧化铝及氧化锆的绝缘膜。

[0592] 此外,绝缘体145优选使用氧氮化硅等介电强度高的材料或高介电常数(high-k)材料。或者,也可以使用介电强度高的材料及高介电常数(high-k)材料的叠层结构。

[0593] 注意,作为高介电常数(high-k)材料(相对介电常数高的材料),有氧化镓、氧化铪、氧化锆、含有铝及铪的氧化物、含有铝及铪的氧氮化物、含有硅及铪的氧化物、含有硅及铪的氧氮化物、含有硅及铪的氮化物等。通过具有这样high-k材料,即使使绝缘体145变厚也可以充分确保电容器100的静电电容。通过使绝缘体145变厚,可以抑制在导电体115与导电体125之间产生的泄漏电流。

[0594] 另一方面,作为介电强度高的材料,有氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅、树脂等。例如,可以使用依次层叠有通过PEALD法沉积的氮化硅(SiN_x)、通过PEALD法沉积的氧化硅(SiO_x)、通过PEALD法沉积的氮化硅(SiN_x)的绝缘膜。或者,可以使用依次层叠有氧化锆、通过ALD法沉积的氧化硅、氧化锆的绝缘膜。通过使用这样的介电强度高的绝缘体,介电强度提高而可以抑制电容器100的静电破坏。

[0595] 导电体125以填埋形成在绝缘体142及绝缘体150中的开口的方式配置。此外,导电体125通过导电体140及导电体153与布线1005电连接。导电体125优选通过ALD法或CVD法等沉积,例如使用可用于导电体205的导电体即可。

[0596] 此外,导电体153设置在绝缘体154上且被绝缘体156覆盖。导电体153可以使用可用于导电体112的导电体,绝缘体156可以使用可用于绝缘体152的绝缘体。在此,导电体153与导电体140的顶面接触,并且被用作电容器100、晶体管200或晶体管300的端子。

[0597] [存储装置2]

图34示出根据本发明的一个方式的存储装置的一个例子。

[0598] <存储器件的结构例子>

图34是包括存储器件290的存储装置的截面图。图34所示的存储器件290除了图14A至图14D所示的晶体管200以外还包括电容器件292。图34相当于晶体管200的沟道长度方向的截面图。

[0599] 电容器件292包括导电体242b、设置在导电体242b上的绝缘体271b、以与绝缘体271b的顶面、绝缘体271b的侧面及导电体242b的侧面接触的方式设置的绝缘体275以及绝缘体275上的导电体294。就是说,电容器件292构成MIM(Metal-Insulator-Metal:金属-绝缘体-金属)电容器。此外,电容器件292所包括的一对电极的一方,即导电体242b可以兼作晶体管的源电极。另外,电容器件292所包括的介电质层可以兼作设置在晶体管中的保护层,即绝缘体271及绝缘体275。因此,电容器件292的制造工序也可以使用晶体管的制造工序的一部分,所以可以得到一种生产率高的存储装置。此外,电容器件292所包括的一对电极的一方,即导电体242b兼作晶体管的源电极,所以可以减小配置晶体管、电容器件的面积。

[0600] 此外,作为导电体294,例如使用可用于导电体242的材料即可。

[0601] <存储器件的变形例子>

以下使用图35A、图35B及图36说明与在上述<存储器件的结构例子>中示出的存储装置不同的包括根据本发明的一个方式的晶体管200及电容器件292的存储装置的一个例子。注意,在图35A、图35B及图36所示的存储装置中,对具有与构成在上述实施方式及<存储器件的结构例子>中示出的存储装置(参照图34)的结构相同功能的结构附加相同符号。此外,在本节中,晶体管200及电容器件292的构成材料可以使用在上述实施方式及<存储器件的结构例子>中详细说明的材料。此外,虽然在图35A、图35B及图36等中使用图34所示的存储器件,但是不局限于此。

[0602] <<存储器件的变形例子1>>

以下,使用图35A说明包括根据本发明的一个方式的晶体管200a、晶体管200b、电容器件292a及电容器件292b的存储装置600的一个例子。

[0603] 图35A是包括晶体管200a、晶体管200b、电容器件292a及电容器件292b的存储装置600的沟道长度方向上的截面图。在此,电容器件292a包括:导电体242a;导电体242a上的绝缘体271a;与绝缘体271a的顶面、绝缘体271a的侧面及导电体242a的侧面接触的绝缘体275;以及绝缘体275上的导电体294a。另外,电容器件292b包括:导电体242b;导电体242b上的绝缘体271b;与绝缘体271b的顶面、绝缘体271b的侧面及导电体242b的侧面接触的绝缘体275;以及绝缘体275上的导电体294b。

[0604] 如图35A所示,存储装置600具有以点划线A3-A4为对称轴的轴对称的结构。导电体242c兼作晶体管200a的源电极和漏电极中的一个以及晶体管200b的源电极和漏电极中的一个。此外,在导电体242c上设置绝缘体271c。此外,在导电体242c的下方设置绝缘体223c。绝缘体223c位于氧化物230与绝缘体222之间。此外,用作插头的导电体240用来使用作布线的导电体246与晶体管200a连接并使用作布线的导电体246与晶体管200b连接。如此,通过作为两个晶体管、两个电容器件、布线以及插头的连接关系采用上述结构,可以提供一种可以实现微型化或高集成化的存储装置。

[0605] 晶体管200a、晶体管200b、电容器件292a及电容器件292b的各结构及效果可以参照图34所示的存储装置的结构例子。

[0606] <<存储器件的变形例子2>>

以上,作为存储装置的结构例子示出晶体管200a、晶体管200b、电容器件292a及电容器件292b,但是本实施方式所示的存储装置不局限于此。例如,如图35B所示,也可以采用存储装置600及具有与存储装置600同样的结构的存储装置通过电容部连接的结构。在本说明书中,将包括晶体管200a、晶体管200b、电容器件292a及电容器件292b的存储装置称为单元。晶体管200a、晶体管200b、电容器件292a及电容器件292b的结构可以参照上述晶体管200a、晶体管200b、电容器件292a及电容器件292b的记载。

[0607] 图35B是包括晶体管200a、晶体管200b、电容器件292a及电容器件292b的存储装置600及具有与存储装置600同样的结构的单元通过电容部连接的情况的截面图。

[0608] 如图35B所示,被用作存储装置600所包括的电容器件292b的一个电极的导电体294b兼作具有与存储装置600同样的结构的存储装置601所包括的电容器件的一个电极。此外,虽然未图示,但是被用作存储装置600所包括的电容器件292a的一个电极的导电体294a兼作在存储装置600的左侧,即在图35B的A1方向上相邻的存储装置的电容器件的一个电极。此外,在存储装置601的右侧,即图35B的A2方向上的单元也具有相同结构。换言之,可以构成单元阵列(也可以称为存储器件层)。通过采用上述单元阵列的结构,可以减小相邻单元的间隔,由此可以减小单元阵列的投影面积,而可以实现高集成化。此外,通过将图35B所示的单元阵列的结构配置为矩阵状,可以构成矩阵状的单元阵列。

[0609] 如上所述,通过以本实施方式所示的结构形成晶体管200a、晶体管200b、电容器件292a及电容器件292b,可以减小单元的面积,而可以实现包括单元阵列的存储装置的微型化或高集成化。

[0610] 此外,除了将上述单元阵列配置为平面状之外还可以层叠上述单元阵列。图36示出层叠有n层的单元阵列610的结构的截面图。如图36所示,通过层叠多个单元阵列(单元阵列610_1至单元阵列610_n),可以集成地配置单元而无需增大单元阵列的占有面积。也就是说,可以构成3D单元阵列。

[0611] 以上,本实施方式所示的结构、方法等的至少一部分可以与本说明书所记载的其他实施方式及其他实施例等适当地组合而实施。

[0612] (实施方式4)

在本实施方式中,参照图37A、图37B以及图38A至图38H,对根据本发明的一个方式的使用将氧化物用于半导体的晶体管(以下有时称为OS晶体管)及电容器的存储装置(以下有时称为OS存储装置)进行说明。OS存储装置是至少包括电容器和控制电容器的充放电的OS晶体管的存储装置。因为OS晶体管的关态电流极低所以OS存储装置具有优良的保持特性,从而可以被用作非易失性存储器。

[0613] <存储装置的结构例子>

图37A示出OS存储装置的结构的一个例子。存储装置1400包括外围电路1411及存储单元阵列1470。外围电路1411包括行电路1420、列电路1430、输出电路1440及控制逻辑电路1460。

[0614] 列电路1430例如包括列译码器、预充电电路、读出放大器及写入电路等。预充电电路具有对布线进行预充电的功能。读出放大器具有放大从存储单元读出的数据信号的功能。注意,上述布线是连接到存储单元阵列1470所包括的存储单元的布线,下面描述其详细

内容。被放大的数据信号作为数据信号RDATA通过输出电路1440输出到存储装置1400的外部。此外,行电路1420例如包括行译码器、字线驱动器电路等,并可以选择要存取的行。

[0615] 对存储装置1400从外部供应作为电源电压的低电源电压(VSS)、外围电路1411用高电源电压(VDD)及存储单元阵列1470用高电源电压(VIL)。此外,对存储装置1400从外部输入控制信号(CE、WE、RES)、地址信号ADDR及数据信号WDATA。地址信号ADDR被输入到行译码器及列译码器,数据信号WDATA被输入到写入电路。

[0616] 控制逻辑电路1460对从外部输入的控制信号(CE、WE、RES)进行处理来生成行译码器及列译码器的控制信号。控制信号CE是芯片使能信号,控制信号WE是写入使能信号,并且控制信号RES是读出使能信号。控制逻辑电路1460所处理的信号不局限于此,根据需要而输入其他控制信号即可。

[0617] 存储单元阵列1470包括配置为行列状的多个存储单元MC及多个布线。注意,连接存储单元阵列1470和行电路1420的布线的个数取决于存储单元MC的结构、包括在一个列中的存储单元MC的个数等。此外,连接存储单元阵列1470和列电路1430的布线的个数取决于存储单元MC的结构、包括在一个行中的存储单元MC的个数等。

[0618] 此外,虽然在图37A中示出在同一平面上形成外围电路1411和存储单元阵列1470的例子,但是本实施方式不局限于此。例如,如图37B所示,也可以以重叠于外围电路1411的一部分上的方式设置存储单元阵列1470。例如,也可以采用以重叠于存储单元阵列1470下的方式设置读出放大器的结构。

[0619] 在图38A至图38H中说明能够适合用于上述存储单元MC的存储单元的结构例子。

[0620] [DOSRAM]

图38A至图38C示出DRAM的存储单元的电路结构例子。在本说明书等中,有时将使用1OS晶体管1电容器型存储单元的DRAM称为DOSRAM(Dynamic Oxide Semiconductor Random Access Memory,动态氧化物半导体随机存取存储器)。图38A所示的存储单元1471包括晶体管M1及电容器CA。此外,晶体管M1包括栅极(有时称为顶栅极)及背栅极。

[0621] 晶体管M1的第一端子与电容器CA的第一端子连接,晶体管M1的第二端子与布线BIL连接,晶体管M1的栅极与布线WOL连接,晶体管M1的背栅极与布线BGL连接。电容器CA的第二端子与布线LL连接。

[0622] 布线BIL被用作位线,布线WOL被用作字线。布线LL被用作用来对电容器CA的第二端子施加指定的电位的布线。在数据的写入及读出时,布线LL可以为接地电位,也可以为低电平电位。布线BGL被用作用来对晶体管M1的背栅极施加电位的布线。通过对布线BGL施加任意电位,可以增加或减少晶体管M1的阈值电压。

[0623] 在此,图38A所示的存储单元1471对应于图34所示的存储装置。就是说,晶体管M1对应于晶体管200,电容器CA对应于电容器件292。

[0624] 此外,存储单元MC不局限于存储单元1471,而可以改变其电路结构。例如,存储单元MC也可以采用如图38B所示的存储单元1472那样的晶体管M1的背栅极不与布线BGL连接,而与布线WOL连接的结构。此外,例如,存储单元MC也可以是如图38C所示的存储单元1473那样的由单栅极结构的晶体管,即不包括背栅极的晶体管M1构成的存储单元。

[0625] 在将上述实施方式所示的半导体装置用于存储单元1471等的情况下,作为晶体管M1可以使用晶体管200,作为电容器CA可以使用电容器100。通过作为晶体管M1使用OS晶体

管,可以使晶体管M1的泄漏电流为极低。换言之,因为可以由晶体管M1长时间保持写入的数据,所以可以降低存储单元的刷新频率。或者,还可以不进行存储单元的刷新工作。此外,由于泄漏电流极低,因此可以将多值数据或模拟数据保持在存储单元1471、存储单元1472、存储单元1473中。

[0626] 此外,在DOSRAM中,在如此那样地采用以重叠于存储单元阵列1470下的方式设置读出放大器的结构时,可以缩短位线。由此,位线电容减小,从而可以减少存储单元的保持电容。

[0627] [NOSRAM]

图38D至图38G示出2晶体管1电容器的增益单元型存储单元的电路结构例子。图38D所示的存储单元1474包括晶体管M2、晶体管M3、电容器CB。此外,晶体管M2包括顶栅极(有时简称为栅极)及背栅极。在本说明书等中,有时将包括将OS晶体管用于晶体管M2的增益单元型存储单元的存储装置称为NOSRAM(Nonvolatile Oxide Semiconductor RAM,非易失性氧化物半导体RAM)。

[0628] 晶体管M2的第一端子与电容器CB的第一端子连接,晶体管M2的第二端子与布线WBL连接,晶体管M2的栅极与布线WOL连接,晶体管M2的背栅极与布线BGL连接。电容器CB的第二端子与布线CAL连接。晶体管M3的第一端子与布线RBL连接,晶体管M3的第二端子与布线SL连接,晶体管M3的栅极与电容器CB的第一端子连接。

[0629] 布线WBL被用作写入位线,布线RBL被用作读出位线,布线WOL被用作字线。布线CAL被用作用来对电容器CB的第二端子施加指定的电位的布线。在数据的写入及读出时,优选对布线CAL施加高电平电位。另外,在保持数据时,优选对布线CAL施加低电平电位。布线BGL被用作用来对晶体管M2的背栅极施加电位的布线。通过对布线BGL施加任意电位,可以增加或减少晶体管M2的阈值电压。

[0630] 在此,图38D所示的存储单元1474对应于图32及图33所示的存储装置。就是说,晶体管M2对应于晶体管200,电容器CB对应于电容器100,晶体管M3对应于晶体管300,布线WBL对应于布线1003,布线WOL对应于布线1004,布线BGL对应于布线1006,布线CAL对应于布线1005,布线RBL对应于布线1002,布线SL对应于布线1001。

[0631] 此外,存储单元MC不局限于存储单元1474,而可以适当地改变其电路结构。例如,存储单元MC也可以采用如图38E所示的存储单元1475那样的晶体管M2的背栅极不与布线BGL连接,而与布线WOL连接的结构。此外,例如,存储单元MC也可以是如图38F所示的存储单元1476那样的由单栅极结构的晶体管,即不包括背栅极的晶体管M2构成的存储单元。此外,例如,存储单元MC也可以具有如图38G所示的存储单元1477那样的将布线WBL和布线RBL组合为一个布线BIL的结构。

[0632] 在将上述实施方式所示的半导体装置用于存储单元1474等的情况下,作为晶体管M2可以使用晶体管200,作为晶体管M3可以使用晶体管300,作为电容器CB可以使用电容器100。通过作为晶体管M2使用OS晶体管,可以使晶体管M2的泄漏电流为极低。由此,因为可以由晶体管M2长时间保持写入的数据,所以可以降低存储单元的刷新频率。或者,还可以不进行存储单元的刷新工作。此外,由于泄漏电流极低,因此可以将多值数据或模拟数据保持在存储单元1474中。存储单元1475至存储单元1477也是同样的。

[0633] 此外,晶体管M3也可以是在沟道形成区域中包含硅的晶体管(以下有时称为Si晶

体管)。Si晶体管的导电型可以是n沟道型或p沟道型。Si晶体管的场效应迁移率有时比OS晶体管高。因此,作为被用作读出晶体管的晶体管M3,也可以使用Si晶体管。此外,通过将Si晶体管用于晶体管M3,可以层叠于晶体管M3上地设置晶体管M2,从而可以减少存储单元的占有面积,并可以实现存储装置的高集成化。

[0634] 此外,晶体管M3也可以是OS晶体管。在将OS晶体管用于晶体管M2、晶体管M3时,在存储单元阵列1470中可以只使用n型晶体管构成电路。

[0635] 此外,图38H示出3晶体管1电容器的增益单元型存储单元的一个例子。图38H所示的存储单元1478包括晶体管M4至晶体管M6及电容器CC。电容器CC是适当地设置的。存储单元1478与布线BIL、布线RWL、布线WWL、布线BGL及布线GNDL电连接。布线GNDL是供应低电平电位的布线。此外,也可以将存储单元1478电连接到布线RBL、布线WBL,而不与布线BIL电连接。

[0636] 晶体管M4是包括背栅极的OS晶体管,该背栅极与布线BGL电连接。此外,也可以使晶体管M4的背栅极和栅极互相电连接。或者,晶体管M4也可以不包括背栅极。

[0637] 此外,晶体管M5、晶体管M6各自可以是n沟道型Si晶体管或p沟道型Si晶体管。或者,晶体管M4至晶体管M6也可以都是OS晶体管。在此情况下,可以在存储单元阵列1470中只使用n型晶体管构成电路。

[0638] 在将上述实施方式所示的半导体装置用于存储单元1478时,作为晶体管M4可以使用晶体管200,作为晶体管M5、晶体管M6可以使用晶体管300,作为电容器CC可以使用电容器100。通过作为晶体管M4使用OS晶体管,可以使晶体管M4的泄漏电流为极低。

[0639] 注意,本实施方式所示的外围电路1411及存储单元阵列1470等的结构不局限于上述结构。此外,也可以根据需要改变、去除或追加这些电路及连接到该电路的布线、电路元件等的配置或功能。

[0640] 以上,本实施方式所示的结构、方法等可以与本实施方式所示的其他结构、方法、其他实施方式所示的结构、方法等适当地组合而实施。

[0641] (实施方式5)

在本实施方式中,参照图39A和图39B说明安装有本发明的半导体装置的芯片1200的一个例子。在芯片1200上安装有多个电路(系统)。如此,在一个芯片上集成有多个电路(系统)的技术有时被称为系统芯片(System on Chip:SoC)。

[0642] 如图39A所示,芯片1200包括CPU1211、GPU1212、一个或多个模拟运算部1213、一个或多个存储控制器1214、一个或多个接口1215、一个或多个网络电路1216等。

[0643] 在芯片1200上设置有凸块(未图示),该凸块如图39B所示那样与封装衬底1201的第一面连接。此外,在封装衬底1201的第一面的背面设置有多个凸块1202,该凸块1202与母板1203连接。

[0644] 此外,也可以在母板1203上设置有DRAM1221、闪存1222等的存储装置。例如,可以将上述实施方式所示的DOSRAM应用于DRAM1221。此外,例如,可以将上述实施方式所示的NOSRAM应用于闪存1222。

[0645] CPU1211优选具有多个CPU核心。此外,GPU1212优选具有多个GPU核心。此外,CPU1211和GPU1212可以分别具有暂时储存数据的存储器。或者,也可以在芯片1200上设置有CPU1211和GPU1212共同使用的存储器。可以将上述NOSRAM或DOSRAM应用于该存储器。此

外,GPU1212适合用于多个数据的并行计算,其可以用于图像处理或积和运算。通过作为GPU1212设置使用本发明的氧化物半导体的图像处理电路或积和运算电路,可以以低功耗执行图像处理及积和运算。

[0646] 此外,因为在同一芯片上设置有CPU1211和GPU1212,所以可以缩短CPU1211和GPU1212之间的布线,并可以以高速进行从CPU1211到GPU1212的数据传送、CPU1211及GPU1212所具有的存储器之间的数据传送以及GPU1212中的运算结束之后的从GPU1212到CPU1211的运算结果传送。

[0647] 模拟运算部1213具有A/D(模拟/数字)转换电路和D/A(数字/模拟)转换电路中的一方或双方。此外,也可以在模拟运算部1213中设置上述积和运算电路。

[0648] 存储控制器1214具有被用作DRAM1221的控制器的电路及被用作闪存1222的接口的电路。

[0649] 接口1215具有与如显示装置、扬声器、麦克风、影像拍摄装置、控制器等外部连接设备之间的接口电路。控制器包括鼠标、键盘、游戏机用控制器等。作为上述接口,可以使用USB(Universal Serial Bus:通用串行总线)、HDMI(High-Definition Multimedia Interface:高清晰度多媒体接口)(注册商标)等。

[0650] 网络电路1216具有LAN(Local Area Network:局域网)等网络电路。此外,还可以具有网络安全用电路。

[0651] 上述电路(系统)可以经同一制造工序形成在芯片1200上。由此,即使芯片1200所需的电路个数增多,也不需要增加制造工序,可以以低成本制造芯片1200。

[0652] 可以将包括设置有具有GPU1212的芯片1200的封装衬底1201、DRAM1221以及闪存1222的母板1203称为GPU模块1204。

[0653] GPU模块1204因具有使用SoC技术的芯片1200而可以减少其尺寸。此外,GPU模块1204因具有高图像处理能力而适合用于智能手机、平板终端、膝上型个人计算机、便携式(可携带)游戏机等便携式电子设备。此外,通过利用使用GPU1212的积和运算电路,可以执行深度神经网络(DNN)、卷积神经网络(CNN)、递归神经网络(RNN)、自动编码器、深度玻尔兹曼机(DBM)、深度置信网络(DBN)等方法,由此可以将芯片1200用作AI芯片,或者,可以将GPU模块1204用作AI系统模块。

[0654] 以上,本实施方式所示的结构、方法等的至少一部分可以与本说明书所记载的其他实施方式及其他实施例等适当地组合而实施。

[0655] (实施方式6)

在本实施方式中,说明被用作在上述实施方式中说明的CPU的半导体装置。在本实施方式中说明的半导体装置是被用作能够以极低功耗工作的CPU的半导体装置。

[0656] 说明包括能够进行电源门控的CPU核心3311的CPU3310的一个例子。

[0657] 图40示出CPU3310的结构例子。CPU3310包括CPU核心(CPU Core)3311、L1(一级)高速缓冲存储装置(L1 Cache)3371、L2高速缓冲存储装置(L2 Cache)3372、总线接口部(Bus I/F)3373、功率开关3315至功率开关3317以及电平转换器(LS)3318。CPU核心3311包括触发器3314。

[0658] 通过总线接口部3373,CPU核心3311、L1高速缓冲存储装置3371与L2高速缓冲存储装置3372彼此连接。

[0659] 根据从外部输入的中断信号(Interrupts)、CPU3310所生成的信号SLEEP1等的信号,PMU3313进行时钟信号GCLK1、各种的PG(电源门控)控制信号(PG control signals)的生成。时钟信号GCLK1、PG控制信号被输入到CPU3310。PG控制信号控制功率开关3315至功率开关3317、触发器3314。

[0660] 功率开关3315、功率开关3316分别控制向虚拟电源线V_VDD(以下,称为V_VDD线)供应电压VDDD、电压VDD1。功率开关3317控制向电平转换器(LS)3318供应电压VDDH。CPU3310及PMU3313不通过功率开关被输入电压VSSS。PMU3313不通过功率开关被输入电压VDDD。

[0661] 电压VDDD、电压VDD1是CMOS电路用驱动电压。电压VDD1是低于电压VDDD的休眠状态下的驱动电压。电压VDDH是OS晶体管用驱动电压且高于电压VDDD。

[0662] L1高速缓冲存储装置3371、L2高速缓冲存储装置3372和总线接口部3373的每一个至少包括一个能够进行电源门控的电源定域。能够进行电源门控的电源定域设置有一个或多个功率开关。上述功率开关被PG控制信号控制。

[0663] 触发器3314用于寄存器。触发器3314设置有备份电路。以下,说明触发器3314。

[0664] 图41A示出触发器(Flip-flop)3314的电路结构例子。触发器3314包括扫描触发器3319(Scan Flip-flop)、备份电路(Backup Circuit)3312。

[0665] 扫描触发器3319包括节点D1、节点Q1、节点SD、节点SE、节点RT、节点CK以及时钟缓冲电路3319A。

[0666] 节点D1是数据(data)输入节点,节点Q1是数据输出节点,节点SD是扫描测试用数据的输入节点。节点SE是信号SCE的输入节点。节点CK是时钟信号GCLK1的输入节点。时钟信号GCLK1被输入到时钟缓冲电路3319A。扫描触发器3319的模拟开关与时钟缓冲电路3319A的节点CK1、节点CKB1连接。节点RT是复位信号(reset signal)的输入节点。

[0667] 信号SCE是扫描使能信号,在PMU3313生成。PMU3313生成信号BK、信号RC。电平转换器3318对信号BK、信号RC进行电平转移,生成信号BKH、信号RCH。信号BK、信号RC分别是备份信号、恢复信号。

[0668] 扫描触发器3319的电路结构不局限于图41A。此外,也可以使用在标准的电路库中准备的触发器。

[0669] 备份电路3312包括节点SD_IN、节点SN11、晶体管M11至晶体管M13及电容器C11。

[0670] 节点SD_IN是扫描测试数据的输入节点,连接于扫描触发器3319的节点Q1。节点SN11是备份电路3312的保持节点。电容器C11是用来保持节点SN11的电压的存储电容器。

[0671] 晶体管M11控制节点Q1与节点SN11之间的导通状态。晶体管M12控制节点SN11与节点SD之间的导通状态。晶体管M13控制节点SD_IN与节点SD之间的导通状态。晶体管M11、晶体管M13的开启/关闭被信号BKH控制,晶体管M12的开启/关闭被信号RCH控制。

[0672] 晶体管M11至M13是OS晶体管。晶体管M11至晶体管M13具有包括背栅极的结构。晶体管M11至晶体管M13的背栅极与供应电压VBG1的电源线电连接。

[0673] 优选的是,至少晶体管M11、晶体管M12为OS晶体管。由于OS晶体管的关态电流极低的特征,因此可以抑制节点SN11的电压下降,并且在保持数据时几乎不耗电,所以备份电路3312具有非易失性特性。由于通过电容器C11的充放电改写数据,所以备份电路3312在原理上对改写次数没有限制,可以以低能量进行数据的写入及读出。

[0674] 特别优选的是,备份电路3312的所有晶体管为OS晶体管。如图41B所示,可以在由硅CMOS电路构成的扫描触发器3319上层叠备份电路3312。

[0675] 与扫描触发器3319相比,备份电路3312的元件个数非常少,由此不需要为了层叠备份电路3312改变扫描触发器3319的电路结构及布局。也就是说,备份电路3312是通用性非常高的备份电路。此外,可以在形成有扫描触发器3319的区域内设置备份电路3312,由此即使安装备份电路3312也可以使触发器3314的面积开销(area overhead)为0。因此,通过将备份电路3312设置在触发器3314,可以进行CPU核心3311的电源门控。电源门控所需要的能量少,所以能够高效地对CPU核心3311进行电源门控。

[0676] 通过设置备份电路3312,虽然晶体管M11所产生的寄生电容附加到节点Q1,但是其小于与节点Q1连接的逻辑电路所产生的寄生电容,因此不影响到扫描触发器3319的工作。也就是说,即使设置备份电路3312,实质上触发器3314的性能也不会下降。

[0677] 作为CPU核心3311的低功耗状态,例如,可以设定时钟门控状态、电源门控状态及休眠状态。PMU3313根据中断信号、信号SLEEP1等选择CPU核心3311的低功耗模式。例如,在从正常工作状态转移到时钟门控状态时,PMU3313停止生成时钟信号GCLK1。

[0678] 例如,在从正常工作状态转移到休眠状态时,PMU3313进行电压及/或频率调节。例如,在进行电压调节时,为了将电压VDD1输入到CPU核心3311,PMU3313使功率开关3315开启并使功率开关3316关闭。电压VDD1是不使扫描触发器3319的数据消失的电压。在进行频率调节时,PMU3313使时钟信号GCLK1的频率下降。

[0679] 在将CPU核心3311从正常工作状态转移到电源门控状态时,进行将扫描触发器3319的数据备份到备份电路3312的工作。在将CPU核心3311从电源门控状态恢复到正常工作状态时进行将备份电路3312的数据再次写入到触发器3319的恢复工作。

[0680] 图42示出CPU核心3311的电源门控序列的一个例子。注意,在图42中,t1至t7表示时刻。信号PSE0至信号PSE2是功率开关3315至功率开关3317的控制信号,在PMU3313生成。在信号PSE0为“H”/“L”时,功率开关3315为开启/关闭。信号PSE1、PSE2也是同样的。

[0681] 时刻t1之前是正常工作状态(Normal Operation)。功率开关3315开启,CPU核心3311被输入电压VDDD。扫描触发器3319进行正常工作。此时,不需要使电平转换器3318工作,所以功率开关3317关闭,信号SCE、信号BK、信号RC处于“L”。节点SE处于“L”,所以扫描触发器3319储存节点D1的数据。注意,在图42的例子中,在时刻t1备份电路3312的节点SN11处于“L”。

[0682] 说明备份(Backup)时的工作。在时刻t1,PMU3313停止时钟信号GCLK1而使信号PSE2、BK处于“H”。电平转换器3318变为活动状态且将“H”的信号BKH输出到备份电路3312。

[0683] 备份电路3312的晶体管M11成为开启状态,扫描触发器3319的节点Q1的数据写入到备份电路3312的节点SN11。若扫描触发器3319的节点Q1为“L”,节点SN11则保持“L”,若节点Q1为“H”,节点SN11则成为“H”。

[0684] 在时刻t2,PMU3313使信号PSE2、信号BK成为“L”,在时刻t3,PMU3313使信号PSE0成为“L”。在时刻t3,CPU核心3311的状态转移到电源门控状态。此外,也可以在信号BK下降的时序使信号PSE0下降。

[0685] 说明电源门控(Power-gating)时的工作。在信号PSE0处于“L”时V_VDD线的电压下降,所以节点Q1的数据消失。节点SN11继续保持时刻t3的节点Q1的数据。

[0686] 说明恢复(Recovery)时的工作。在时刻t4,PMU3313使信号PSE0成为“H”,因此从电源门控状态转移到恢复状态。开始V_VDD线的充电,在V_VDD线的电压成为VDDD的状态(时刻t5)下,PMU3313使信号PSE2、信号RC、信号SCE变为“H”。

[0687] 晶体管M12开启,电容器C11的电荷分配于节点SN11和节点SD。若节点SN11是“H”,节点SD的电压则上升。节点SE是“H”,节点SD的数据被写入到扫描触发器3319的输入侧锁存电路。在时刻t6,向节点CK输入时钟信号GCLK1,输入侧锁存电路的数据被写入到节点Q1。也就是说,节点SN11的数据被写入到节点Q1。

[0688] 在时刻t7,PMU3313使信号PSE2、信号SCE、信号RC变为“L”结束恢复工作。

[0689] 使用OS晶体管的备份电路3312的动态及静态功耗都小,所以非常适合于常闭运算。此外,可以将包括含有使用OS晶体管的备份电路3312的CPU核心3311的CPU3310称为NoffCPU(注册商标)。NoffCPU包括非易失性存储器,在不需要工作时可以停止供电。即便安装触发器3314,也几乎不会发生CPU核心3311的性能下降以及动态电力的增加。

[0690] 此外,CPU核心3311也可以包括能够进行电源门控的多个电源定域。多个电源定域设置有用来控制电压的输入的一个或多个功率开关。此外,CPU核心3311也可以具有一个或多个不进行电源门控的电源定域。例如,可以在不进行电源门控的电源定域设置用来控制触发器3314、功率开关3315至功率开关3317的控制的电源门控控制电路。

[0691] 注意,触发器3314的应用不局限于CPU3310。在CPU3310中,也可以将触发器3314用于设置在能够进行电源门控的电源定域中的寄存器。

[0692] 如在以上实施方式中说明那样,OS晶体管的放射线照射所引起的电特性变动小,即对于放射线的耐受性高。因此,可以说包括含有使用OS晶体管的备份电路的CPU核心的NoffCPU对于放射线具有高耐受性。例如可以在宇宙空间中使用的情况下适当地使用对于放射线具有高耐受性并能够以极低功耗工作的NoffCPU。

[0693] 本实施方式可以与其他实施方式的记载适当地组合。

[0694] (实施方式7)

本实施方式示出安装有上述实施方式所示的存储装置等的电子构件及电子设备的一个例子。

[0695] <电子构件>

首先,参照图43A和图43B对组装有存储装置720的电子构件的例子进行说明。

[0696] 图43A示出电子构件700及安装有电子构件700的基板(电路板704)的立体图。图43A所示的电子构件700在模子711内包括存储装置720。在图43A中,省略电子构件700的一部分以表示其内部。电子构件700在模子711的外侧包括连接盘(land)712。连接盘712电连接于电极焊盘713,电极焊盘713通过引线714电连接于存储装置720。电子构件700例如安装于印刷电路板702上。通过组合多个该电子构件并使其分别在印刷电路板702上电连接,由此完成电路板704。

[0697] 存储装置720包括驱动电路层721及存储电路层722。

[0698] 图43B示出电子构件730的立体图。电子构件730是SiP(System in Package:系统封装)或MCM(Multi Chip Module:多芯片模块)的一个例子。在电子构件730中,封装衬底732(印刷电路板)上设置有插板(interposer)731,插板731上设置有半导体装置735及多个存储装置720。

[0699] 电子构件730示出将存储装置720用作高带宽存储器(HBM:High Bandwidth Memory)的例子。此外,半导体装置735可以使用CPU、GPU、FPGA(Field Programmable Gate Array)等集成电路(半导体装置)。

[0700] 封装衬底732可以使用陶瓷衬底、塑料衬底、玻璃环氧衬底等。插板731可以使用硅插板、树脂插板等。

[0701] 插板731具有多个布线并具有电连接端子间距不同的多个集成电路的功能。多个布线由单层或多层构成。此外,插板731具有将设置于插板731上的集成电路与设置于封装衬底732上的电极电连接的功能。因此,有时将插板也称为“重布线衬底(rewiring substrate)”或“中间衬底”。此外,有时通过在插板731中设置贯通电极,通过该贯通电极使集成电路与封装衬底732电连接。此外,在使用硅插板的情况下,也可以使用TSV(Through Silicon Via:硅通孔)作为贯通电极。

[0702] 作为插板731优选使用硅插板。由于硅插板不需要设置有源元件,所以可以以比集成电路更低的成本制造。另一方面,硅插板的布线形成可以在半导体工序中进行,因此很容易形成在使用树脂插板时很难形成的微细布线。

[0703] 在HBM中,为了实现宽存储器带宽需要连接许多布线。为此,要求安装HBM的插板上能够高密度地形成微细的布线。因此,作为安装HBM的插板优选使用硅插板。

[0704] 此外,在使用硅插板的SiP或MCM等中,不容易发生因集成电路与插板间的膨胀系数的不同而导致的可靠性下降。此外,由于硅插板的表面平坦性高,所以设置在硅插板上的集成电路与硅插板间不容易产生连接不良。尤其优选将硅插板用于2.5D封装(2.5D安装),其中多个集成电路横着排放并配置于插板上。

[0705] 此外,也可以与电子构件730重叠地设置散热器(散热板)。在设置散热器的情况下,优选使设置于插板731上的集成电路的高度一致。例如,在本实施方式所示的电子构件730中,优选使存储装置720与半导体装置735的高度一致。

[0706] 为了将电子构件730安装在其他的衬底上,也可以在封装衬底732的底部设置电极733。图43B示出用焊球形成电极733的例子。通过在封装衬底732的底部以矩阵状设置焊球,可以实现BGA(Ball Grid Array:球栅阵列)的安装。此外,电极733也可以使用导电针形成。通过在封装衬底732的底部以矩阵状设置导电针,可以实现PGA(Pin Grid Array:针栅阵列)的安装。

[0707] 电子构件730可以通过各种安装方式安装在其他衬底上,而不局限于BGA及PGA。例如,可以采用SPGA(Staggered Pin Grid Array:交错针栅阵列)、LGA(Land Grid Array:地栅阵列)、QFP(Quad Flat Package:四侧引脚扁平封装)、QFJ(Quad Flat J-leaded package:四侧J形引脚扁平封装)或QFN(Quad Flat Non-leaded package:四侧无引脚扁平封装)等安装方法。

[0708] 以上,本实施方式所示的结构、方法等可以与本实施方式所示的其他结构、方法、其他实施方式所示的结构、方法等适当地组合而实施。

[0709] (实施方式8)

在本实施方式中,说明使用上述实施方式所示的半导体装置的存储装置的应用例子。上述实施方式所示的半导体装置例如可以应用于各种电子设备(例如,信息终端、计算机、智能手机、电子书阅读器、数码相机(也包括摄像机)、录像再现装置、导航系统等)的存

储装置。注意,在此,计算机包括平板电脑、笔记型计算机、台式计算机以及大型计算机诸如服务器系统。或者,上述实施方式所示的半导体装置应用于存储卡(例如,SD卡)、USB存储器、SSD(固态硬盘)等各种可移动存储装置。图44A至图44E示意性地示出可移动存储装置的几个结构例子。例如,上述实施方式所示的半导体装置加工为被封装的存储器芯片并用于各种存储装置或可移动存储器。

[0710] 图44A是USB存储器的示意图。USB存储器1100包括外壳1101、盖子1102、USB连接器1103及基板1104。基板1104被容纳在外壳1101中。例如,基板1104上安装有存储器芯片1105及控制器芯片1106。可以将上述实施方式所示的半导体装置组装于存储器芯片1105等。

[0711] 图44B是SD卡的外观示意图,图44C是SD卡的内部结构的示意图。SD卡1110包括外壳1111、连接器1112及基板1113。基板1113被容纳在外壳1111中。例如,基板1113上安装有存储器芯片1114及控制器芯片1115。通过在基板1113的背面一侧也设置存储器芯片1114,可以增大SD卡1110的容量。此外,也可以将具有无线通信功能的无线芯片设置于基板1113。由此,通过主机装置与SD卡1110之间的无线通信,可以进行存储器芯片1114的数据的读出及写入。可以将上述实施方式所示的半导体装置组装于存储器芯片1114等。

[0712] 图44D是SSD的外观示意图,图44E是SSD的内部结构的示意图。SSD1150包括外壳1151、连接器1152及基板1153。基板1153被容纳在外壳1151中。例如,基板1153上安装有存储器芯片1154、存储器芯片1155及控制器芯片1156。存储器芯片1155为控制器芯片1156的工作存储器,例如,可以使用DOSRAM芯片。通过在基板1153的背面一侧也设置存储器芯片1154,可以增大SSD1150的容量。可以将上述实施方式所示的半导体装置组装于存储器芯片1154等。

[0713] 以上,本实施方式所示的结构、方法等的至少一部分可以与本说明书所记载的其他实施方式及其他实施例等适当地组合而实施。

[0714] (实施方式9)

根据本发明的一个方式的半导体装置可以应用于如CPU、GPU等处理器、存储装置或芯片。图45A至图45H示出具有根据本发明的一个方式的如CPU、GPU等处理器、存储装置或芯片的电子设备的具体例子。

[0715] <电子设备及系统>

根据本发明的一个方式的GPU、存储装置或芯片可以安装在各种各样的电子设备。作为电子设备的例子,例如除了电视装置、用于台式或笔记本式信息终端等的显示器、数字标牌(Digital Signage)、弹珠机等大型游戏机等具有较大的屏幕的电子设备以外,还可以举出数码相机、数码摄像机、数码相框、电子书阅读器、移动电话机、便携式游戏机、便携式信息终端、声音再现装置等。此外,通过将根据本发明的一个方式的GPU、存储装置或芯片设置在电子设备中,可以使电子设备具备人工智能。

[0716] 本发明的一个方式的电子设备也可以包括天线。通过使用天线接收信号,可以在显示部上显示影像或信息等。此外,在电子设备包括天线及二次电池时,可以将天线用于非接触电力传送。

[0717] 本发明的一个方式的电子设备也可以包括传感器(该传感器具有测定如下因素的功能:力、位移、位置、速度、加速度、角速度、转速、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、辐射线、流量、湿度、倾斜度、振动、气味或红外线)。

[0718] 本发明的一个方式的电子设备可以具有各种功能。例如,可以具有如下功能:将各种信息(静态图像、动态图片、文字图像等)显示在显示部上的功能;触控面板的功能;显示日历、日期或时间等的功能;执行各种软件(程序)的功能;进行无线通信的功能;读出储存在存储介质中的程序或数据的功能;等。图45A至图45H示出电子设备的例子。

[0719] [信息终端]

图45A示出信息终端之一的移动电话机(智能手机)。信息终端5100包括外壳5101及显示部5102,作为输入接口在显示部5102中具备触控面板,并且在外壳5101上设置有按钮。

[0720] 通过将本发明的一个方式的芯片应用于信息终端5100,可以执行利用人工智能的应用程序。作为利用人工智能的应用程序,例如,可以举出识别会话来将该会话的内容显示在显示部5102上的应用程序、识别由使用者输入到显示部5102所具备的触控面板的文字或图形等来将该文字或该图形显示在显示部5102上的应用程序、执行指纹或声纹等的生物识别的应用程序等。

[0721] 图45B示出笔记本式信息终端5200。笔记本式信息终端5200包括信息终端主体5201、显示部5202及键盘5203。

[0722] 与上述信息终端5100同样,通过将本发明的一个方式的芯片应用于笔记本式信息终端5200,可以执行利用人工智能的应用程序。作为利用人工智能的应用程序,例如,可以举出设计支援软件、文章校对软件、菜单自动生成软件等。此外,通过使用笔记本式信息终端5200,可以研发新颖的人工智能。

[0723] 注意,在上述例子中,图45A及图45B分别示出智能手机及笔记本式信息终端作为电子设备的例子,但是也可以应用智能手机及笔记本式信息终端以外的信息终端。作为智能手机及笔记本式信息终端以外的信息终端,例如可以举出PDA(Personal Digital Assistant:个人数码助理)、台式信息终端、工作站等。

[0724] [游戏机]

图45C示出作为游戏机的一个例子的便携式游戏机5300。便携式游戏机5300包括外壳5301、外壳5302、外壳5303、显示部5304、连接部5305及操作键5306等。可以将外壳5302及外壳5303从外壳5301拆卸。通过将设在外壳5301中的连接部5305安装到其他外壳(未图示),可以将输出到显示部5304的影像输出到其他视频显示设备(未图示)。此时,外壳5302及外壳5303分别可以被用作操作部。由此,多个游戏玩者可以同时玩游戏。可以将上述实施方式所示的芯片嵌入到设置在外壳5301、外壳5302及外壳5303的衬底的芯片等。

[0725] 另外,图45D示出游戏机之一的固定式游戏机5400。固定式游戏机5400以无线或有线连接有控制器5402。

[0726] 通过将本发明的一个方式的GPU、存储装置或芯片应用于便携式游戏机5300及固定式游戏机5400等游戏机,可以实现低功耗的游戏机。此外,借助于低功耗,可以降低来自电路的发热,由此可以减少因发热而给电路本身、外围电路以及模块带来的负面影响。

[0727] 再者,通过将本发明的一个方式的GPU或芯片应用于便携式游戏机5300,可以实现具备人工智能的便携式游戏机5300。

[0728] 游戏的进展、游戏中出现的生物的言行、游戏上发生的现象等的表现本来是由该游戏所具有的程序规定的,但是通过将人工智能应用于便携式游戏机5300,可以实现不局

限于游戏的程序的表现。例如,可以实现游戏玩者提问的内容、游戏的进展情况、时间、游戏上出现的人物的言行变化等的表现。

[0729] 此外,当使用便携式游戏机5300玩需要多个游戏玩者的游戏时,可以利用人工智能构成拟人的游戏玩者,由此可以将人工智能的游戏玩者当作对手,一个人也可以玩多个人玩的游戏。

[0730] 虽然图45C及图45D示出便携式游戏机及固定式游戏机作为游戏机的一个例子,但是应用本发明的一个方式的GPU、存储装置或芯片的游戏机不局限于此。作为应用本发明的一个方式的GPU、存储装置或芯片的游戏机,例如可以举出设置在娱乐设施(游戏中心,游乐园等)的街机游戏机、设置在体育设施的击球练习用投球机等。

[0731] [大型计算机]

可以将本发明的一个方式的GPU、存储装置或芯片应用于大型计算机。

[0732] 图45E示出作为大型计算机的一个例子的超级计算机5500。图45F示出超级计算机5500所包括的机架(rack mount)式计算机5502。

[0733] 超级计算机5500包括机架5501及多个机架式计算机5502。注意,多个计算机5502容纳在机架5501中。另外,计算机5502设有多个基板5504,在该基板上可以安装上述实施方式所说明的GPU、存储装置或芯片。

[0734] 超级计算机5500主要是适合于科学计算的大型计算机。科学计算需要以高速进行庞大的运算,因此功耗大且芯片的发热高。通过将本发明的一个方式的GPU、存储装置或芯片应用于超级计算机5500,可以实现低功耗的超级计算机。此外,借助于低功耗,可以降低来自电路的发热,由此可以减少因发热而给电路本身、外围电路及模块带来的负面影响。

[0735] 在图45E及图45F中,作为大型计算机的一个例子示出超级计算机,然而应用本发明的一个方式的GPU、存储装置或芯片的大型计算机不局限于此。作为应用本发明的一个方式的GPU、存储装置或芯片的大型计算机,例如可以举出提供服务的计算机(服务器)、大型通用计算机(主机)等。

[0736] [移动体]

本发明的一个方式的GPU、存储装置或芯片可以应用于作为移动体的汽车及汽车的驾驶席周边。

[0737] 图45G是示出移动体的一个例子的汽车内部的前挡风玻璃周边的图。图45G示出安装在仪表盘的显示面板5701、显示面板5702、显示面板5703以及安装在支柱的显示面板5704。

[0738] 通过显示速度表、转速计、行驶距离、燃料表、排档状态、空调的设定,显示面板5701至显示面板5703可以提供各种信息。此外,使用者可以根据喜好适当地改变显示面板所显示的显示内容及布局等,可以提高设计性。显示面板5701至显示面板5703还可以用作照明装置。

[0739] 通过将由设置在汽车的摄像装置(未图示)拍摄的影像显示在显示面板5704上,可以弥补被支柱遮挡的视野(死角)。也就是说,通过显示由设置在汽车外侧的摄像装置拍摄的影像,可以弥补死角,从而可以提高安全性。此外,通过显示弥补看不到的部分的影像,可以更自然、更舒适地确认安全。显示面板5704还可以用作照明装置。

[0740] 因为可以将本发明的一个方式的GPU、存储装置或芯片用作人工智能的构成要素,

例如可以将该芯片用于汽车的自动驾驶系统。该芯片也可以用于进行导航、危险预测等的系统。此外,也可以在显示面板5701至显示面板5704上显示导航、危险预测等信息。

[0741] 虽然在上述例子中作为移动体的一个例子说明了汽车,但是移动体不局限于汽车。例如,作为移动体,也可以举出电车、单轨铁路、船舶、飞行物(直升机、无人驾驶飞机(无人机)、飞机、火箭)等,可以对这些移动体应用本发明的一个方式的芯片,以提供利用人工智能的系统。

[0742] [电器产品]

图45H示出电器产品的一个例子的电冷藏冷冻箱5800。电冷藏冷冻箱5800包括外壳5801、冷藏室门5802及冷冻室门5803等。

[0743] 通过将本发明的一个方式的芯片应用于电冷藏冷冻箱5800,可以实现具备人工智能的电冷藏冷冻箱5800。通过利用人工智能,可以使电冷藏冷冻箱5800具有基于储存在电冷藏冷冻箱5800中的食品或该食品的消费期限等自动生成菜单的功能、根据所储存的食品自动调整电冷藏冷冻箱5800的温度的功能。

[0744] 作为电器产品的一个例子说明了电冷藏冷冻箱,但是作为其他电器产品,例如可以举出吸尘器、微波炉、电烤箱、电饭煲、热水器、IH炊具、饮水机、包括空气调节器的冷暖空调机、洗衣机、干衣机、视听设备等。

[0745] 在本实施方式中说明的电子设备、该电子设备的功能、人工智能的应用例子以及其效果等可以与其他的电子设备的记载适当地组合而实施。

[0746] 以上,本实施方式所示的结构、方法等的至少一部分可以与本说明书所记载的其他实施方式及其他实施例等适当地组合而实施。

[符号说明]

[0747] 14:绝缘体、15:导电体、16:绝缘体、20A:晶体管、20B:晶体管、20C:晶体管、20D:晶体管、20E:晶体管、20F:晶体管、20:晶体管、22A:绝缘膜、22:绝缘体、23a:绝缘体、23A:绝缘膜、23b:绝缘体、23f:绝缘膜、23:绝缘体、24A:绝缘膜、24B:绝缘层、24:绝缘体、30A:氧化膜、30a:区域、30b:区域、30c:区域、30:氧化物、42a:导电体、42A:导电膜、42b:导电体、42B:导电层、42:导电体、50A:绝缘膜、50:绝缘体、52:绝缘体、54:绝缘体、60A:导电膜、60:导电体、75:绝缘体、80:绝缘体、82:绝缘体、83:绝缘体、91:开口、100:电容器、110:导电体、112:导电体、115:导电体、120:导电体、125:导电体、130:绝缘体、140:导电体、142:绝缘体、145:绝缘体、150:绝缘体、152:绝缘体、153:导电体、154:绝缘体、156:绝缘体、200a:晶体管、200b:晶体管、200:晶体管、205a:导电体、205b:导电体、205:导电体、210:绝缘体、212:绝缘体、214:绝缘体、216:绝缘体、217:绝缘体、218:导电体、222:绝缘体、223a:绝缘体、223A:绝缘膜、223b:绝缘体、223c:绝缘体、223:绝缘体、224B:绝缘层、224:绝缘体、230A:氧化膜、230a:区域、230b:区域、230c:区域、230:氧化物、240a:导电体、240b:导电体、240:导电体、241a:绝缘体、241b:绝缘体、241:绝缘体、242a:导电体、242A:导电膜、242b:导电体、242B:导电层、242c:导电体、242:导电体、243a:氧化物、243b:氧化物、243:氧化物、246a:导电体、246b:导电体、246:导电体、250a:绝缘体、250A:绝缘膜、250b:绝缘体、250:绝缘体、252A:绝缘膜、252:绝缘体、254A:绝缘膜、254:绝缘体、260a:导电体、260b:导电体、260:导电体、265:密封部、271a:绝缘体、271A:绝缘膜、271b:绝缘体、271B:绝缘层、271c:绝缘体、271:绝缘体、274:绝缘体、275:绝缘体、280:绝缘体、282:绝缘体、283:绝缘体、285:绝缘体、290:存

储器件、292a:电容器件、292b:电容器件、292:电容器件、294a:导电体、294b:导电体、294:导电体、300:晶体管、311:衬底、313:半导体区域、314a:低电阻区域、314b:低电阻区域、315:绝缘体、316:导电体、320:绝缘体、322:绝缘体、324:绝缘体、326:绝缘体、328:导电体、330:导电体、350:绝缘体、352:绝缘体、354:绝缘体、356:导电体、400:开口区域、500:半导体装置、600:存储装置、601:存储装置、610_1:单元阵列、610_n:单元阵列、610:单元阵列、700:电子构件、702:印刷电路板、704:电路板、711:模子、712:连接盘、713:电极焊盘、714:引线、720:存储装置、721:驱动电路层、722:存储电路层、730:电子构件、731:插板、732:封装衬底、733:电极、735:半导体装置、1001:布线、1002:布线、1003:布线、1004:布线、1005:布线、1006:布线、1100:USB存储器、1101:外壳、1102:盖子、1103:USB连接器、1104:衬底、1105:存储器芯片、1106:控制器芯片、1110:SD卡、1111:外壳、1112:连接器、1113:衬底、1114:存储器芯片、1115:控制器芯片、1150:SSD、1151:外壳、1152:连接器、1153:衬底、1154:存储器芯片、1155:存储器芯片、1156:控制器芯片、1200:芯片、1201:封装衬底、1202:凸块、1203:母板、1204:GPU模块、1211:CPU、1212:GPU、1213:模拟运算部、1214:存储器控制器、1215:接口、1216:网络电路、1221:DRAM、1222:快闪存储器、1400:存储装置、1411:外围电路、1420:行电路、1430:列电路、1440:输出电路、1460:控制逻辑电路、1470:存储单元阵列、1471:存储单元、1472:存储单元、1473:存储单元、1474:存储单元、1475:存储单元、1476:存储单元、1477:存储单元、1478:存储单元、2700:制造装置、2701:大气侧衬底供应室、2702:大气侧衬底传送室、2703a:装载闭锁室、2703b:卸载闭锁室、2704:传送室、2706a:处理室、2706b:处理室、2706c:处理室、2706d:处理室、2761:盒式接口、2762:对准机、2763a:传送机器人、2763b:传送机器人、2801:气体供应源、2802:阀、2803:高频产生器、2804:波导管、2805:模式转换器、2806:气体管、2807:波导管、2808:缝隙天线板、2809:电介质板、2810:高密度等离子体、2811_1:衬底、2811_2:衬底、2811_3:衬底、2811_n:衬底、2811_n-1:衬底、2811_n-2:衬底、2811:衬底、2812:衬底架、2813:加热机构、2815:匹配器、2816:高频电源、2817:真空泵、2818:阀、2819:排气口、2820:灯、2821:气体供应源、2822:阀、2823:气体导入口、2824:衬底、2825:衬底架、2826:加热机构、2828:真空泵、2829:阀、2830:排气口、2900:微波处理装置、2901:石英管、2902:衬底架、2903:加热单元、3310:CPU、3311:CPU核心、3312:备份电路、3313:PMU、3314:触发器、3315:功率开关、3316:功率开关、3317:功率开关、3318:电平转换器、3319A:时钟缓冲电路、3319:扫描触发器、3371:L1高速缓冲存储装置、3372:L2高速缓冲存储装置、3373:总线接口部、5100:信息终端、5101:外壳、5102:显示部、5200:笔记本式信息终端、5201:主体、5202:显示部、5203:键盘、5300:便携式游戏机、5301:外壳、5302:外壳、5303:外壳、5304:显示部、5305:连接部、5306:操作键、5400:固定式游戏机、5402:控制器、5500:超级计算机、5501:机架、5502:计算机、5504:衬底、5701:显示面板、5702:显示面板、5703:显示面板、5704:显示面板、5800:电冷藏冷冻箱、5801:外壳、5802:冷藏室门、5803:冷冻室门。

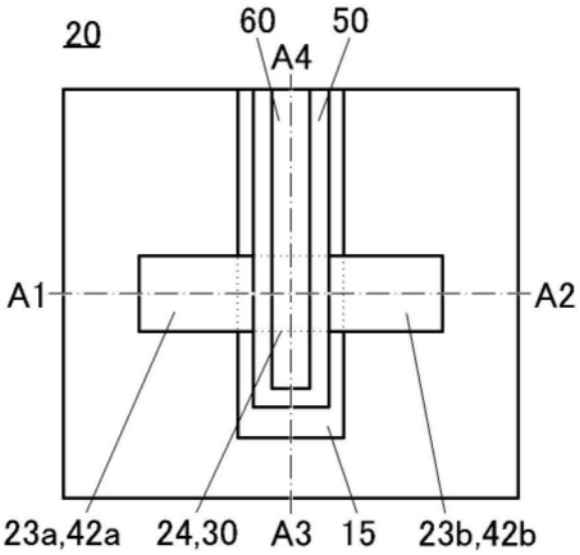

20
60
50
A4
A1
A2
23a,42a
24,30
A3
15
23b,42b

图1A

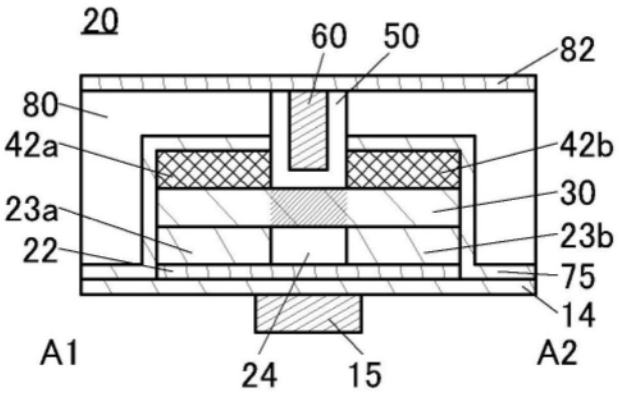

20
60
50
82
80
42a
42b
30
23a
23b
22
75
14
A1
24
15
A2

图1B

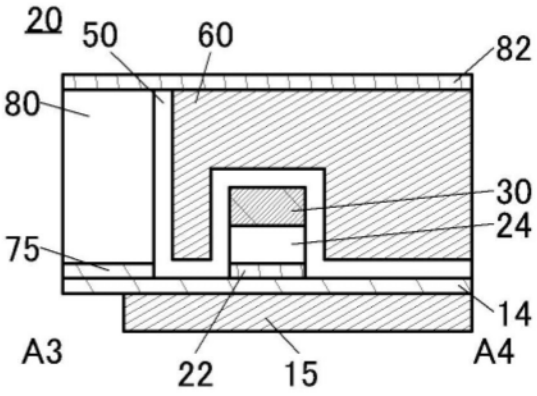

20
50
60
82
80
30
24
75
14
A3
22
15
A4

图1C

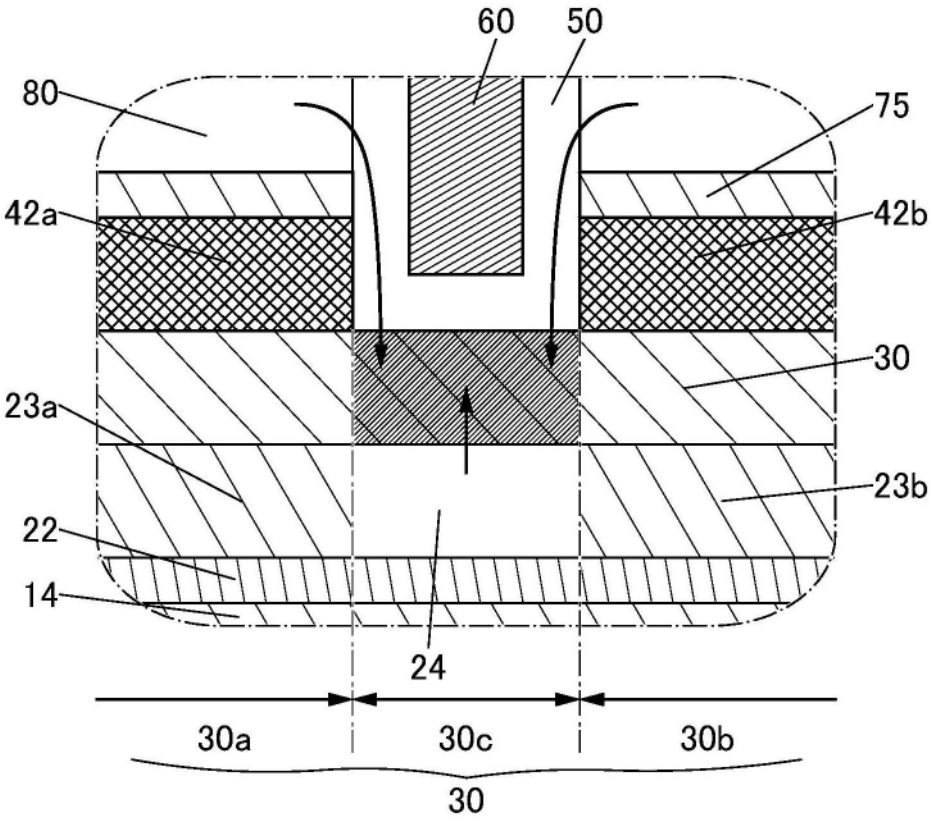

60
50
80
75
42a
42b
30
23a
23b
22
14
24
30a
30c
30b
30

图2A

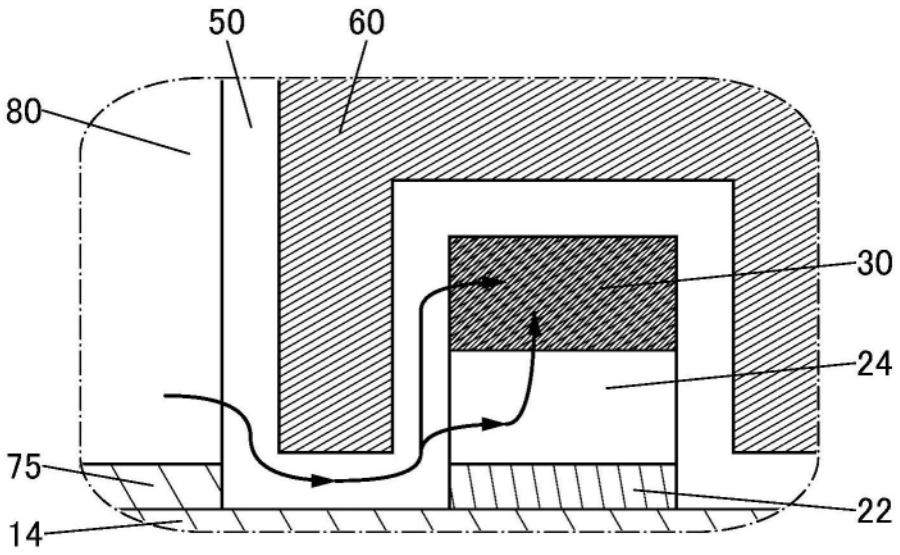

50
60
80
30
24
75
22
14

图2B

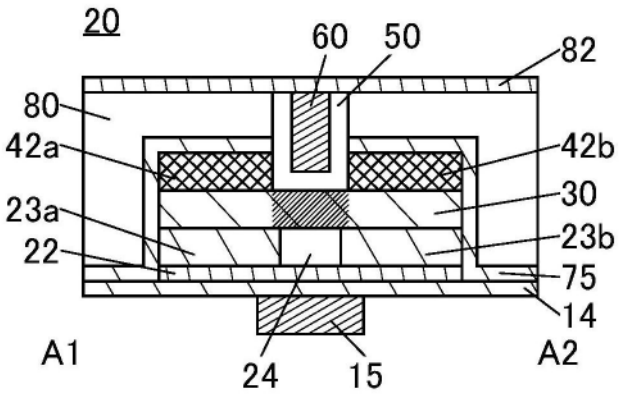

20
60
50
82
80
42a
42b
30
23a
23b
22
75
14
A1
A2
24
15

图3A

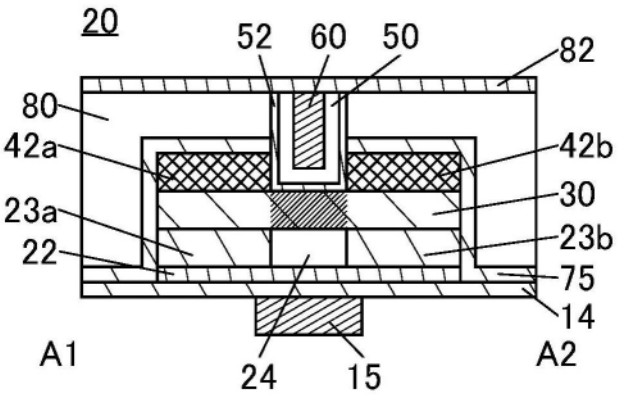

20
52
60
50
82
80
42a
42b
30
23a
23b
22
75
14
A1
A2
24
15

图3B

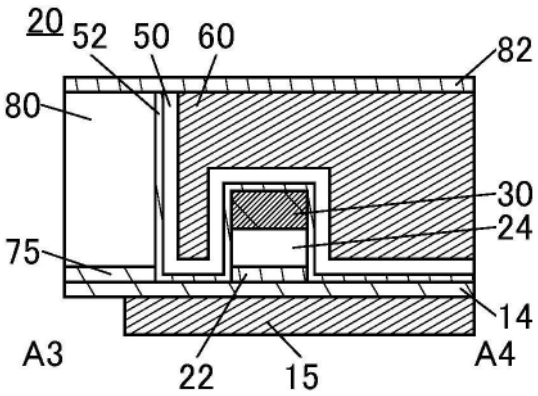

20
52
50
60
82
80
30
24
75
14
A3
A4
22
15

图3C

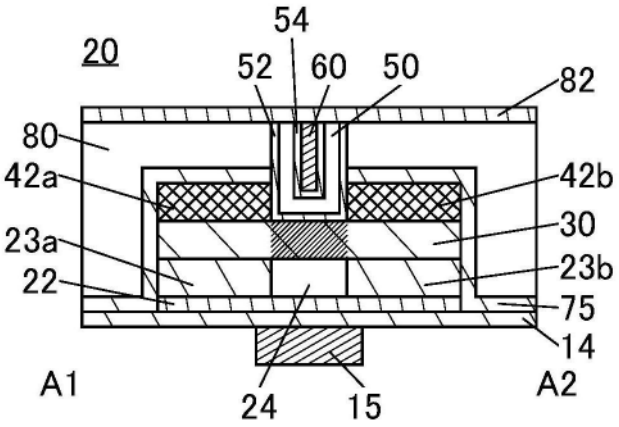


图3D

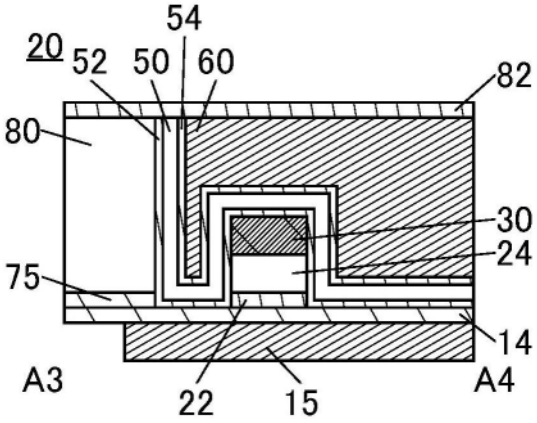


图3E

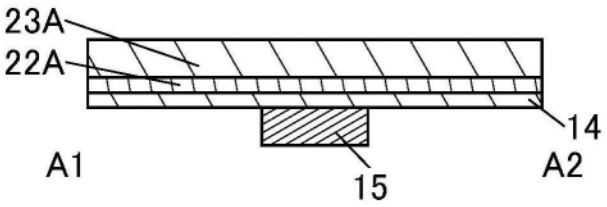


图4A

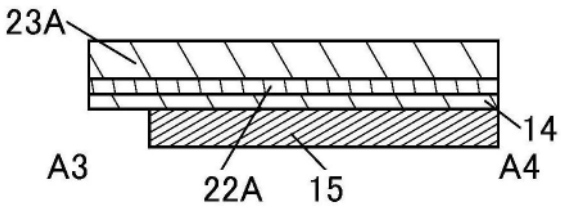


图4B

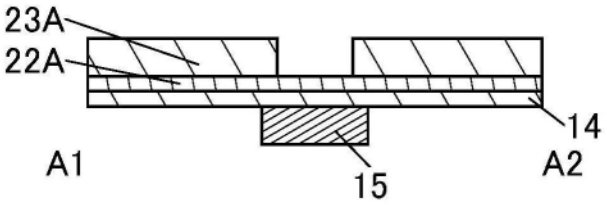


图4C

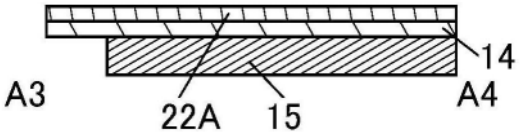


图4D

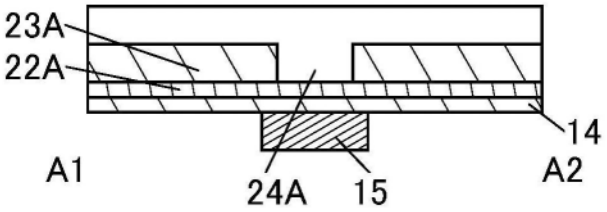


图4E

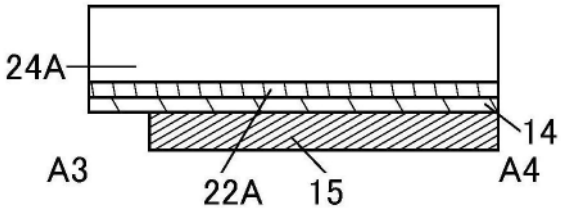


图4F

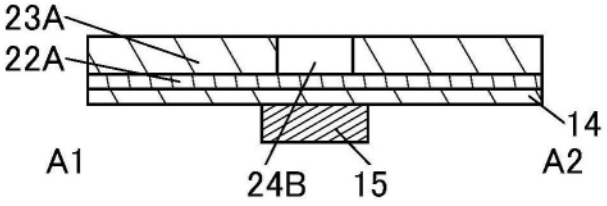


图4G

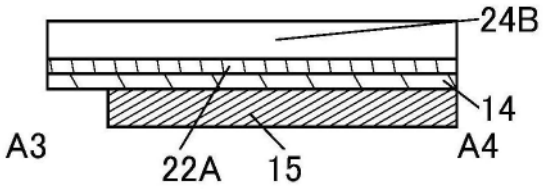


图4H

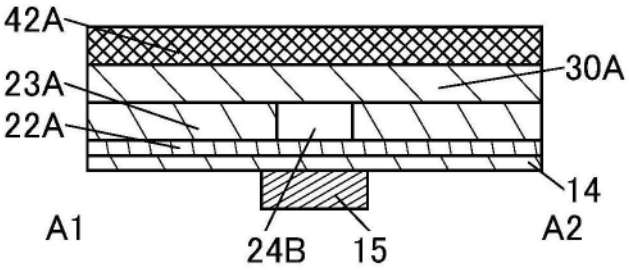


图4I

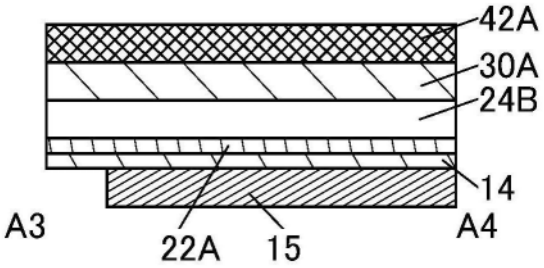


图4J

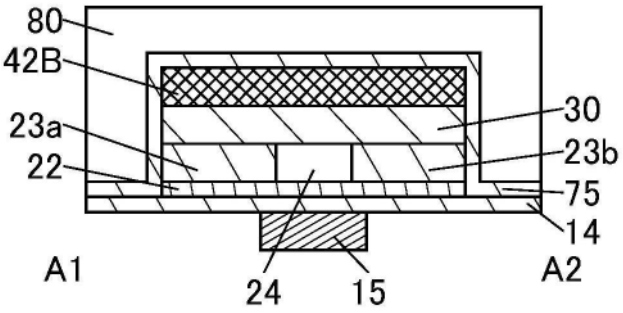


图5A

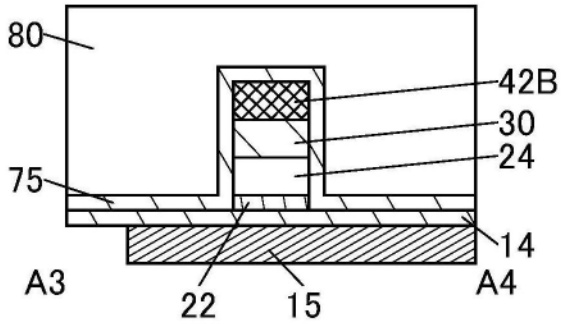

80
42B
30
24
75
14
A3
22
15
A4

图5B

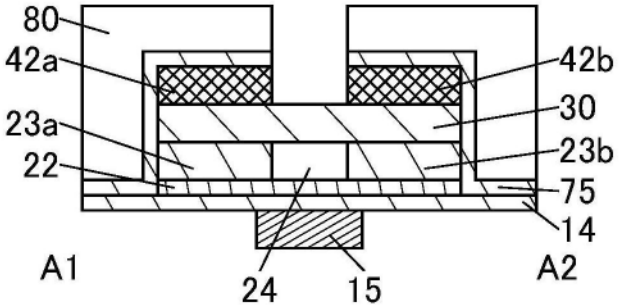

80
42a
42b
30
23a
23b
22
75
14
A1
24
15
A2

图5C

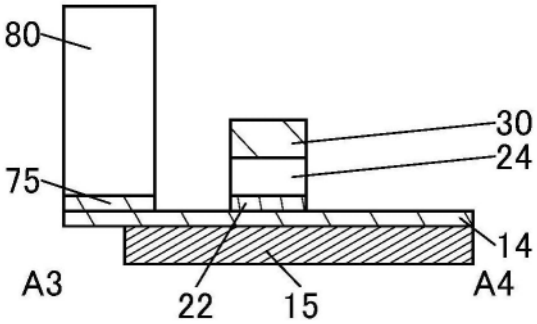

80
30
24
75
14
A3
22
15
A4

图5D

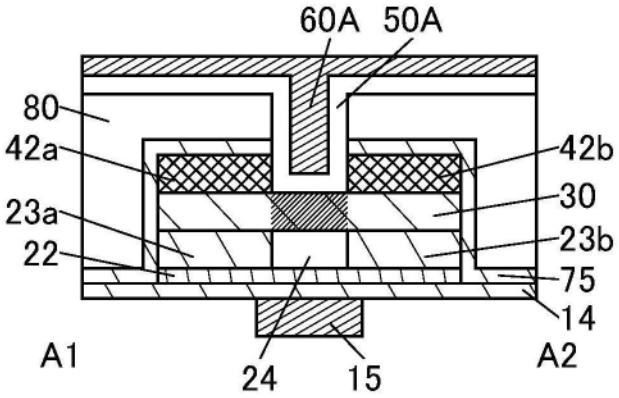

60A
50A
80
42a
42b
30
23a
23b
22
75
14
A1
A2
24
15

图5E

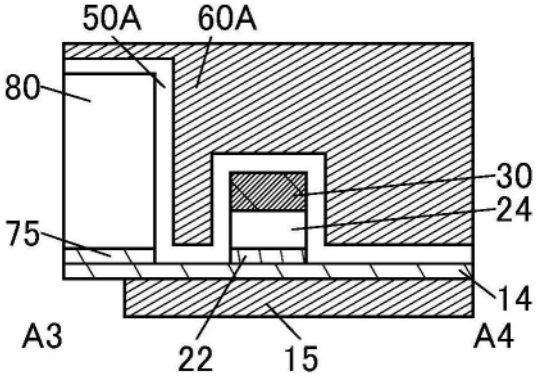

50A
60A
80
30
24
75
14
A3
A4
22
15

图5F

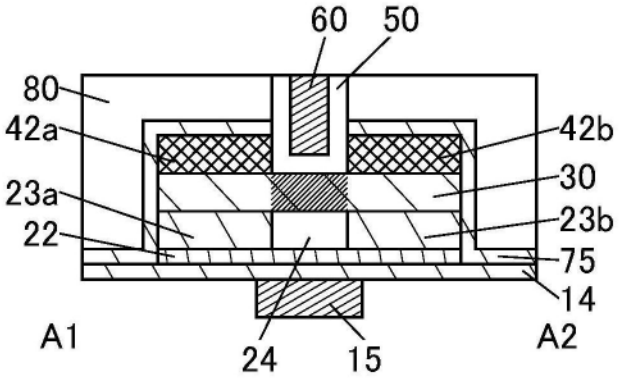

60
50
80
42a
42b
30
23a
23b
22
75
14
A1
A2
24
15

图5G

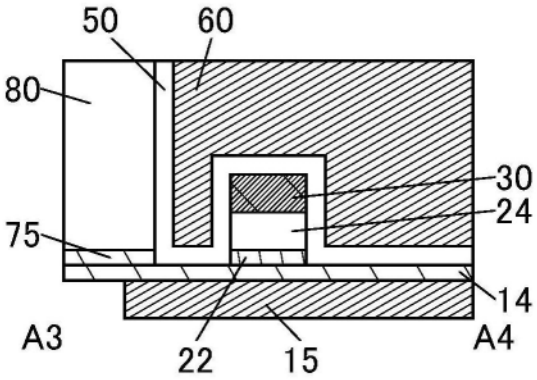


图5H

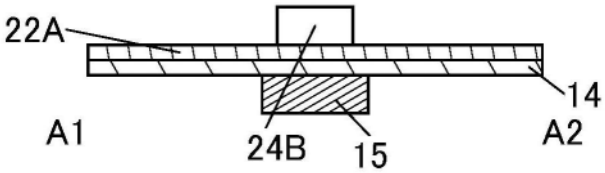


图6A

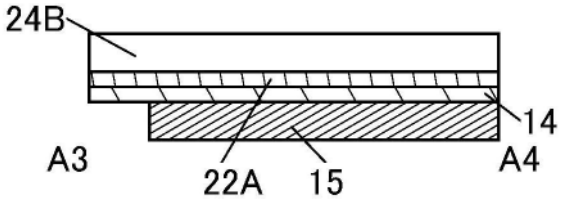


图6B

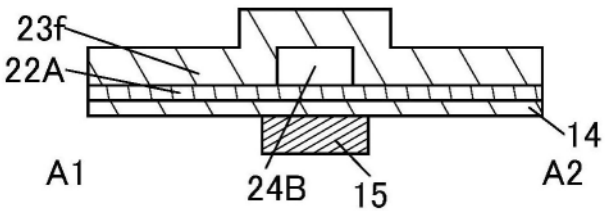


图6C

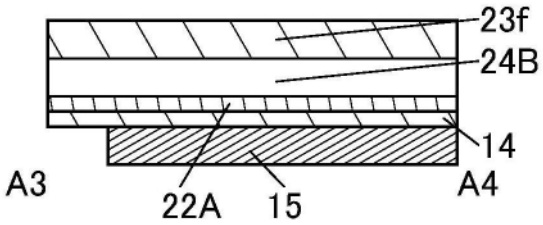


图6D

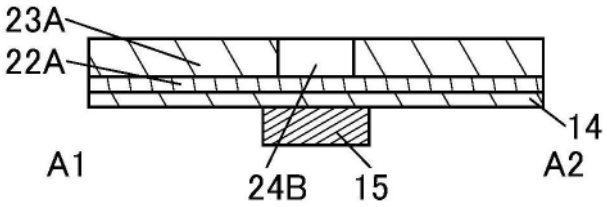


图6E

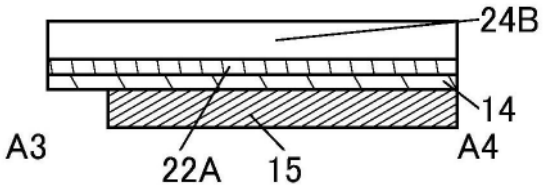


图6F

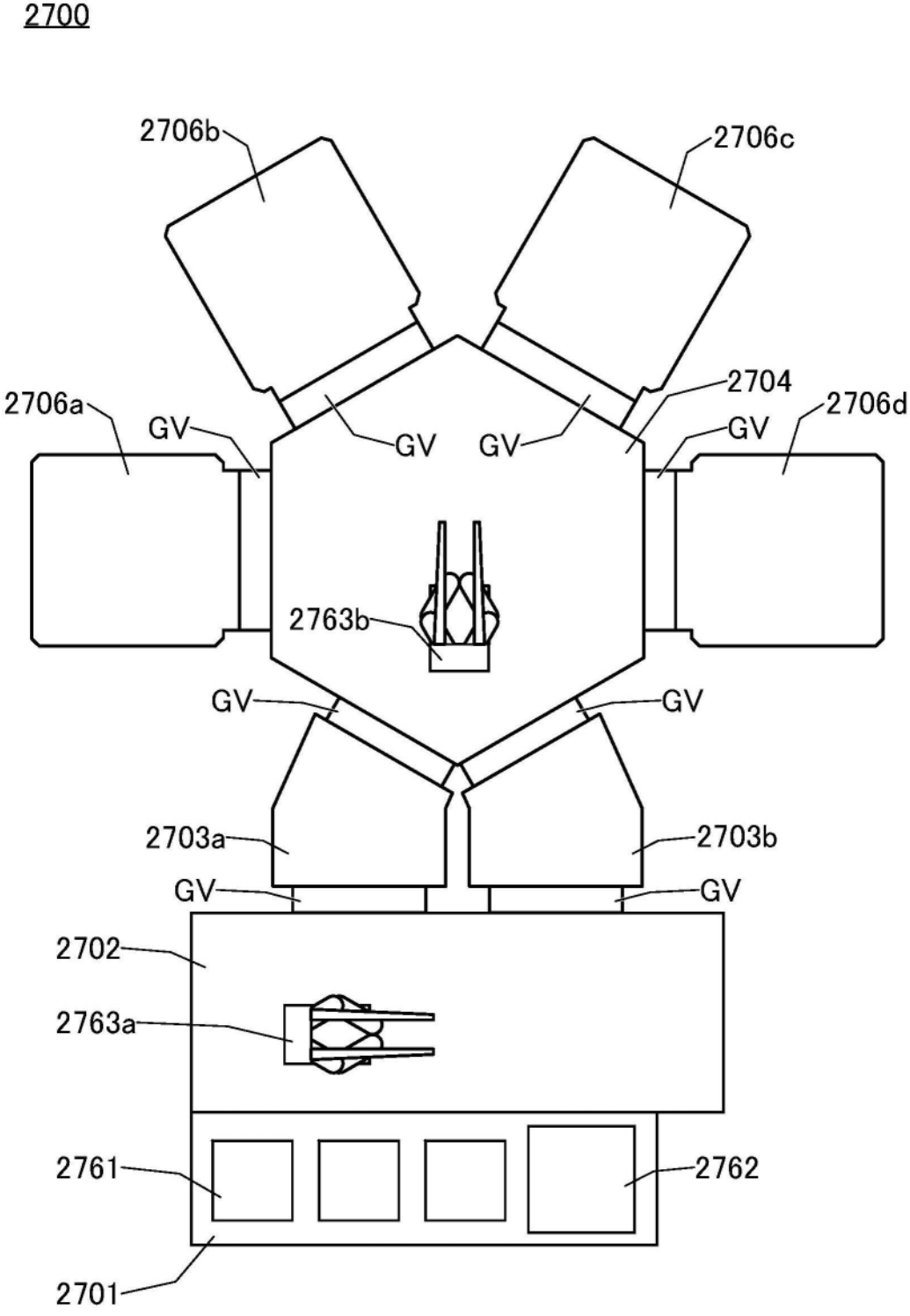

2700
2706b
2706c
2706a
GV
GV
GV
2704
GV
2706d
2763b
GV
GV
2703a
2703b
GV
GV
2702
2763a
2761
2762
2701

图7

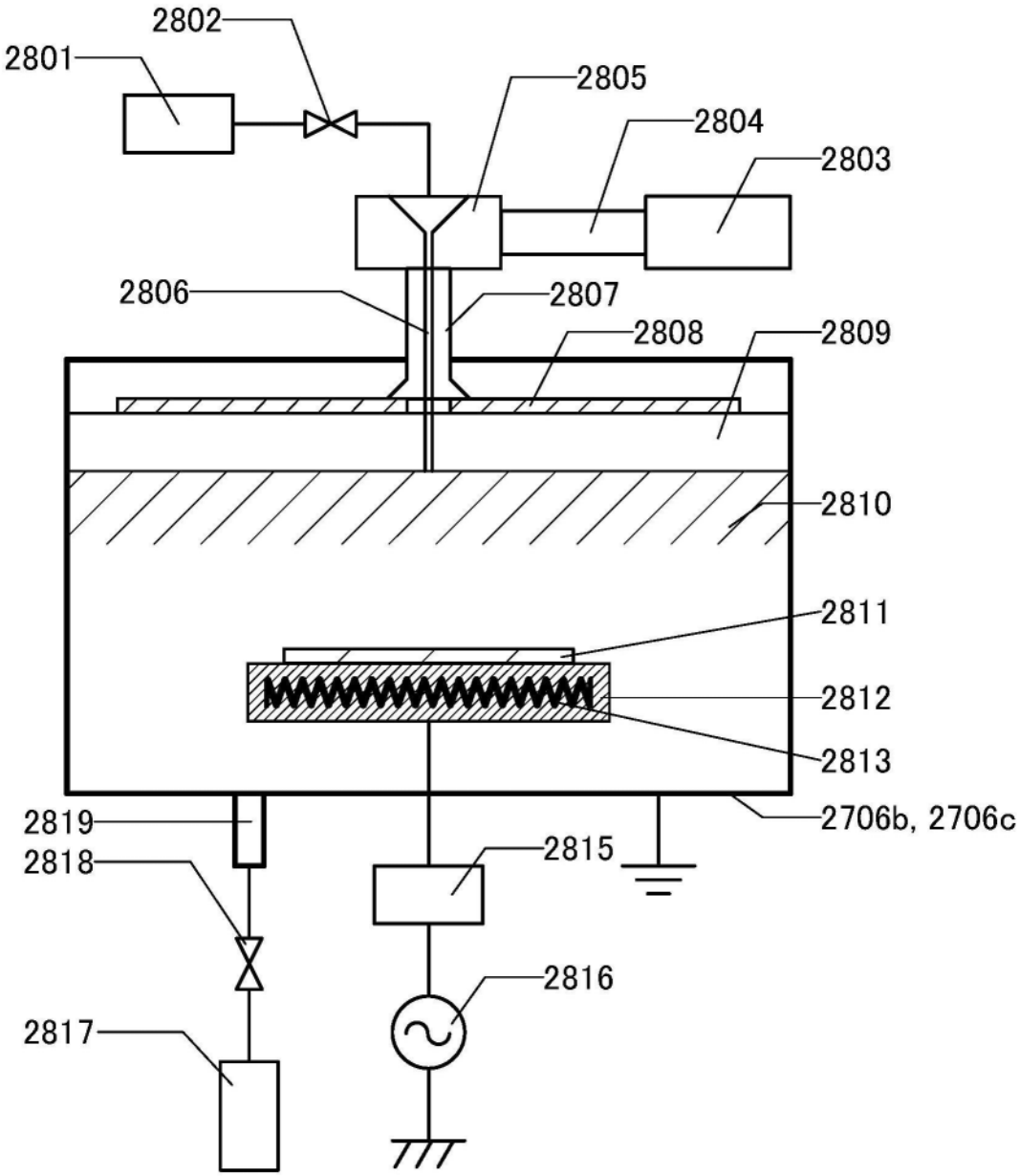

2802
2801
2805
2804
2803
2806
2807
2808
2809
2810
2811
2812
2813
2819
2706b, 2706c
2818
2815
2816
2817

图8

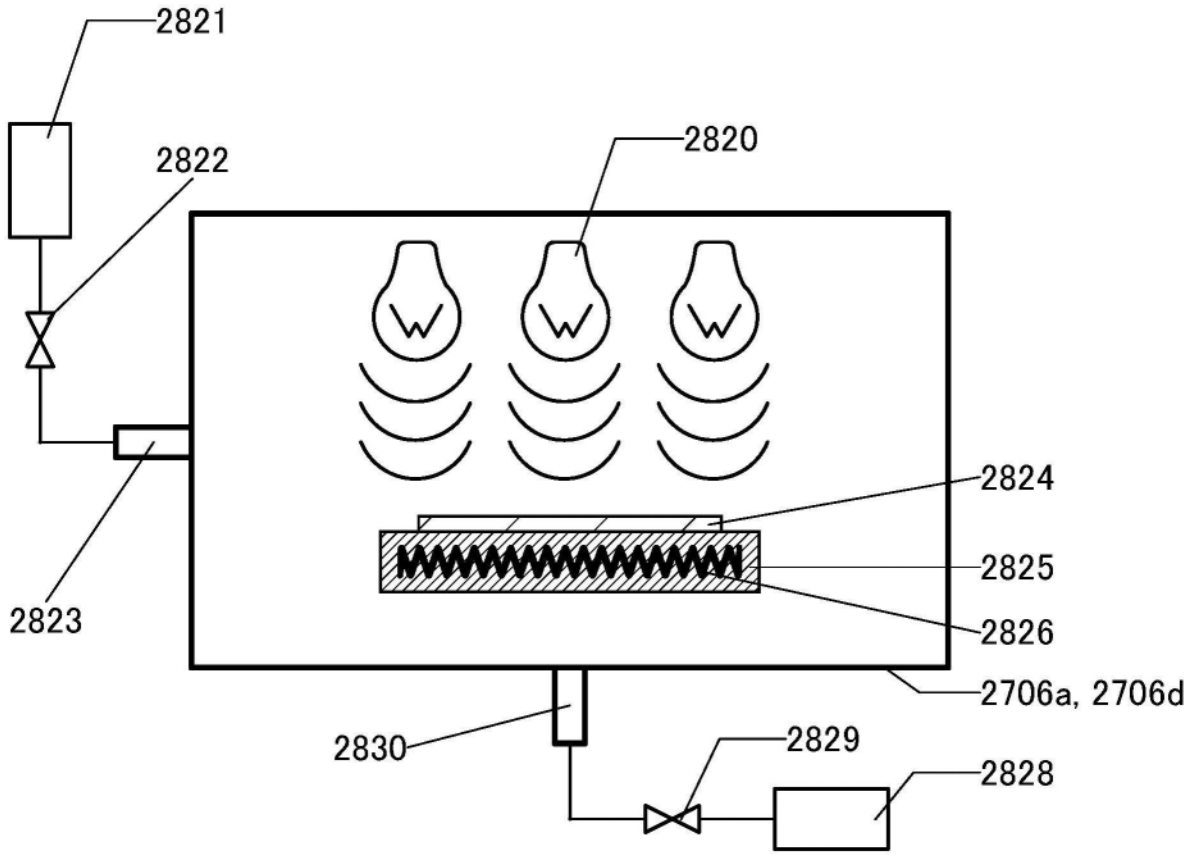

2821
2822
2820
2824
2825
2826
2823
2706a, 2706d
2830
2829
2828

图9

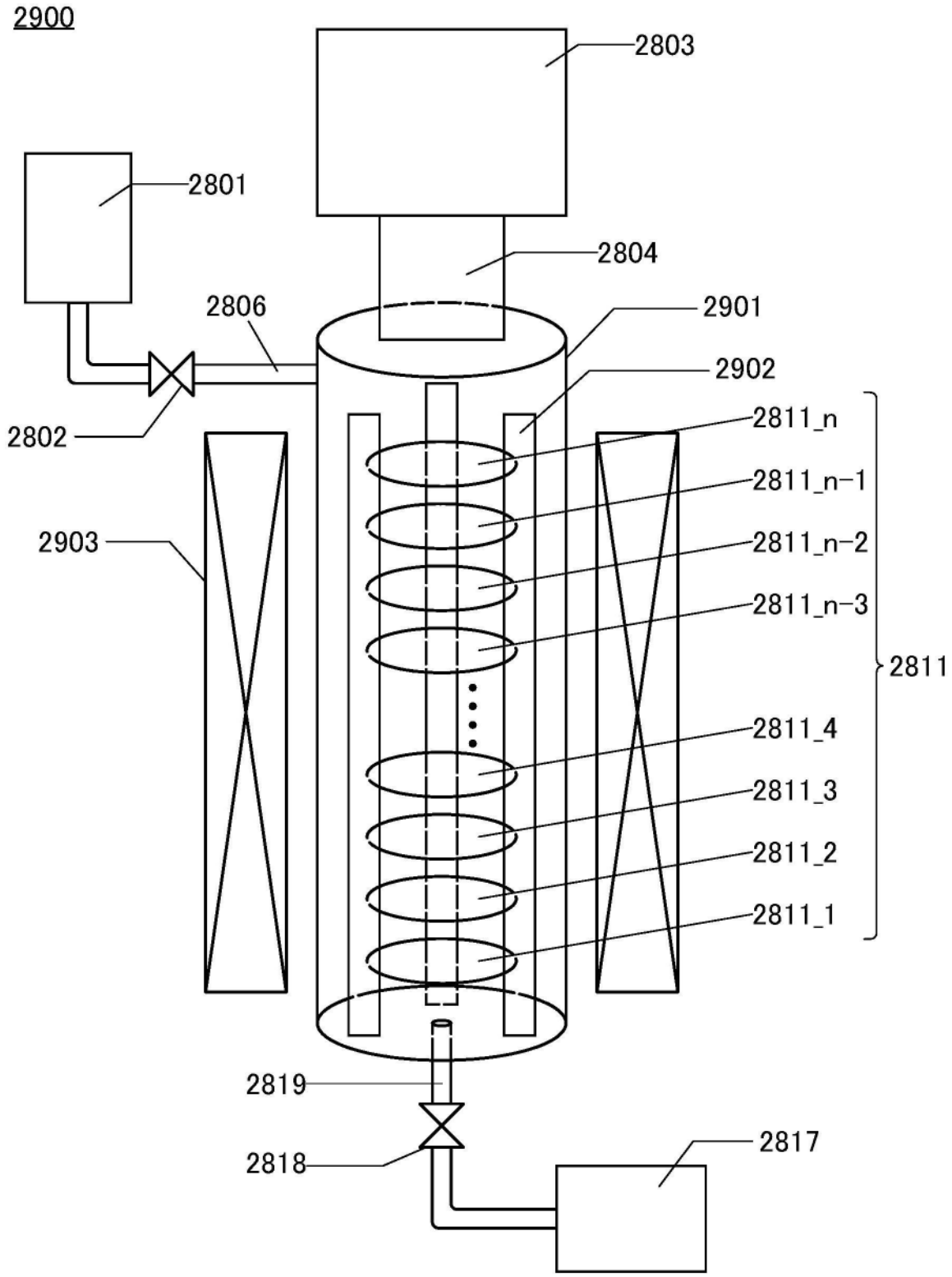

2900
2803
2801
2804
2806
2901
2902
2802
2811_n
2811_n-1
2903
2811_n-2
2811_n-3
2811
2811_4
2811_3
2811_2
2811_1
2819
2817
2818

图10

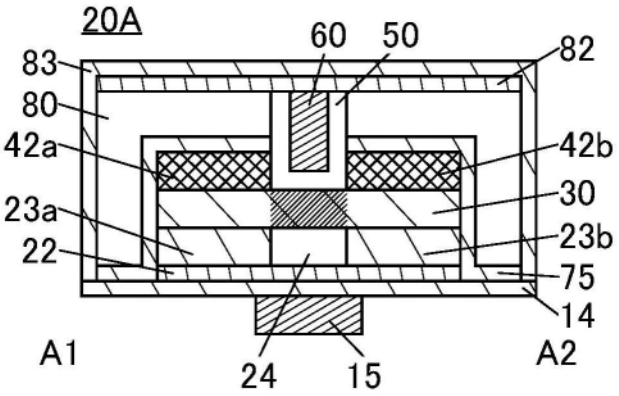


图11A

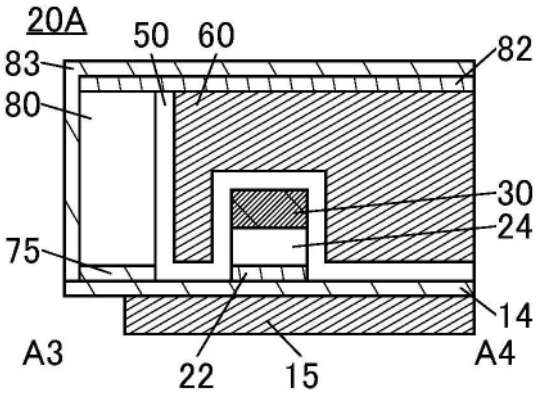


图11B

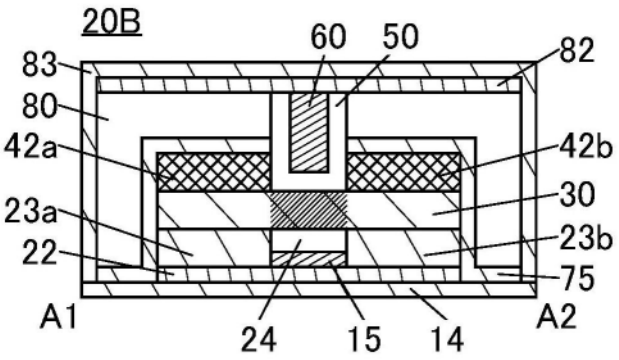


图11C

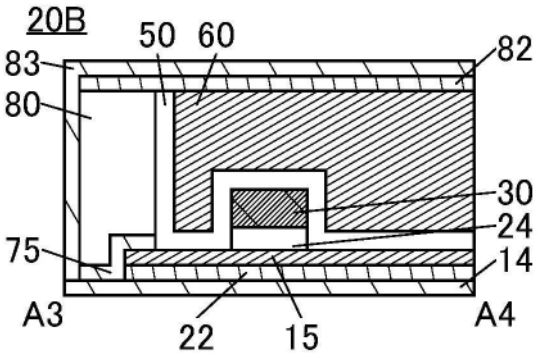


图11D

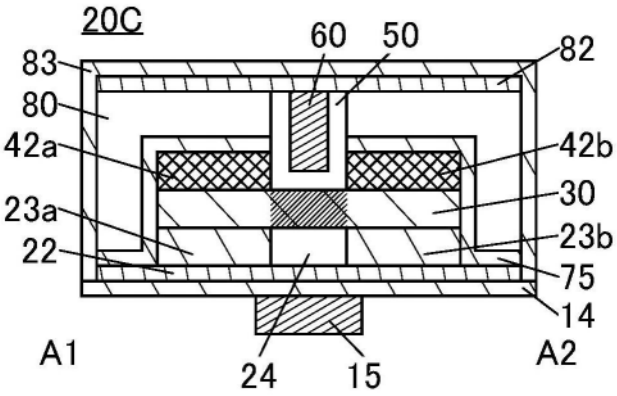


图12A

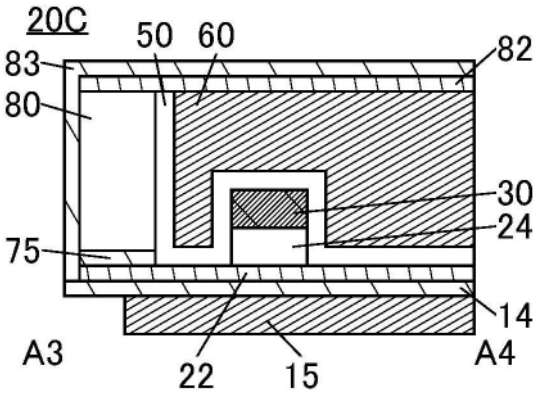


图12B

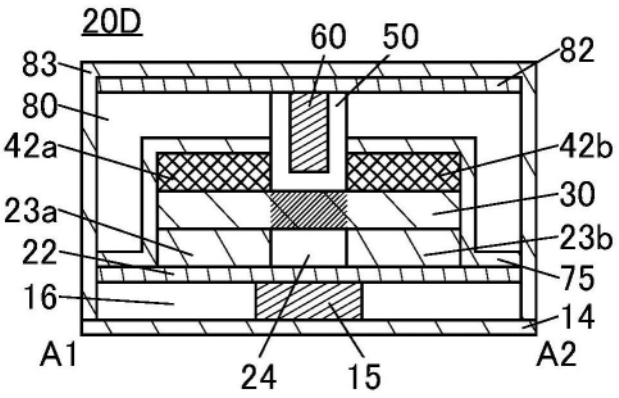


图12C

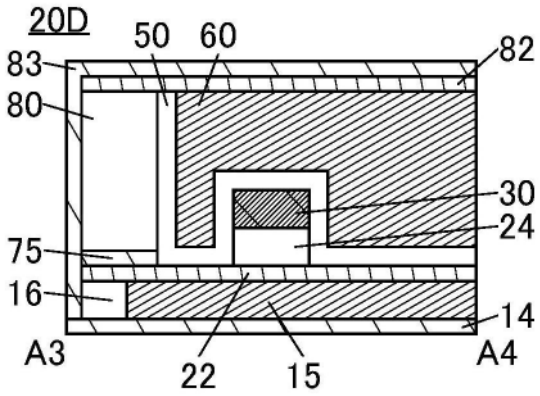


图12D

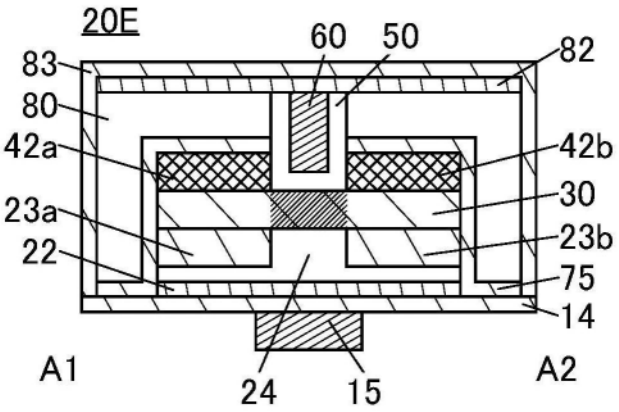


图13A

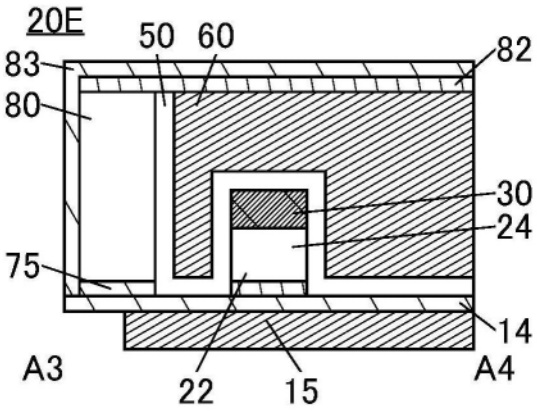


图13B

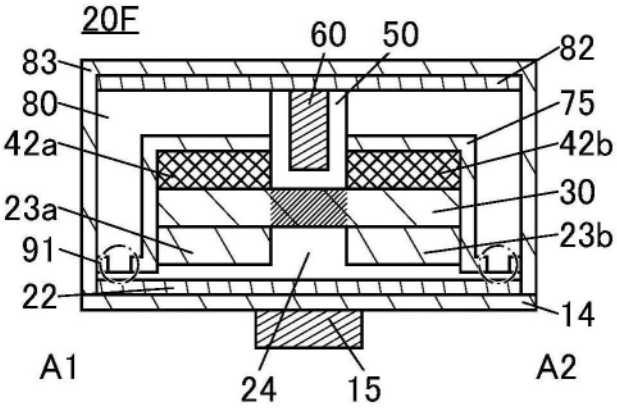


图13C

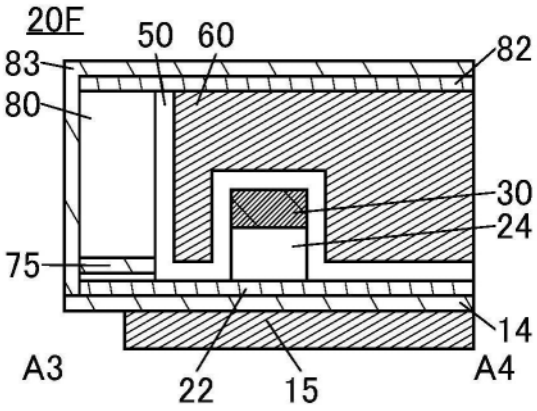


图13D

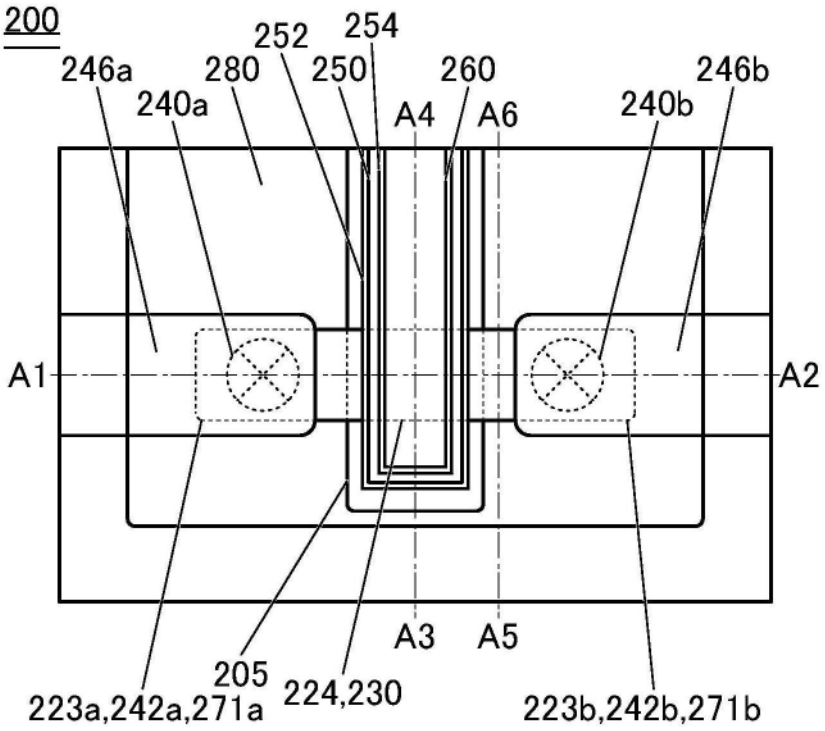

200
246a
280
252
254
250
260
246b
240a
A4
A6
240b
A1
A2
A3
A5
205
224,230
223a,242a,271a
223b,242b,271b

图14A

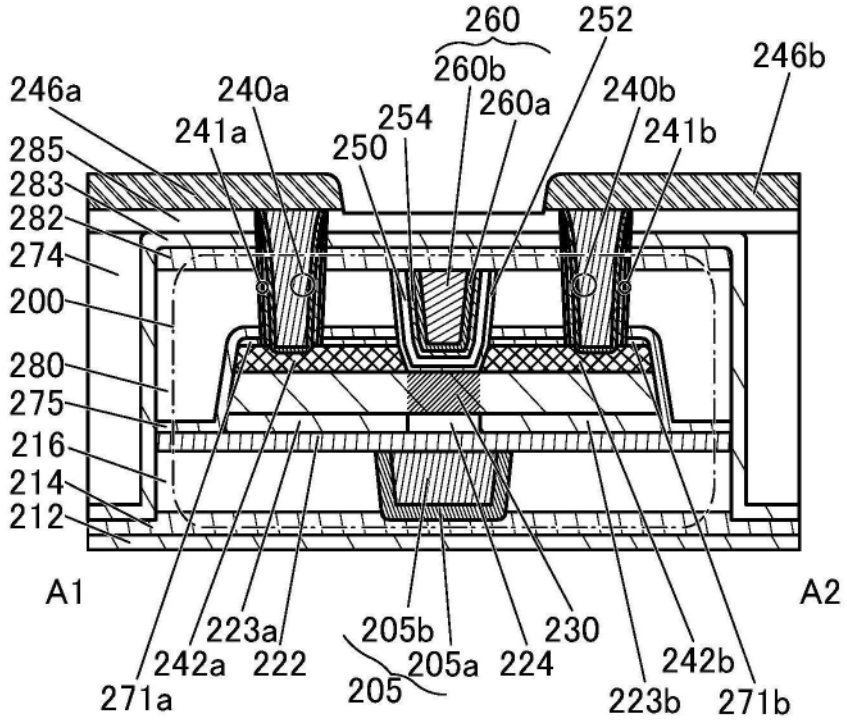

260
252
260b
246b
246a
240a
240b
260a
254
241a
241b
250
285
283
282
274
200
280
275
216
214
212
A1
A2
223a
205b
230
242a
222
205a
224
242b
271a
205
223b
271b

图14B

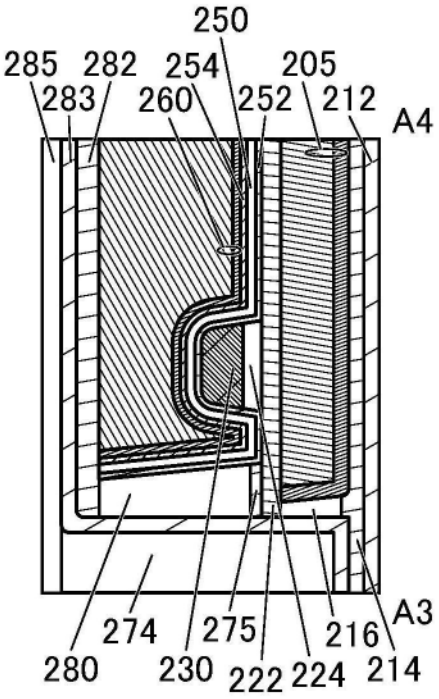

250
285
282
254
205
283
260
252
212
A4
A3
274
275
216
280
230
222
224
214

图14C

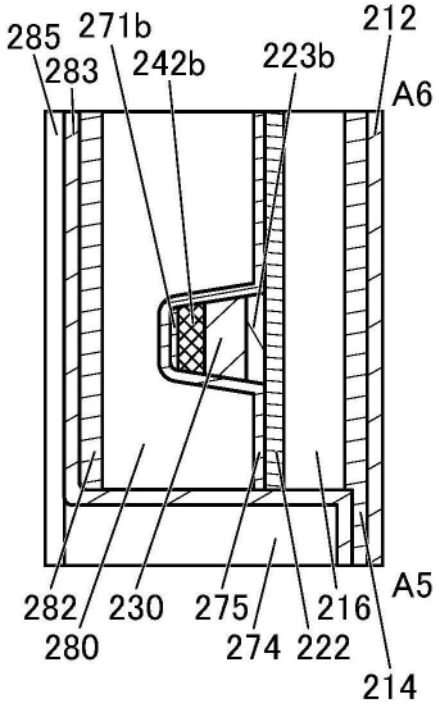

285
271b
212
283
242b
223b
A6
A5
282
230
275
216
280
274
222
214

图14D

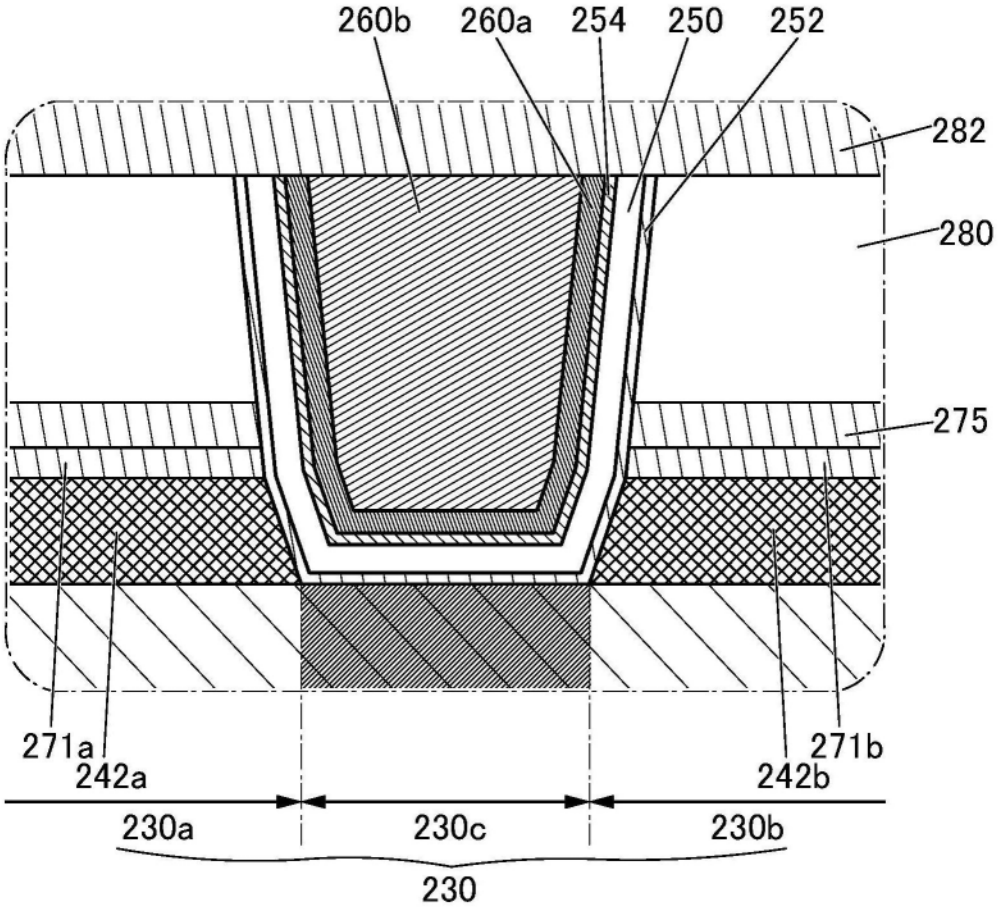

260b
260a
254
250
252
282
280
275
271a
242a
242b
271b
230a
230c
230b
230

图15A

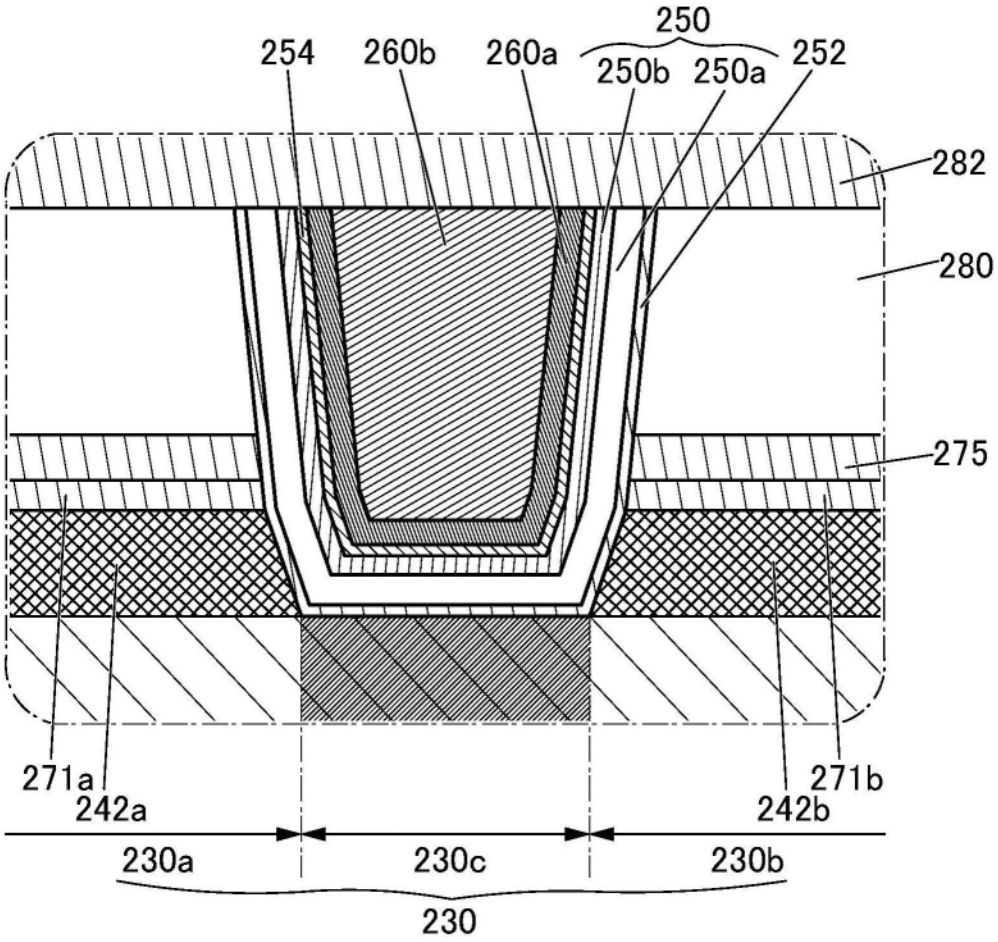

250
254
260b
260a
250b
250a
252
282
280
275
271a
242a
242b
271b
230a
230c
230b
230

图15B

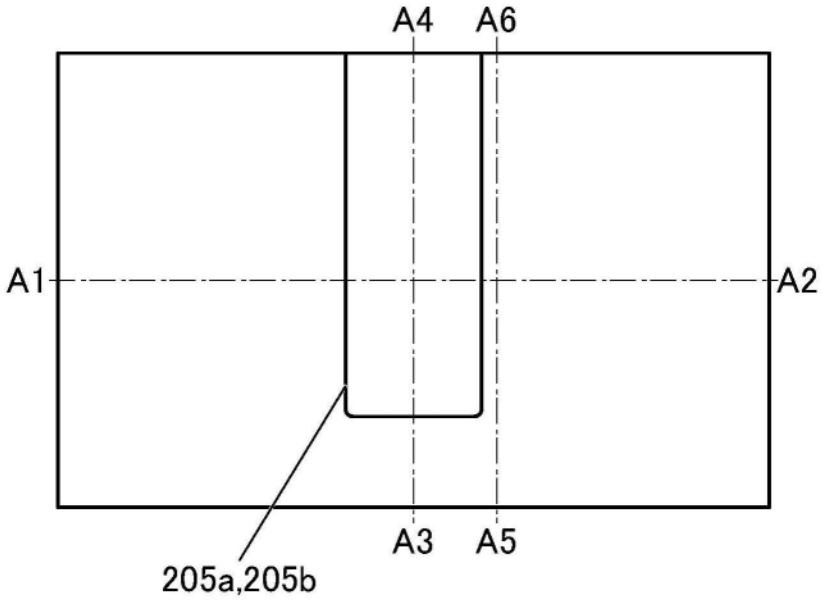

A4
A6
A1
A2
A3
A5
205a,205b

图16A

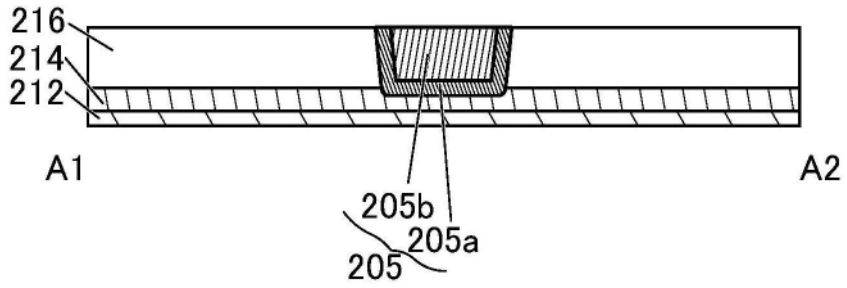


图16B

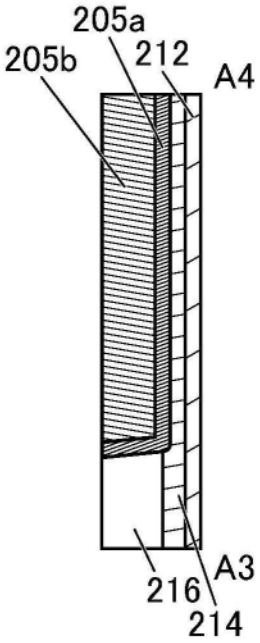


图16C

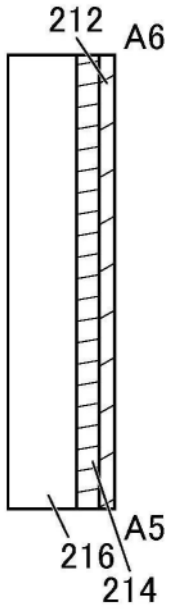


图16D

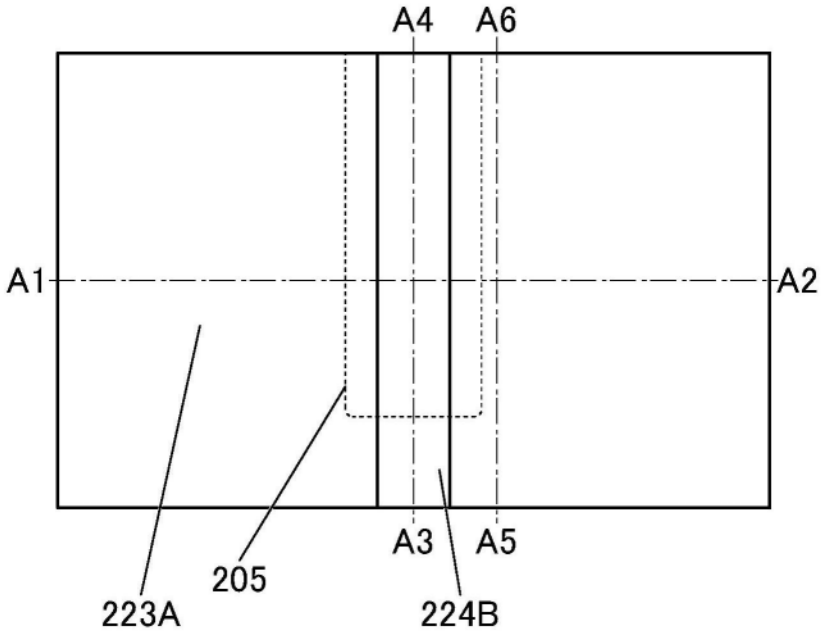


图17A

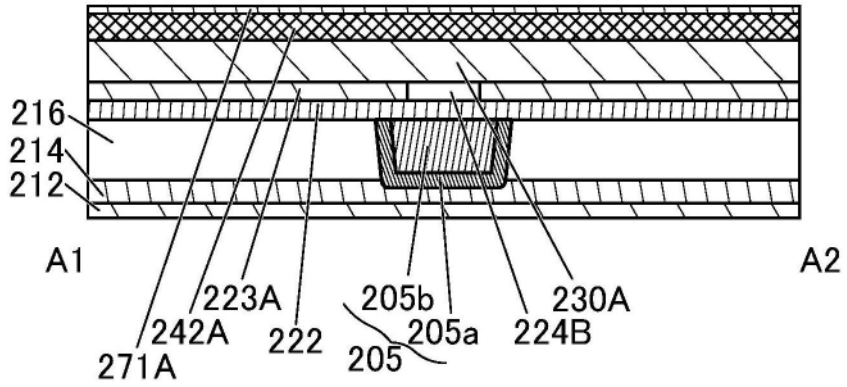

216
214
212
A1
A2
271A
242A
223A
222
205
205b
205a
224B
230A

图17B

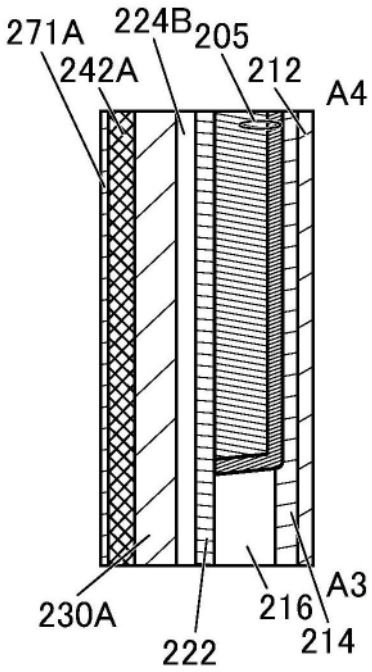

271A
242A
224B
205
212
A4
230A
222
216
214
A3

图17C

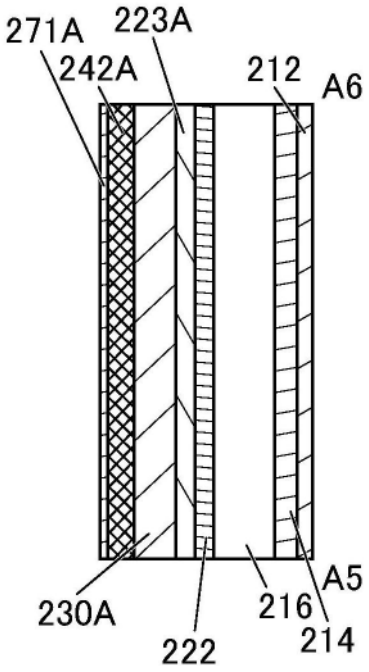

271A
223A
242A
212
A6
A5
230A
222
216
214

图17D

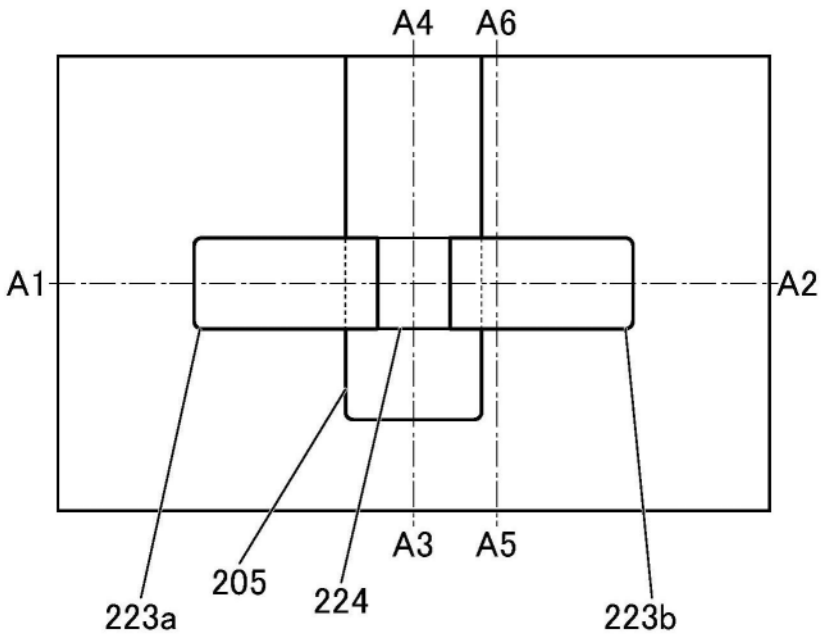

A4
A6
A1
A2
A3
A5
205
224
223a
223b

图18A

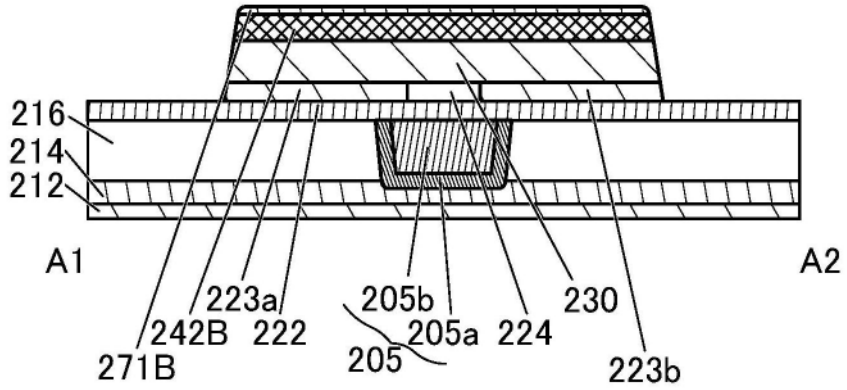

216
214
212
A1
A2
223a
205b
230
242B
222
205a
224
271B
205
223b

图18B

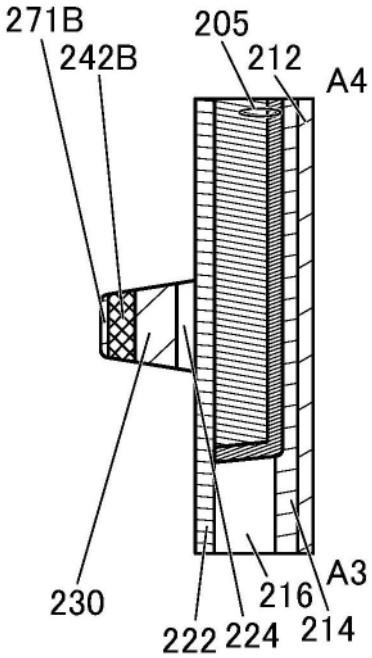

271B
205
242B
212
A4
A3
230
216
214
222
224

图18C

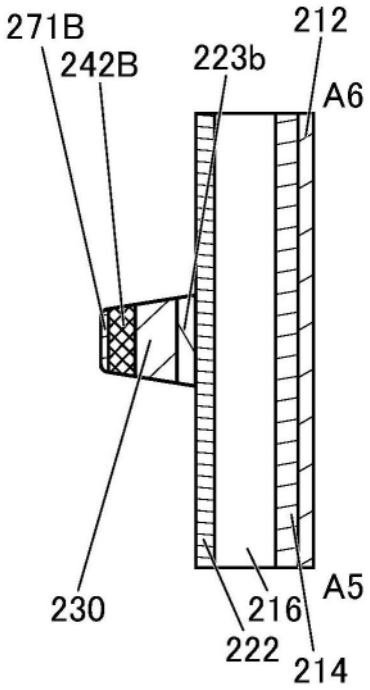

271B
242B
223b
212
A6
230
216
A5
222
214

图18D

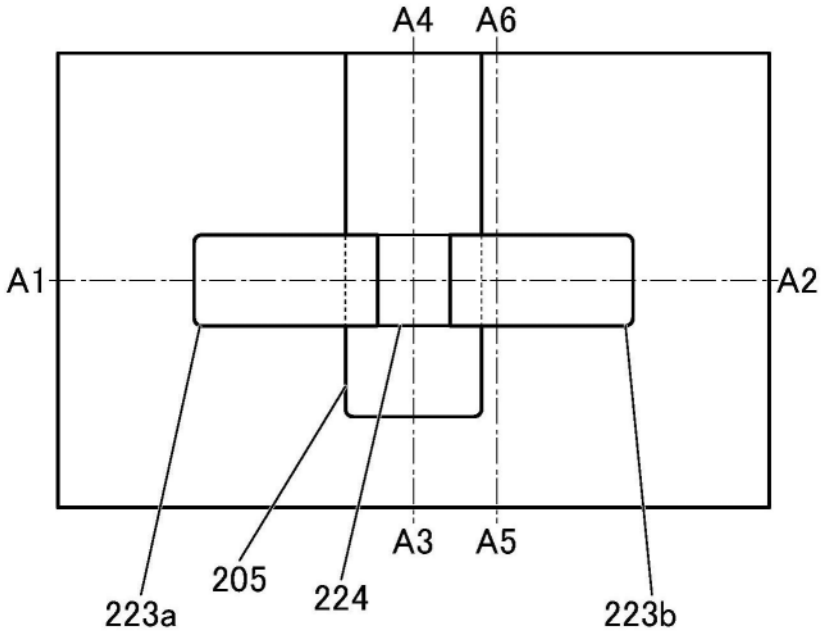

A4
A6
A1
A2
A3
A5
205
224
223a
223b

图19A

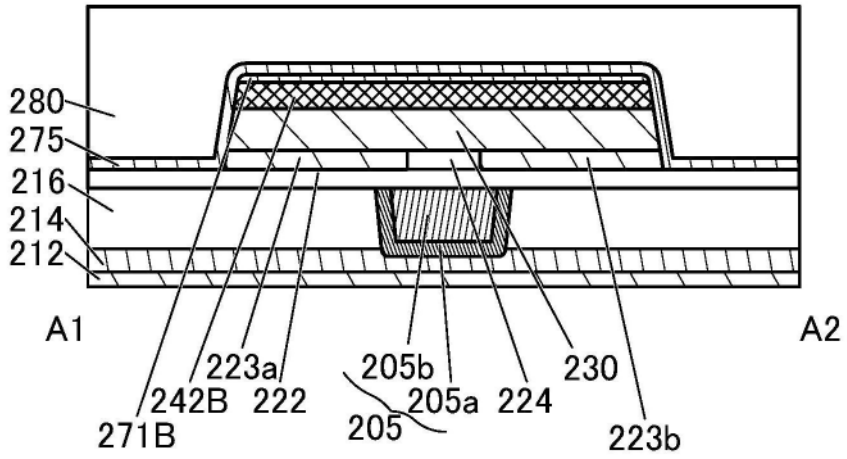

280
275
216
214
212
A1
A2
271B
242B
223a
222
205
205b
205a
224
230
223b

图19B

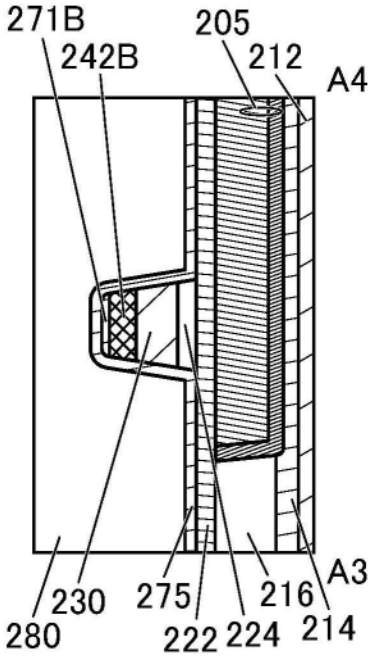

271B
242B
205
212
A4
A3
280
230
275
222
224
216
214

图19C

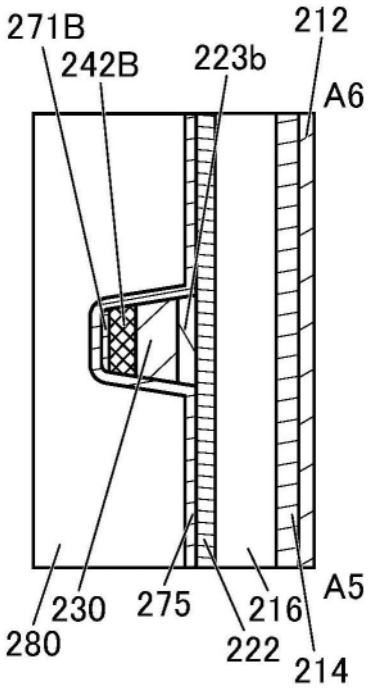

271B
242B
223b
212
A6
A5
230
275
216
280
222
214

图19D

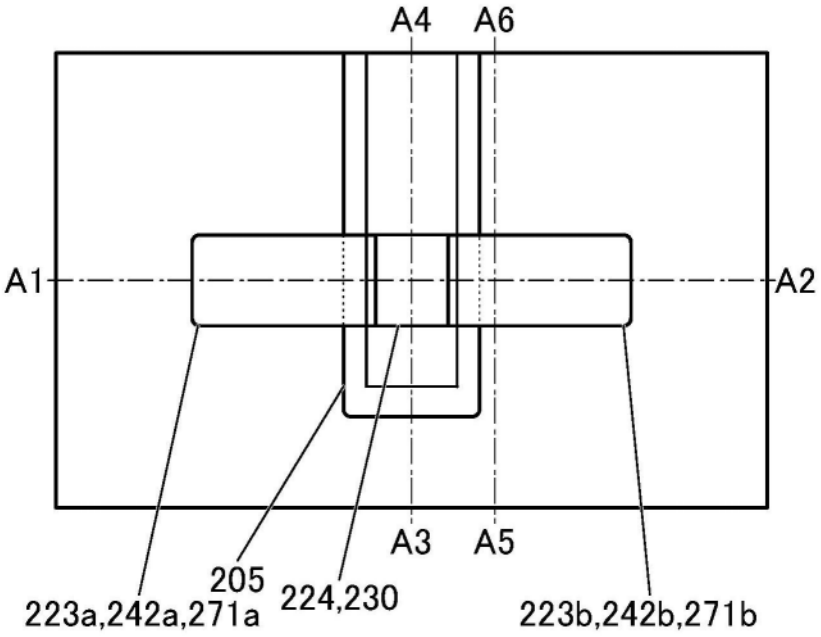

A4
A6
A1
A2
A3
A5
205
223a,242a,271a
224,230
223b,242b,271b

图20A

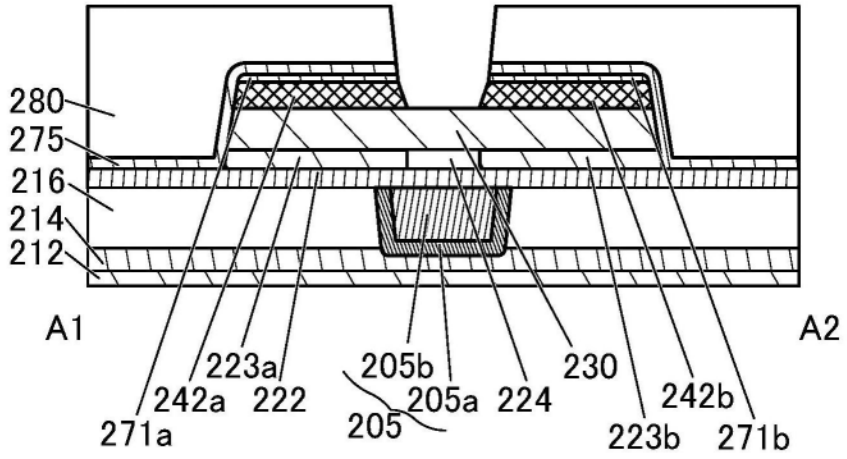

280
275
216
214
212
A1
A2
271a
242a
223a
222
205b
205
205a
224
230
242b
223b
271b

图20B

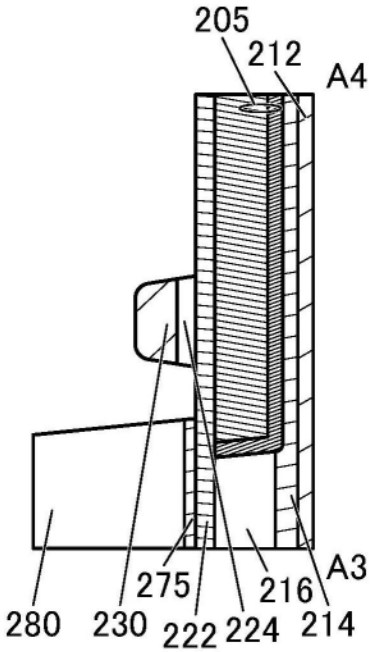

205
212
A4
A3
280
230
275
222
224
216
214

图20C

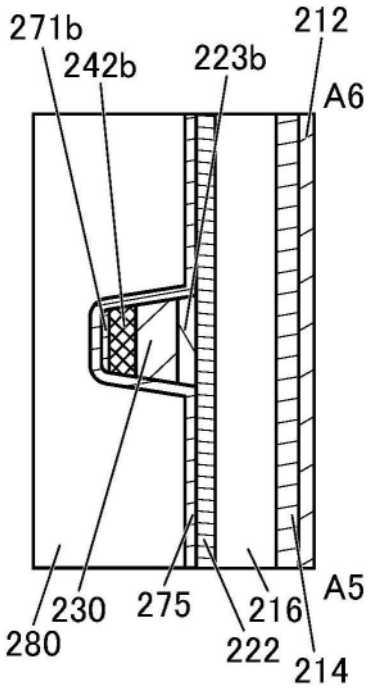

271b
242b
223b
212
A6
A5
230
275
216
280
222
214

图20D

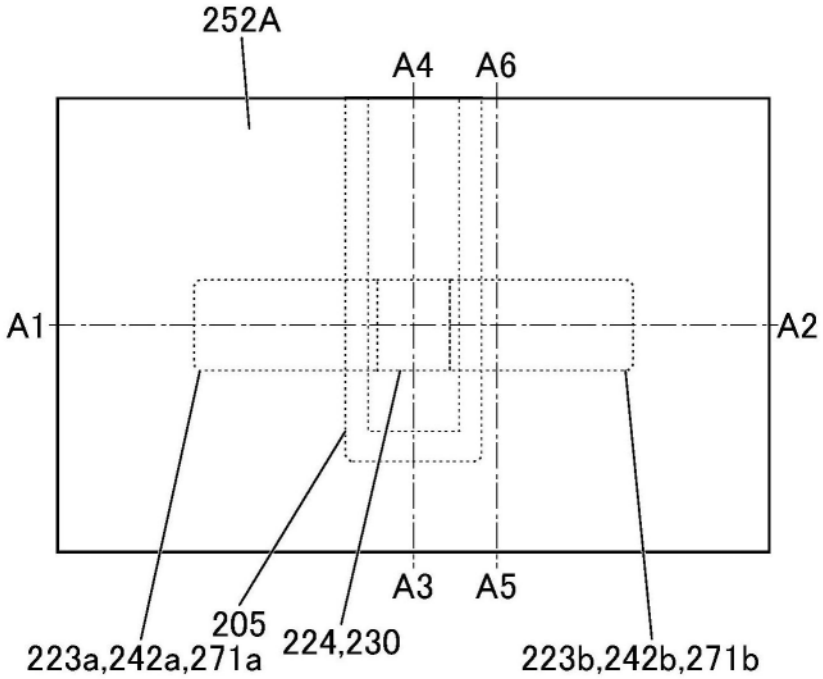

252A
A4
A6
A1
A2
A3
A5
205
223a,242a,271a
224,230
223b,242b,271b

图21A

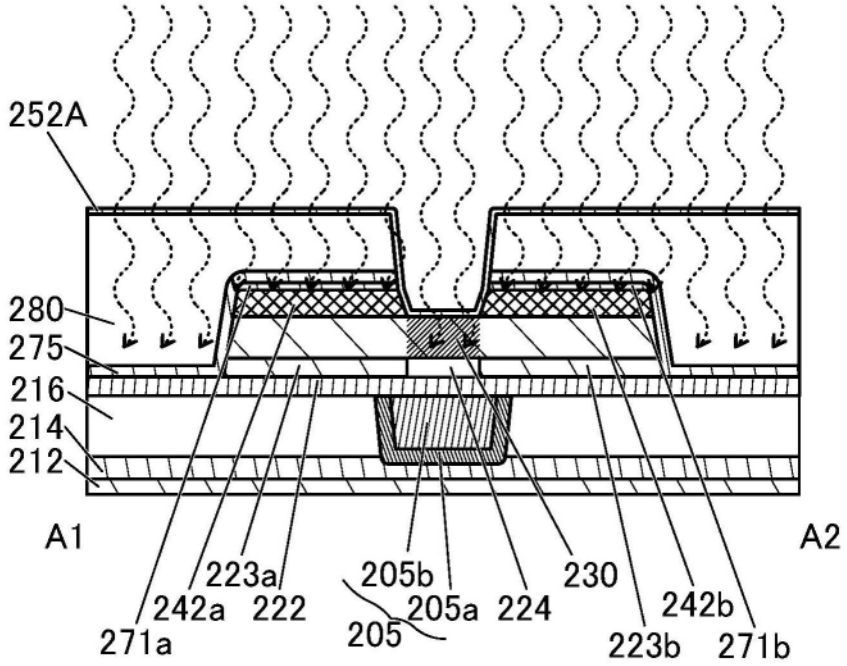

252A
280
275
216
214
212
A1
A2
271a
242a
223a
222
205b
205
205a
224
230
242b
223b
271b

图21B

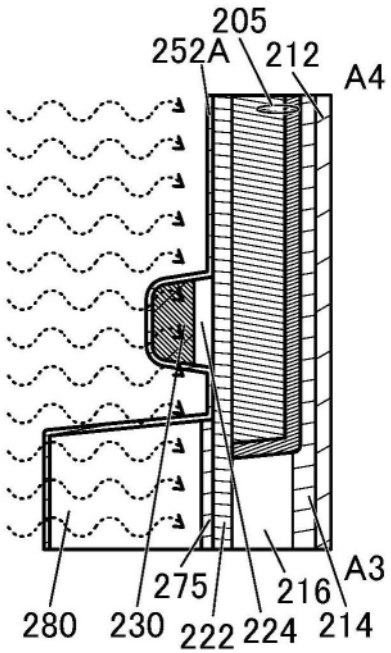

205
252A
212
A4
A3
280
230
275
222
224
216
214

图21C

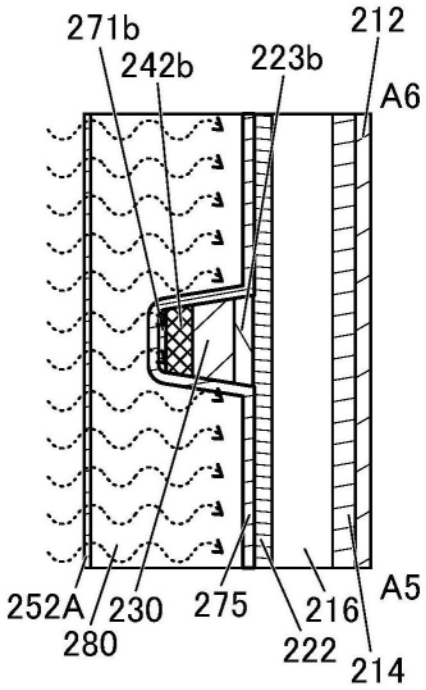

271b
242b
223b
212
A6
A5
252A
280
230
275
216
222
214

图21D

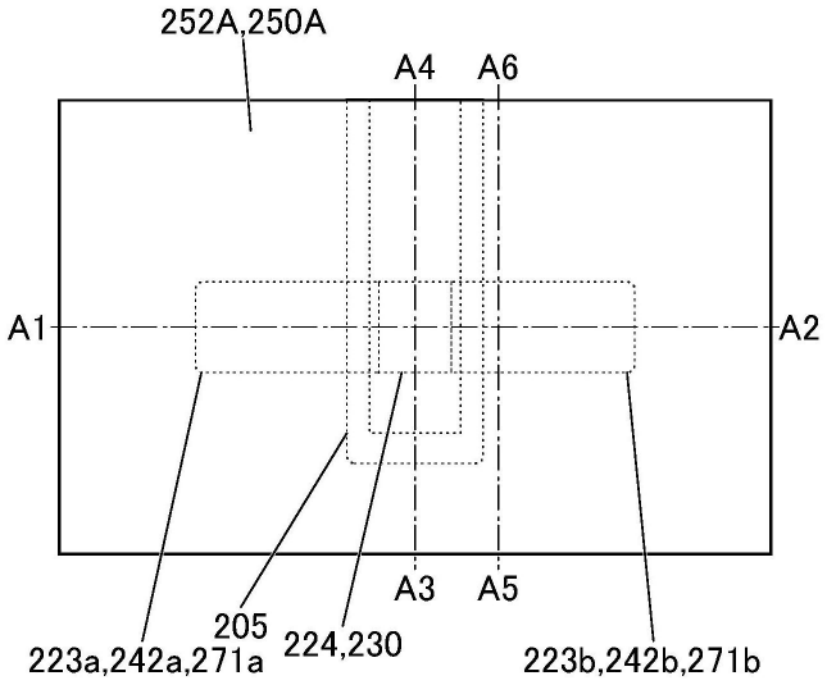

252A,250A
A4
A6
A1
A2
A3
A5
205
224,230
223a,242a,271a
223b,242b,271b

图22A

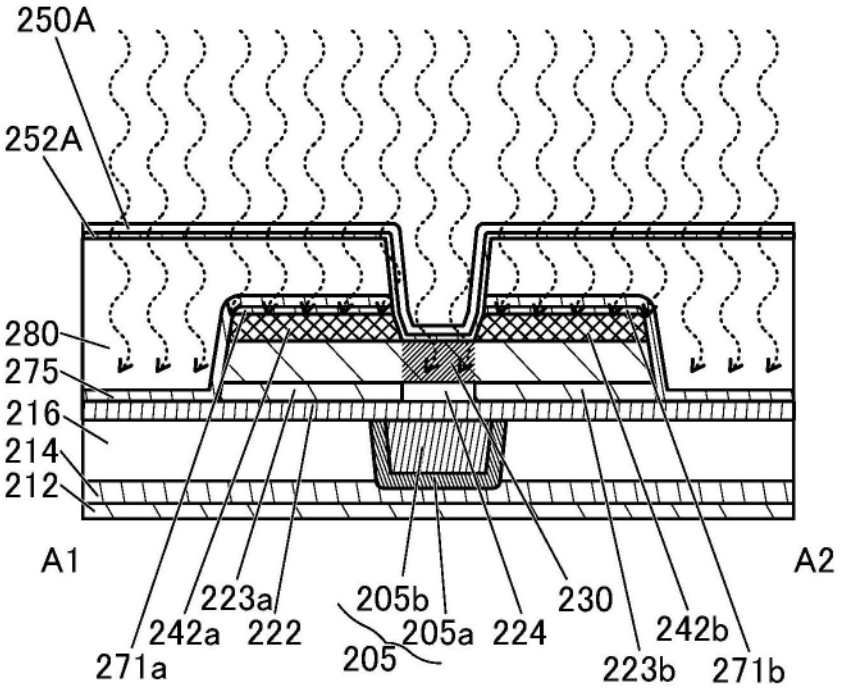

250A
252A
280
275
216
214
212
A1
A2
271a
242a
223a
222
205b
205
205a
224
230
242b
223b
271b

图22B

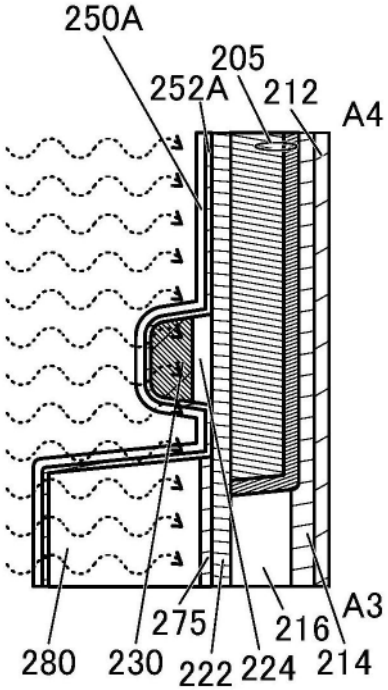

250A
205
252A
212
A4
A3
280
230
275
222
224
216
214

图22C

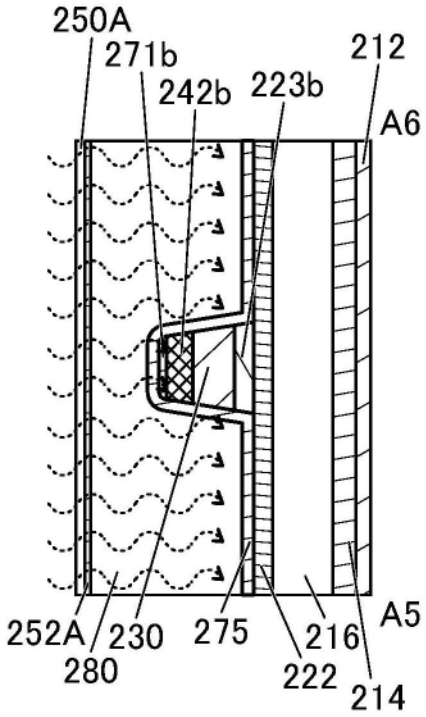

250A
271b
242b
223b
212
A6
A5
252A
280
230
275
222
216
214

图22D

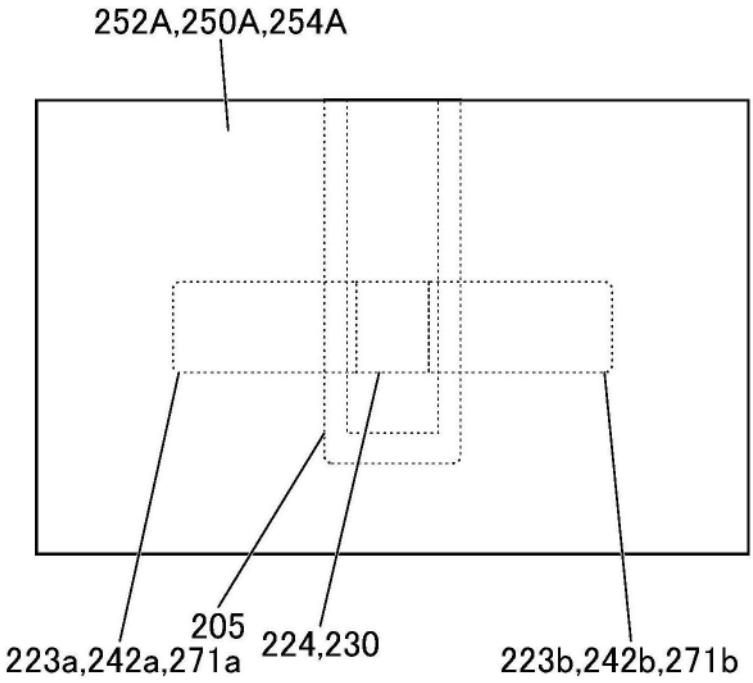

252A,250A,254A
205
223a,242a,271a
224,230
223b,242b,271b

图23A

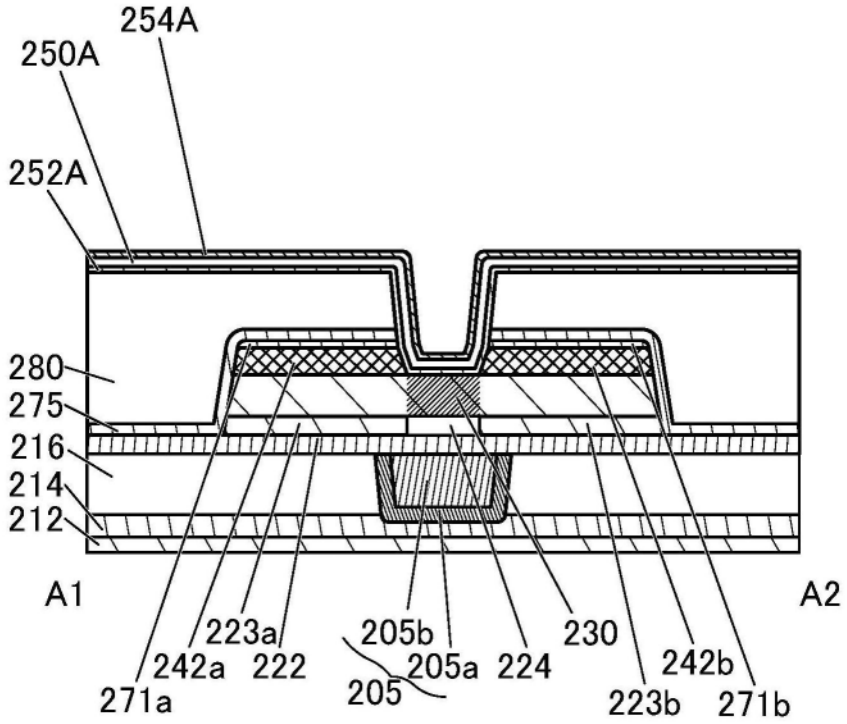

254A
250A
252A
280
275
216
214
212
A1
A2
271a
242a
223a
222
205b
205
205a
224
230
242b
223b
271b

图23B

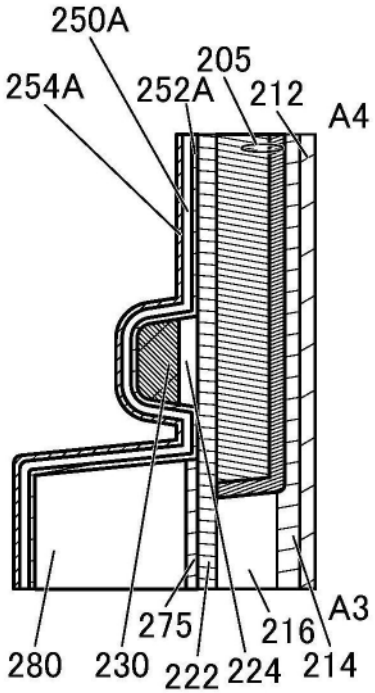

250A
205
254A
252A
212
A4
A3
280
230
275
222
224
216
214

图23C

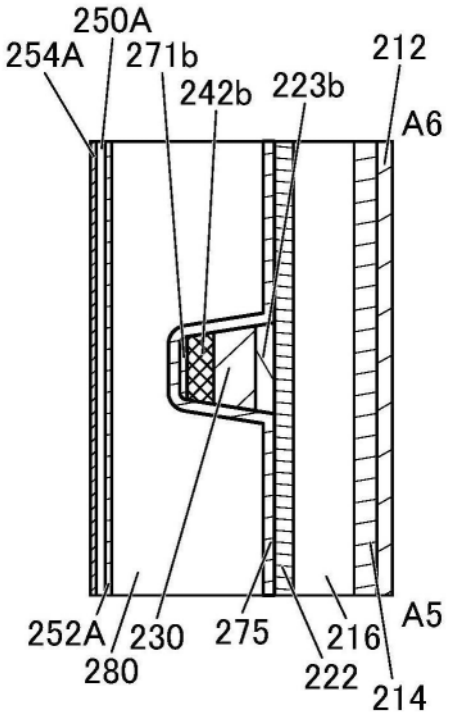

250A
254A
271b
242b
223b
212
A6
252A
230
275
216
A5
280
222
214

图23D

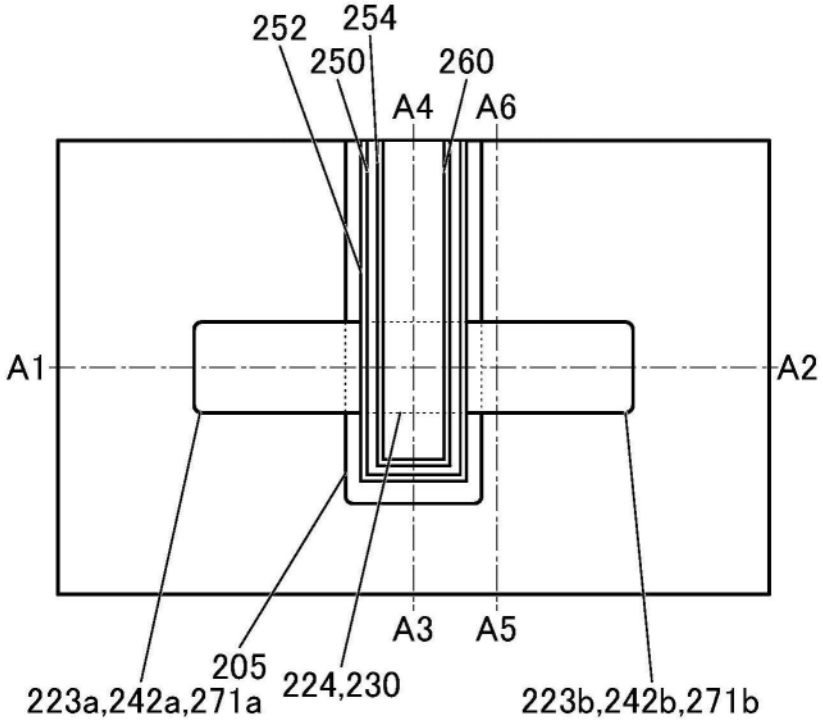

252
254
250
260
A4
A6
A1
A2
A3
A5
205
224,230
223a,242a,271a
223b,242b,271b

图24A

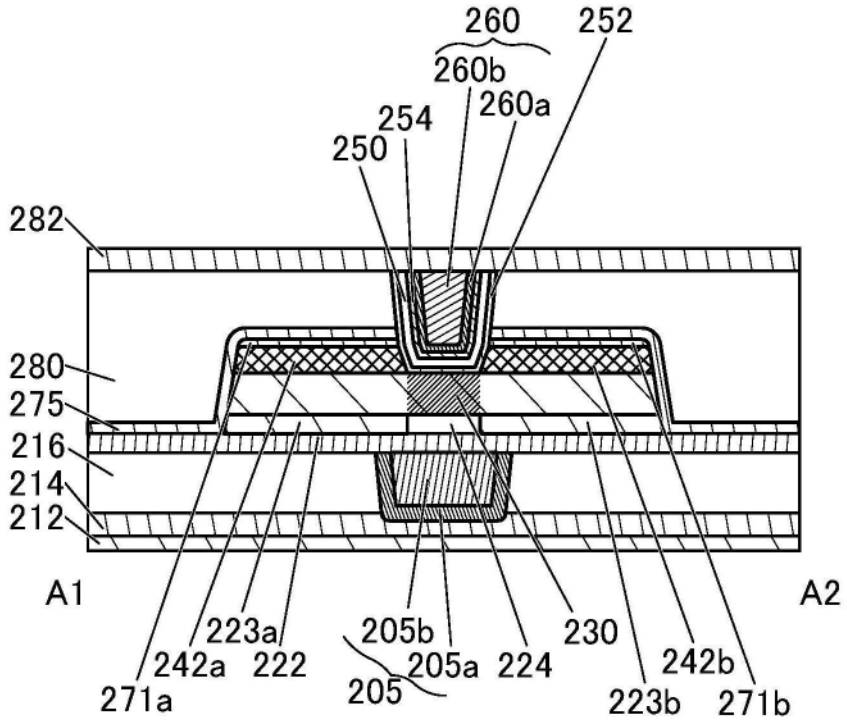

260
252
260b
260a
254
250
282
280
275
216
214
212
A1
A2
223a
205b
230
242a
222
205a
224
242b
271a
205
223b
271b

图24B

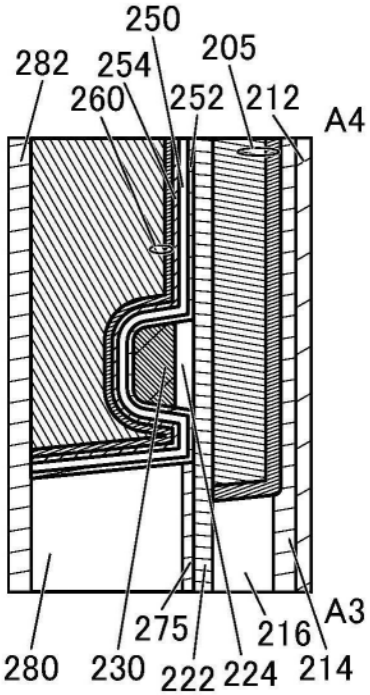

250
205
282
254
260
252
212
A4
A3
275
216
280
230
222
224
214

图24C

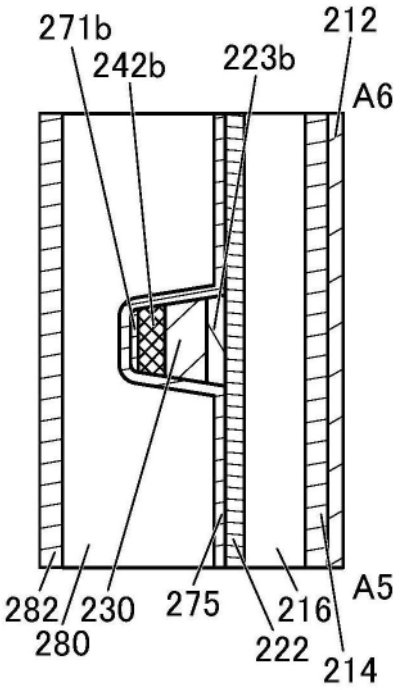

271b
242b
223b
212
A6
A5
282
280
230
275
216
222
214

图24D

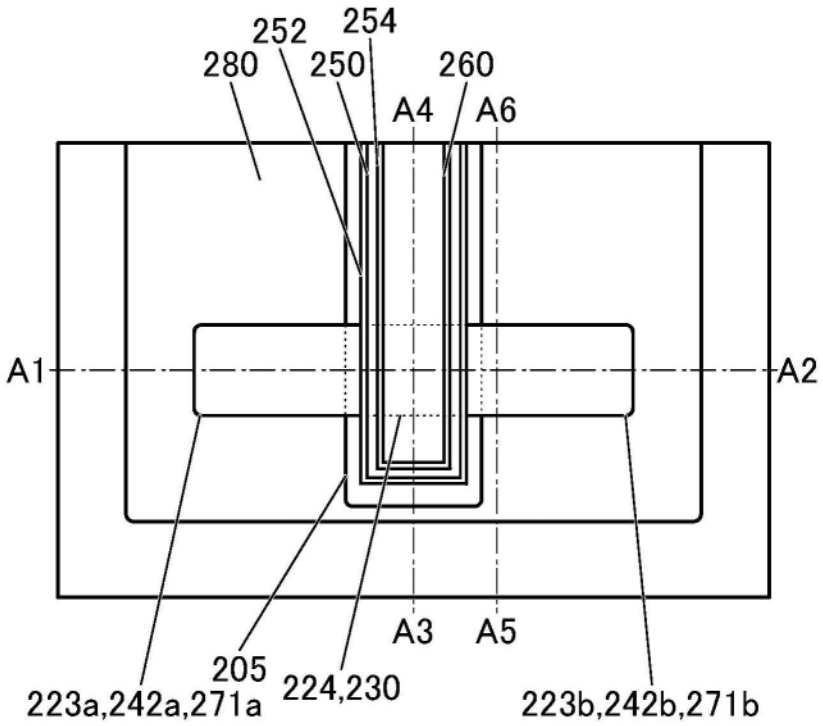

252
254
280
250
260
A4
A6
A1
A2
A3
A5
205
223a,242a,271a
224,230
223b,242b,271b

图25A

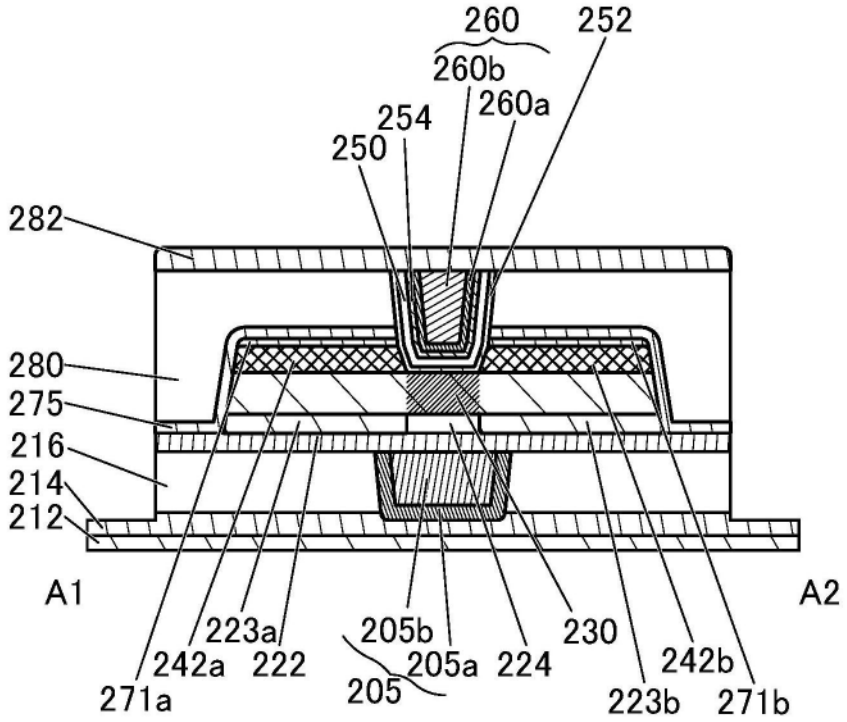

260
252
260b
260a
254
250
282
280
275
216
214
212
A1
A2
223a
205b
230
242a
222
205a
224
242b
271a
205
223b
271b

图25B

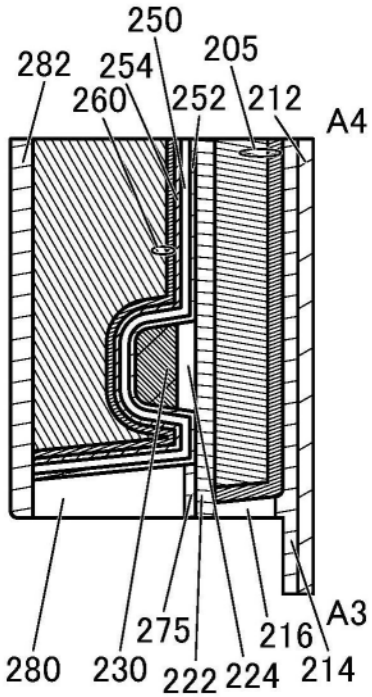

250
205
282
254
260
252
212
A4
A3
275
216
280
230
222
224
214

图25C

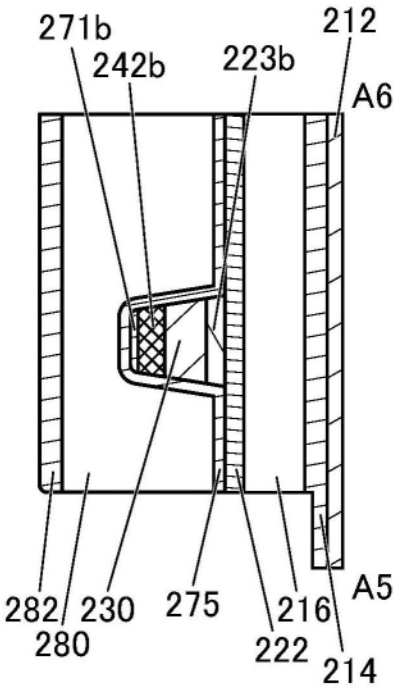

271b
242b
223b
212
A6
282
280
230
275
222
216
214
A5

图25D

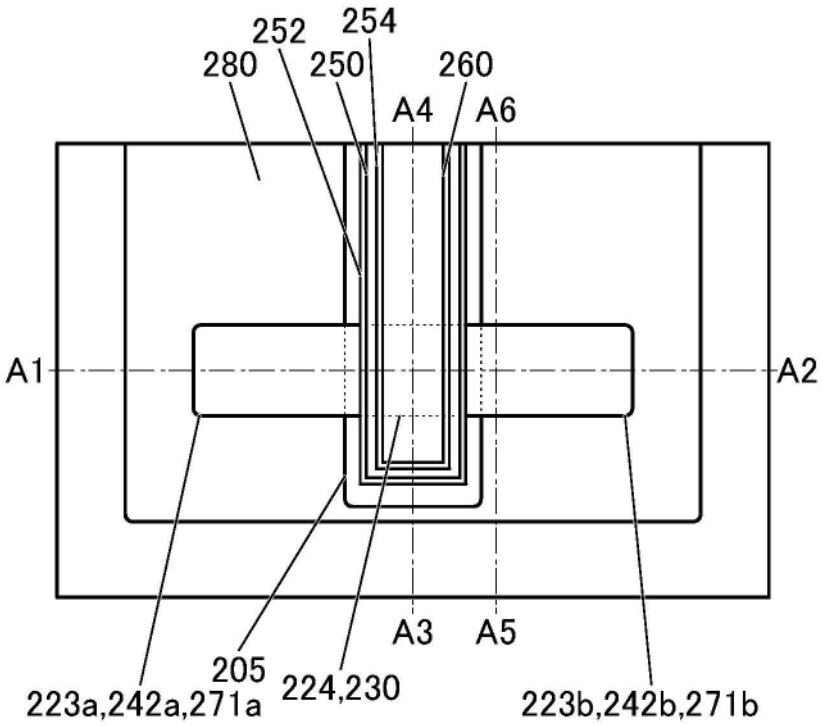

252
254
280
250
260
A4
A6
A1
A2
A3
A5
205
223a,242a,271a
224,230
223b,242b,271b

图26A

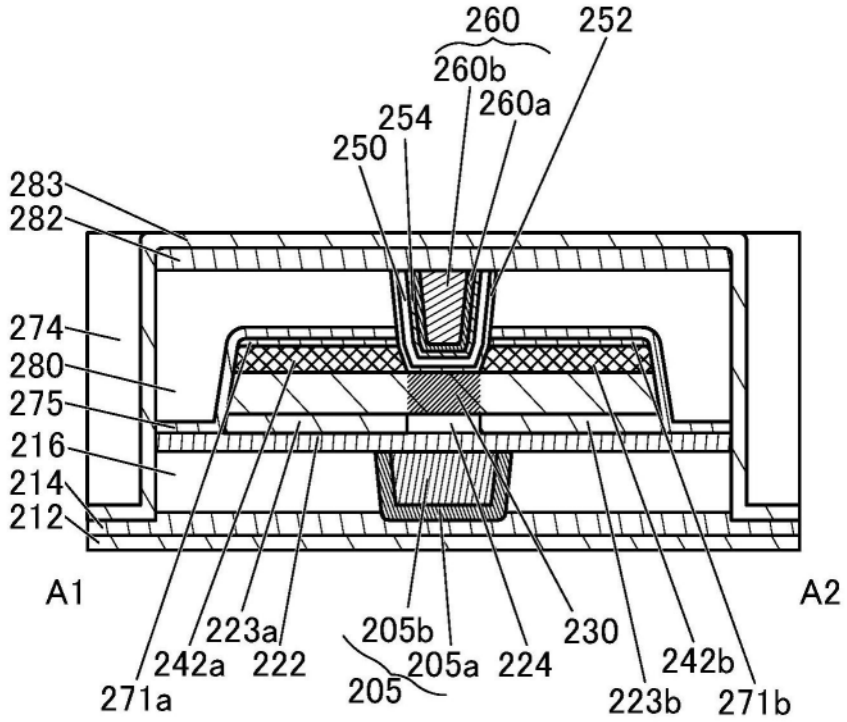

260
252
260b
260a
254
250
283
282
274
280
275
216
214
212
A1
A2
223a
205b
230
242a
222
205a
224
242b
271a
205
223b
271b

图26B

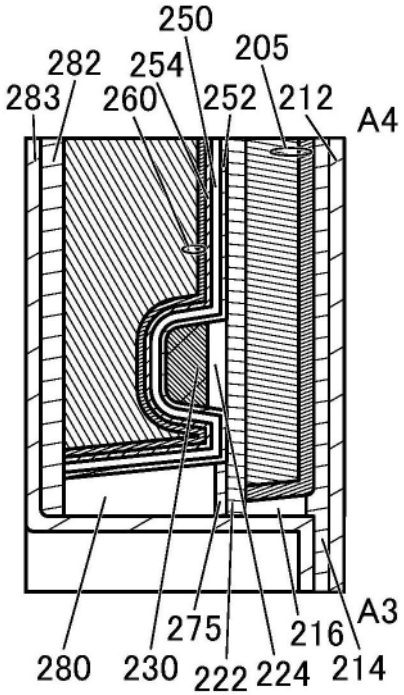

250
205
282
254
283
260
252
212
A4
A3
275
216
280
230
222
224
214

图26C

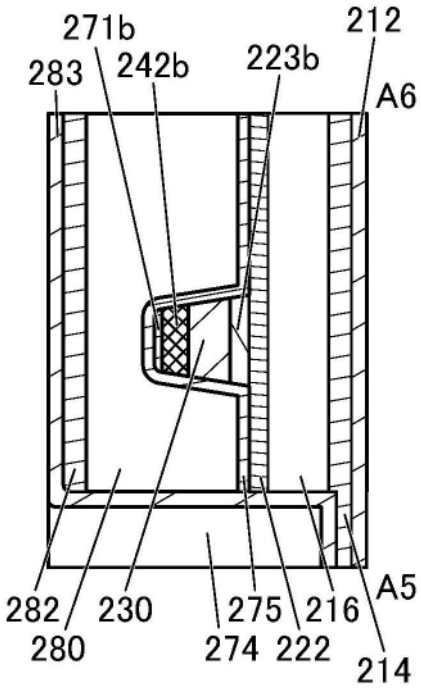

271b
283
242b
223b
212
A6
282
280
230
274
275
222
216
214
A5

图26D

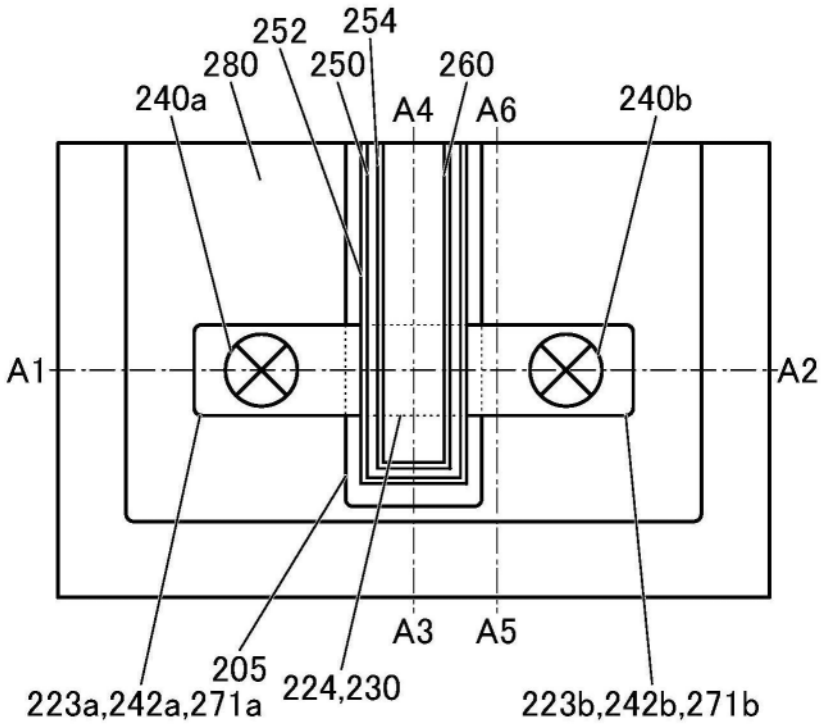

252
254
280
250
260
240a
A4
A6
240b
A1
A2
A3
A5
205
223a,242a,271a
224,230
223b,242b,271b

图27A

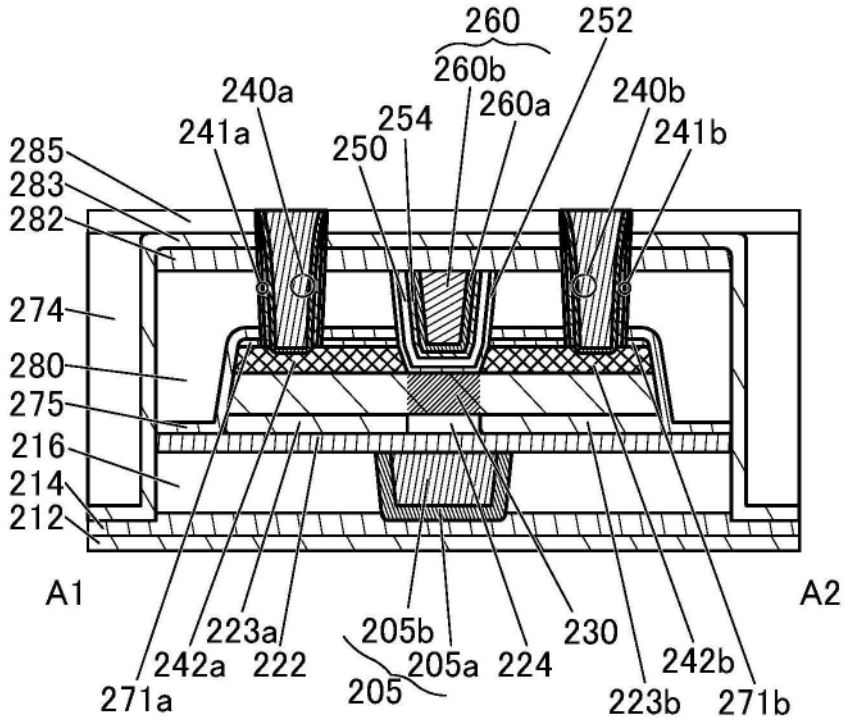

260
252
260b
240a
260a
240b
254
241a
250
241b
285
283
282
274
280
275
216
214
212
A1
A2
223a
205b
230
242a
222
205a
224
242b
271a
205
223b
271b

图27B

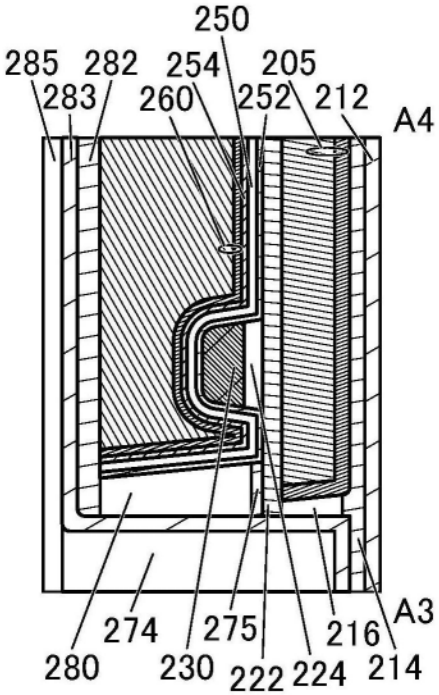

250
285
282
254
205
283
260
252
212
A4
A3
274
275
216
280
230
222
224
214

图27C

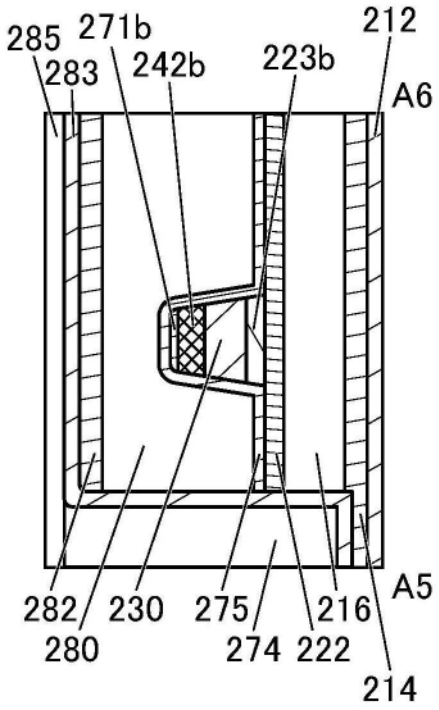

285
271b
283
242b
223b
212
A6
282
280
230
275
274
216
222
A5
214

图27D

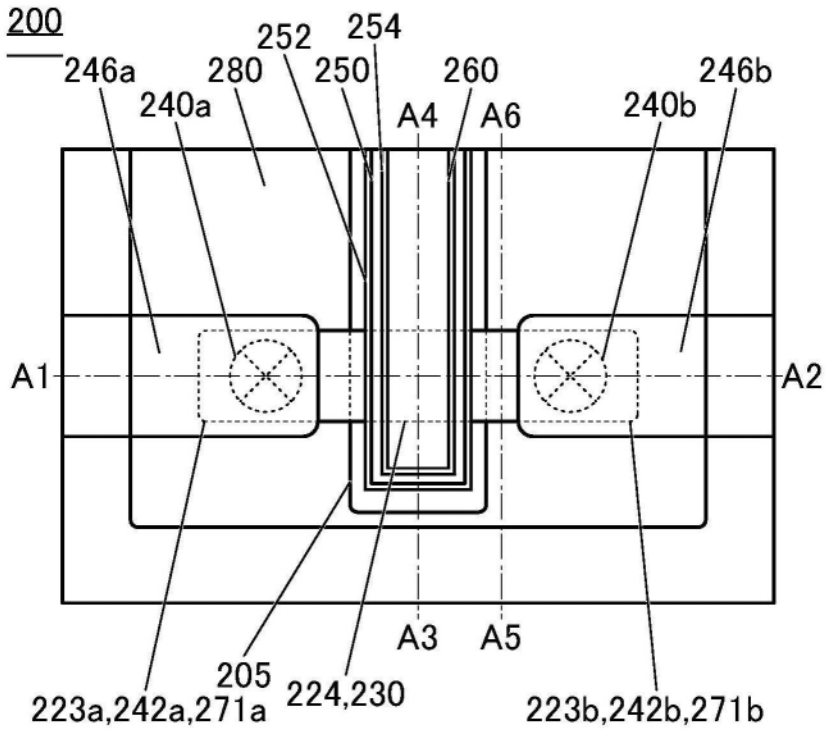

200
246a
240a
280
252
254
250
260
A4
A6
240b
246b
A1
A2
A3
A5
205
223a,242a,271a
224,230
223b,242b,271b

图28A

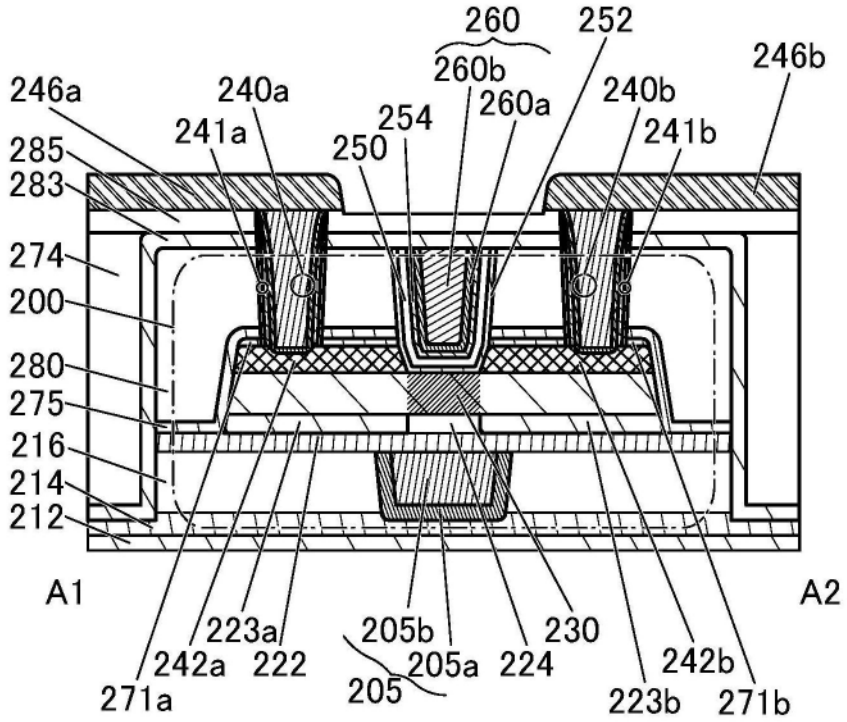

260
252
260b
246b
246a
240a
260a
240b
254
241a
250
241b
285
283
274
200
280
275
216
214
212
A1
A2
223a
205b
230
242a
222
205a
224
242b
271a
205
223b
271b

图28B

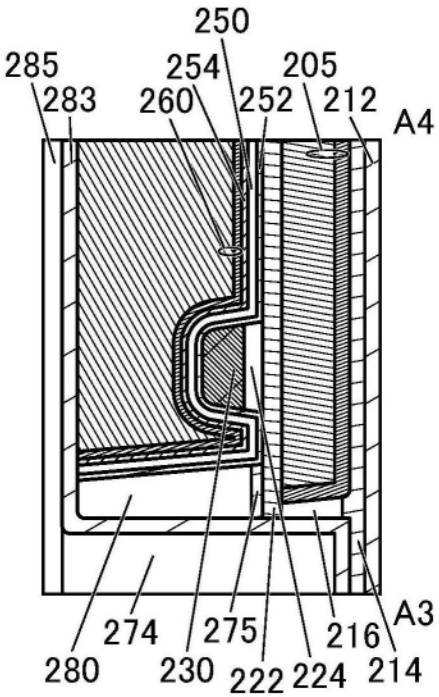

250
285
254
205
283
260
252
212
A4
274
275
216
A3
280
230
222
224
214

图28C

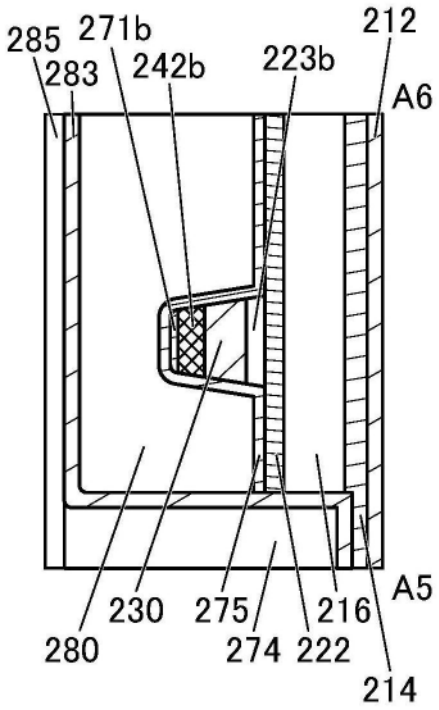

285
271b
283
242b
223b
212
A6
230
275
216
A5
280
274
222
214

图28D

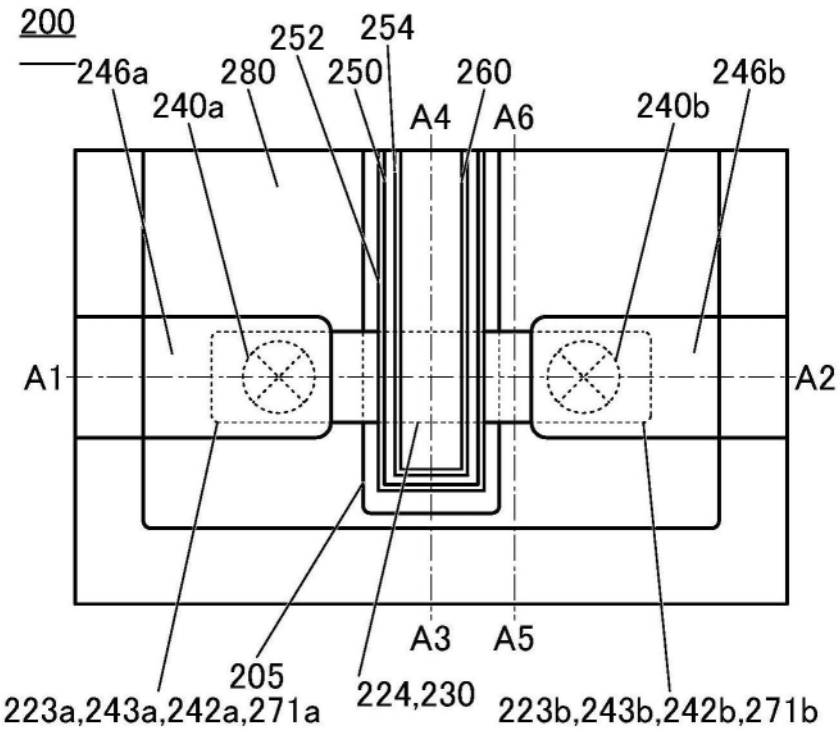

200
246a
280
252
254
250
260
246b
240a
A4
A6
240b
A1
A2
A3
A5
205
223a,243a,242a,271a
224,230
223b,243b,242b,271b

图29A

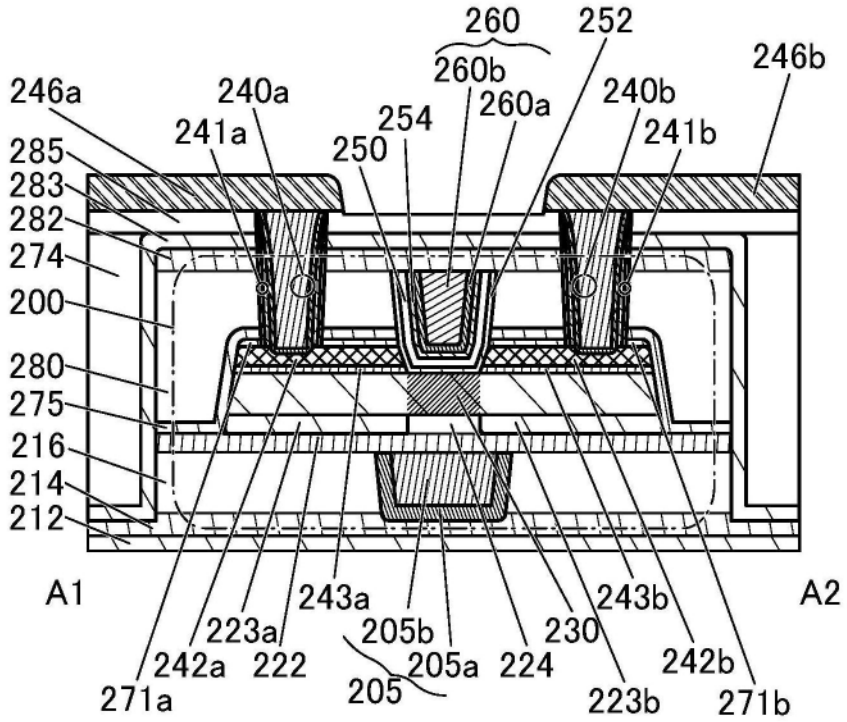

260
252
260b
246b
246a
240a
260a
240b
254
241a
250
241b
285
283
282
274
200
280
275
216
214
212
A1
A2
243a
243b
223a
205b
230
242a
222
205a
224
242b
205
271a
223b
271b

图29B

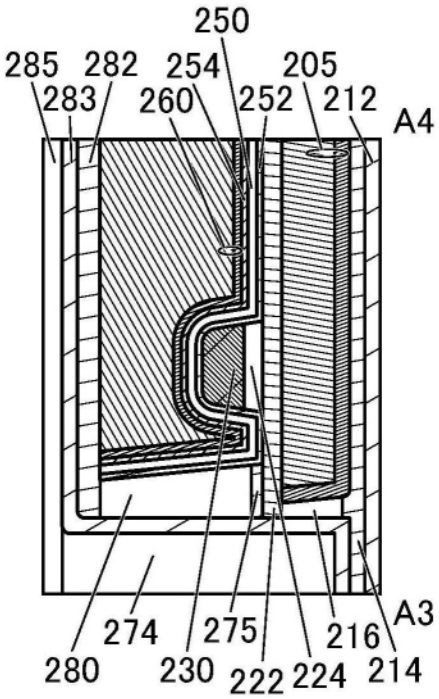

250
285
282
254
205
283
260
252
212
A4
274
275
216
A3
280
230
222
224
214

图29C

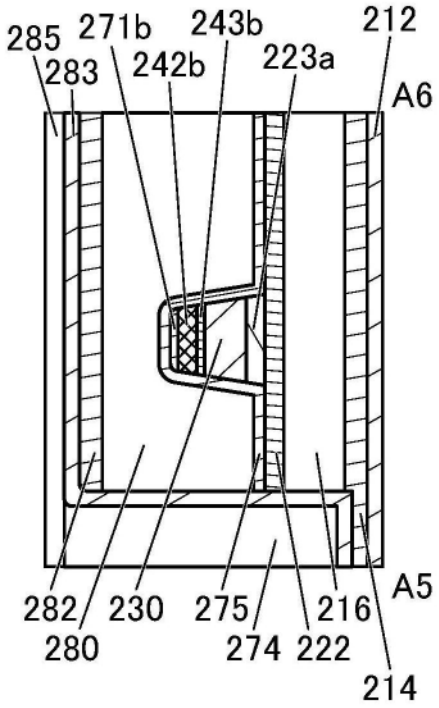

285
271b
243b
212
283
242b
223a
A6
282
230
275
216
A5
280
274
222
214

图29D

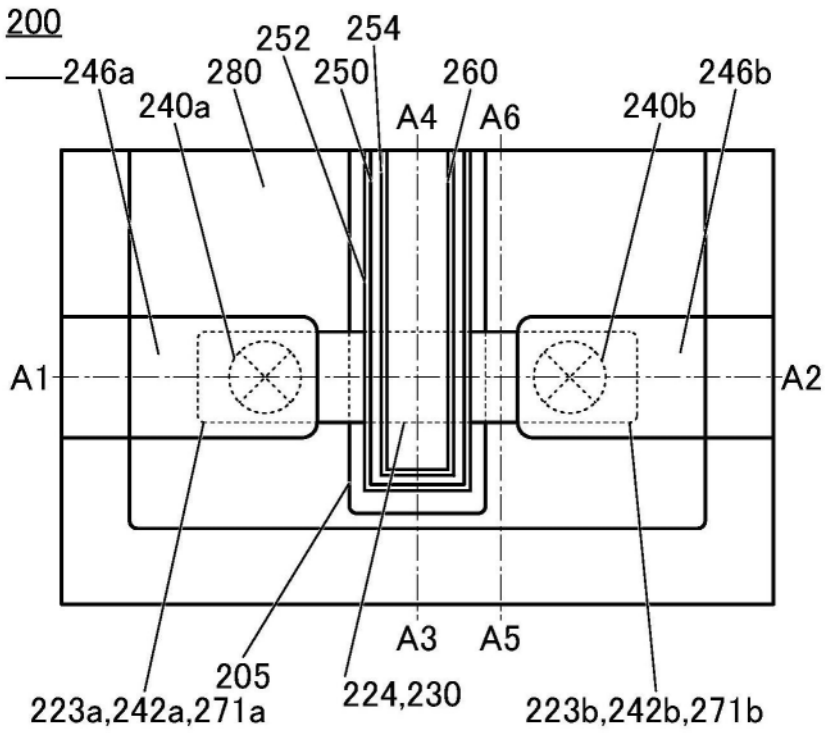

200
246a
252
254
280
250
260
246b
240a
A4
A6
240b
A1
A2
A3
A5
205
223a,242a,271a
224,230
223b,242b,271b

图30A

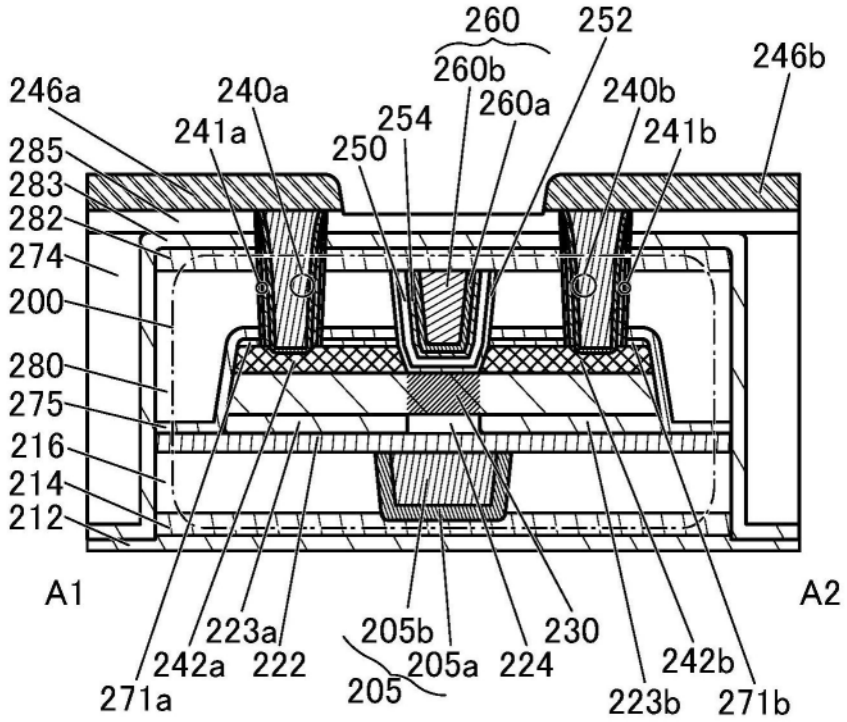

260
252
260b
246b
246a
240a
260a
240b
254
241a
250
241b
285
283
282
274
200
280
275
216
214
212
A1
A2
223a
205b
230
242a
222
205a
224
242b
271a
205
223b
271b

图30B

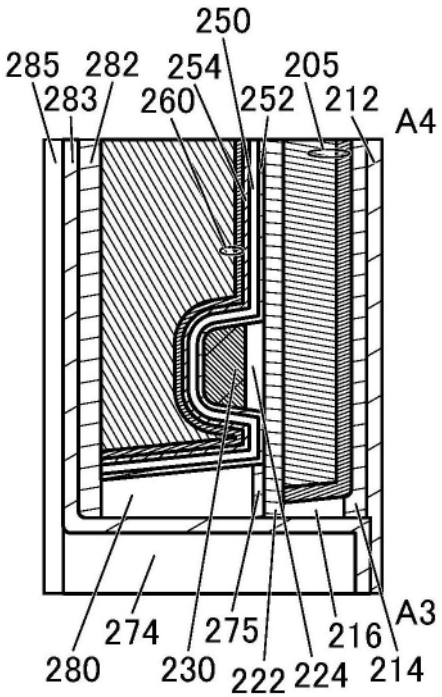

250
285
282
254
205
283
260
252
212
A4
274
275
216
A3
280
230
222
224
214

图30C

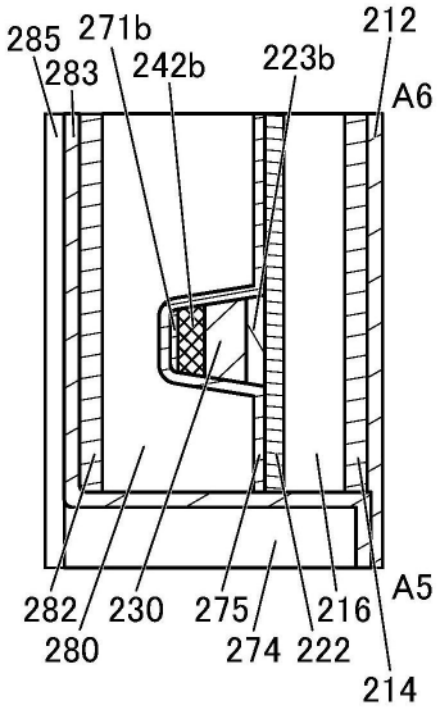

285
271b
283
242b
223b
212
A6
A5
282
280
230
275
274
216
222
214

图30D

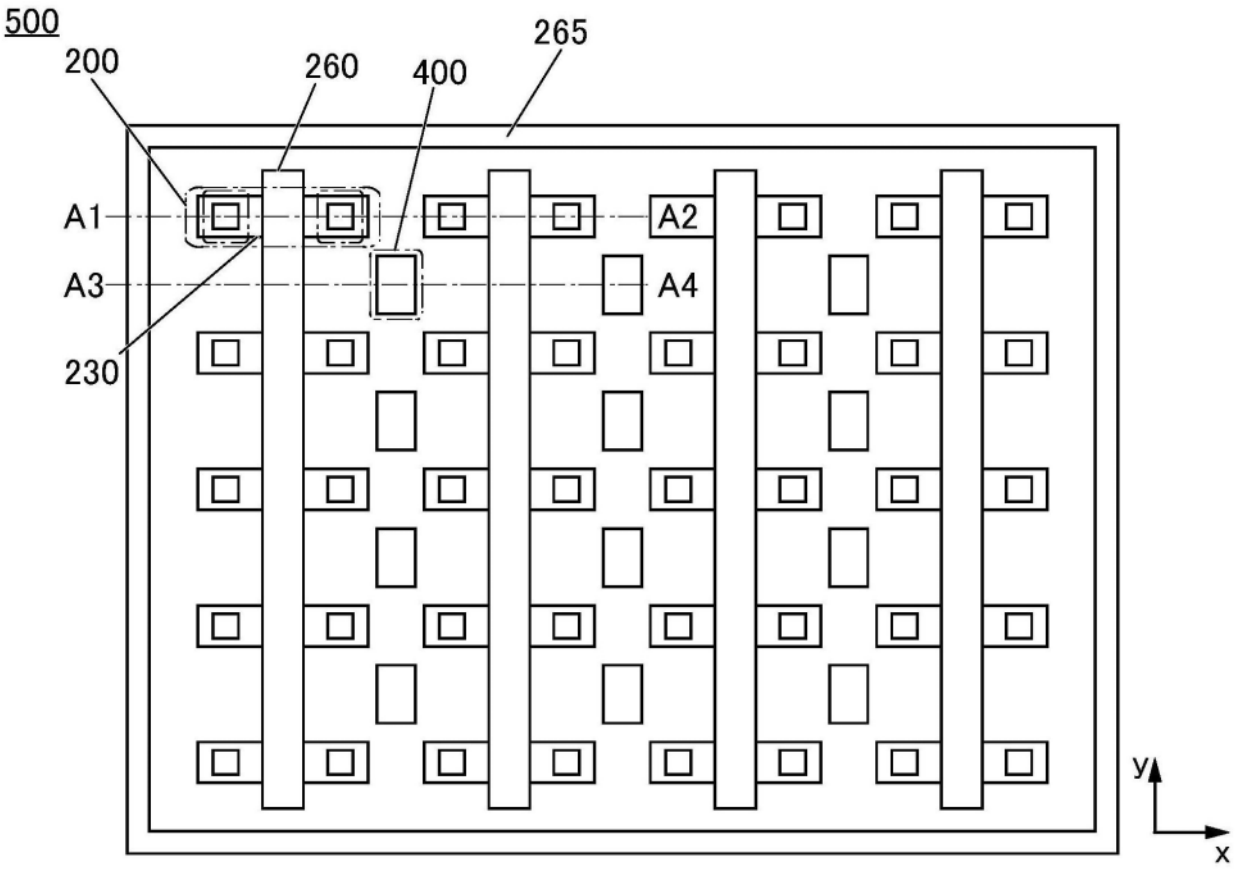

500
200
260
400
265
A1
A2
A3
A4
230
y
x

图31A

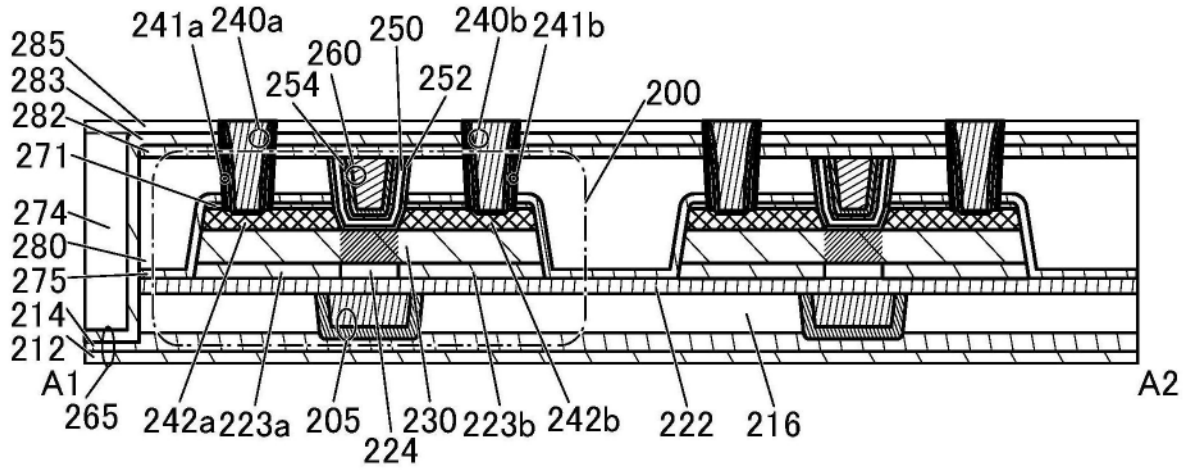

241a
240a
250
240b
241b
285
283
282
260
254
252
200
271
274
280
275
214
212
A1
A2
265
242a
223a
205
230
223b
242b
222
216
224

图31B

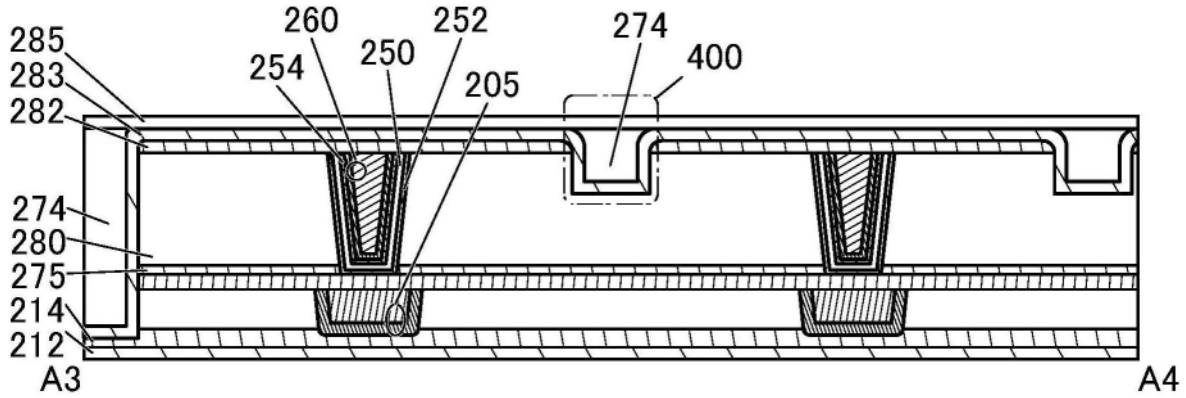

260
252
274
285
283
282
254
250
205
400
274
280
275
214
212
A3
A4

图31C

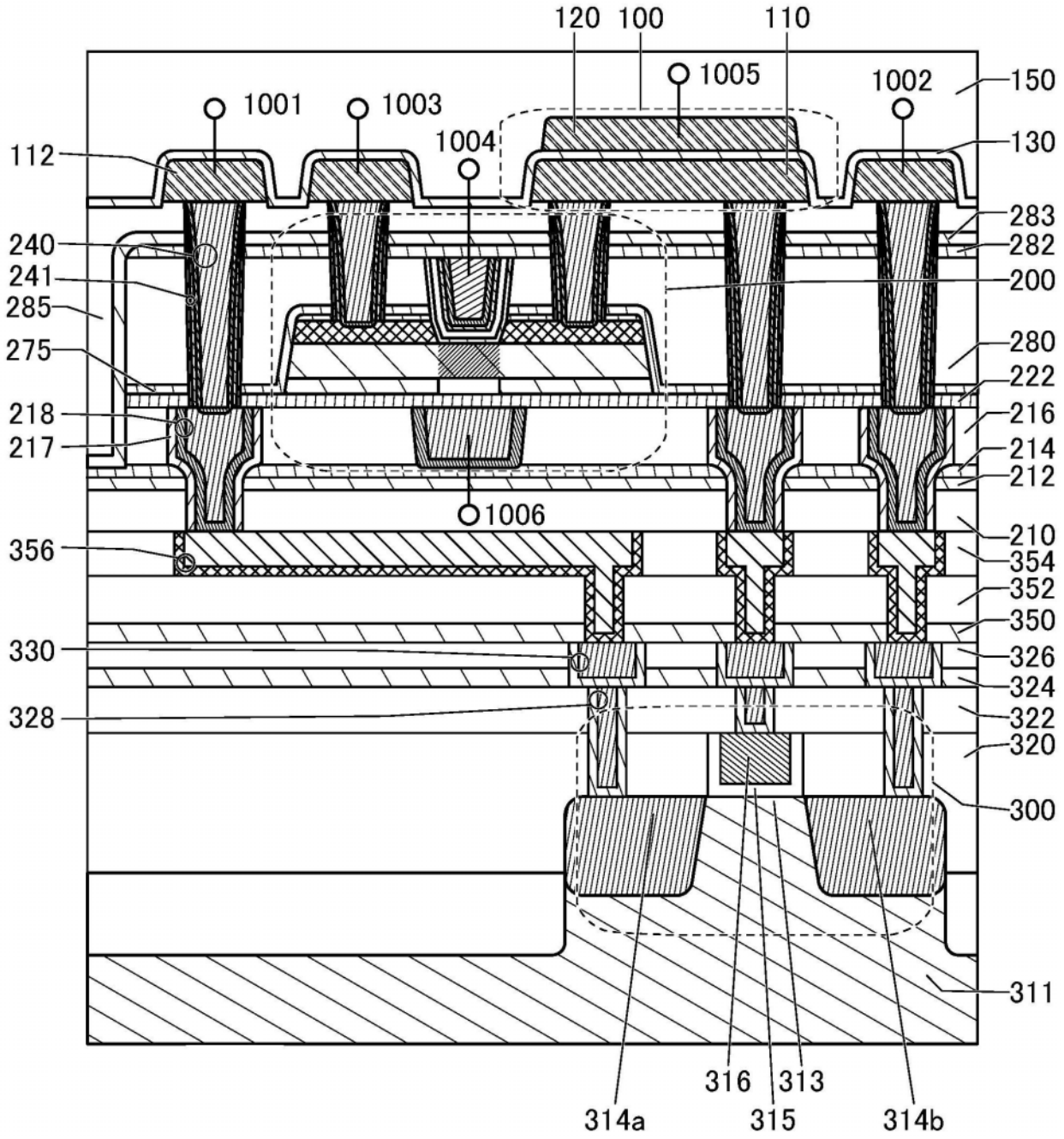

120
100
110
1005
1001
1003
1004
1002
150
130
112
283
240
282
241
200
285
280
275
222
218
216
217
214
212
1006
210
356
354
352
350
330
326
324
328
322
320
300
311
316
313
314a
315
314b

图32

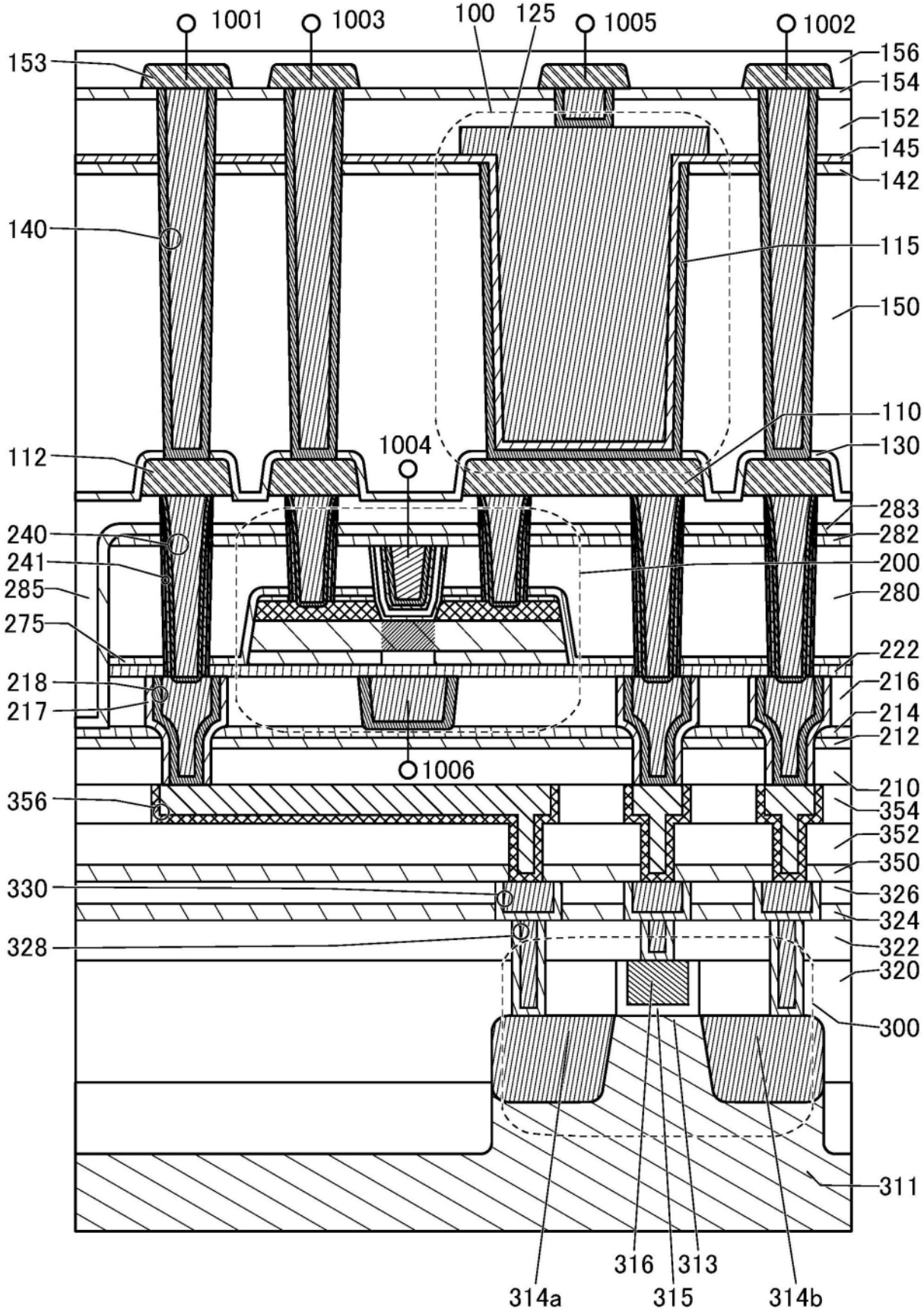

1001
1003
100
125
1005
1002
153
156
154
152
145
142
140
115
150
110
130
112
1004
283
240
282
241
200
285
280
275
222
218
216
217
214
212
1006
210
356
354
352
350
330
326
324
328
322
320
300
311
316
313
314a
315
314b

图33

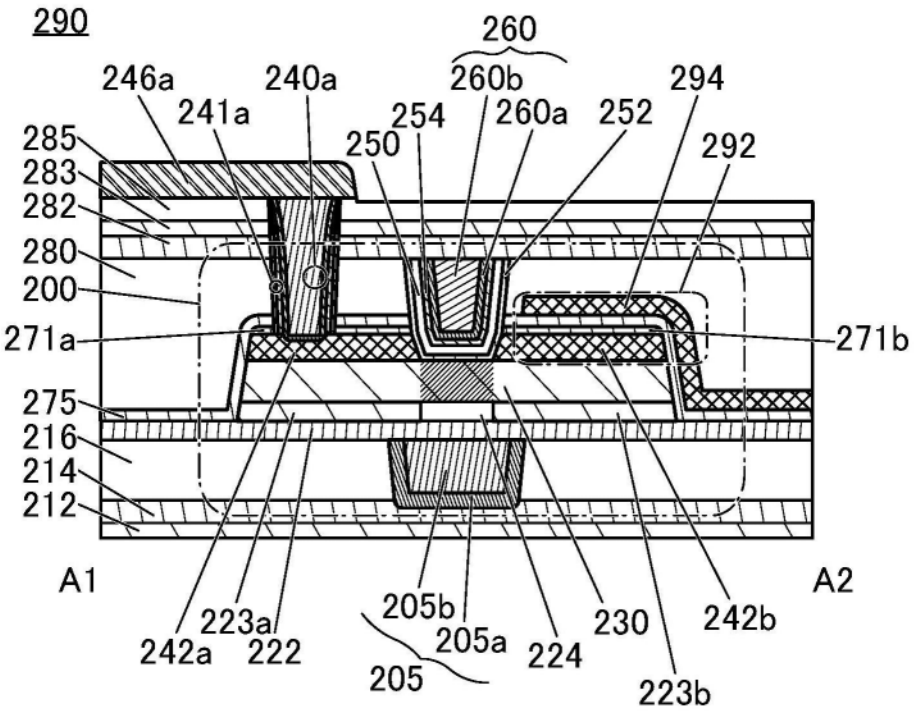

290
260
246a
240a
260b
294
241a
254
260a
252
285
250
292
283
282
280
200
271a
271b
275
216
214
212
A1
A2
205b
230
242b
223a
205a
242a
222
224
205
223b

图34

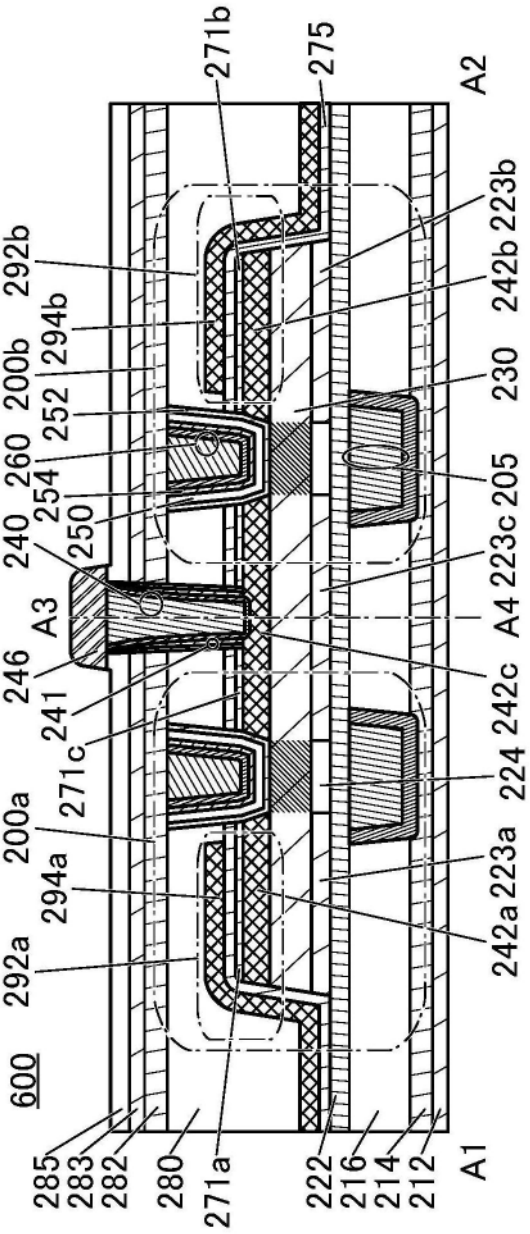

271b
275
A2
292b
223b
242b
294b
200b
230
252
260
205
254
240
250
223c
A3
A4
246
241
242c
271c
224
200a
294a
223a
242a
292a
600
285
283
282
280
271a
222
216
214
212
A1

图35A

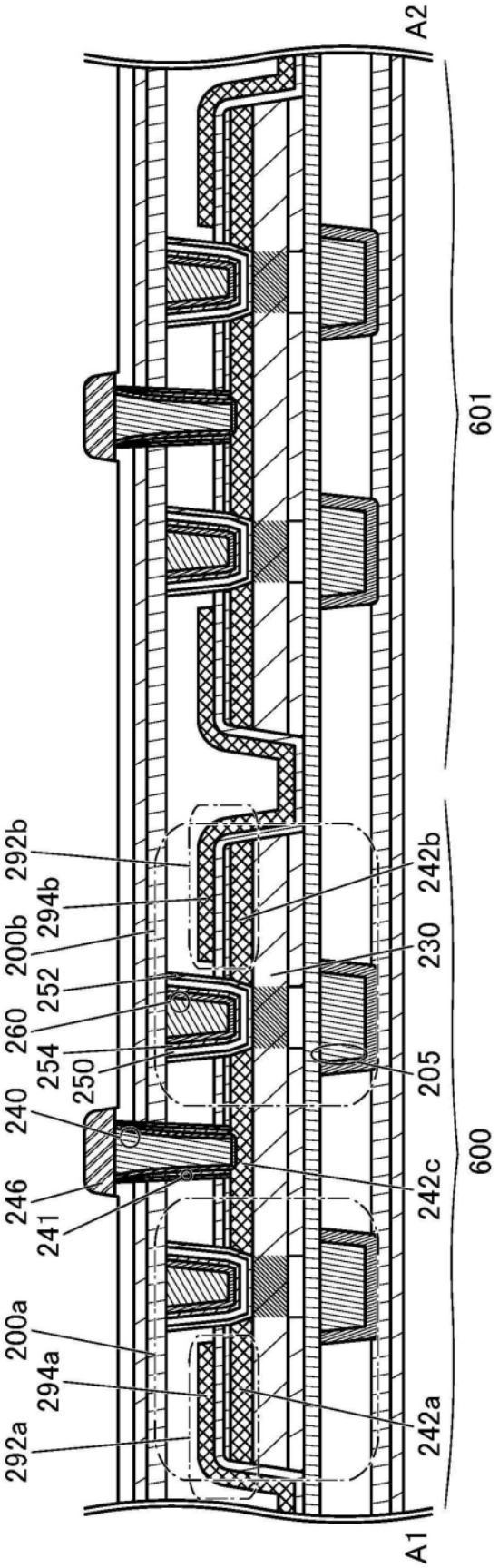

A2
601
600
A1
292b
294b
200b
252
260
254
250
240
246
241
200a
294a
292a
242b
230
205
242c
242a

图35B

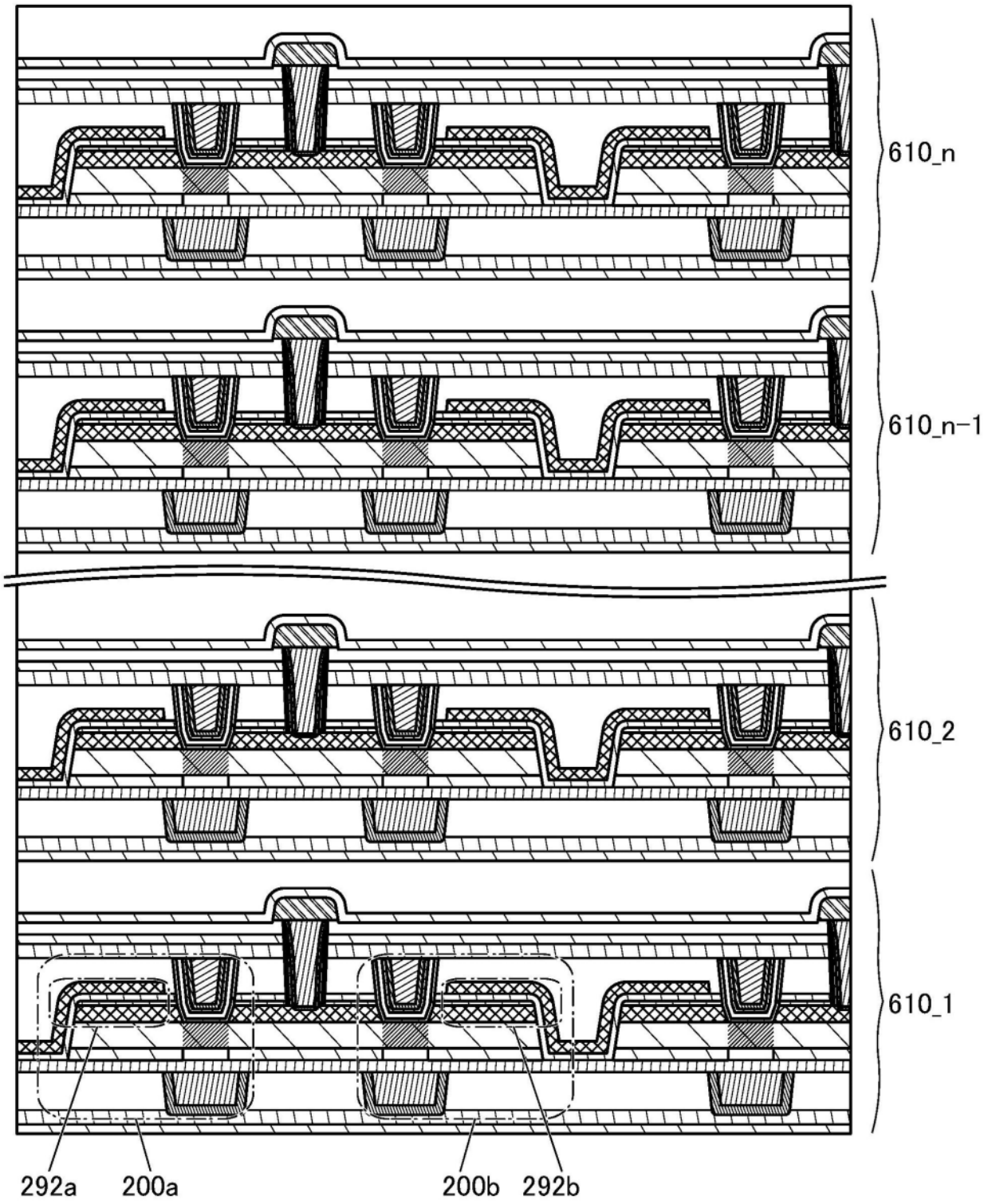


图36

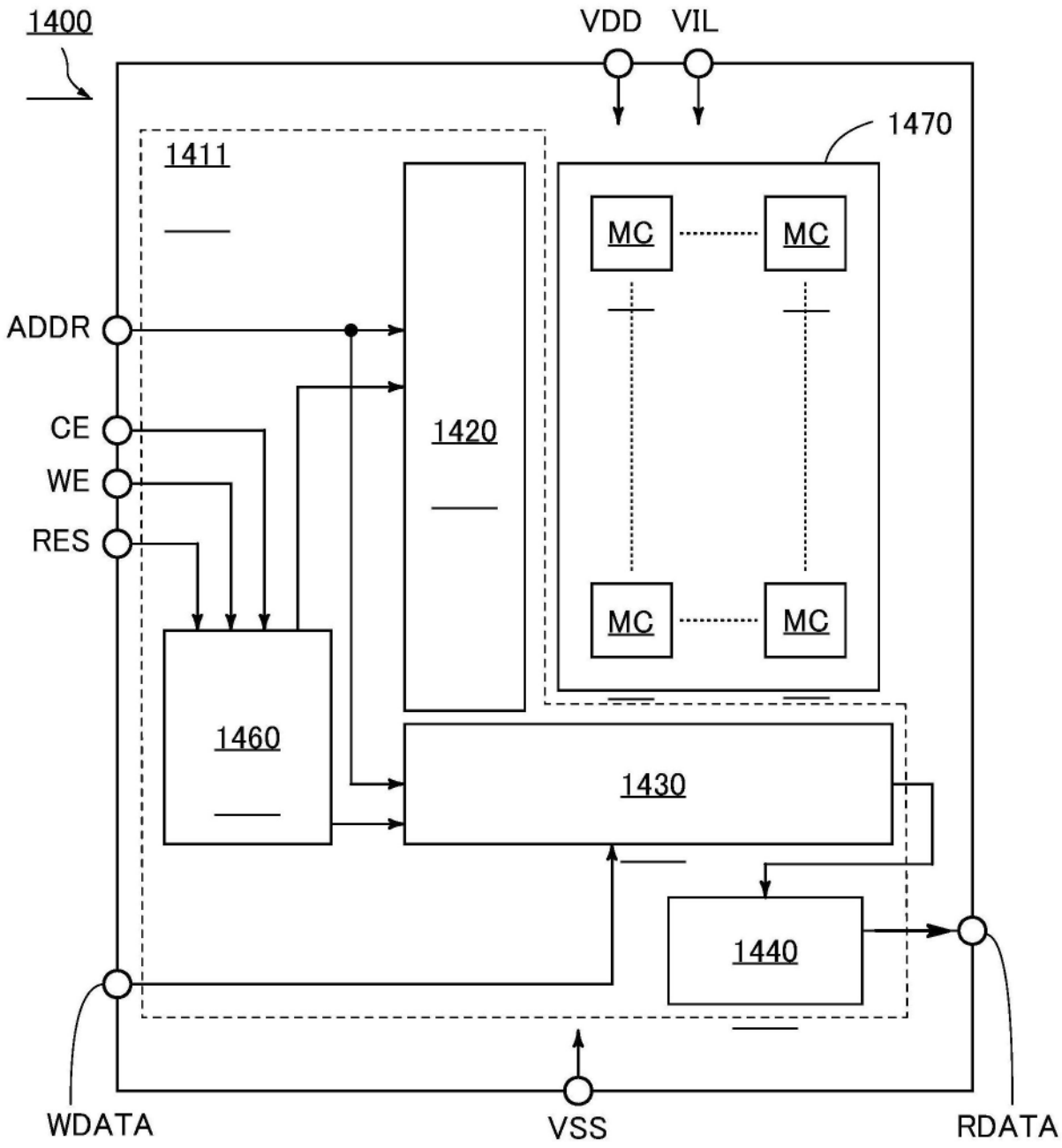

1400
VDD
VIL
1470
1411
MC
MC
MC
MC
ADDR
CE
WE
RES
1420
1460
1430
1440
WDATA
VSS
RDATA

图37A

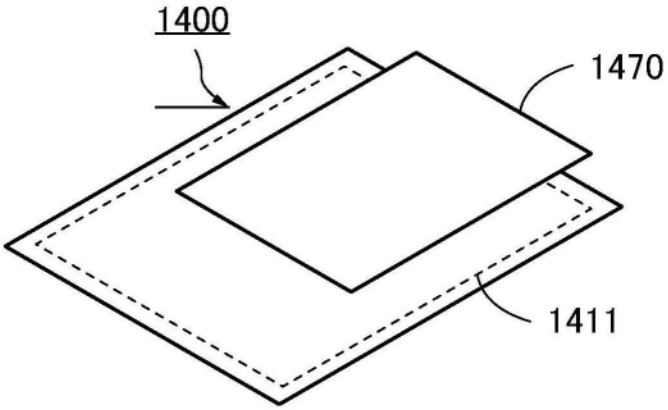


图37B

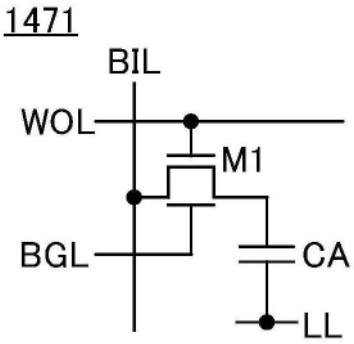


图38A

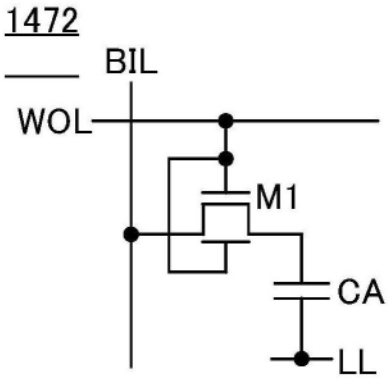


图38B

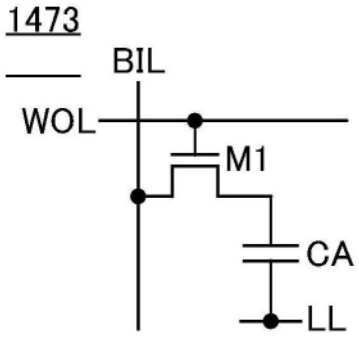


图38C

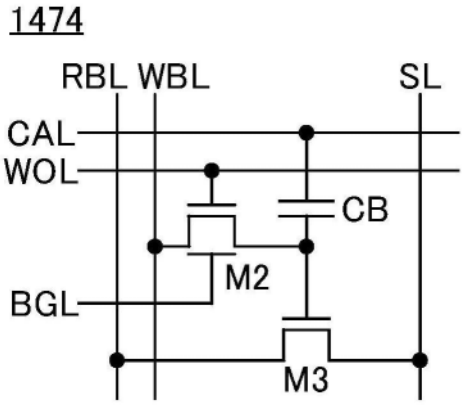


图38D

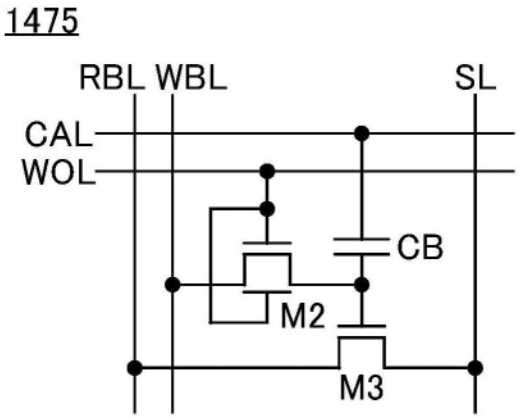


图38E

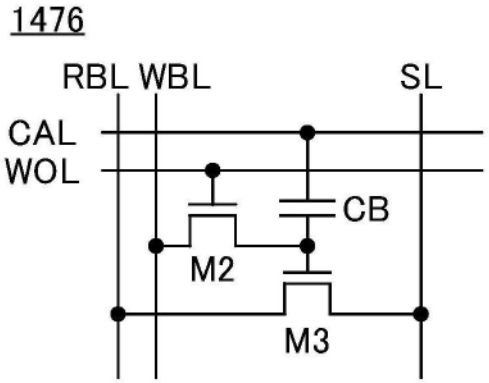


图38F

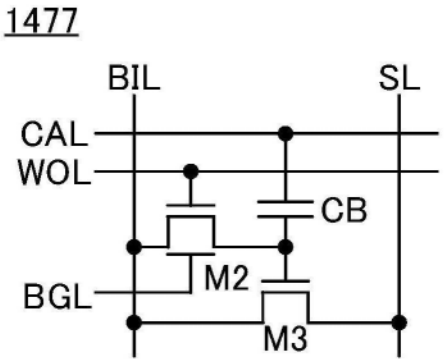


图38G

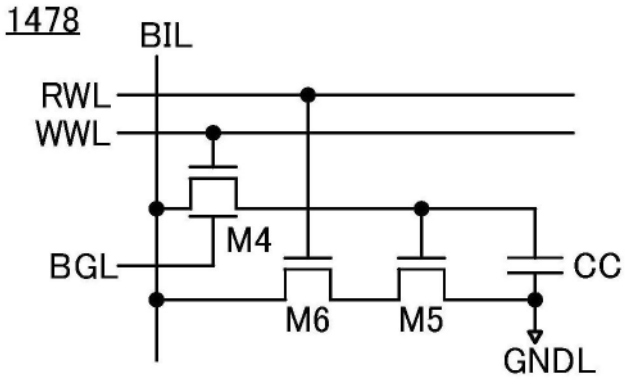


图38H

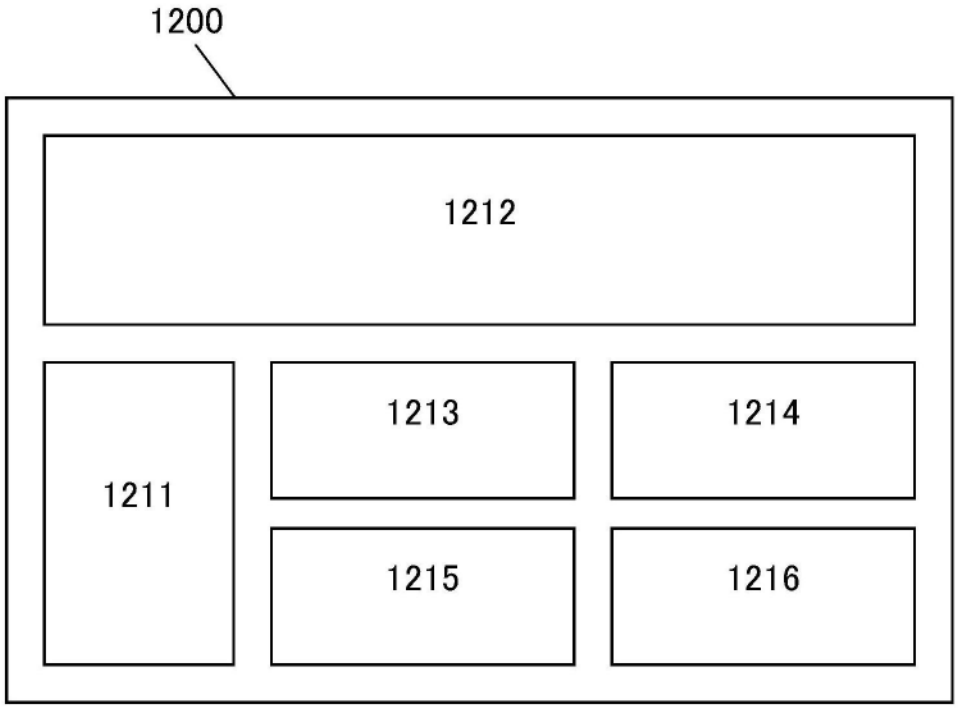

1200
1212
1211
1213
1214
1215
1216

图39A

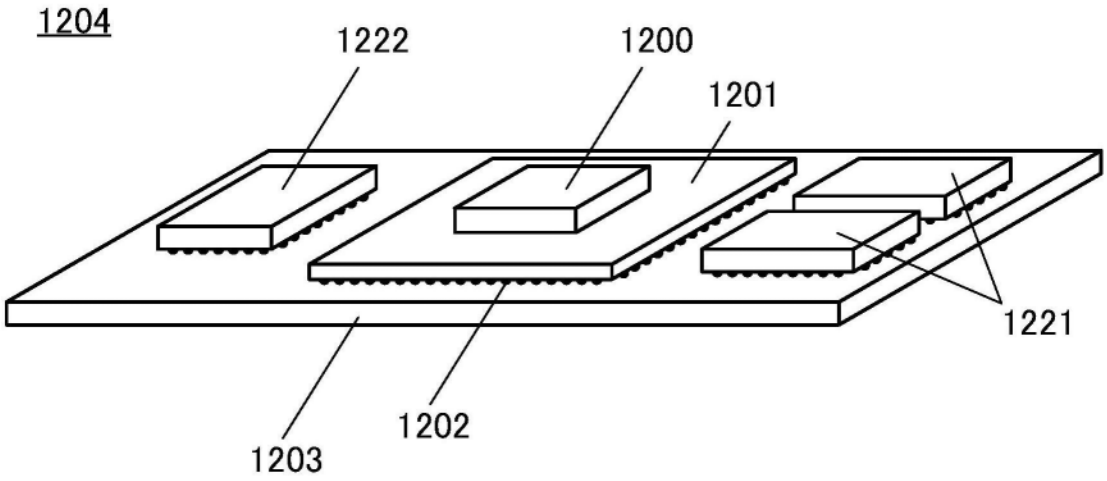

1204
1222
1200
1201
1221
1203
1202

图39B

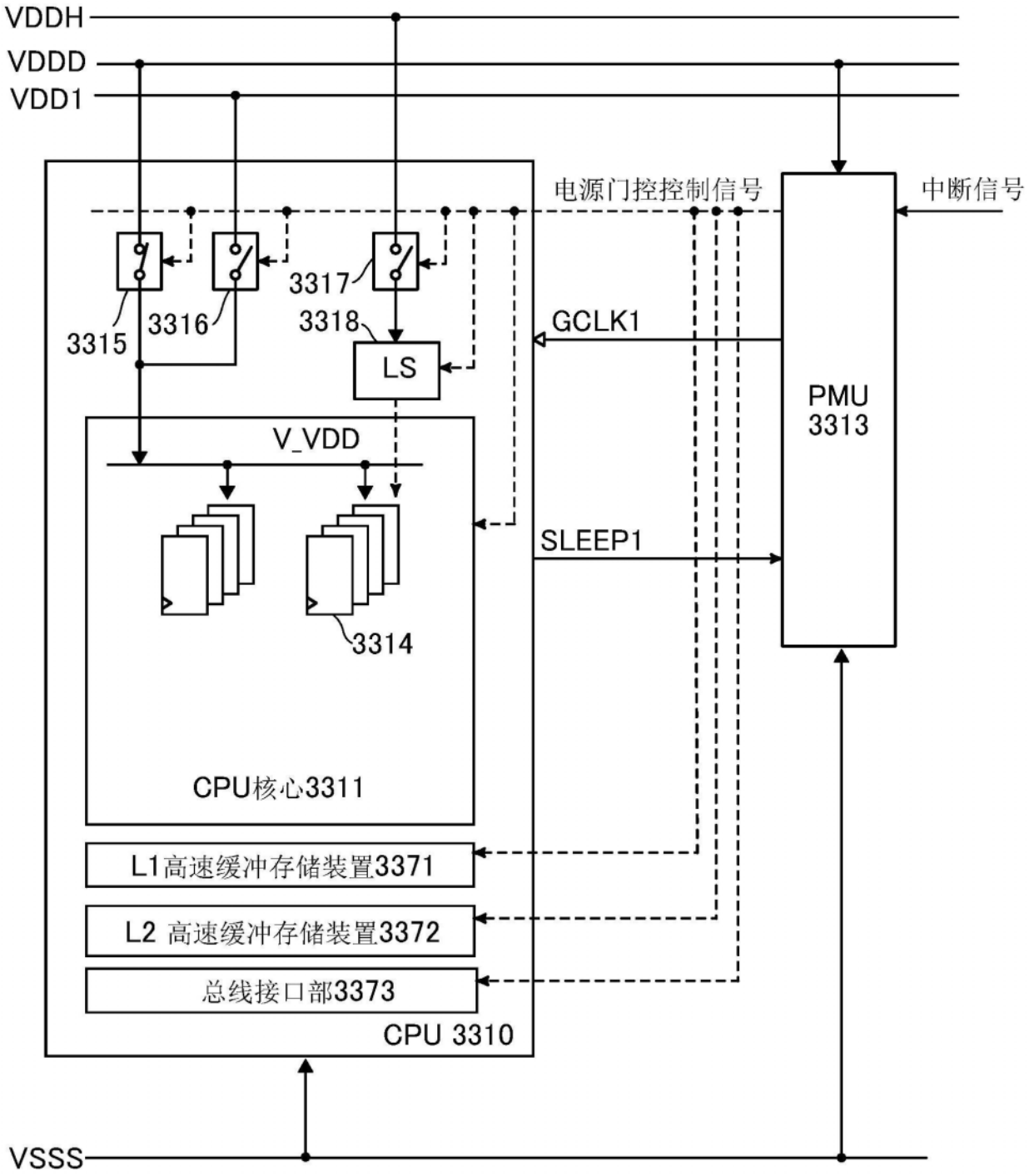

VDDH
VDDD
VDD1
电源门控控制信号
中断信号
3317
3315
3316
3318
LS
GCLK1
PMU
3313
V_VDD
SLEEP1
3314
CPU核心3311
L1高速缓冲存储装置3371
L2 高速缓冲存储装置3372
总线接口部3373
CPU 3310
VSSS

图40

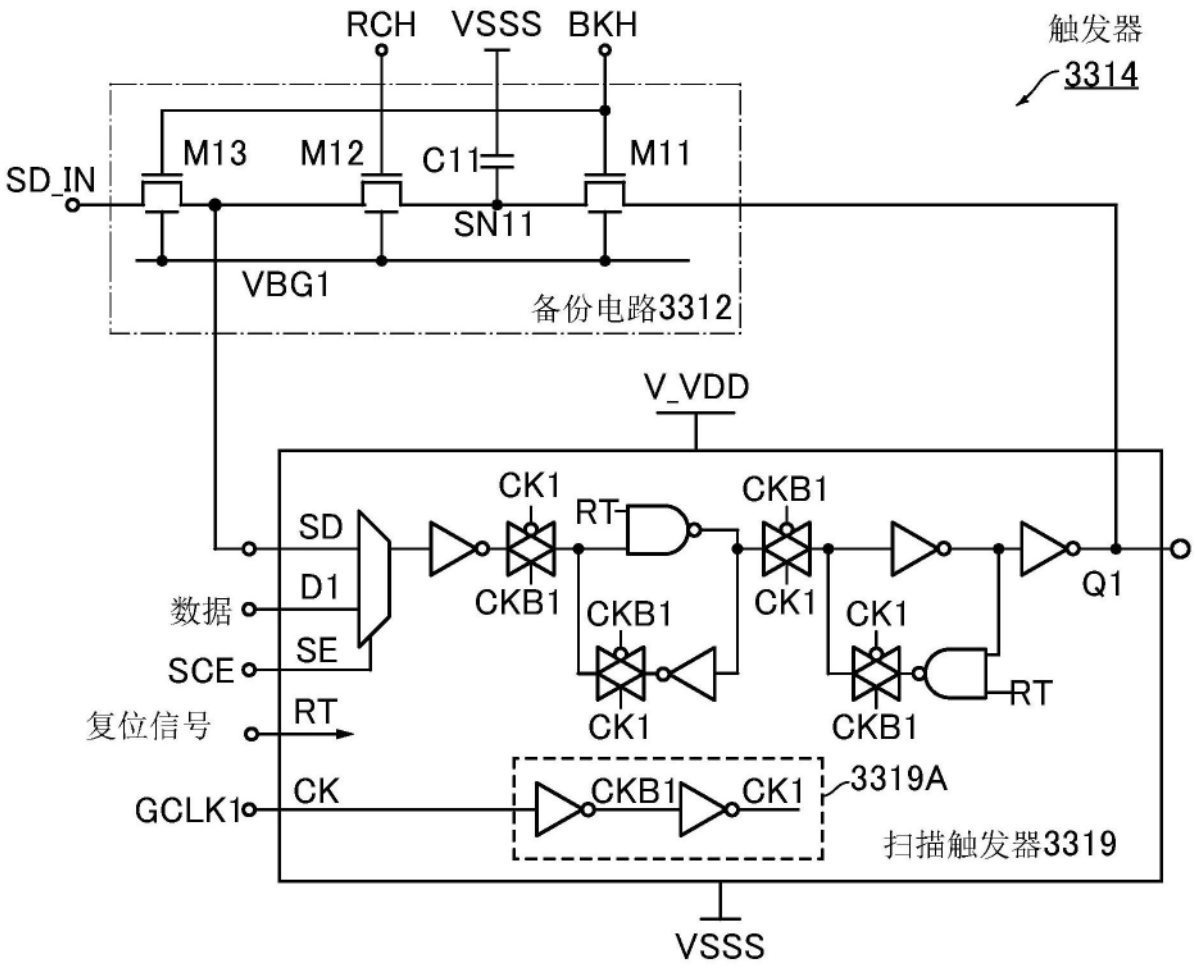

RCH
VSSS
BKH
触发器
3314
SD_IN
M13
M12
C11
M11
SN11
VBG1
备份电路3312
V_VDD
CK1
RT
CKB1
SD
D1
数据
SE
SCE
RT
复位信号
CK
GCLK1
CKB1
CK1
3319A
扫描触发器3319
Q1
VSSS

图41A

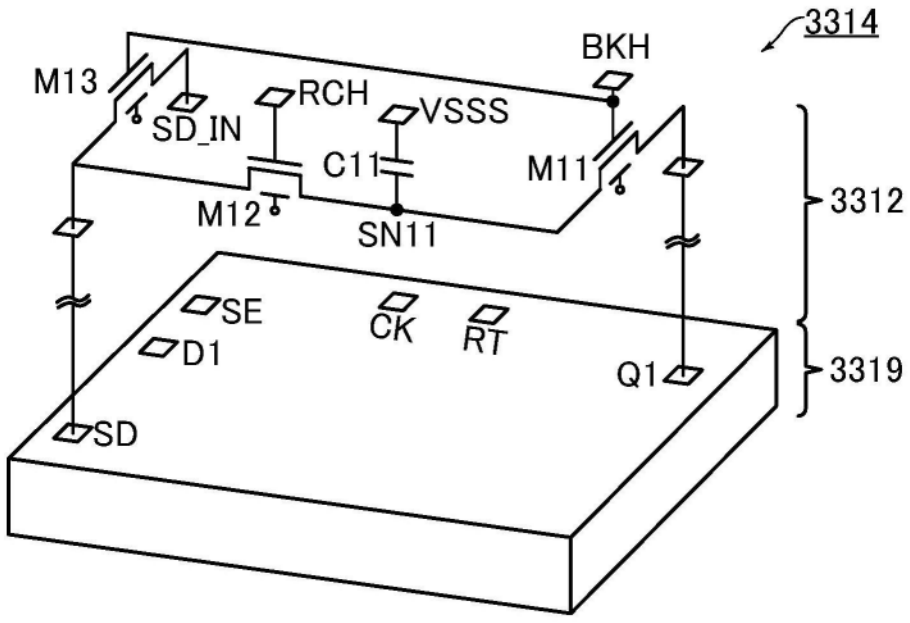

3314
BKH
M13
SD_IN
RCH
VSSS
C11
M11
M12
SN11
3312
SE
CK
RT
D1
Q1
3319
SD

图41B

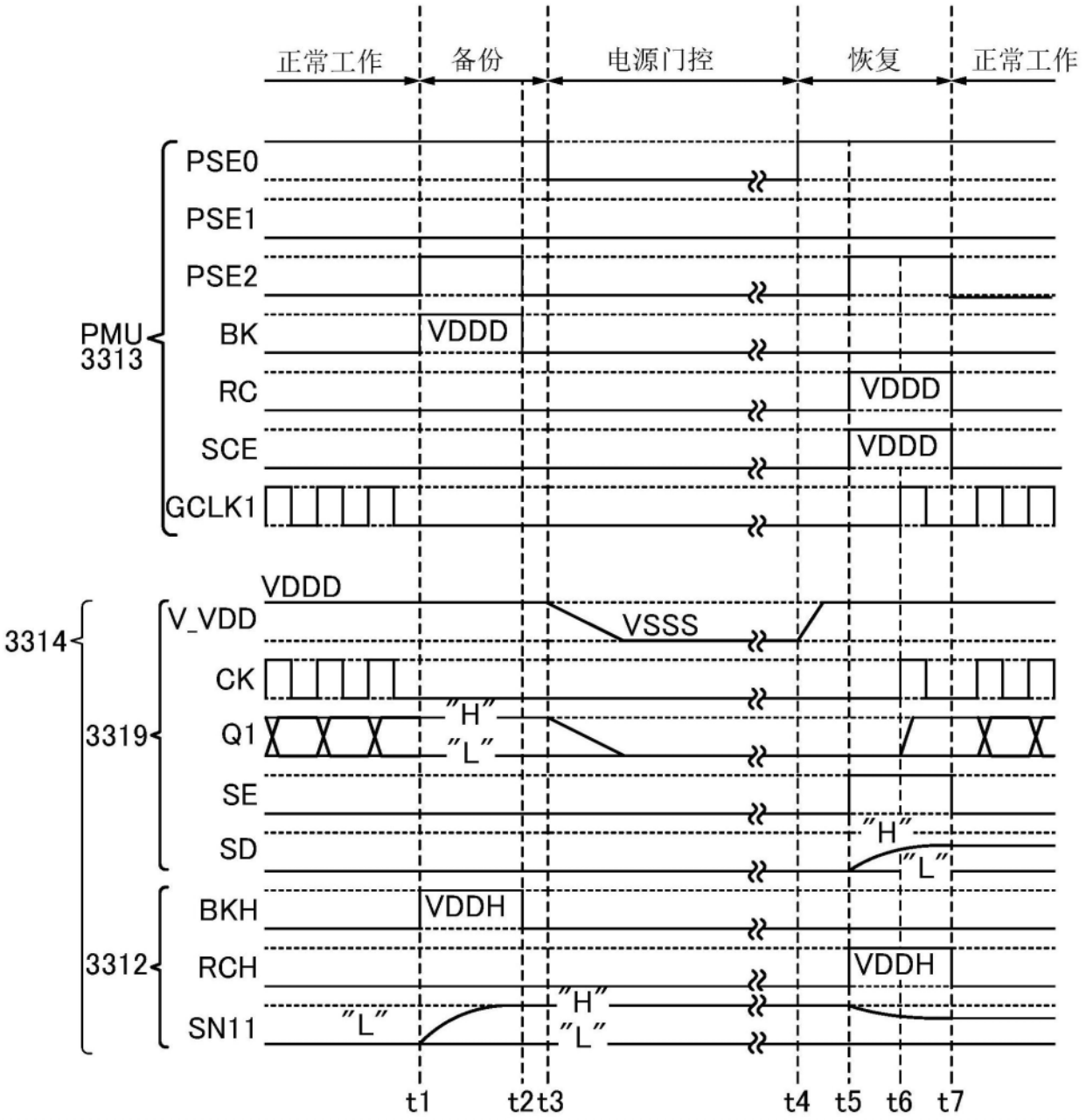

正常工作
备份
电源门控
恢复
正常工作
PSE0
PSE1
PSE2
PMU
3313
BK
VDDD
RC
VDDD
SCE
VDDD
GCLK1
VDDD
3314
V_VDD
VSSS
CK
3319
Q1
"H"
"L"
SE
SD
"H"
"L"
BKH
VDDH
3312
RCH
VDDH
SN11
"L"
"H"
"L"
t1
t2
t3
t4
t5
t6
t7

图42

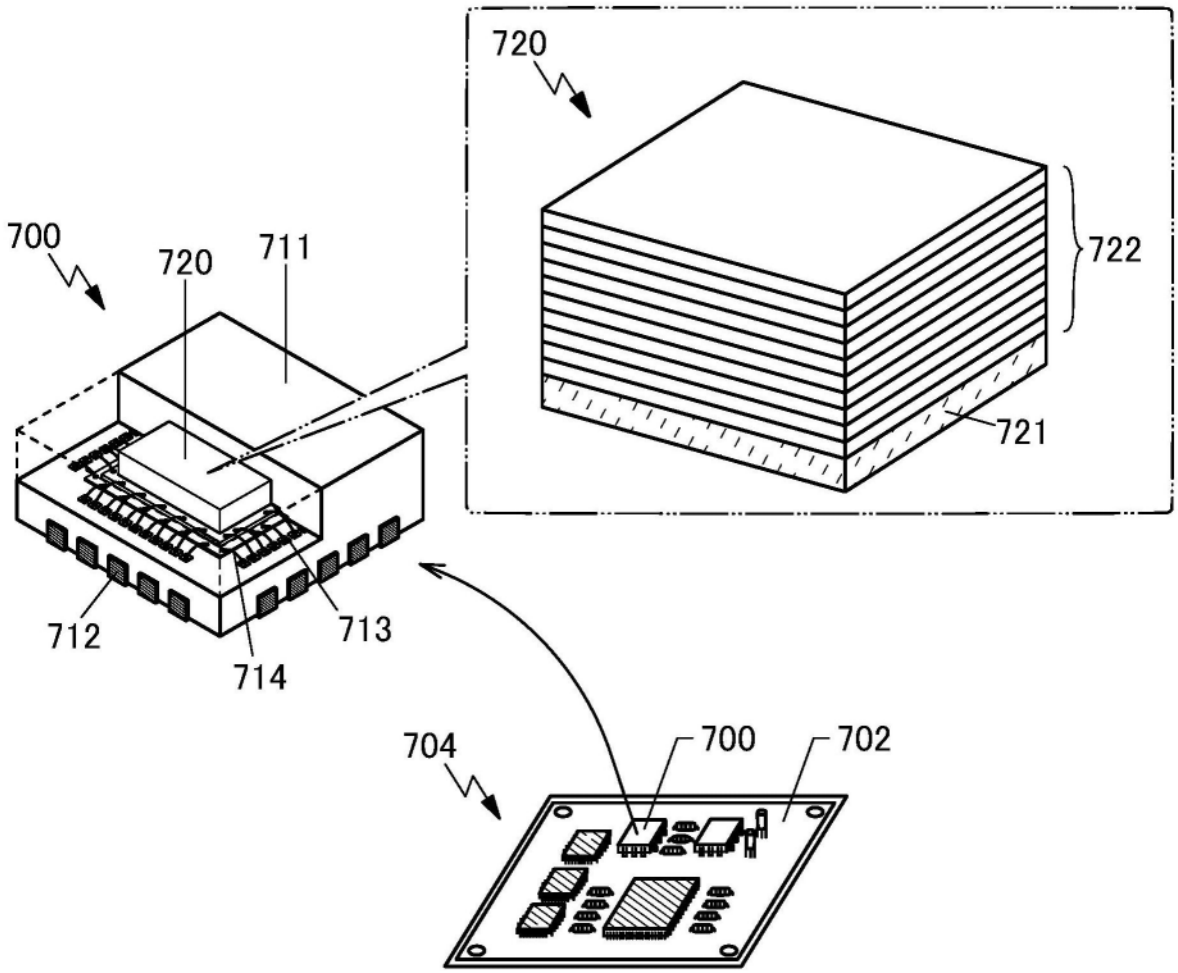

720
722
721
700
720
711
712
713
714
704
700
702

图43A

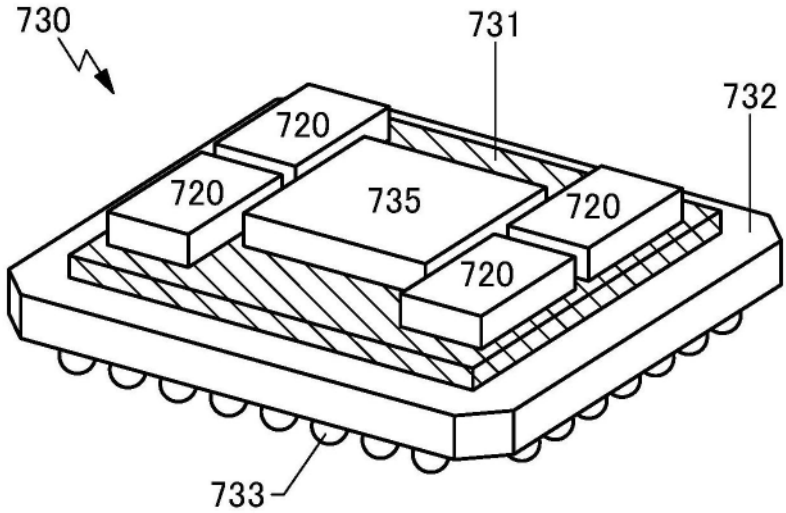

730
731
732
720
720
735
720
720
733

图43B

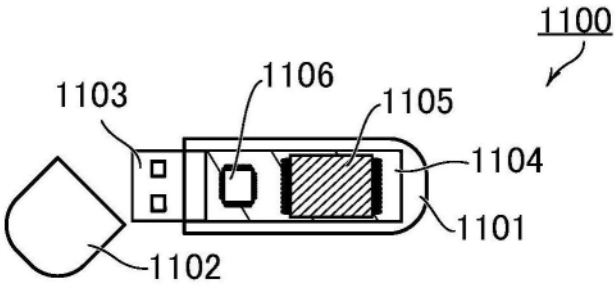


图44A

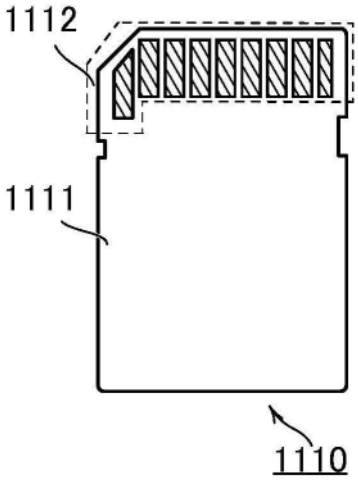


图44B

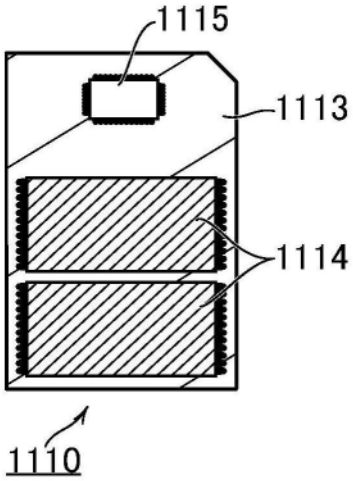


图44C

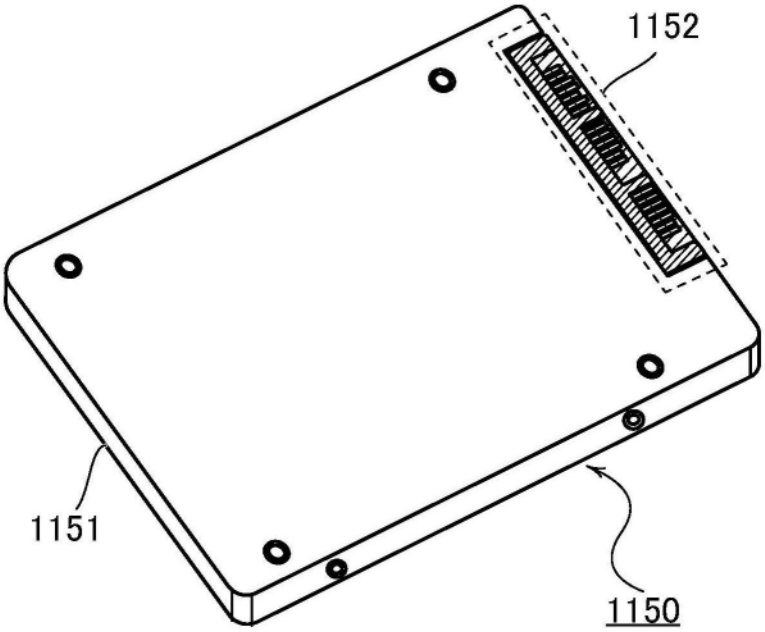


图44D

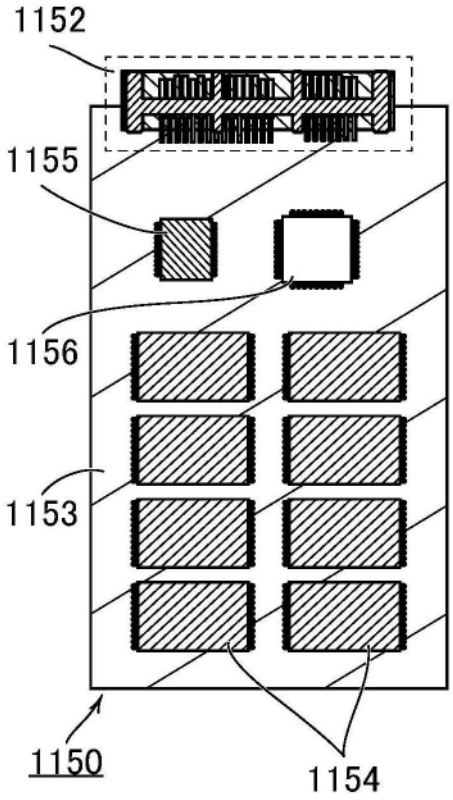


图44E

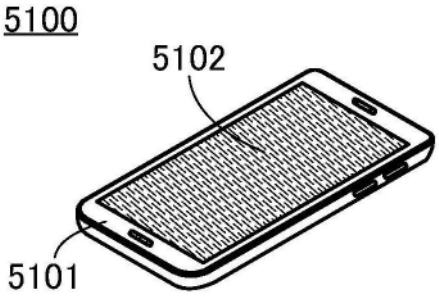


图45A

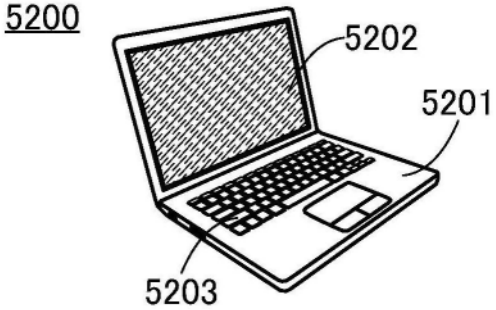


图45B

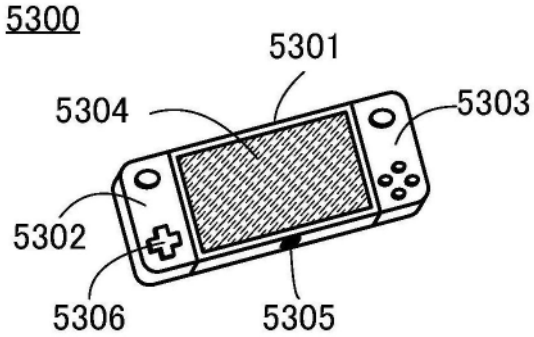


图45C

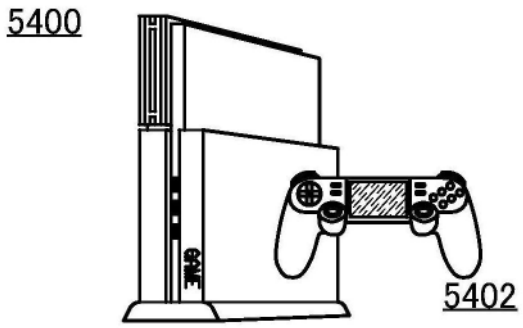


图45D

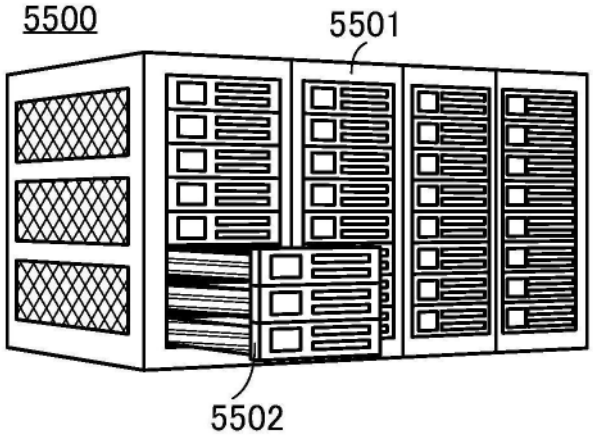


图45E

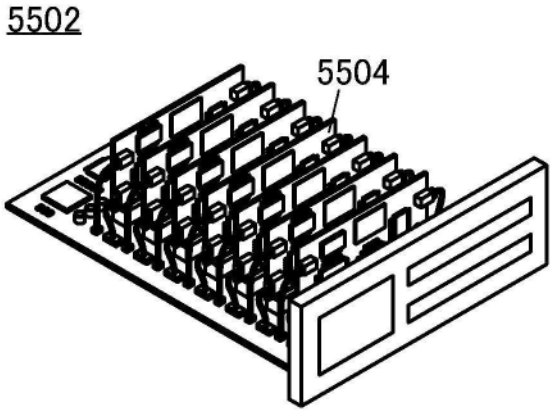


图45F

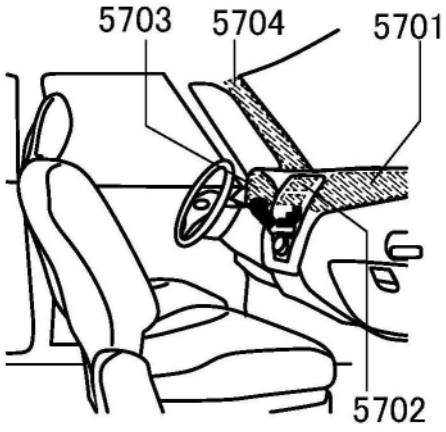


图45G

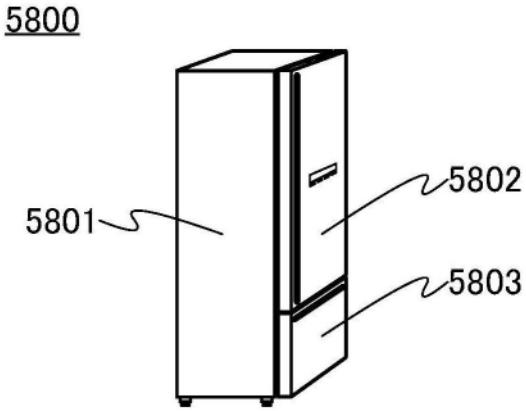


图45H