

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-108251

(P2006-108251A)

(43) 公開日 平成18年4月20日(2006.4.20)

(51) Int. Cl. F I テーマコード(参考)
 HO 1 L 27/092 (2006.01) HO 1 L 27/08 3 2 1 D 5 F 0 4 8
 HO 1 L 21/8238 (2006.01)

審査請求 未請求 請求項の数 8 O L (全 19 頁)

(21) 出願番号 特願2004-290464 (P2004-290464)
 (22) 出願日 平成16年10月1日(2004.10.1)

(71) 出願人 000116024
 ローム株式会社
 京都府京都市右京区西院溝崎町2 1 番地
 (74) 代理人 100082175
 弁理士 高田 守
 (72) 発明者 大路 洋
 茨城県つくば市小野川1 6 番地1 株式会
 社半導体先端テクノロジーズ内
 (72) 発明者 武藤 彰良
 茨城県つくば市小野川1 6 番地1 株式会
 社半導体先端テクノロジーズ内
 F ターム(参考) 5F048 AA07 AC03 BA01 BB04 BB06
 BB07 BB11 BB12 BB14 BB18
 BC06 BE03 BG13 DA27

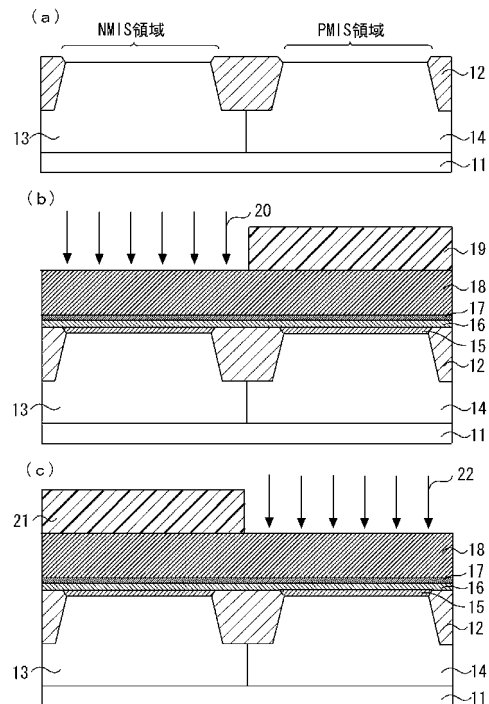
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 相補型半導体装置における閾値電圧のバラツキの発生を抑制する。

【解決手段】 シリコン基板 1 1 に素子分離 1 2 を形成し、p型ウェル1 3 とn型ウェル1 4 を形成する。シリコン基板 1 1 上にシリコン酸化膜よりも高い比誘電率を有するHfAlO_x膜 1 6 を形成し、ポリシリコンゲルマニウム膜 1 8 を形成する。PMIS領域を覆うレジストパターン 1 9 を形成した後、NMIS領域のポリシリコンゲルマニウム膜 1 8 にリンイオン 2 0 を注入した後、拡散用の熱処理を行う。NMIS領域を覆うレジストパターン 2 1 を形成した後、PMIS領域のポリシリコンゲルマニウム膜 1 8 にボロンイオンを注入した後、拡散用の熱処理を行う。その後、ポリシリコンゲルマニウム膜 1 8 をパターニングしてゲート電極を形成する。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

n 型回路領域と p 型回路領域とを有する相補型の半導体装置の製造方法であって、
前記 n 型回路領域の基板上層に p 型ウェルを形成し、前記 p 型回路領域の基板上層に n 型ウェルを形成する工程と、

前記基板上に、シリコン酸化膜よりも高い比誘電率を有する高誘電率ゲート絶縁膜を形成する工程と、

前記高誘電率ゲート絶縁膜上にゲート電極となるゲート電極材料膜を形成する工程と、

前記 n 型回路領域の前記ゲート電極材料膜に n 型不純物を注入した後、熱処理を行うことにより、該 n 型不純物を前記 n 型回路領域の前記ゲート電極材料膜に拡散させる工程と

10

、
前記 p 型回路領域の前記ゲート電極材料膜に p 型不純物を注入した後、熱処理を行うことにより、該 p 型不純物を前記 p 型回路領域の前記ゲート電極材料膜に拡散させる工程と

、
前記ゲート電極材料膜及び前記高誘電率ゲート絶縁膜をパターンングすることにより前記 n 型及び p 型回路領域にゲート電極を形成する工程と、

前記ゲート電極をマスクとして前記 p 型ウェルに n 型不純物を注入した後、該 n 型不純物を活性化させる熱処理を行うことにより、前記 p 型ウェルに n 型エクステンション領域を形成する工程と、

前記ゲート電極をマスクとして前記 n 型ウェルに p 型不純物を注入した後、該 p 型不純物を活性化させる熱処理を行うことにより、前記 n 型ウェルに p 型エクステンション領域を形成する工程と、

20

前記 n 型及び p 型エクステンション領域を形成した後、前記 n 型及び p 型回路領域の前記ゲート電極の側壁を覆うサイドウォールを形成する工程と、

前記サイドウォール及びゲート電極をマスクとして、前記 p 型ウェルに n 型不純物を注入し、該 n 型不純物を活性化させる熱処理を行うことにより、前記 p 型ウェルに n 型ソース/ドレイン領域を形成する工程と、

前記サイドウォール及びゲート電極をマスクとして、前記 n 型ウェルに p 型不純物を注入し、該 p 型不純物を活性化させる熱処理を行うことにより、前記 n 型ウェルに p 型ソース/ドレイン領域を形成する工程とを含むことを特徴とする半導体装置の製造方法。

30

【請求項 2】

n 型回路領域と p 型回路領域とを有する相補型の半導体装置の製造方法であって、

前記 n 型回路領域の基板上層に p 型ウェルを形成し、前記 p 型回路領域の基板上層に n 型ウェルを形成する工程と、

前記基板上に、シリコン酸化膜よりも高い比誘電率を有する高誘電率ゲート絶縁膜を形成する工程と、

前記高誘電率ゲート絶縁膜上にゲート電極となるゲート電極材料膜を形成する工程と、

前記 n 型回路領域の前記ゲート電極材料膜に n 型不純物を注入した後、第 1 熱処理を行うことにより、該第 1 不純物を前記 n 型回路領域の前記ゲート電極材料膜に拡散させる工程と、

40

前記 p 型回路領域の前記ゲート電極材料膜に n 型不純物を注入した後、前記第 1 熱処理よりも短い時間で第 2 熱処理を行うことにより、該 n 型不純物を前記 p 型回路領域の前記ゲート電極材料膜に拡散させる工程と、

前記ゲート電極材料膜及び前記高誘電率ゲート絶縁膜をパターンングすることにより前記 n 型及び p 型回路領域にゲート電極を形成する工程と、

前記ゲート電極をマスクとして前記 p 型ウェルに n 型不純物を注入した後、該 n 型不純物を活性化させる熱処理を行うことにより、前記 p 型ウェルに n 型エクステンション領域を形成する工程と、

前記ゲート電極をマスクとして前記 n 型ウェルに p 型不純物を注入した後、該 p 型不純物を活性化させる熱処理を行うことにより、前記 n 型ウェルに p 型エクステンション領域

50

を形成する工程と、

前記 n 型及び p 型エクステンション領域を形成した後、前記 n 型及び p 型回路領域の前記ゲート電極の側壁を覆うサイドウォールを形成する工程と、

前記サイドウォール及びゲート電極をマスクとして、前記 p 型ウェルに n 型不純物を注入し、該 n 型不純物を活性化させる熱処理を行うことにより、前記 p 型ウェルに n 型ソース/ドレイン領域を形成する工程と、

前記サイドウォール及びゲート電極をマスクとして、前記 n 型ウェルに p 型不純物を注入し、該 p 型不純物を活性化させる熱処理を行うことにより、前記 n 型ウェルに p 型ソース/ドレイン領域を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 3】

10

請求項 2 に記載の半導体装置の製造方法において、

前記第 1 熱処理を 1 ~ 5 秒の時間行い、前記第 2 熱処理を 1 ~ 3 秒の時間行うことを特徴とする半導体装置の製造方法。

【請求項 4】

n 型回路領域と p 型回路領域とを有する相補型の半導体装置の製造方法であって、

前記 n 型回路領域の基板上層に p 型ウェルを形成し、前記 p 型回路領域の基板上層に n 型ウェルを形成する工程と、

前記基板上に、シリコン酸化膜よりも高い比誘電率を有する高誘電率ゲート絶縁膜を形成する工程と、

前記高誘電率ゲート絶縁膜上にゲート電極となるゲート電極材料膜を形成する工程と、

20

前記 n 型回路領域の前記ゲート電極材料膜に n 型の第 1 不純物を注入した後、熱処理を行うことにより、該第 1 不純物を前記 n 型回路領域の前記ゲート電極材料膜に拡散させる工程と、

前記 p 型回路領域の前記ゲート電極材料膜に n 型の第 2 不純物を前記第 1 不純物よりも低い加速電圧で注入した後、熱処理を行うことにより、該第 2 不純物を前記 p 型回路領域の前記ゲート電極材料膜に拡散させる工程と、

前記ゲート電極材料膜及び前記高誘電率ゲート絶縁膜をパターンニングすることにより前記 n 型及び p 型回路領域にゲート電極を形成する工程と、

前記ゲート電極をマスクとして前記 p 型ウェルに n 型不純物を注入した後、該 n 型不純物を活性化させる熱処理を行うことにより、前記 p 型ウェルに n 型エクステンション領域

30

を形成する工程と、
前記ゲート電極をマスクとして前記 n 型ウェルに p 型不純物を注入した後、該 p 型不純物を活性化させる熱処理を行うことにより、前記 n 型ウェルに p 型エクステンション領域を形成する工程と、

前記 n 型及び p 型エクステンション領域を形成した後、前記 n 型及び p 型回路領域の前記ゲート電極の側壁を覆うサイドウォールを形成する工程と、

前記サイドウォール及びゲート電極をマスクとして、前記 p 型ウェルに n 型不純物を注入し、該 n 型不純物を活性化させる熱処理を行うことにより、前記 p 型ウェルに n 型ソース/ドレイン領域を形成する工程と、

前記サイドウォール及びゲート電極をマスクとして、前記 n 型ウェルに p 型不純物を注入し、該 p 型不純物を活性化させる熱処理を行うことにより、前記 n 型ウェルに p 型ソース/ドレイン領域を形成する工程とを含むことを特徴とする半導体装置の製造方法。

40

【請求項 5】

請求項 4 に記載の半導体装置の製造方法において、

前記第 1 不純物を 5 ~ 20 keV の加速電圧で注入し、前記第 2 不純物を 3 ~ 10 keV の加速電圧で注入することを特徴とする半導体装置の製造方法。

【請求項 6】

n 型回路領域と p 型回路領域とを有する相補型の半導体装置の製造方法であって、

前記 n 型回路領域の基板上層に p 型ウェルを形成し、前記 p 型回路領域の基板上層に n 型ウェルを形成する工程と、

50

前記基板上に、シリコン酸化膜よりも高い比誘電率を有する高誘電率ゲート絶縁膜を形成する工程と、

前記高誘電率ゲート絶縁膜上にゲート電極となるゲート電極材料膜を形成する工程と、
前記n型回路領域の前記ゲート電極材料膜にn型の第1不純物を注入した後、熱処理を行うことにより、該第1不純物を前記n型回路領域の前記ゲート電極材料膜に拡散させる工程と、

前記p型回路領域の前記ゲート電極材料膜にn型の第2不純物を前記第1不純物よりも低いドーズ量で注入した後、熱処理を行うことにより、該第2不純物を前記p型回路領域の前記ゲート電極材料膜に拡散させる工程と、

前記ゲート電極材料膜及び前記高誘電率ゲート絶縁膜をパターンングすることにより前記n型及びp型回路領域にゲート電極を形成する工程と、 10

前記ゲート電極をマスクとして前記p型ウェルにn型不純物を注入した後、該n型不純物を活性化させる熱処理を行うことにより、前記p型ウェルにn型エクステンション領域を形成する工程と、

前記ゲート電極をマスクとして前記n型ウェルにp型不純物を注入した後、該p型不純物を活性化させる熱処理を行うことにより、前記n型ウェルにp型エクステンション領域を形成する工程と、

前記n型及びp型エクステンション領域を形成した後、前記n型及びp型回路領域の前記ゲート電極の側壁を覆うサイドウォールを形成する工程と、

前記サイドウォール及びゲート電極をマスクとして、前記p型ウェルにn型不純物を注入し、該n型不純物を活性化させる熱処理を行うことにより、前記p型ウェルにn型ソース/ドレイン領域を形成する工程と、 20

前記サイドウォール及びゲート電極をマスクとして、前記n型ウェルにp型不純物を注入し、該p型不純物を活性化させる熱処理を行うことにより、前記n型ウェルにp型ソース/ドレイン領域を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項7】

請求項6に記載の半導体装置の製造方法において、

前記第1不純物を $5 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ のドーズ量で注入し、前記第2不純物を $1 \times 10^{15} \sim 5 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で注入することを特徴とする半導体装置の製造方法。 30

【請求項8】

n型回路領域とp型回路領域とを有する相補型の半導体装置の製造方法であって、

前記n型回路領域の基板上層にp型ウェルを形成し、前記p型回路領域の基板上層にn型ウェルを形成する工程と、

前記基板上に、シリコン酸化膜よりも高い比誘電率を有する高誘電率ゲート絶縁膜を形成する工程と、

前記n型又はp型回路領域の前記高誘電率ゲート絶縁膜上に第1のSiGe膜を形成する工程と、

前記p型又はn型回路領域の前記高誘電率ゲート絶縁膜上に前記第1のSiGe膜とはGe組成が異なる第2のSiGe膜を形成する工程と、 40

前記第1及び第2のSiGe膜及び前記高誘電率ゲート絶縁膜をパターンングすることにより、前記n型及びp型回路領域にゲート電極を形成する工程と、

前記ゲート電極をマスクとして前記p型ウェルにn型不純物を注入した後、該n型不純物を活性化させる熱処理を行うことにより、前記p型ウェルにn型エクステンション領域を形成する工程と、

前記ゲート電極をマスクとして前記n型ウェルにp型不純物を注入した後、該p型不純物を活性化させる熱処理を行うことにより、前記n型ウェルにp型エクステンション領域を形成する工程と、

前記n型及びp型エクステンション領域を形成した後、前記n型及びp型回路領域の前記ゲート電極の側壁を覆うサイドウォールを形成する工程と、 50

前記サイドウォール及びゲート電極をマスクとして、前記 p 型ウェルに n 型不純物を注入し、該 n 型不純物を活性化させる熱処理を行うことにより、前記 p 型ウェルに n 型ソース/ドレイン領域を形成する工程と、

前記サイドウォール及びゲート電極をマスクとして、前記 n 型ウェルに p 型不純物を注入し、該 p 型不純物を活性化させる熱処理を行うことにより、前記 n 型ウェルに p 型ソース/ドレイン領域を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ゲート電極材料にポリシリコンゲルマニウム膜を用いた半導体装置の製造方法に係り、特に相補型半導体装置の閾値電圧のバラツキ低減に関する。 10

【背景技術】

【0002】

M I S F E T (metal insulator semiconductor field effect transistor) 等の半導体デバイスの高速化・微細化を実現するため、ゲート絶縁膜の薄膜化が行われてきた。しかし、ゲート絶縁膜を薄膜化するとゲートリーク電流が増加してしまうという問題があり、この問題を解決するため、ゲート絶縁膜として高誘電率膜（以下「高誘電率ゲート絶縁膜」という。）を採用する手法が提案されている（例えば、特許文献 1 参照。）。

【0003】

また、半導体装置の製造過程において、ゲート電極の空乏化を抑制するため、不純物をゲート電極に注入し、その後に熱処理を行うことにより該不純物をゲート電極内に拡散させている。 20

本発明者が従来行っていた手法では、C M I S F E T (complementary metal insulator semiconductor field effect transistor) 等の相補型半導体装置において、n 型チャネル M I S F E T (以下「NMIS」という。) のゲート電極と、p 型チャネル M I S F E T (以下「PMIS」という。) のゲート電極とにリンイオンを、例えば、加速電圧：5 keV、ドーズ量： 4×10^{15} atoms/cm² で注入し、その後に 1050 程度の温度で約 1 秒熱処理を行うことによりリンイオンを拡散させている。

【0004】

【特許文献 1】特開 2002 - 289844 号公報 30

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、上述のように C M I S F E T の NMIS と PMIS のゲートドーパントの注入・拡散を同じ条件で行うと、図 11 に示すように、トランジスタ (P M I S F E T) の C - V 特性が劣化してしまい、所望の閾値電圧が得られないという問題があった。すなわち、C M I S F E T において閾値電圧のバラツキが生じてしまうという問題があった。

【0006】

本発明は、上記従来課題を解決するためになされたもので、相補型半導体装置における閾値電圧のバラツキの発生を抑制することを目的とする。 40

【課題を解決するための手段】

【0007】

本発明に係る半導体装置の製造方法は、n 型回路領域と p 型回路領域とを有する相補型の半導体装置の製造方法であって、

前記 n 型回路領域の基板上層に p 型ウェルを形成し、前記 p 型回路領域の基板上層に n 型ウェルを形成する工程と、

前記基板上に、シリコン酸化膜よりも高い比誘電率を有する高誘電率ゲート絶縁膜を形成する工程と、

前記高誘電率ゲート絶縁膜上にゲート電極となるゲート電極材料膜を形成する工程と、 50

前記 n 型回路領域の前記ゲート電極材料膜に n 型不純物を注入した後、熱処理を行うことにより、該 n 型不純物を前記 n 型回路領域の前記ゲート電極材料膜に拡散させる工程と

、
前記 p 型回路領域の前記ゲート電極材料膜に p 型不純物を注入した後、熱処理を行うことにより、該 p 型不純物を前記 p 型回路領域の前記ゲート電極材料膜に拡散させる工程と

、
前記ゲート電極材料膜及び前記高誘電率ゲート絶縁膜をパターンニングすることにより前記 n 型及び p 型回路領域にゲート電極を形成する工程と、

前記ゲート電極をマスクとして前記 p 型ウェルに n 型不純物を注入した後、該 n 型不純物を活性化させる熱処理を行うことにより、前記 p 型ウェルに n 型エクステンション領域を形成する工程と、 10

前記ゲート電極をマスクとして前記 n 型ウェルに p 型不純物を注入した後、該 p 型不純物を活性化させる熱処理を行うことにより、前記 n 型ウェルに p 型エクステンション領域を形成する工程と、

前記 n 型及び p 型エクステンション領域を形成した後、前記 n 型及び p 型回路領域の前記ゲート電極の側壁を覆うサイドウォールを形成する工程と、

前記サイドウォール及びゲート電極をマスクとして、前記 p 型ウェルに n 型不純物を注入し、該 n 型不純物を活性化させる熱処理を行うことにより、前記 p 型ウェルに n 型ソース/ドレイン領域を形成する工程と、

前記サイドウォール及びゲート電極をマスクとして、前記 n 型ウェルに p 型不純物を注入し、該 p 型不純物を活性化させる熱処理を行うことにより、前記 n 型ウェルに p 型ソース/ドレイン領域を形成する工程とを含むことを特徴とするものである。 20

【0008】

本発明に係る半導体装置の製造方法は、n 型回路領域と p 型回路領域とを有する相補型の半導体装置の製造方法であって、

前記 n 型回路領域の基板上層に p 型ウェルを形成し、前記 p 型回路領域の基板上層に n 型ウェルを形成する工程と、

前記基板上に、シリコン酸化膜よりも高い比誘電率を有する高誘電率ゲート絶縁膜を形成する工程と、

前記高誘電率ゲート絶縁膜上にゲート電極となるゲート電極材料膜を形成する工程と、 30

前記 n 型回路領域の前記ゲート電極材料膜に n 型不純物を注入した後、第 1 熱処理を行うことにより、該第 1 不純物を前記 n 型回路領域の前記ゲート電極材料膜に拡散させる工程と、

前記 p 型回路領域の前記ゲート電極材料膜に n 型不純物を注入した後、前記第 1 熱処理よりも短い時間で第 2 熱処理を行うことにより、該 n 型不純物を前記 p 型回路領域の前記ゲート電極材料膜に拡散させる工程と、

前記ゲート電極材料膜及び前記高誘電率ゲート絶縁膜をパターンニングすることにより前記 n 型及び p 型回路領域にゲート電極を形成する工程と、

前記ゲート電極をマスクとして前記 p 型ウェルに n 型不純物を注入した後、該 n 型不純物を活性化させる熱処理を行うことにより、前記 p 型ウェルに n 型エクステンション領域を形成する工程と、 40

前記ゲート電極をマスクとして前記 n 型ウェルに p 型不純物を注入した後、該 p 型不純物を活性化させる熱処理を行うことにより、前記 n 型ウェルに p 型エクステンション領域を形成する工程と、

前記 n 型及び p 型エクステンション領域を形成した後、前記 n 型及び p 型回路領域の前記ゲート電極の側壁を覆うサイドウォールを形成する工程と、

前記サイドウォール及びゲート電極をマスクとして、前記 p 型ウェルに n 型不純物を注入し、該 n 型不純物を活性化させる熱処理を行うことにより、前記 p 型ウェルに n 型ソース/ドレイン領域を形成する工程と、

前記サイドウォール及びゲート電極をマスクとして、前記 n 型ウェルに p 型不純物を注 50

入し、該 p 型不純物を活性化させる熱処理を行うことにより、前記 n 型ウェルに p 型ソース/ドレイン領域を形成する工程とを含むことを特徴とするものである。

【0009】

本発明に係る半導体装置の製造方法において、

前記第 1 熱処理を 1 ~ 5 秒の時間行い、前記第 2 熱処理を 1 ~ 3 秒の時間行うことが好適である。

【0010】

本発明に係る半導体装置の製造方法は、n 型回路領域と p 型回路領域とを有する相補型の半導体装置の製造方法であって、

前記 n 型回路領域の基板上層に p 型ウェルを形成し、前記 p 型回路領域の基板上層に n 型ウェルを形成する工程と、

前記基板上に、シリコン酸化膜よりも高い比誘電率を有する高誘電率ゲート絶縁膜を形成する工程と、

前記高誘電率ゲート絶縁膜上にゲート電極となるゲート電極材料膜を形成する工程と、

前記 n 型回路領域の前記ゲート電極材料膜に n 型の第 1 不純物を注入した後、熱処理を行うことにより、該第 1 不純物を前記 n 型回路領域の前記ゲート電極材料膜に拡散させる工程と、

前記 p 型回路領域の前記ゲート電極材料膜に n 型の第 2 不純物を前記第 1 不純物よりも低い加速電圧で注入した後、熱処理を行うことにより、該第 2 不純物を前記 p 型回路領域の前記ゲート電極材料膜に拡散させる工程と、

前記ゲート電極材料膜及び前記高誘電率ゲート絶縁膜をパターニングすることにより前記 n 型及び p 型回路領域にゲート電極を形成する工程と、

前記ゲート電極をマスクとして前記 p 型ウェルに n 型不純物を注入した後、該 n 型不純物を活性化させる熱処理を行うことにより、前記 p 型ウェルに n 型エクステンション領域を形成する工程と、

前記ゲート電極をマスクとして前記 n 型ウェルに p 型不純物を注入した後、該 p 型不純物を活性化させる熱処理を行うことにより、前記 n 型ウェルに p 型エクステンション領域を形成する工程と、

前記 n 型及び p 型エクステンション領域を形成した後、前記 n 型及び p 型回路領域の前記ゲート電極の側壁を覆うサイドウォールを形成する工程と、

前記サイドウォール及びゲート電極をマスクとして、前記 p 型ウェルに n 型不純物を注入し、該 n 型不純物を活性化させる熱処理を行うことにより、前記 p 型ウェルに n 型ソース/ドレイン領域を形成する工程と、

前記サイドウォール及びゲート電極をマスクとして、前記 n 型ウェルに p 型不純物を注入し、該 p 型不純物を活性化させる熱処理を行うことにより、前記 n 型ウェルに p 型ソース/ドレイン領域を形成する工程とを含むことを特徴とするものである。

【0011】

本発明に係る半導体装置の製造方法において、

前記第 1 不純物を 5 ~ 20 keV の加速電圧で注入し、前記第 2 不純物を 3 ~ 10 keV の加速電圧で注入することが好適である。

【0012】

本発明に係る半導体装置の製造方法は、n 型回路領域と p 型回路領域とを有する相補型の半導体装置の製造方法であって、

前記 n 型回路領域の基板上層に p 型ウェルを形成し、前記 p 型回路領域の基板上層に n 型ウェルを形成する工程と、

前記基板上に、シリコン酸化膜よりも高い比誘電率を有する高誘電率ゲート絶縁膜を形成する工程と、

前記高誘電率ゲート絶縁膜上にゲート電極となるゲート電極材料膜を形成する工程と、

前記 n 型回路領域の前記ゲート電極材料膜に n 型の第 1 不純物を注入した後、熱処理を行うことにより、該第 1 不純物を前記 n 型回路領域の前記ゲート電極材料膜に拡散させる

10

20

30

40

50

工程と、

前記 p 型回路領域の前記ゲート電極材料膜に n 型の第 2 不純物を前記第 1 不純物よりも低いドーズ量で注入した後、熱処理を行うことにより、該第 2 不純物を前記 p 型回路領域の前記ゲート電極材料膜に拡散させる工程と、

前記ゲート電極材料膜及び前記高誘電率ゲート絶縁膜をパターンングすることにより前記 n 型及び p 型回路領域にゲート電極を形成する工程と、

前記ゲート電極をマスクとして前記 p 型ウェルに n 型不純物を注入した後、該 n 型不純物を活性化させる熱処理を行うことにより、前記 p 型ウェルに n 型エクステンション領域を形成する工程と、

前記ゲート電極をマスクとして前記 n 型ウェルに p 型不純物を注入した後、該 p 型不純物を活性化させる熱処理を行うことにより、前記 n 型ウェルに p 型エクステンション領域を形成する工程と、 10

前記 n 型及び p 型エクステンション領域を形成した後、前記 n 型及び p 型回路領域の前記ゲート電極の側壁を覆うサイドウォールを形成する工程と、

前記サイドウォール及びゲート電極をマスクとして、前記 p 型ウェルに n 型不純物を注入し、該 n 型不純物を活性化させる熱処理を行うことにより、前記 p 型ウェルに n 型ソース/ドレイン領域を形成する工程と、

前記サイドウォール及びゲート電極をマスクとして、前記 n 型ウェルに p 型不純物を注入し、該 p 型不純物を活性化させる熱処理を行うことにより、前記 n 型ウェルに p 型ソース/ドレイン領域を形成する工程とを含むことを特徴とするものである。 20

【0013】

本発明に係る半導体装置の製造方法において、

前記第 1 不純物を $5 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ のドーズ量で注入し、前記第 2 不純物を $1 \times 10^{15} \sim 5 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で注入することが好適である。

【0014】

本発明に係る半導体装置の製造方法は、n 型回路領域と p 型回路領域とを有する相補型の半導体装置の製造方法であって、

前記 n 型回路領域の基板上層に p 型ウェルを形成し、前記 p 型回路領域の基板上層に n 型ウェルを形成する工程と、

前記基板上に、シリコン酸化膜よりも高い比誘電率を有する高誘電率ゲート絶縁膜を形成する工程と、 30

前記 n 型又は p 型回路領域の前記高誘電率ゲート絶縁膜上に第 1 の SiGe 膜を形成する工程と、

前記 p 型又は n 型回路領域の前記高誘電率ゲート絶縁膜上に前記第 1 の SiGe 膜とは Ge 組成が異なる第 2 の SiGe 膜を形成する工程と、

前記第 1 及び第 2 の SiGe 膜及び前記高誘電率ゲート絶縁膜をパターンングすることにより、前記 n 型及び p 型回路領域にゲート電極を形成する工程と、

前記ゲート電極をマスクとして前記 p 型ウェルに n 型不純物を注入した後、該 n 型不純物を活性化させる熱処理を行うことにより、前記 p 型ウェルに n 型エクステンション領域を形成する工程と、 40

前記ゲート電極をマスクとして前記 n 型ウェルに p 型不純物を注入した後、該 p 型不純物を活性化させる熱処理を行うことにより、前記 n 型ウェルに p 型エクステンション領域を形成する工程と、

前記 n 型及び p 型エクステンション領域を形成した後、前記 n 型及び p 型回路領域の前記ゲート電極の側壁を覆うサイドウォールを形成する工程と、

前記サイドウォール及びゲート電極をマスクとして、前記 p 型ウェルに n 型不純物を注入し、該 n 型不純物を活性化させる熱処理を行うことにより、前記 p 型ウェルに n 型ソース/ドレイン領域を形成する工程と、

前記サイドウォール及びゲート電極をマスクとして、前記 n 型ウェルに p 型不純物を注入し、該 p 型不純物を活性化させる熱処理を行うことにより、前記 n 型ウェルに p 型ソ 50

スノドレイン領域を形成する工程とを含むことを特徴とするものである。

【発明の効果】

【0015】

本発明は以上説明したように、p型及びn型回路領域におけるゲートドーパント注入条件又は熱処理条件を制御することにより、相補型半導体装置における閾値電圧のバラツキを発生を抑制することができる。また、p型及びn型回路領域におけるSiGeゲート電極のGe濃度を制御することにより、相補型半導体装置における閾値電圧のバラツキを発生を抑制することができる。

【発明を実施するための最良の形態】

【0016】

以下、図面を参照して本発明の実施の形態について説明する。図中、同一または相当する部分には同一の符号を付してその説明を簡略化ないし省略することがある。

【0017】

実施の形態1.

図1～図3は、本発明の実施の形態1による半導体装置の製造方法を説明するための工程断面図である。より詳細には、図1～図3は、相補型半導体装置であるCMISFETの製造方法を説明するための工程断面図である。

【0018】

先ず、図1(a)に示すように、p型シリコン基板11にSTI(shallow trench isolation)法を用いて素子分離12を形成する。そして、素子分離12で分離されたn型チャンネルMISFET領域(以下「NMIS領域」という。)の活性領域に、p型不純物を注入し、熱処理を行うことによりp型ウェル13を形成する。また、p型チャンネルMISFET領域(以下「PMIS領域」という。)の活性領域に、n型不純物を注入し、熱処理を行うことにより、n型ウェル14を形成する。

【0019】

次に、図1(b)に示すように、シリコン基板11上にシリコン酸化膜15を熱酸化法により、例えば、0.7nm～1.0nmの膜厚で形成する。そして、シリコン酸化膜15上に、ALD(atomic layer deposition)法やMOCVD(metal organic chemical vapor deposition)法により、該シリコン酸化膜15よりも高い比誘電率を有する高誘電率ゲート絶縁膜16としてHfAlO_x膜を、例えば、1.2nm～2.5nmの膜厚で形成する。さらに、LPCVD(low pressure chemical vapor deposition)法により、HfAlO_x膜16上にシード層17としての非晶質シリコン膜を、例えば、1nm程度の膜厚で形成する。HfAlO_x膜16は、ALD法を用いる場合、例えば、原料：HfCl₄及びTMA、酸化剤：H₂O又はO₃、基板温度：300の条件で形成できる。シード層17は、例えば、原料：シランガス、圧力：100Pa、温度：480の条件で形成できる。その後、シード層17上にゲート電極となるゲート電極材料膜としてのポリシリコンゲルマニウム膜18を、例えば、150nm程度の膜厚で形成する。ポリシリコンゲルマニウム膜18は、例えば、SiH₄流量：0.6slm；H₂希釈10%GeH₄流量：0.58slm；温度：475；圧力：10Paの条件で形成できる。ポリシリコンゲルマニウム膜(Si_{1-x}Ge_x膜)18のGe組成xは、0.15-0.5(15%-50%)に制御することが好適である。なお、シリコン酸化膜15を形成せずに、シリコン基板11上にHfAlO_x膜16を直接形成してもよい(後述する実施の形態2-4についても同様)。

次に、ポリシリコンゲルマニウム膜18上にリソグラフィ技術を用いてPMIS領域を覆うレジストパターン19を形成し、NMIS領域のポリシリコンゲルマニウム膜18にゲートドーパントとしてのリンイオン20を、例えば、加速電圧：5keV、ドーズ量：4×10¹⁵atoms/cm²で注入する。そして、1050の温度で1secの熱処理を行い、リンイオンを拡散させる。その後、レジストパターン19を除去する。

【0020】

次に、図1(c)に示すように、ポリシリコンゲルマニウム膜18上にリソグラフィ技

10

20

30

40

50

術を用いてNMIS領域を覆うレジストパターン21を形成し、PMIS領域のポリシリコンゲルマニウム膜18にゲートドーパントとしてのボロンイオン22を、例えば、加速電圧：2keV、ドーズ量： 3×10^{15} atoms/cm²で注入する。そして、1050の温度で1secの熱処理を行い、ボロンイオンを拡散させる。その後、レジストパターン21を除去する。

【0021】

次に、図2(a)に示すように、ポリシリコンゲルマニウム膜18上にリソグラフィ技術を用いてレジストパターン23を形成する。そして、レジストパターン23をマスクとして、ポリシリコンゲルマニウム膜18、シード層17、HfAlO_x膜16及びシリコン酸化膜15を順次エッチングする。その後、レジストパターン23を除去すると、図2(b)に示すように、NMIS領域においてシリコン基板11上にゲート絶縁膜15a、16aを介してゲート電極17a、18aが形成されると共に、PMIS領域においてシリコン基板11上にゲート絶縁膜15a、16aを介してゲート電極17a、18bが形成される。次に、図2(b)に示すように、リソグラフィ技術を用いてPMIS領域を覆うレジストパターン24を形成し、NMIS領域のゲート電極18a、17aをマスクとして用いてn型不純物としての砒素イオン25を、例えば、加速電圧：2keV、ドーズ量： 1×10^{15} atoms/cm²で注入し、活性化のための熱処理を行う。これにより、NMIS領域のシリコン基板11上層(すなわち、p型ウェル13上層)にn型エクステンション領域26が形成される。その後、レジストパターン24を除去する。

【0022】

続いて、図示しないが、NMIS領域をレジストパターンで覆い、PMIS領域のゲート電極18b、17aをマスクとして用いてp型エクステンション領域形成用のp型不純物としてのボロンイオンを、例えば、加速電圧：0.2keV、ドーズ量： 1×10^{15} atoms/cm²で注入する。これにより、図2(b)に示すように、PMIS領域のシリコン基板11上層(すなわち、n型ウェル14上層)にp型エクステンション領域27が形成される。

【0023】

次に、シリコン基板11全面にダメージ防止用のシリコン酸化膜28を、例えば、2nmの膜厚で形成する。そして、シリコン酸化膜28上にシリコン窒化膜29を、例えば、50nm~80nmの膜厚で形成する。続いて、シリコン窒化膜29とシリコン酸化膜28を異方性エッチングする。これにより、図2(c)に示すように、NMIS領域のゲート電極18a、17aの側壁を覆うサイドウォール29が自己整合的に形成されると共に、PMIS領域のゲート電極18b、17aの側壁を覆うサイドウォール29が自己整合的に形成される。

【0024】

次に、図3(a)に示すように、PMIS領域をレジストパターン30で覆い、NMIS領域のサイドウォール29及びゲート電極18a、17aをマスクとして用いてn型不純物としての砒素イオン31を、例えば、加速電圧：35keV、ドーズ量： 5×10^{15} atoms/cm²で注入し、活性化のための熱処理を行う。これにより、NMIS領域のシリコン基板11上層(すなわち、p型ウェル13上層)にn型ソース/ドレイン領域32が形成される。その後、レジストパターン30を除去する。

【0025】

次に、図3(b)に示すように、NMIS領域をレジストパターン33で覆い、PMIS領域のサイドウォール29及びゲート電極18b、17aをマスクとして用いてp型不純物としてのボロンイオン34を、例えば、加速電圧：5keV、ドーズ量： 3×10^{15} atoms/cm²で注入し、活性化のための熱処理を行う。これにより、PMIS領域のシリコン基板11上層(すなわち、n型ウェル14上層)にp型ソース/ドレイン領域35が形成される。その後、レジストパターン33を除去する。

以上の工程を経ることにより、図3(c)に示すCMISFETが形成される。

【0026】

10

20

30

40

50

以上説明したように、本実施の形態 1 では、NMIS 領域のゲートドーパントとしてリンイオンを注入し、PMIS 領域のゲートドーパントとしてボロンイオンを注入した。このように、NMIS 領域と PMIS 領域とでゲートドーパントの導電型を制御することにより、相補型半導体装置における閾値電圧のバラツキを抑制することができる。

【0027】

図 4 は、本実施の形態 1 の PMISFET の C - V 特性を示す図である。

図 4 において、比較のため、従来技術の PMISFET の C - V 特性を併せて示した。図 4 に示すように、本発明による pMISFET では C - V 特性のシフトが見られず、良好な C - V 特性が得られる。よって、CMISFET における閾値電圧のバラツキを抑制することができる。

10

【0028】

なお、本実施の形態 1 では、LDD 構造を有する CMISFET について説明したが、LDD 構造を有しない CMISFET に対しても本発明を適用することができる（後述する実施の形態 2 - 4 についても同様）。この場合、ゲート電極パターンニング後に、ゲート電極をマスクとしてソース/ドレイン領域形成用の n 型及び p 型及不純物をシリコン基板 11 に注入すればよい。

【0029】

また、シリコン酸化膜 15 の代わりに、シリコン窒化膜やシリコン酸窒化膜を用いることができる。さらに、高誘電率ゲート絶縁膜 16 として、HfAlO_x 膜（Hf アルミネート膜）以外に、ハフニア膜（HfO₂ 膜）、Hf シリケート膜（HfSiO_x 膜）、或いはアルミナ膜（Al₂O₃ 膜）、或いはこれらを窒化処理した膜を用いることができる（後述する実施の形態 2 - 4 についても同様）。

20

【0030】

実施の形態 2 .

前述した実施の形態 1 では、NMIS 領域のゲートドーパントの導電型と、PMIS 領域のゲートドーパントの導電型を相違させることにより、CMISFET の閾値電圧のバラツキを抑制した。本発明の実施の形態 2 では、NMIS 領域と PMIS 領域でゲートドーパント注入後の熱処理条件を相違させる点に特徴がある。

【0031】

図 5 ~ 図 7 は、本発明の実施の形態 2 による半導体装置の製造方法を説明するための工程断面図である。

30

【0032】

まず、実施の形態 1 と同様の方法により、図 5 (a) に示すように、p 型シリコン基板 11 に素子分離 12 を形成する。そして、NMIS 領域の活性領域に p 型ウェル 13 を形成し、PMIS 領域の活性領域に n 型ウェル 14 を形成する。

【0033】

次に、実施の形態 1 と同様の方法により、図 5 (b) に示すように、シリコン基板 11 上にシリコン酸化膜 15 を、例えば、0.7 nm ~ 1.0 nm の膜厚で形成し、シリコン酸化膜 15 上に HfAlO_x 膜 16 を、例えば、1.2 nm ~ 2.5 nm の膜厚で形成する。そして、HfAlO_x 膜 16 上にシード層 17 としての非晶質シリコン膜を、例えば、1 nm 程度の膜厚で形成し、シード層 17 上にゲート電極材料膜としてのポリシリコンゲルマニウム膜 18 を、例えば、150 nm 程度の膜厚で形成する。続いて、NMIS 領域及び PMIS 領域のポリシリコンゲルマニウム膜 18 にゲートドーパントとしてのリンイオン 20 を、例えば、加速電圧：5 keV、ドーズ量：4 × 10¹⁵ atoms / cm² で注入する。

40

【0034】

その後、図 5 (c) リソグラフィ技術を用いて PMIS 領域を覆うレジストパターン 41 を形成し、RTA (rapid thermal annealing) 装置を用いて NMIS 領域のポリシリコンゲルマニウム膜 18 に 1050 の温度で 5 sec の熱処理 42 を行い、リンイオンを拡散させる。その後、レジストパターン 41 を除去する。

50

【0035】

次に、図6(a)に示すように、リソグラフィ技術を用いてNMIS領域を覆うレジストパターン43を形成し、RTA (rapid thermal annealing) 装置を用いてPMIS領域のポリシリコンゲルマニウム膜18に1050の温度で1secの熱処理44を行い、リンイオンを拡散させる。その後、レジストパターン43を除去する。

【0036】

本実施の形態2において、NMIS領域のポリシリコンゲルマニウム膜18に対する熱処理時間を1sec - 5secとし、PMIS領域のポリシリコンゲルマニウム膜18に対する熱処理時間を1sec - 3secとすることが望ましい。

【0037】

次に、図6(b)に示すように、ポリシリコンゲルマニウム膜18上にリソグラフィ技術を用いてレジストパターン23を形成する。そして、レジストパターン23をマスクとしてポリシリコンゲルマニウム膜18、シード層17、HfAlO_x膜16及びシリコン酸化膜15を順次エッチングする。その後、レジストパターン23を除去すると、図6(c)に示すように、NMIS領域においてシリコン基板11上にゲート絶縁膜15a, 16aを介してゲート電極17a, 18aが形成されると共に、PMIS領域においてシリコン基板11上にゲート絶縁膜15a, 16aを介してゲート電極17a, 18cが形成される。次に、図6(c)に示すように、リソグラフィ技術を用いてPMIS領域を覆うレジストパターン24を形成し、NMIS領域のゲート電極18a, 17aをマスクとして用いてn型不純物としての砒素イオン25を、例えば、加速電圧：2keV、ドーズ量：1×10¹⁵ atoms/cm²で注入し、活性化のための熱処理を行う。これにより、NMIS領域のシリコン基板11上層(すなわち、p型ウェル13上層)にn型エクステンション領域26が形成される。その後、レジストパターン24を除去する。

【0038】

続いて、図示しないが、NMIS領域をレジストパターンで覆い、PMIS領域のゲート電極18c, 17aをマスクとして用いてp型エクステンション領域形成用のp型不純物としてのボロンイオンを、例えば、加速電圧：0.2keV、ドーズ量：1×10¹⁵ atoms/cm²で注入する。これにより、図7(a)に示すように、PMIS領域のシリコン基板11上層(すなわち、n型ウェル14上層)にp型エクステンション領域27が形成される。

【0039】

次に、実施の形態1と同様の方法により、シリコン基板11全面にシリコン酸化膜28を、例えば、2nmの膜厚で形成し、シリコン酸化膜28上にシリコン窒化膜29を、例えば、50nm~80nmの膜厚で形成する。続いて、シリコン窒化膜29とシリコン酸化膜28を異方性エッチングする。これにより、図7(a)に示すように、NMIS領域のゲート電極18a, 17aの側壁を覆うサイドウォール29が自己整合的に形成されると共に、PMIS領域のゲート電極18c, 17aの側壁を覆うサイドウォール29が自己整合的に形成される。

【0040】

次に、図7(a)に示すように、PMIS領域をレジストパターン30で覆い、NMIS領域のサイドウォール29及びゲート電極18a, 17aをマスクとして用いてn型不純物としての砒素イオン31を、例えば、加速電圧：35keV、ドーズ量：5×10¹⁵ atoms/cm²で注入し、活性化のための熱処理を行う。これにより、NMIS領域のシリコン基板11上層(すなわち、p型ウェル13上層)にn型ソース/ドレイン領域32が形成される。その後、レジストパターン30を除去する。

【0041】

次に、図7(b)に示すように、NMIS領域をレジストパターン33で覆い、PMIS領域のサイドウォール29及びゲート電極18b, 17aをマスクとして用いてp型不純物としてのボロンイオン34を、例えば、加速電圧：5keV、ドーズ量：3×10¹⁵ atoms/cm²で注入し、活性化のための熱処理を行う。これにより、PMIS領

10

20

30

40

50

域のシリコン基板 11 上層（すなわち、n 型ウェル 14 上層）に p 型ソース/ドレイン領域 35 が形成される。その後、レジストパターン 33 を除去する。

以上の工程を経ることにより、図 7 (c) に示す C M I S F E T が形成される。

【0042】

以上説明したように、本実施の形態 2 では、ゲートドーパントを注入した後、N M I S 領域のゲートドーパント拡散用の熱処理時間を 5 s e c とし、P M I S 領域のゲートドーパント拡散用の熱処理時間を 1 s e c とした。このように、N M I S 領域と P M I S 領域のゲートドーパント拡散用の熱処理時間を制御することにより、相補型半導体装置における閾値電圧のバラツキを抑制することができる。

【0043】

実施の形態 3 .

前述した実施の形態 1 と本発明の実施の形態 3 との相違点は、N M I S 領域と P M I S 領域でゲートドーパントの導電型ではなく加速電圧を相違させる点である。以下、この相違点を中心に説明する。

図 8 は、本発明の実施の形態 3 による半導体装置の製造方法を説明するための工程断面図である。

【0044】

先ず、実施の形態 1 と同様の方法により、ポリシリコンゲルマニウム膜 18 まで形成する。

次に、図 8 (a) に示すように、リソグラフィ技術を用いて P M I S 領域を覆うレジストパターン 19 を形成し、N M I S 領域のポリシリコンゲルマニウム膜 18 にゲートドーパントとしてのリンイオン 45 を、例えば、加速電圧：15 k e V、ドーズ量： 4×10^{15} a t o m s / c m² で注入する。そして、1050 の温度で 1 s e c の熱処理を行い、リンイオンを拡散させる。その後、レジストパターン 19 を除去する。

【0045】

次に、図 8 (b) に示すように、リソグラフィ技術を用いて N M I S 領域を覆うレジストパターン 21 を形成し、P M I S 領域のポリシリコンゲルマニウム膜 18 にゲートドーパントとしてのリンイオン 46 を、例えば、加速電圧：5 k e V、ドーズ量： 4×10^{15} a t o m s / c m² で注入する。そして、1050 の温度で 1 s e c の熱処理を行い、リンイオンを拡散させる。その後、レジストパターン 21 を除去する。

【0046】

本実施の形態 3 において、N M I S 領域のポリシリコンゲルマニウム膜 18 へのゲートドーパントの加速電圧を 5 k e V - 20 k e V とし、P M I S 領域のポリシリコンゲルマニウム膜 18 へのゲートドーパントのドーズ量を 3 k e V - 10 k e V とすることが望ましい。

【0047】

その後、実施の形態 1 と同様の方法により、ゲート電極とゲート絶縁膜のパターニング、エクステンション領域の形成、サイドウォールの形成、ソース/ドレイン領域の形成を行う。

【0048】

以上説明したように、本実施の形態 3 では、N M I S 領域のゲートドーパントの加速電圧よりも P M I S 領域のゲートドーパントの加速電圧を低くした。このように、N M I S 領域と P M I S 領域とでゲートドーパントの加速電圧を制御することにより、相補型半導体装置における閾値電圧のバラツキを抑制することができる。

【0049】

実施の形態 4 .

前述した実施の形態 3 と本発明の実施の形態 4 との相違点は、N M I S 領域と P M I S 領域でゲートドーパントの加速電圧ではなくドーズ量を相違させる点である。以下、この相違点を中心に説明する。

図 9 は、本発明の実施の形態 4 による半導体装置の製造方法を説明するための工程断面

10

20

30

40

50

図である。

【0050】

先ず、実施の形態1と同様の方法により、ポリシリコンゲルマニウム膜18まで形成する。

次に、図9(a)に示すように、リソグラフィ技術を用いてPMIS領域を覆うレジストパターン19を形成し、NMIS領域のポリシリコンゲルマニウム膜18にゲートドーパントとしてのリンイオン47を、例えば、加速電圧：5keV、ドーズ量： 1×10^{16} atoms/cm²で注入する。そして、1050の温度で1secの熱処理を行い、リンイオンを拡散させる。その後、レジストパターン19を除去する。

【0051】

次に、図9(b)に示すように、リソグラフィ技術を用いてNMIS領域を覆うレジストパターン21を形成し、PMIS領域のポリシリコンゲルマニウム膜18にゲートドーパントとしてのリンイオン48を、例えば、加速電圧：5keV、ドーズ量： 4×10^{15} atoms/cm²で注入する。そして、1050の温度で1secの熱処理を行い、リンイオンを拡散させる。その後、レジストパターン21を除去する。

【0052】

本実施の形態4において、NMIS領域のポリシリコンゲルマニウム膜18へのゲートドーパントのドーズ量を 5×10^{15} atoms/cm² - 1×10^{16} atoms/cm²とし、PMIS領域のポリシリコンゲルマニウム膜18へのゲートドーパントのドーズ量を 1×10^{15} atoms/cm² - 5×10^{15} atoms/cm²とすることが望ましい。

【0053】

その後、実施の形態1と同様の方法により、ゲート電極とゲート絶縁膜のパターニング、エクステンション領域の形成、サイドウォールの形成、ソース/ドレイン領域の形成を行う。

【0054】

以上説明したように、本実施の形態4では、NMIS領域のゲートドーパントのドーズ量よりもPMIS領域のゲートドーパントのドーズ量を低くした。このように、NMIS領域とPMIS領域とでゲートドーパントのドーズ量を制御することにより、相補型半導体装置における閾値電圧のバラツキを抑制することができる。

【0055】

実施の形態5

本実施の形態5では、NMIS領域とPMIS領域とでSiGeゲート電極のGe濃度を相違させる点に特徴がある。その他については、上述した実施の形態1-4とほぼ同様であり、特徴部分を中心に説明する。

図10は、本発明の実施の形態5による半導体装置の製造方法を説明するための工程断面図である。

先ず、実施の形態1と同様の方法により、HfAlO_x膜16まで形成する。

次に、図10(a)に示すように、HfAlO_x膜16上にGe組成：30%の第1ポリシリコンゲルマニウム膜181を形成する。そして、第1ポリシリコンゲルマニウム膜181上にリソグラフィ技術を用いてNMIS領域を覆うレジストパターン51を形成する。さらに、このレジストパターン51をマスクとして第1ポリシリコンゲルマニウム膜181をエッチングする。これにより、NMIS領域のHfAlO_x膜16上のみ、第1ポリシリコンゲルマニウム膜181が形成される。その後、レジストパターン51を除去する。

【0056】

次に、図10(b)に示すように、基板11全面にGe組成：40%の第2ポリシリコンゲルマニウム膜182を形成する。なお、SiGe膜181, 182のGe組成は、SiH₄の流量とH₂希釈10%GeH₄の流量との比を制御することにより制御可能である。そして、第2ポリシリコンゲルマニウム膜182上にリソグラフィ技術を用いてPM

10

20

30

40

50

IS領域を覆うレジストパターン52を形成する。さらに、このレジストパターン52をマスクとして第1ポリシリコンゲルマニウム膜182をエッチングする。これにより、PMIS領域のHfAlO_x膜16上におき、第2ポリシリコンゲルマニウム膜182が形成される。その後、レジストパターン52を除去する。

【0057】

次に、第1及び第2ポリシリコンゲルマニウム膜181, 182へのゲートドーパントの注入を行い、その後熱処理を行ってゲートドーパントを拡散させる。

その後、実施の形態1と同様の方法により、ゲート電極とゲート絶縁膜のパターニング、エクステンション領域の形成、サイドウォールの形成、ソース/ドレイン領域の形成を行う。

【0058】

以上説明したように、本実施の形態5では、NMIS領域のポリシリコンゲルマニウム膜181のGe組成と、PMIS領域のポリシリコンゲルマニウム膜182のGe組成とを異なるようにした。このように、NMIS領域とPMIS領域とでゲートドーパントのドーズ量を制御することにより、相補型半導体装置における閾値電圧のバラツキを抑制することができる。

【0059】

なお、本実施の形態5では、NMIS領域に第1ポリシリコンゲルマニウム膜181を形成した後にPMIS領域に第2ポリシリコンゲルマニウム膜182を形成したが、形成順序を逆にしてもよい。

また、ゲートドーパントの注入及び拡散工程に、上述した実施の形態1-4の方法を適用することができる。これにより、さらに閾値電圧のバラツキを抑制することができる。

【図面の簡単な説明】

【0060】

【図1】本発明の実施の形態1による半導体装置の製造方法を説明するための工程断面図である(その1)。

【図2】本発明の実施の形態1による半導体装置の製造方法を説明するための工程断面図である(その2)。

【図3】本発明の実施の形態1による半導体装置の製造方法を説明するための工程断面図である(その3)。

【図4】本発明の実施の形態1によるPMISFETのC-V特性を示す図である。

【図5】本発明の実施の形態2による半導体装置の製造方法を説明するための工程断面図である(その1)。

【図6】本発明の実施の形態2による半導体装置の製造方法を説明するための工程断面図である(その2)。

【図7】本発明の実施の形態2による半導体装置の製造方法を説明するための工程断面図である(その3)。

【図8】本発明の実施の形態3による半導体装置の製造方法を説明するための工程断面図である。

【図9】本発明の実施の形態4による半導体装置の製造方法を説明するための工程断面図である。

【図10】本発明の実施の形態5による半導体装置の製造方法を説明するための工程断面図である。

【図11】従来技術によるPMISFETのC-V特性を示す図である。

【符号の説明】

【0061】

- 11 シリコン基板
- 12 素子分離
- 13 p型ウェル
- 14 n型ウェル

10

20

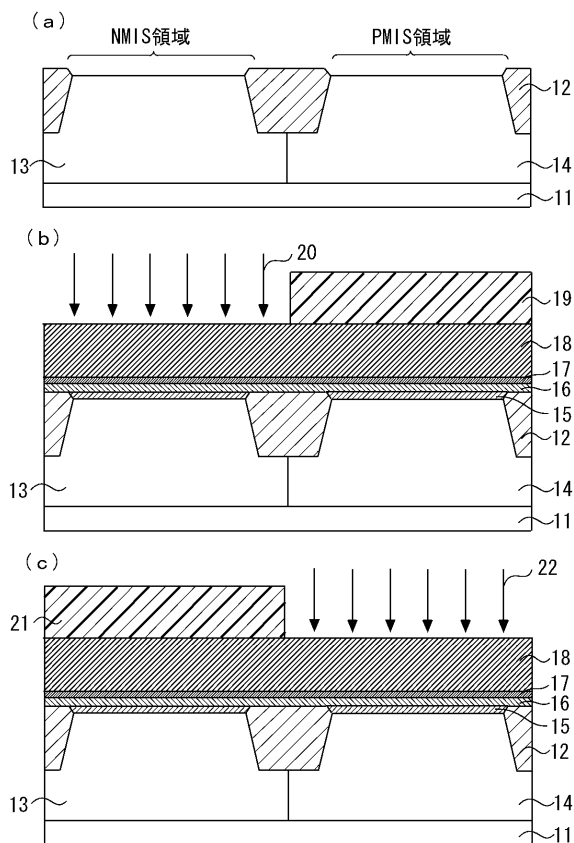
30

40

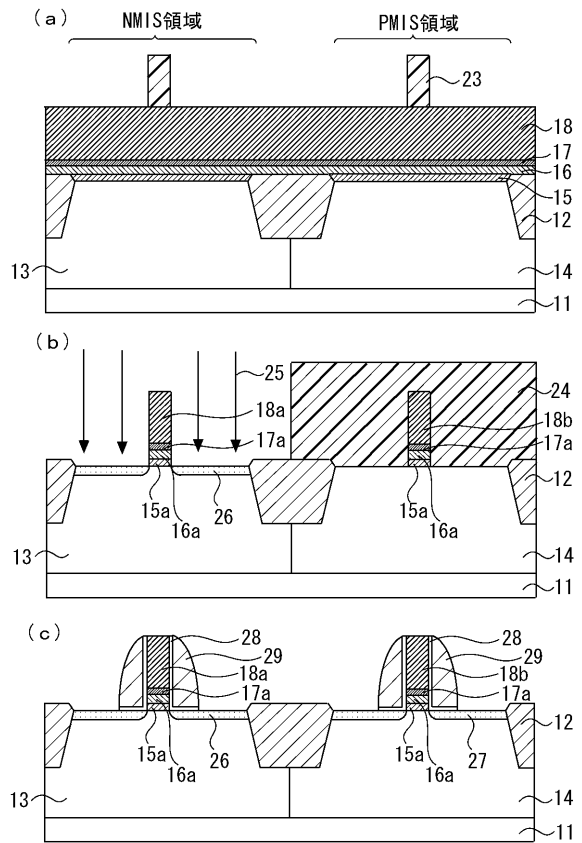
50

- 1 5 シリコン酸化膜
- 1 6 高誘電率ゲート絶縁膜 (HfAlO_x膜)
- 1 7 シード層
- 1 8 ポリシリコンゲルマニウム膜
- 1 8 1 第1のポリシリコンゲルマニウム膜
- 1 8 2 第2のポリシリコンゲルマニウム膜
- 1 9 , 2 1 , 2 3 , 2 4 , 3 0 , 3 3 , 4 1 , 4 3 , 5 1 , 5 2 レジストパターン
- 2 0 , 4 5 , 4 6 , 4 7 , 4 8 リンイオン (ゲートドーパント)
- 2 2 , 3 4 ボロンイオン (ゲートドーパント)
- 2 5 , 3 1 砒素イオン
- 2 6 n型エクステンション領域
- 2 7 p型エクステンション領域
- 2 8 シリコン酸化膜
- 2 9 サイドウォール (シリコン窒化膜)
- 3 2 n型ソース/ドレイン領域
- 3 5 p型ソース/ドレイン領域

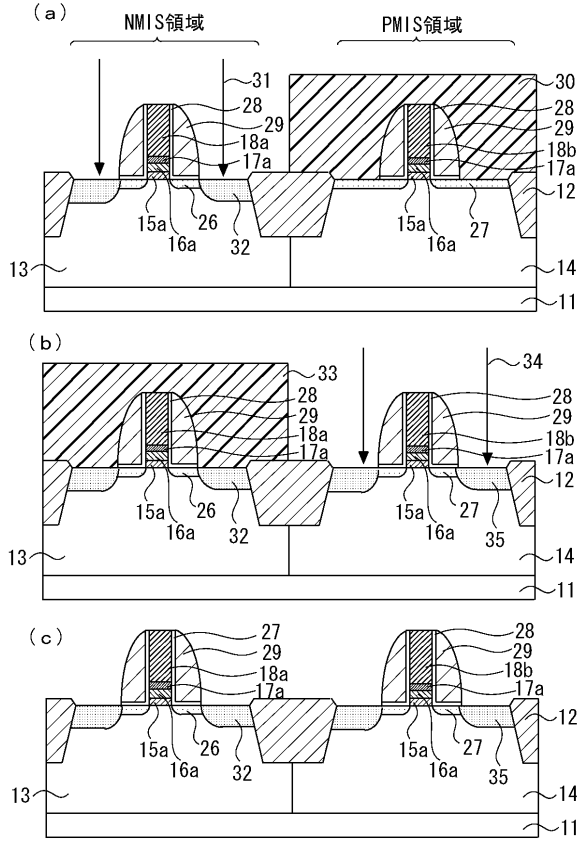
【図1】



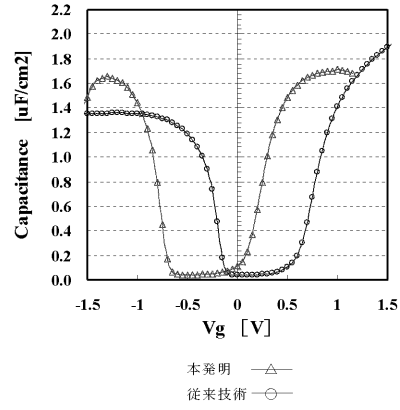
【図2】



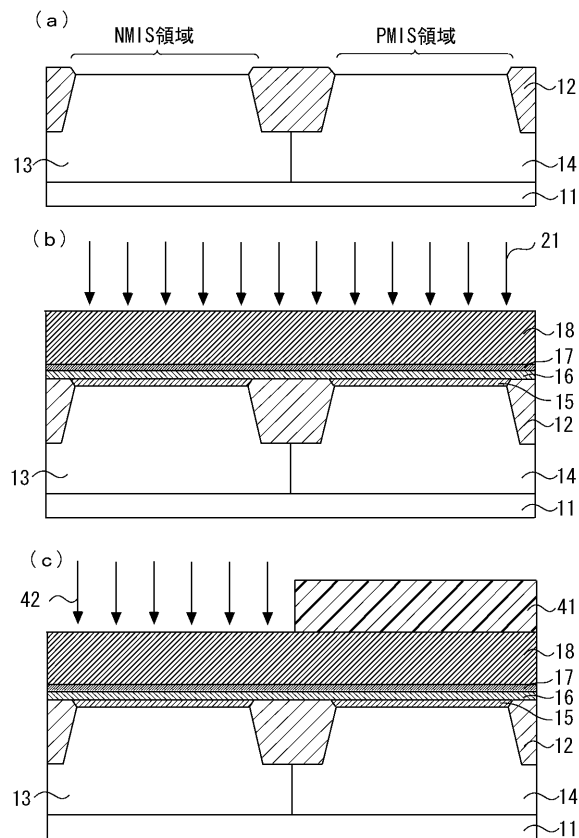
【 図 3 】



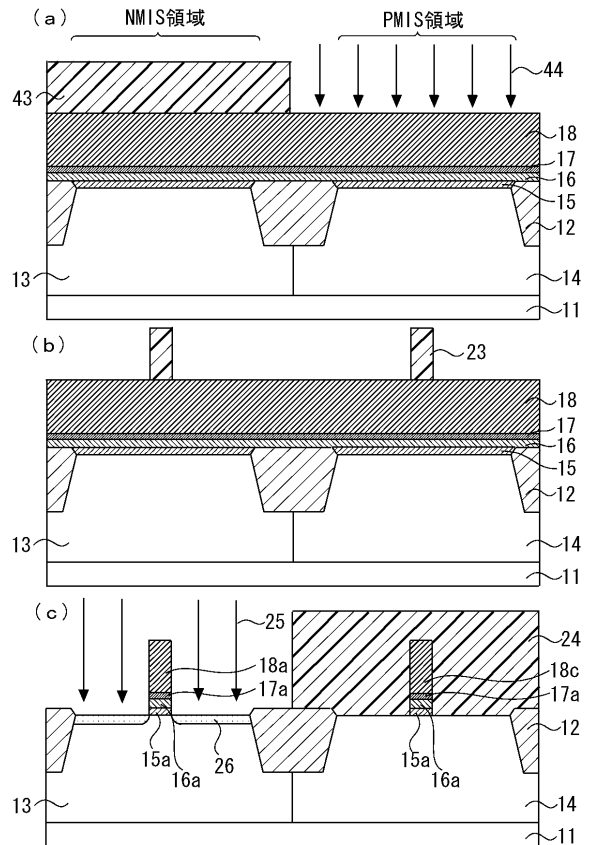
【 図 4 】



【 図 5 】



【 図 6 】



【 1 1 】

