



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I682393 B

(45)公告日：中華民國 109 (2020) 年 01 月 11 日

(21)申請案號：107137607

(22)申請日：中華民國 107 (2018) 年 10 月 24 日

(51)Int. Cl.：

G11C16/04 (2006.01)**G11C16/26 (2006.01)****G11C16/34 (2006.01)****G11C11/56 (2006.01)**

(30)優先權：2017/11/03

美國

62/581,489

2018/10/01

美國

16/148,304

2018/10/02

世界智慧財產權組織

PCT/US18/53930

(71)申請人：美商超捷公司 (美國) SILICON STORAGE TECHNOLOGY, INC. (US)

美國

(72)發明人：蒂瓦里 維平 TIWARI, VIPIN (US)；杜 恩漢 DO, NHAN (US)；陳 曉萬 TRAN,

HIEU VAN (US)

(74)代理人：劉法正；尹重君

(56)參考文獻：

TW 201101315A1

TW 201535388A

TW 201629973A

US 6288931B1

審查人員：郭泰源

申請專利範圍項數：24 項 圖式數：8 共 31 頁

(54)名稱

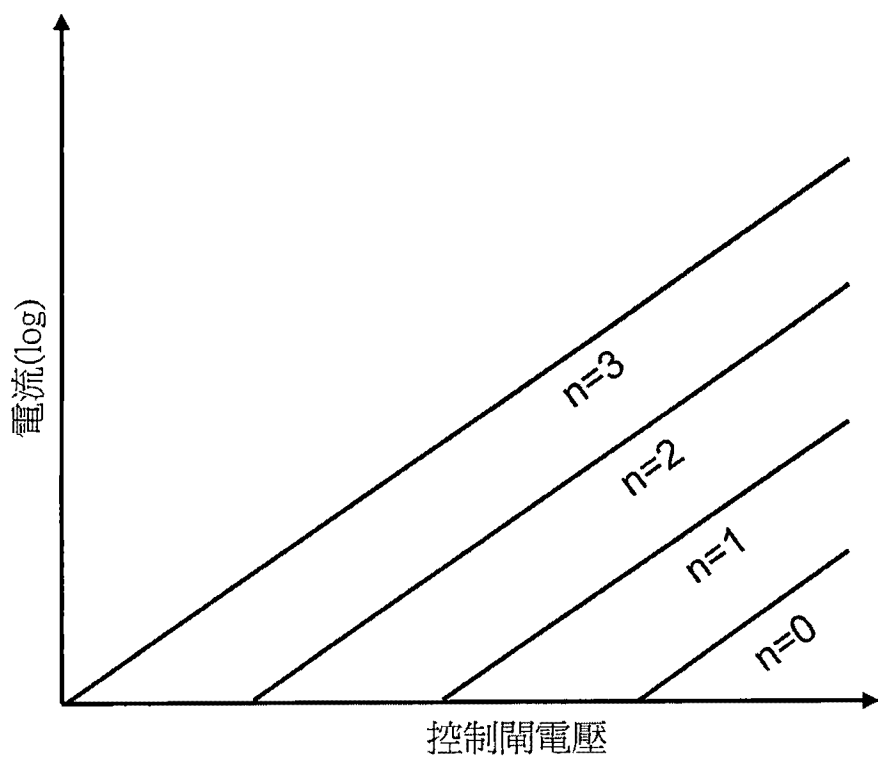
用於在非揮發性記憶體中儲存多位元資料的系統及方法

(57)摘要

一種讀取具有複數個記憶體單元的一記憶體裝置的方法及一裝置，該方法藉由(該裝置經組態用於)：讀取該複數個記憶體單元之一第一記憶體單元以產生一第一讀取電流；讀取該複數個記憶體單元之一第二記憶體單元以產生一第二讀取電流；施加一第一偏移值至該第二讀取電流；以及接著組合該第一讀取電流及該第二讀取電流以形成一第三讀取電流；以及接著使用該第三讀取電流判定一程式化狀態。替代地，自該第一讀取電流產生一第一電壓，自該第二讀取電流產生一第二電壓，藉此將偏移值施加至該第二電壓，其中該第一電壓及該第二電壓經組合以形成一第三電壓，以及接著使用該第三電壓判定該程式化狀態。

A method of reading a memory device having a plurality of memory cells by, and a device configured for, reading a first memory cell of the plurality of memory cells to generate a first read current, reading a second memory cell of the plurality of memory cells to generate a second read current, applying a first offset value to the second read current, and then combining the first and second read currents to form a third read current, and then determining a program state using the third read current. Alternately, a first voltage is generated from the first read current, a second voltage is generated from the second read current, whereby the offset value is applied to the second voltage, wherein the first and second voltages are combined to form a third voltage, and then the program state is determined using the third voltage.

指定代表圖：



單元1

圖6A

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

用於在非揮發性記憶體中儲存多位元資料的系統及方法
SYSTEM AND METHOD FOR STORING MULTIBIT DATA IN
NON-VOLATILE MEMORY

【技術領域】

相關申請案之交互參照

【0001】 本申請案主張於 2017 年 11 月 3 日提出申請之美國臨時專利申請案第 62/581,489 號以及 2018 年 10 月 1 日提出申請之美國專利申請案第 16/148,304 號之優先權。

【0002】 本發明關於非揮發性記憶體裝置，且更具體係關於增加可儲存於其中的位元數。

【先前技術】

【0003】 非揮發性記憶體裝置為所屬技術領域中所熟知。例如，美國專利第 5,029,130 號中揭示一分離閘記憶體單元。此記憶體單元具有一浮閘及一控制閘，其等係設置在該基材於源極與汲極區之間延伸之一通道區上方，並控制該通道區的導電率。電壓的各種組合係施加至該控制閘、源極、與汲極，以程式化該記憶體單元（藉由注入電子至該浮閘上）、抹除該記憶體單元（藉由自該浮閘移除電子）、以及讀取該記憶體單元（藉由測量或偵測該通道區的導電率以判定該浮閘的程式化狀態）。

【0004】 非揮發性記憶體單元中之閘的組態及數量可改變。例如，美國專利第 7,315,056 號揭示一記憶體單元，其額外包括在該源

極區上方之一程式化/抹除閘。美國專利第 7,868,375 號揭示一記憶體單元，該記憶體單元額外包括在該源極區上方之一抹除閘及在該浮閘上方之一耦合閘。

【0005】 圖 1 繪示一分離閘記憶體單元 10，其具有形成在一矽半導體基材 12 中之間隔開的源極與汲極區 14/16。該基材之一通道區 18 係界定在該源極/汲極區 14/16 之間。一浮閘 20 設置在通道區 18 之一第一部分上方並與該通道區之第一部分絕緣（且部分在源極區 14 上方並與該源極區絕緣）。一控制閘（亦稱為一字線閘或選擇閘）22 具有一較低部分，其設置在通道區 18 之一第二部分上方並與該通道區之第二部分絕緣；以及一上部部分，其向上並在浮閘 20 上方延伸（亦即，控制閘 22 圍繞浮閘 20 之一上部邊緣）。

【0006】 可藉由在控制閘 22 上放置一高正電壓以及在源極與汲極區 14/16 上放置一參考電位來抹除記憶體單元 10。浮閘 20 與控制閘 22 之間的高電壓降將導致浮閘 20 上的電子藉由廣為所知的富爾諾罕穿隧機制從浮閘 20 通過中介絕緣穿隧至控制閘 22（讓浮閘 20 處於帶更多正電荷的狀態—經抹除狀態）。可藉由施加一接地電位至汲極區 16、施加一正電壓在源極區 14 上、及施加一正電壓在控制閘 22 上來程式化記憶體單元 10。電子接著將從汲極區 16 朝源極區 14 流動，其中一些電子變成經加速及經加熱的，藉此將該等電子注入至浮閘 20 上（讓該浮閘處於帶負電荷的狀態—經程式化狀態）。可藉由在汲極區 16 上放置接地電位、在源極區 14 上放置一正電壓、及在控制閘 22 上放置一正電壓來讀取記憶體單元 10（接通控制閘 22 下方的通道區部

分)。若浮閘係帶正電荷（經抹除）的，在控制閘上的正電壓將至少部分地耦接至浮閘以接通在浮閘下方的通道區部分，且電流將從源極區 14 流至汲極區 16（亦即，基於所感測之電流流動，感測到記憶體單元 10 處於其經抹除的「1」狀態）。若浮閘 20 係帶負電荷（經程式化）的，來自控制閘 22 的經耦接之電壓將無法克服浮閘之負電荷，且浮閘下方的通道區係弱接通或關斷，從而減少或防止任何電流流動（亦即，基於感測到低或無電流流動而感測到記憶體單元 10 處於其經程式化的「0」狀態）。

【0007】圖 2 繪示一替代的分離閘記憶體單元 30，其具有與記憶體單元 10 相同的元件，但額外具有一程式化/抹除(PE)閘 32，該程式化/抹除(PE)閘設置在源極區 14 上方並與源極區絕緣（亦即，此係一三閘設計）。可藉由在 PE 閘 32 上放置一高電壓以誘導電子從浮閘 20 穿隧至 PE 閘 32 來抹除記憶體單元 30。可藉由在控制閘 22、PE 閘 32、及源極區 14 上放置正電壓以及在汲極區 16 上放置一電流以將電子從流動通過通道區 18 的電流注入至浮閘 20 上來程式化記憶體單元 30。可藉由在控制閘 22 及汲極區 16 上放置正電壓以及感測電流流動來讀取記憶體單元 30。

【0008】圖 3 繪示一替代的分離閘記憶體單元 40，其具有與記憶體單元 10 相同的元件，但額外具有一抹除閘 42 及一耦合閘 44，該抹除閘設置在源極區 14 上方並與源極區絕緣，該耦合閘在浮閘 20 上方並與浮閘絕緣。可藉由在抹除閘 42 上放置一高電壓（及可選地在耦合閘 44 上放置一負電壓）以誘導電子從浮閘 20 穿隧至抹除閘 42 來抹

除記憶體單元 40。可藉由在控制閘 22、抹除閘 42、耦合閘 44、及源極區 14 上放置正電壓以及在汲極區 16 上放置一電流以將電子從流動通過通道區 18 的電流注入至浮閘 20 上來程式化記憶體單元 40。可藉由在控制閘 22 及汲極區 16 上（以及可選地在抹除閘 42 及/或耦合閘 44 上）放置正電壓以及感測電流流動來讀取記憶體單元 40。

【0009】 對於所有上述所參考的記憶體單元，將電壓施加在程式化、抹除、及讀取操作之各者中，以將記憶體單元程式化成「0」狀態、將記憶體單元抹除成「1」狀態，及讀取記憶體單元來判定其等處於經程式化或抹除的狀態中。此等記憶體裝置的一缺點係各記憶體單元僅可儲存一位元資料（亦即，該單元僅具有兩個可能的狀態）。存在著在各記憶體單元中程式化多於一位元資料的需求。以類比方式來操作上述的記憶體單元，使得記憶體單元可儲存不只兩個二進位值（亦即，僅一位元資訊）亦為已知的。例如，可在低於記憶體單元之臨限電壓下操作其等，意指記憶體單元可僅部分地程式化或部分地抹除，而非完全程式化或完全抹除其等，且在低於記憶體單元之臨限電壓下以類比方式來操作。亦可能將記憶體單元程式化成高於臨限電壓的多個程式化狀態中之一者。然而，若離散的程式化狀態係所欲的，則難以可靠地程式化及讀取記憶體單元，因為用於各種狀態的讀取電流值非常接近。

【發明內容】

【0010】 藉由讀取具有複數個記憶體單元的記憶體裝置的方法來解決上述問題與需求，其藉由讀取該複數個記憶體單元之第一記憶體

單元以產生第一讀取電流、讀取該複數個記憶體單元之第二記憶體單元以產生第二讀取電流、施加第一偏移值至第二讀取電流、且接著組合第一讀取電流及第二讀取電流以形成第三讀取電流、且接著使用第三讀取電流來判定一程式化狀態。

【0011】 一種讀取具有複數個記憶體單元的一記憶體裝置的方法，該方法包括讀取該複數個記憶體單元之一第一記憶體單元以產生一第一讀取電流；讀取該複數個記憶體單元之一第二記憶體單元以產生一第二讀取電流；自該第一讀取電流產生一第一電壓；自該第二讀取電流產生一第二電壓；施加一第一偏移值至該第二電壓；及接著組合該第一電壓及該第二電壓以形成一第三電壓；及接著使用該第三電壓來判定一程式化狀態。

【0012】 一種記憶體裝置，其包括一半導體基材；形成在該半導體基材上的複數個記憶體單元；及電路系統，其形成在該半導體基材上並經組態以讀取該複數個記憶體單元之一第一記憶體單元以產生一第一讀取電流，讀取該複數個記憶體單元之一第二記憶體單元以產生一第二讀取電流，施加一第一偏移值至該第二讀取電流，及接著組合該第一讀取電流及該第二讀取電流以形成一第三讀取電流，及接著使用該第三讀取電流來判定一程式化狀態。

【0013】 一種記憶體裝置，其包括一半導體基材；形成在該半導體基材上的複數個記憶體單元；及電路系統，其形成在該半導體基材上並經組態以讀取該複數個記憶體單元之一第一記憶體單元以產生第一讀取電流，讀取該複數個記憶體單元之一第二記憶體單元以產生一

第二讀取電流，自該第一讀取電流產生一第一電壓，自該第二讀取電流產生一第二電壓，施加一第一偏移值至該第二電壓，及接著組合該第一電壓及該第二電壓以形成一第三電壓，及接著使用該第三電壓來判定一程式化狀態。

【0014】 本發明的其他目的與特徵將藉由檢視說明書、申請專利範圍、及隨附圖式而變得顯而易見。

【圖式簡單說明】

【0015】 圖 1 係一第一習知分離閘非揮發性記憶體單元的側視截面圖。

【0016】 圖 2 係一第二習知分離閘非揮發性記憶體單元的側視截面圖。

【0017】 圖 3 係一第三習知分離閘非揮發性記憶體單元的側視截面圖。

【0018】 圖 4 係繪示一非揮發性記憶體單元之八個程式化狀態之電流對電壓特性的圖表。

【0019】 圖 5A 至圖 5B 係繪示二個非揮發性記憶體單元之八個程式化狀態之電流對電壓特性的圖表。

【0020】 圖 6A 至圖 6B 係繪示二個非揮發性記憶體單元之八個程式化狀態之電流對電壓特性的圖表，其中該第二單元之程式化狀態相對於第一單元的彼等而偏移。

【0021】 圖 6C 係集體繪示二個非揮發性記憶體單元之八個程式化狀態之電流對電壓特性的圖表。

【0022】 圖 7 係一記憶體裝置架構的平面圖。

【0023】 圖 8 係繪示記憶體單元陣列之佈局的示意圖。

【實施方式】

【0024】 本發明針對能夠在各記憶體單元中儲存多於一位元資訊的非揮發性記憶體裝置。此可藉由在高於及/或低於記憶體單元之臨限電壓下操作其等而完成。例如，記憶體單元可僅部分地程式化或部分地抹除，而非完全程式化或完全抹除其等，且以類比方式來操作。以下說明著重於在低於記憶體單元之臨限電壓下操作的記憶體單元。然而，此也同樣適用於在高於記憶體單元之臨限電壓下操作的記憶體單元。

【0025】 為了最佳說明本發明，描述隨控制閘電壓而變動的通道電流之間的次臨限關係。對於記憶體單元任何給定的程式化狀態，當控制閘電壓逐漸增加，該通道電流逐漸上升。當繪製成通道電流之對數函數時，此關係線性的。此外，隨著記憶體單元程式化狀態改變（例如，隨著經程式化至浮閘上的電子數目改變），電流隨控制閘電壓而變動的線性對數關係向上及向下偏移。

【0026】 此關係經繪示於圖 4 中。（通過通道區的）電流隨控制閘電壓而變動的線性對數關係表示多個不同的程式化狀態。程式化狀態 $n=0$ 表示記憶體單元之最高程式化狀態（亦即，在浮閘上仍然允許讀取電流的最多電子－超出此點的程式化基本上將對於用以讀取記憶體單元的所有控制閘電壓的記憶體單元電流關斷），而程式化狀態 $n=7$ 表示記憶體單元之最低程式化狀態（亦即，在浮閘上的最少電子，其

對應於最高抹除狀態)。由圖 4 所表示的記憶體單元理論上可儲存多位元資訊，因為其可經程式化成 8 個不同狀態。藉由測量在一或多個特定控制閘電壓的電流（諸如讀取電壓 V_R ），可判定程式化狀態 n 。

【0027】 如圖 4 中所指示，經組態以儲存 n 個程式化狀態的記憶體單元的一個問題係，當狀態 n 之數目僅超過一些時，兩個相鄰程式化狀態之讀取電流的差對於可靠地操作來說可能太小（亦即，該等程式化狀態太靠近）。太靠近的程式化狀態容易受到在記憶體單元之程式化及/或讀取上的雜訊影響。例如，就記憶體單元可多可靠地程式化成任何給定的程式化狀態而言，將存在一小範圍的變動。類似地，就藉由測量讀取電流可多可靠地讀取該單元之狀態而言，將存在一小範圍的變動。因此， n 個狀態不可位於太靠近彼此，否則其等無法可靠地自彼此區別。此放置一實際限制在可程式化至單一記憶體單元中的狀態 n 的數目上，其意指在可儲存在記憶體裝置中的狀態 n 的數目上存在一實際限制。

【0028】 圖 5A 至圖 5B 繪示上述問題之解決方案。具體而言，不同的狀態 n 可儲存在多個記憶體單元上。例如，儲存在圖 4 之單一記憶體單元中的 8 個程式化狀態可儲存在兩個不同的單元中，前四個狀態（ $n=0$ 至 $n=3$ ）可儲存在第一單元（圖 5A，單元 1）中，且最後四個狀態（ $n=4$ 至 $n=7$ ）可儲存在第二單元（圖 5B，單元 2）中。使用兩個單元可儲存總狀態之相同數目，但在相鄰程式化狀態之間具有兩倍分隔以供較佳的可靠度。或者，換句話說，在相鄰程式化狀態之

間使用給定分隔之情況下，相對於僅使用單一單元，使用兩個記憶體單元可儲存兩倍的狀態。

【0029】 如上述將程式化狀態拆分在兩個（或更多）單元上解決程式化狀態分隔的問題，但產生另一問題。理想的是，為了簡化設計組態及操作，將兩個單元的讀取電流加在一起，且使用經組合的讀取電流來判定 8 個可能的位元（對應於 8 個可能的程式化狀態中之一者）中的哪一個經程式化至該對記憶體單元中。然而，如自圖 5A 至圖 5B 係明顯的，不同單元中的不同狀態具有相同的電流/電壓特性。例如，單元 1 中的狀態 $n=0$ 生成與單元 2 中的狀態 $n=4$ 相同的讀取電流輸出。對其他狀態亦相同（ $n=1$ 及 $n=5$ 生成相同的讀取電流等等）。因此，即使一個單元被完全程式化成關斷，當施加讀取電壓 V_R 時，不存在判定讀取電流施加至哪個狀態的方法。例如，若位元值對應於程式化狀態 $n=6$ ，且單元 2 經程式化成 $n=6$ 且單元 1 經程式化成關斷；當稍後讀取回來自該兩個單元的經組合之讀取電流時，無法判定經組合之讀取電流對應於程式化狀態 6 或程式化狀態 2。

【0030】 為了克服此問題，將一偏移 X 施加至來自單元 2 的讀取電流，使得讀取自單元 2 的讀取電流有效地偏移至讀取自單元 1 的可能電流之任何者的上方。例如，可將用於單元 1 中的狀態 3 的電流位準加至單元 2 的讀取電流。因此，用於單元 1 中四個狀態的所有可能的讀取電流將不與用於單元 2 中四個狀態的可能的讀取電流之任何者重疊。此表示在圖 6A 至圖 6B 中。因此，假設單元 1 之 $n=3$ 之程式化狀態係兩單元之最高程式化狀態（亦即，針對程式化狀態 $n=3$ 所示的

讀取電流係各記憶體單元之最大讀取電流)，針對單元 2 之所有可能的程式化狀態，可由單元 2 提供超過程式化狀態 $n=3$ 之讀取電流的非重疊的讀取電流。針對所有可能的程式化狀態（針對單元 1 的 $n=0$ 至 3 及針對單元 2 的 $n=4$ 至 7）的兩單元的讀取電流在圖 6C 中集體顯示。此意指在將兩單元電流相加在一起之後，兩單元的程式化狀態可使用在控制閘上的單一讀取電壓 V_R 唯一地判定；然而因為允許單元 2 的讀取電流超過可以其他方式由單元所產生的最大讀取電流，該等程式化狀態係足夠地分隔的。例如，若儲存在該對單元中的位元對應於程式化狀態 $n=6$ ，則單元 2 經程式化成狀態 $n=6$ ，且單元 1 經程式化成關斷。接著在讀取操作期間， $n=6$ 狀態可從其他狀態之任何者唯一地讀取。同樣地，若儲存在該對單元中的位元對應於程式化狀態 $n=1$ ，則單元 1 經程式化成狀態 $n=1$ ，且單元 2 經程式化成關斷。接著在讀取操作期間， $n=1$ 狀態可從其他狀態之任何者唯一地讀取。

【0031】 在來自單元 2 的讀取電流加至來自單元 1 的單元電流之前，可使用將電流偏移 X 加至來自單元 2 的讀取電流的加法電路來完成實施用於單元 2 之偏移 X （例如，加法電路係用以偵測通過該等單元的電流的感測放大器之部分）。或者，加法電路可將電壓偏移 X 加至由感測放大器產生以反應所偵測之通過單元 2 的電流的電壓信號。在此情況下，在自經組合的電壓信號判定自該對記憶體單元讀取的是哪個程式化狀態之前，被加在一起的將係電壓信號（對應於所偵測的電流位準）。或者，乘法器電路可作為感測放大器之一部分或下游以在被加至單元 1 之電流/電壓信號之前對單元 2 之電流或電壓信號進行乘

法。偏移 X （無論其係電壓偏移或電流偏移）可儲存在一參考單元（亦即，專用於此目的的記憶體單元陣列中的記憶體單元）中，使得適當的偏移量可靠地施加至彼給定的晶粒之單元 2 之電壓或電流信號。

【0032】 例示性記憶體裝置之架構繪示在圖 7 中。記憶體裝置包括一非揮發性記憶體單元陣列 50，其可隔離為兩個分開的平面（平面 A 52a 及平面 B 52b）。記憶體單元可係圖 1 至圖 3 所示的類型，形成在一單一晶片上，以複數個列與行配置在半導體基材 12 中。與非揮發性記憶體單元陣列相鄰者係位址解碼器（例如，XDEC 54（列解碼器）、SLDRV 56、YMUX 58（行解碼器）、HVDEC 60）以及一位元線控制器(BLINHCTL 62)，其等係在針對所選擇之記憶體單元的讀取、程式化、及抹除操作期間，用於解碼位址以及供應各種電壓給各種記憶體單元閘與區。行解碼器 58 包括在讀取操作期間用於測量位元線上的電壓或電流的感測放大器。控制器 66（含有控制電路）控制各種裝置元件以在目標記憶體單元上實施各操作（程式化、抹除、讀取）。在控制器 66 的控制下，電荷泵 CHRGPM 64 提供用於讀取、程式化、及抹除記憶體單元的各種電壓。可使用（例如）控制器 66 中的電路系統來實施偏移 X 及信號加法。替代地或額外地，可使用行解碼器 YMUX 58 之感測放大器部分中的電路系統來實施偏移 X 及信號加法。

【0033】 雖然在兩個記憶體單元及 8 個狀態 n 之內文中說明上述實施例，但單元、總狀態 n 、及每記憶體單元的狀態 n 的不同數目可

變化。可僅藉由增加用以儲存 n 狀態的單元數目來將總位元的數目擴大至任何所欲的數目，並且狀態可因此而擴大。例如，若使用三個單元，則將第一偏移施加至第二單元之讀取電流或電壓，且將第二（不同的）偏移施加至第三單元之讀取電流或電壓，使所有三個單元之程式化狀態讀取電流/電壓不重疊。

【0034】圖 8 顯示圖 1 之兩閘極記憶體單元之陣列組態，其中記憶體單元以列與行的方式配置。此陣列組態同樣適用於圖 2 至圖 3 之記憶體單元，藉此針對額外的閘極將添加額外的線。字線 WL 各自連接至用於一個列之記憶體單元的控制閘。位元線 BL 各自連接至用於一個行之記憶體單元的汲極區。源極線 SL 各自連接至用於一個行之一對記憶體單元的源極區。較佳地，具有將其等之讀取電流或電壓加在一起的單元之各者經設置在不同的行中，使讀取程序更快。因此，對於以上使用兩個記憶體單元的實例，單元 1 將在連接至位元線 BL0 的行 1 中，且單元 2 將在連接至位元線 BL1 的行 2 中。在讀取操作期間，在位元線 BL0 上偵測單元 1 的讀取電流，且在位元線 BL1 上偵測單元 2 的讀取電流。感測放大器中的電路系統或自其之下游會將偏移 X 加至位元線 BL1 上的讀取電流（或對應於其的電壓），且接著將來自兩個單元的讀取電流（或電壓）彼此相加，且接著自經組合的讀取電流/電壓判定何種程式化狀態經程式化在該對記憶體單元中。

【0035】應理解，本發明不限於上文描述及本文闡釋之實施例。例如，本文中對本發明的引述並非意欲用以限制任何申請專利範圍或申請專利範圍用語之範疇，而僅是用以對可由一或多項請求項所涵蓋

的一或多種技術特徵作出引述。雖然在記憶體單元之次臨限操作方面描述本發明，但亦可在高於臨限的記憶體單元中實施（在此情況下，電流與電壓之間的對數關係可能不再適用）。應注意的是，顯示在圖式中的將一單元程式化成其最高程式化狀態實際上涉及一抹除操作，其中最高程式化狀態係經完全抹除之記憶體單元。以上藉由將量 X 加至（增加）電流或電壓的值來揭示施加偏移 X 。然而，施加偏移 X 可包括一負偏移，其可藉由將量 X 自電流或電壓的值減去（減少）來達成。上述材料、程序、及數值實例僅係例示性，且不應視為對申請專利範圍進行限制。進一步地，如申請專利範圍及說明書所明示者，並非所有方法步驟都須以所說明的確切順序執行。最後，單一材料層可形成為多個具有同樣或類似材料之層，且反之亦然。

【0036】 應注意的是，如本文中所使用，「在…上方(over)」及「在…上(on)」之用語皆含括性地包括了「直接在…之上(directly on)」(無居中的材料、元件或間隔設置於其間)及「間接在…之上(indirectly on)」(有居中的材料、元件或間隔設置於其間)的含意。同樣地，「相鄰的(adjacent)」一詞包括了「直接相鄰的」(無居中的材料、元件或間隔設置於其間)及「間接相鄰的」(有居中的材料、元件或間隔設置於其間)的含意，「安裝於(mounted to)」一詞則包括了「直接安裝於(directly mounted to)」(無居中的材料、元件或間隔設置於其間)及「間接安裝於(indirectly mounted to)」(有居中的材料、元件或間隔設置於其間)的含意，以及「電耦接(electrically coupled)」一詞則包括了「直接電耦接(directly electrically coupled

to)」(無居中的材料或元件於其間將各元件電性相連接)及「間接電耦接(indirectly electrically coupled to)」(有居中的材料或元件於其間將各元件電性相連接)的含意。例如,「在一基材上方」形成一元件可包括直接在基材上形成元件而其間無居中的材料/元件存在,以及間接在基材上形成元件而其間有一或多個居中的材料/元件存在。

【符號說明】

10...分離閘記憶體單元、記憶體單元	52b...平面 B
12...矽半導體基材、半導體基材	54...XDEC (列解碼器)
14...源極區	56...SLDRV
16...汲極區	58...YMUX (行解碼器)
18...通道區	60...HVDEC
20...浮閘	62...位元線控制器(BLINHCTL)
22...控制閘	64...電荷泵 CHRGPM
30...分離閘記憶體單元、記憶體單元	66...控制器
32...程式化/抹除(PE)閘、PE 閘	BL...位元線
40...分離閘記憶體單元、記憶體單元	BL0...位元線
42...抹除閘	BL1...位元線
44...耦合閘	SL...源極線
50...非揮發性記憶體單元陣列	WL...字線
52a...平面 A	

I682393

發明摘要

※ 申請案號：107137607

G11C 16/04 (2006.01)

G11C 16/26 (2006.01)

G11C 16/34 (2006.01)

※ 申請日：107年10月24日

※IPC 分類：G11C 11/56 (2006.01)

【發明名稱】(中文/英文)

用於在非揮發性記憶體中儲存多位元資料的系統及方法

SYSTEM AND METHOD FOR STORING MULTIBIT DATA IN
NON-VOLATILE MEMORY

【中文】

一種讀取具有複數個記憶體單元的一記憶體裝置的方法及一裝置，該方法藉由（該裝置經組態用於）：讀取該複數個記憶體單元之一第一記憶體單元以產生一第一讀取電流；讀取該複數個記憶體單元之一第二記憶體單元以產生一第二讀取電流；施加一第一偏移值至該第二讀取電流；以及接著組合該第一讀取電流及該第二讀取電流以形成一第三讀取電流；以及接著使用該第三讀取電流判定一程式化狀態。替代地，自該第一讀取電流產生一第一電壓，自該第二讀取電流產生一第二電壓，藉此將偏移值施加至該第二電壓，其中該第一電壓及該第二電壓經組合以形成一第三電壓，以及接著使用該第三電壓判定該程式化狀態。

【英文】

A method of reading a memory device having a plurality of memory cells by, and a device configured for, reading a first memory cell of the plurality of memory cells to generate a first read current, reading a second memory cell of the plurality of memory cells to generate a second read current, applying a first offset value to the second read current, and then combining the first and second read currents to form a third read current, and then determining a program state using the third read current. Alternately, a first voltage is generated from the first read current, a second voltage is generated from the second read current, whereby the offset value is applied to the second voltage, wherein the first and second voltages are combined to form a third voltage, and then the program state is determined using the third voltage.

【代表圖】

【本案指定代表圖】：第（ 6A ）圖。

【本代表圖之符號簡單說明】：

（無）

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

（無）

申請專利範圍

1. 一種讀取具有複數個記憶體單元之一記憶體裝置的方法，該方法包含：

讀取該複數個記憶體單元之一第一記憶體單元以產生一第一讀取電流；

讀取該複數個記憶體單元之一第二記憶體單元以產生一第二讀取電流；

施加一第一偏移值至該第二讀取電流；以及接著

組合該第一讀取電流及該第二讀取電流以形成一第三讀取電流；以及接著

使用該第三讀取電流判定一程式化狀態。

2. 如請求項 1 之方法，其中該組合包含將該第一讀取電流及該第二讀取電流加在一起。

3. 如請求項 1 之方法，其進一步包含：

讀取該複數個記憶體單元之一第三記憶體單元以產生一第四讀取電流；

施加一第二偏移值至該第四讀取電流；其中該組合包括組合該第一讀取電流、該第二讀取電流、及該第四讀取電流以形成該第三讀取電流。

4. 如請求項 3 之方法，其中該第二偏移值與該第一偏移值不同。

5. 如請求項 3 之方法，其中該組合包含將該第一讀取電流、該第二讀取電流、及該第四讀取電流加在一起。

6. 如請求項 1 之方法，其中該複數個記憶體單元經配置成該等記憶體單元之列與行之一陣列；其中該等行之各者包括連接至其中之該等記憶體單元的一位元線；其中該第一記憶體單元設置在該等行之一第一者中；且其中該第二記憶體單元設置在該等行之一第二者中，該等行之該第二者與該等行之該第一者不同。

7. 一種讀取具有複數個記憶體單元之一記憶體裝置的方法，該方法包含：

讀取該複數個記憶體單元之一第一記憶體單元以產生一第一讀取電流；

讀取該複數個記憶體單元之一第二記憶體單元以產生一第二讀取電流；

自該第一讀取電流產生一第一電壓；

自該第二讀取電流產生一第二電壓；

施加一第一偏移值至該第二電壓；以及接著

組合該第一電壓及該第二電壓以形成一第三電壓；以及接著

使用該第三電壓判定一程式化狀態。

8. 如請求項 7 之方法，其中該組合包含將該第一電壓及該第二電壓加在一起。

9. 如請求項 7 之方法，其進一步包含：

讀取該複數個記憶體單元之一第三記憶體單元以產生一第三讀取電流；

自該第三讀取電流產生一第四電壓；

施加一第二偏移值至該第四電壓；

其中該組合包括組合該第一電壓、該第二電壓、及該第四電壓以形成該第三電壓。

10. 如請求項 9 之方法，其中該第二偏移值與該第一偏移值不同。

11. 如請求項 9 之方法，其中該組合包含將該第一電壓、該第二電壓、及該第四電壓加在一起。

12. 如請求項 7 之方法，其中該複數個記憶體單元經配置成該等記憶體單元之列與行之一陣列；其中該等行之各者包括連接至其中之該等記憶體單元的一位元線；其中該第一記憶體單元設置在該等行之一第一者中；且其中該第二記憶體單元設置在該等行之一第二者中，該等行之該第二者與該等行之該第一者不同。

13. 一種記憶體裝置，其包含：

一半導體基材；

複數個記憶體單元，其等形成在該半導體基材上；及

電路系統，其形成在該半導體基材上且經組態以：

讀取該複數個記憶體單元之一第一記憶體單元以產生一第一讀取電流；

讀取該複數個記憶體單元之一第二記憶體單元以產生一第二讀取電流；

施加一第一偏移值至該第二讀取電流；以及接著

組合該第一讀取電流及該第二讀取電流以形成一第三讀取電流；以及接著

使用該第三讀取電流判定一程式化狀態。

14. 如請求項 13 之裝置，其中該組合包含將該第一讀取電流及該第二讀取電流加在一起。

15. 如請求項 13 之裝置，其中該電路系統進一步經組態以：

讀取該複數個記憶體單元之一第三記憶體單元以產生一第四讀取電流；

施加一第二偏移值至該第四讀取電流；

其中該組合包括組合該第一讀取電流、該第二讀取電流、及該第四讀取電流以形成該第三讀取電流。

16. 如請求項 15 之裝置，其中該第二偏移值與該第一偏移值不同。

17. 如請求項 15 之裝置，其中該組合包含將該第一讀取電流、該第二讀取電流、及該第四讀取電流加在一起。

18. 如請求項 13 之裝置，其中：

該複數個記憶體單元經配置成該等記憶體單元之列與行之一陣列；

該等行之各者包括連接至其中之該等記憶體單元的一位元線；

該第一記憶體單元設置在該等行之一第一者中；且

該第二記憶體單元設置在該等行之一第二者中，該等行之該第二者與該等行之該第一者不同。

19. 一種記憶體裝置，其包含：

一半導體基材；

複數個記憶體單元，其等形成在該半導體基材上；及

電路系統，其形成在該半導體基材上且經組態以：

讀取該複數個記憶體單元之一第一記憶體單元以產生一第一讀取電流；

讀取該複數個記憶體單元之一第二記憶體單元以產生一第二讀取電流；

自該第一讀取電流產生一第一電壓；

自該第二讀取電流產生一第二電壓；

施加一第一偏移值至該第二電壓；以及接著

組合該第一電壓及該第二電壓以形成一第三電壓；以及接著

使用該第三電壓判定一程式化狀態。

20. 如請求項 19 之裝置，其中該組合包含將該第一電壓及該第二電壓加在一起。

21. 如請求項 19 之裝置，其中該電路系統進一步經組態以：

讀取該複數個記憶體單元之一第三記憶體單元以產生一第三讀取電流；

自該第三讀取電流產生一第四電壓；

施加一第二偏移值至該第四電壓；

其中該組合包括組合該第一電壓、該第二電壓、及該第四電壓以形成該第三電壓。

22. 如請求項 21 之裝置，其中該第二偏移值與該第一偏移值不同。

23. 如請求項 21 之裝置，其中該組合包含將該第一電壓、該第二電壓、及該第四電壓加在一起。

24. 如請求項 19 之裝置，其中：

該複數個記憶體單元經配置成該等記憶體單元之列與行之一陣列；

該等行之各者包括連接至其中之該等記憶體單元的一位元線；

該第一記憶體單元設置在該等行之一第一者中；及

該第二記憶體單元設置在該等行之一第二者中，該等行之該第二者與該等行之該第一者不同。