



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0046965
(43) 공개일자 2018년05월10일

(51) 국제특허분류(Int. Cl.)
G11C 16/10 (2006.01) *G06F 12/02* (2018.01)
G11C 16/04 (2006.01) *G11C 16/26* (2006.01)
 (52) CPC특허분류
G11C 16/10 (2013.01)
G06F 12/0246 (2013.01)
 (21) 출원번호 10-2016-0142045
 (22) 출원일자 2016년10월28일
 심사청구일자 없음

(71) 출원인
삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
 (72) 발명자
강경민
 경기도 화성시 동탄반석로 232 (석우동, 동탄에당
 마을 신일유토빌) 134동 2801호
강동구
 경기도 성남시 분당구 서판교로 29 915동 1302호
 (판교동, 판교원마을한림풀에버아파트)
 (뒷면에 계속)
 (74) 대리인
특허법인 고려

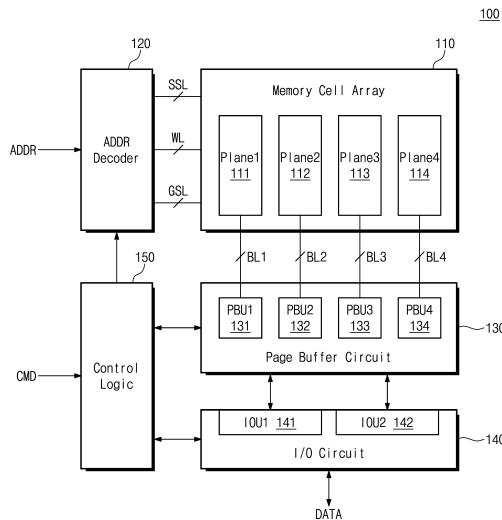
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 복수의 입출력 유닛들을 포함하는 불휘발성 메모리 장치 및 그것의 동작 방법

(57) 요약

본 발명에 따른 불휘발성 메모리 장치는 제 1 내지 제 4 플레인들을 포함하는 메모리 셀 어레이, 상기 제 1 내지 제 4 플레인들과 각각 연결되는 제 1 내지 제 4 페이지 버퍼 유닛들을 포함하는 제 1 페이지 버퍼 회로, 상기 제 1 내지 제 4 페이지 버퍼 유닛들과 연결되는 제 1 입출력 유닛 및 상기 제 2 및 제 4 페이지 버퍼 유닛들과 연결되는 제 2 입출력 유닛을 포함하는 입출력 회로, 그리고 제 1 읽기 모드 시 상기 제 1 입출력 유닛을 통해 상기 제 1 내지 제 4 페이지 버퍼 유닛들 중 하나로부터 제 1 데이터를 출력하도록, 그리고 제 2 읽기 모드 시 상기 제 1 입출력 유닛을 통해 상기 제 1 및 제 3 페이지 버퍼 유닛들 중 하나로부터 제 2 데이터를 출력하고 상기 제 2 입출력 유닛을 통해 상기 제 2 및 제 4 페이지 버퍼 유닛들 중 하나로부터 제 3 데이터를 출력하도록 제어하는 제어 로직을 포함한다.

대표도 - 도1



(52) CPC특허분류

G11C 16/0483 (2013.01)

G11C 16/26 (2013.01)

(72) 발명자

김광원

서울특별시 송파구 올림픽로 99 167동 1301호 (잠실동, 잠실엘스아파트)

김현진

경기도 화성시 동탄중앙로 189 338동 903호 (반송동, 시범다운마을월드메르디앙반도유보라아파트)

명세서

청구범위

청구항 1

제 1 내지 제 4 플레인들을 포함하는 메모리 셀 어레이;

상기 제 1 내지 제 4 플레인들과 각각 연결되는 제 1 내지 제 4 페이지 버퍼 유닛들을 포함하는 제 1 페이지 버퍼 회로;

상기 제 1 내지 제 4 페이지 버퍼 유닛들과 연결되는 제 1 입출력 유닛 및 상기 제 2 및 제 4 페이지 버퍼 유닛들과 연결되는 제 2 입출력 유닛을 포함하는 입출력 회로; 그리고

제 1 읽기 모드 시 상기 제 1 입출력 유닛을 통해 상기 제 1 내지 제 4 페이지 버퍼 유닛들 중 하나로부터 제 1 데이터를 출력하도록, 그리고 제 2 읽기 모드 시 상기 제 1 입출력 유닛을 통해 상기 제 1 및 제 3 페이지 버퍼 유닛들 중 하나로부터 제 2 데이터를 출력하고 상기 제 2 입출력 유닛을 통해 상기 제 2 및 제 4 페이지 버퍼 유닛들 중 하나로부터 제 3 데이터를 출력하도록 제어하는 제어 로직을 포함하는 불휘발성 메모리 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 읽기 모드 시, 상기 제 2 입출력 유닛은 비활성화되는 불휘발성 메모리 장치.

청구항 3

제 1 항에 있어서,

상기 제 2 데이터는 상기 제 1 플레인으로부터 독출되고, 상기 제 3 데이터는 상기 제 2 플레인으로부터 독출되는 불휘발성 메모리 장치.

청구항 4

제 3 항에 있어서,

상기 제 1 및 제 2 플레인들은 제 1 논리 플레인에 대응하고, 상기 제 3 및 제 4 플레인들은 제 2 논리 플레인에 대응하는 불휘발성 메모리 장치.

청구항 5

제 1 항에 있어서,

상기 제 2 데이터는 상기 제 3 플레인으로부터 독출되고, 상기 제 3 데이터는 상기 제 2 플레인으로부터 독출되는 불휘발성 메모리 장치.

청구항 6

제 5 항에 있어서,

상기 제 1 및 제 4 플레인들은 제 1 논리 플레인에 대응하고, 상기 제 2 및 제 3 플레인들은 제 2 논리 플레인에 대응하는 불휘발성 메모리 장치.

청구항 7

제 1 항에 있어서,

상기 제 2 데이터는 호스트로부터 읽기 요청된 데이터의 하위 비트 데이터이고, 상기 제 3 데이터는 상기 호스트로부터 읽기 요청된 데이터의 상위 비트 데이터인 불휘발성 메모리 장치.

청구항 8

제 1 항에 있어서,

상기 메모리 셀 어레이는 제 5 내지 제 8 플레인들을 더 포함하고,

상기 페이지 버퍼 회로는 상기 제 5 내지 제 8 플레인들과 각각 연결되는 제 5 내지 제 8 페이지 버퍼 유닛들을 더 포함하고,

상기 제 1 입출력 유닛은 상기 제 5 내지 제 8 페이지 버퍼 유닛들과 연결되고, 그리고

상기 제 2 입출력 유닛은 상기 제 6 및 제 8 페이지 버퍼 유닛들과 연결되는 불휘발성 메모리 장치.

청구항 9

제 8 항에 있어서,

상기 제 2 읽기 모드 시, 상기 제어 로직은 상기 제 1 입출력 유닛을 통해 상기 제 7 페이지 버퍼 유닛으로부터 제 4 데이터를 출력하고 상기 제 2 입출력 유닛을 통해 상기 제 4 페이지 버퍼 유닛으로부터 제 5 데이터를 출력하도록 제어하는 불휘발성 메모리 장치.

청구항 10

제 1 내지 제 4 플레인들을 포함하는 불휘발성 메모리 장치의 동작 방법에 있어서,

제 1 데이터를 수신하는 단계;

상기 제 1 데이터를 제 1 및 제 2 부분 데이터로 분할하고, 상기 제 1 플레인에 상기 제 1 부분 데이터를 저장하고, 상기 제 2 플레인에 상기 제 2 부분 데이터를 저장하는 단계;

제 2 데이터를 수신하는 단계;

상기 제 2 데이터를 제 3 및 제 4 부분 데이터로 분할하고, 상기 제 3 플레인에 상기 제 3 부분 데이터를 저장하고, 상기 제 4 플레인에 상기 제 4 부분 데이터를 저장하는 단계;

제 1 읽기 모드 시, 제 1 입출력 유닛을 통하여 상기 제 1 내지 제 4 부분 데이터 중 하나를 출력하는 단계; 그리고

제 2 읽기 모드 시, 상기 제 1 입출력 유닛 및 제 2 입출력 유닛을 통하여 상기 제 1 내지 제 4 부분 데이터 중 두 데이터를 출력하는 단계를 포함하는 불휘발성 메모리 장치의 동작 방법.

청구항 11

제 10 항에 있어서,

상기 제 1 읽기 모드에서, 상기 제 1 내지 제 4 플레인들 각각은 하나의 논리 플레인으로 설정되는 불휘발성 메모리 장치의 동작 방법.

청구항 12

제 10 항에 있어서,

상기 제 2 읽기 모드에서, 상기 제 1 내지 제 4 플레인들 중 두 개는 하나의 논리 플레인으로 설정되는 불휘발성 메모리 장치의 동작 방법.

청구항 13

제 10 항에 있어서,

상기 제 2 읽기 모드에서, 상기 제 1 및 제 2 플레인들은 제 1 논리 플레인으로 설정되고, 상기 제 3 및 제 4 플레인들은 제 2 논리 플레인으로 설정되는 불휘발성 메모리 장치의 동작 방법.

청구항 14

제 10 항에 있어서,

상기 제 2 읽기 모드에서, 상기 제 1 및 제 4 플레인들은 제 1 논리 플레인으로 설정되고, 상기 제 2 및 제 3 플레인들은 제 2 논리 플레인으로 설정되는 불휘발성 메모리 장치의 동작 방법.

청구항 15

제 10 항에 있어서,

상기 제 2 읽기 모드에서, 상기 제 1 및 제 3 부분 데이터는 상기 제 1 입출력 유닛을 통하여 출력되는 불휘발성 메모리 장치의 동작 방법.

청구항 16

제 10 항에 있어서,

상기 제 2 읽기 모드에서, 상기 제 2 및 제 4 부분 데이터는 상기 제 2 입출력 유닛을 통하여 출력되는 불휘발성 메모리 장치의 동작 방법.

청구항 17

제 10 항에 있어서,

상기 제 2 읽기 모드에서, 상기 제 1 입출력 유닛과 연결되는 페이지 버퍼 유닛들은 상기 제 2 입출력 유닛과 연결되는 페이지 버퍼 유닛들과 중복되지 않는 불휘발성 메모리 장치의 동작 방법.

청구항 18

제 10 항에 있어서,

상기 제 1 읽기 모드에서, 상기 제 2 입출력 유닛은 비활성화되는 불휘발성 메모리 장치의 동작 방법.

청구항 19

제 10 항에 있어서,

상기 제 1 및 제 3 부분 데이터는 호스트로부터 읽기 요청된 데이터의 하위 비트 데이터이고, 상기 제 2 및 제 4 부분 데이터는 상기 호스트로부터 읽기 요청된 데이터의 상위 비트 데이터인 불휘발성 메모리 장치의 동작 방법.

청구항 20

제 10 항에 있어서,

상기 제 1 읽기 모드의 입출력 크기는 상기 제 2 읽기 모드의 입출력 크기와 다른 불휘발성 메모리 장치의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 메모리 장치에 관한 것으로, 좀 더 상세하게는 복수의 입출력 유닛들을 포함하는 불휘발성 메모리 장치 및 그것의 동작 방법에 관한 것이다.

배경 기술

[0002] 반도체 메모리 장치는 크게 휘발성 반도체 메모리 장치(volatile semiconductor memory device)와 불휘발성 반도체 메모리 장치(non-volatile semiconductor memory device)로 구분된다.

[0003] 휘발성 반도체 메모리 장치는 읽고 쓰는 속도가 빠르지만 외부 전원 공급이 끊기면 저장된 내용이 사라져 버리는 단점이 있다. 반면에 불휘발성 반도체 메모리 장치는 외부 전원 공급이 중단되더라도 그 내용을 보존한다. 그러므로, 불휘발성 반도체 메모리 장치는 전원이 공급되었는지의 여부에 관계없이 보존되어야 할 내용을 기억

시키는 데 쓰인다. 불휘발성 반도체 메모리 장치로는 마스크 롬(mask read-only memory, MROM), 프로그램 가능한 롬(programmable read-only memory, PROM), 소거 및 프로그램 가능한 롬(erasable programmable read-only memory, EPROM), 전기적으로 소거 및 프로그램 가능한 롬(electrically erasable programmable read-only memory, EEPROM) 등이 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 위에서 설명한 기술적 과제를 해결하기 위한 것으로, 하나의 논리 플레인에 복수의 물리 플레인들을 맵핑하도록 복수의 입출력 유닛들을 포함하는 불휘발성 메모리 장치 및 그것의 동작 방법을 제공하는 데 있다.

과제의 해결 수단

[0005] 본 발명에 따른 불휘발성 메모리 장치는 제 1 내지 제 4 플레인들을 포함하는 메모리 셀 어레이, 상기 제 1 내지 제 4 플레인들과 각각 연결되는 제 1 내지 제 4 페이지 버퍼 유닛들을 포함하는 제 1 페이지 버퍼 회로, 상기 제 1 내지 제 4 페이지 버퍼 유닛들과 연결되는 제 1 입출력 유닛 및 상기 제 2 및 제 4 페이지 버퍼 유닛들과 연결되는 제 2 입출력 유닛을 포함하는 입출력 회로, 그리고 제 1 읽기 모드 시 상기 제 1 입출력 유닛을 통해 상기 제 1 내지 제 4 페이지 버퍼 유닛들 중 하나로부터 제 1 데이터를 출력하도록, 그리고 제 2 읽기 모드 시 상기 제 1 입출력 유닛을 통해 상기 제 1 및 제 3 페이지 버퍼 유닛들 중 하나로부터 제 2 데이터를 출력하고 상기 제 2 입출력 유닛을 통해 상기 제 2 및 제 4 페이지 버퍼 유닛들 중 하나로부터 제 3 데이터를 출력하도록 제어하는 제어 로직을 포함한다.

[0006] 본 발명에 따른 불휘발성 메모리 장치는 복수의 플레인들을 포함하는 메모리 셀 어레이, 상기 플레인들과 각각 연결되는 복수의 페이지 버퍼 유닛들을 포함하는 페이지 버퍼 회로, 상기 페이지 버퍼 유닛들과 연결되는 제 1 입출력 유닛 및 상기 페이지 버퍼 유닛들의 일부와 연결되는 제 2 입출력 유닛을 포함하는 입출력 회로, 그리고 제 1 읽기 모드 시 상기 제 1 입출력 유닛을 통해 상기 페이지 버퍼 유닛들 각각으로부터 제 1 데이터를 출력하도록, 그리고 제 2 읽기 모드 시 상기 제 1 입출력 유닛을 통해 상기 페이지 버퍼 유닛들 중 하나로부터 제 2 데이터를 출력하고 상기 제 2 입출력 유닛을 통해 상기 페이지 버퍼 유닛들 일부 중 하나로부터 제 3 데이터를 출력하도록 제어하는 제어 로직을 포함한다.

[0007] 본 발명에 따른 불휘발성 메모리 장치의 동작 방법은 제 1 내지 제 4 플레인들을 포함하는 불휘발성 메모리 장치의 동작 방법에 있어서, 제 1 데이터를 수신하는 단계, 상기 제 1 데이터를 제 1 및 제 2 부분 데이터로 분할하고, 상기 제 1 플레인에 상기 제 1 부분 데이터를 저장하고, 상기 제 2 플레인에 상기 제 2 부분 데이터를 저장하는 단계, 제 2 데이터를 수신하는 단계, 상기 제 2 데이터를 제 3 및 제 4 부분 데이터로 분할하고, 상기 제 3 플레인에 상기 제 3 부분 데이터를 저장하고, 상기 제 4 플레인에 상기 제 4 부분 데이터를 저장하는 단계, 제 1 읽기 모드 시, 제 1 입출력 유닛을 통하여 상기 제 1 내지 제 4 부분 데이터 중 하나를 출력하는 단계, 그리고 제 2 읽기 모드 시, 상기 제 1 입출력 유닛 및 제 2 입출력 유닛을 통하여 상기 제 1 내지 제 4 부분 데이터 중 두 데이터를 출력하는 단계를 포함한다.

발명의 효과

[0008] 본 발명의 실시 예에 따르면, 하나의 논리 플레인에 복수의 물리 플레인들을 맵핑하도록 복수의 입출력 유닛들을 포함하는 불휘발성 메모리 장치 및 그것의 동작 방법을 제공할 수 있다.

도면의 간단한 설명

- [0009] 도 1은 본 발명에 따른 불 휘발성 메모리 장치를 보여주는 블록도이다.
- 도 2는 본 발명의 실시 예에 따른 플레인들과 입출력 유닛들의 연결 관계를 보여주는 도면이다.
- 도 3은 도 2의 연결 관계에서 제 1 읽기 모드 시 데이터의 입출력을 예시적으로 보여주는 도면이다.
- 도 4는 도 3의 제 1 읽기 모드에서 데이터 입출력을 보여주는 도면이다.
- 도 5는 도 2의 연결 관계에서 제 2 읽기 모드 시 데이터의 입출력을 예시적으로 보여주는 도면이다.
- 도 6은 도 5의 제 2 읽기 모드에서 데이터 입출력을 보여주는 도면이다.

- 도 7은 본 발명의 실시 예에 따른 비정렬 맵핑에 의한 데이터 입출력 방법을 보여주는 도면이다.
- 도 8은 도 7의 제 2 읽기 모드에서 비정렬 맵핑에 의한 데이터 입출력을 보여주는 도면이다.
- 도 9는 본 발명의 실시 예에 따른 불휘발성 메모리 장치의 동작 방법을 보여주는 순서도이다.
- 도 10은 본 발명의 다른 실시 예에 따른 불휘발성 메모리 장치를 보여주는 블록도이다.
- 도 11은 도 10의 플레인들과 입출력 유닛들의 연결 관계를 보여주는 도면이다.
- 도 12는 도 11의 연결 관계에서 제 1 읽기 모드 시 데이터의 입출력을 예시적으로 보여주는 도면이다.
- 도 13은 도 11의 연결 관계에서 제 2 읽기 모드 시 데이터의 입출력을 예시적으로 보여주는 도면이다.
- 도 14는 도 13의 제 2 읽기 모드에서 데이터 입출력을 보여주는 도면이다.
- 도 15는 본 발명의 다른 실시 예에 따른 비정렬 맵핑에 의한 데이터 입출력 방법을 보여주는 도면이다.
- 도 16은 도 15의 제 2 읽기 모드에서 비정렬 맵핑에 의한 데이터 입출력을 보여주는 도면이다.
- 도 17은 본 발명의 또 다른 실시 예에 따른 제 2 읽기 모드 시 비정렬 맵핑에 의한 데이터 입출력을 보여주는 도면이다.
- 도 18은 도 17의 비정렬 맵핑에 의한 데이터 입출력을 보여주는 도면이다.
- 도 19는 본 발명의 실시 예에 따른 메모리 시스템을 예시적으로 보여주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0010] 아래에서는, 본 발명의 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로, 본 발명의 실시 예들이 명확하고 상세하게 기재될 것이다.
- [0011] 도 1은 본 발명에 따른 불 휘발성 메모리 장치를 보여주는 블록도이다. 도 1을 참조하면, 불휘발성 메모리 장치(100)는 메모리 셀 어레이(110), 어드레스 디코더(120), 페이지 버퍼 회로(130), 입출력 회로(140) 및 제어 로직(150)을 포함할 수 있다.
- [0012] 메모리 셀 어레이(110)는 어드레스 디코더(120) 및 페이지 버퍼 회로(130)에 연결될 수 있다. 예를 들면, 메모리 셀 어레이(110)는 스트링 선택 라인(String Select Line, SSL)들, 워드 라인(Word Line, WL)들, 및 접지 선택 라인(Ground Select Line, GSL)들을 통해 어드레스 디코더(120)에 연결될 수 있다. 한편, 메모리 셀 어레이(110)는 비트 라인(Bit Line, BL)들을 통해 페이지 버퍼 회로(130)에 연결될 수 있다.
- [0013] 메모리 셀 어레이(110)는 복수의 메모리 블록들을 포함할 수 있다. 각 메모리 블록의 메모리 셀들은 2차원 구조를 형성할 수 있다. 또한, 각 메모리 블록의 메모리 셀들은 기관과 수직한 방향으로 적층되어 3차원 구조를 형성할 수 있다. 각 메모리 블록은 복수의 메모리 셀들 및 복수의 선택 트랜지스터들을 포함할 수 있다. 메모리 셀들은 워드 라인(WL)들에 연결되고, 선택 트랜지스터들은 스트링 선택 라인(SSL)들 또는 접지 선택 라인(GSL)들에 연결될 수 있다. 각 메모리 블록의 메모리 셀들은 하나 또는 그 이상의 비트를 저장할 수 있다.
- [0014] 본 발명의 개념에 따른 실시 예로서, 메모리 셀 어레이(110)는 3차원 메모리 어레이로서 제공될 수 있다. 3차원 메모리 어레이는, 실리콘 기관 및 메모리 셀들의 동작에 연관된 회로의 위에 배치되는 활성 영역을 갖는 메모리 셀들의 어레이들의 하나 또는 그 이상의 물리 레벨들에 모놀리식(monolithically) 형성될 수 있다. 메모리 셀들의 동작에 연관된 회로는 기관 내에 또는 기관 위에 위치할 수 있다. 모놀리식(monolithical)이란 용어는, 3차원 어레이의 각 레벨의 층들이 3차원 어레이의 하위 레벨의 층들 위에 직접 증착됨을 의미한다.
- [0015] 본 발명의 개념에 따른 실시 예로서, 3차원 메모리 어레이는 수직의 방향성을 가져, 적어도 하나의 메모리 셀이 다른 하나의 메모리 셀 위에 위치하는 수직 NAND 스트링들을 포함한다. 적어도 하나의 메모리 셀은 전하 트랩 층을 포함한다. 각각의 수직 NAND 스트링은 메모리 셀들 위에 위치하는 적어도 하나의 선택 트랜지스터를 포함할 수 있다. 적어도 하나의 선택 트랜지스터는 메모리 셀들과 동일한 구조를 갖고, 메모리 셀들과 함께 모놀리식으로 형성될 수 있다.
- [0016] 3차원 메모리 어레이가 복수의 레벨들로 구성되고, 레벨들 사이에 공유된 워드 라인들 또는 비트 라인들을 갖고, 3차원 메모리 어레이에 적합한 구성은 미국등록특허공보 제7,679,133호, 미국등록특허공보 제8,553,466호, 미국등록특허공보 제8,654,587호, 미국등록특허공보 제8,559,235호, 그리고 미국공개특허공보

제2011/0233648호에 개시되어 있으며, 본 발명의 레퍼런스로 포함된다.

- [0017] 메모리 셀 어레이(110)는 복수의 플레인들을 포함할 수 있다. 예를 들면, 메모리 셀 어레이(110)는 제 1 내지 제 4 플레인들(111~114)을 포함할 수 있다. 각 플레인들은 복수의 메모리 블록들을 포함할 수 있다. 제 1 내지 제 4 플레인들(111~114) 각각은 비트 라인들을 통해 하나의 페이지 버퍼 유닛과 연결될 수 있다. 예시적으로, 제 1 플레인(111)은 제 1 비트 라인들(BL1)을 통해 제 1 페이지 버퍼 유닛(131)과 연결될 수 있다. 제 2 플레인(112)은 제 2 비트 라인들(BL2)을 통해 제 2 페이지 버퍼 유닛(132)과 연결될 수 있다. 제 3 플레인(113)은 제 3 비트 라인들(BL3)을 통해 제 3 페이지 버퍼 유닛(133)과 연결될 수 있다. 제 4 플레인(114)은 제 4 비트 라인들(BL4)을 통해 제 4 페이지 버퍼 유닛(134)과 연결될 수 있다. 제 1 내지 제 4 플레인들(111~114)은 논리 플레인과 대비하여 물리 플레인으로 정의한다.
- [0018] 어드레스 디코더(120)는 복수의 라인들을 통해 메모리 셀 어레이(110)에 연결될 수 있다. 예를 들면, 복수의 라인들은 스트링 선택 라인(SSL)들, 워드 라인(WL)들, 및 접지 선택 라인(GSL)들일 수 있다. 어드레스 디코더(120)는 제어 로직(150)의 제어에 응답하여 동작하도록 구성될 수 있다.
- [0019] 어드레스 디코더(120)는 외부로부터 어드레스(ADDR)를 수신할 수 있다. 어드레스 디코더(120)는 어드레스(ADDR) 중 행 어드레스를 디코딩할 것이다. 어드레스 디코더(120)는 디코딩된 행 어드레스에 대응하는 워드 라인을 선택할 것이다. 어드레스 디코더(120)는 디코딩된 행 어드레스에 따라 어드레스(ADDR)에 대응하는 워드 라인을 선택할 것이다.
- [0020] 소거 동작 시에 어드레스 디코더(120)는 소거될 메모리 블록을 선택할 것이다. 어드레스 디코더(120)는 복수의 라인들 중 일부에 바이어스 전압들을 인가하고, 복수의 라인들 중 나머지 일부를 플로팅할 것이다. 복수의 라인들 중 나머지 일부가 플로팅되는 시점들은 각각 제어 로직(150)에 의해 제어될 것이다. 예시적으로, 선택된 메모리 블록의 워드 라인들에 워드 라인 소거 전압이 인가될 것이다. 메모리 셀 어레이(110)의 기판(Substrate) 또는 포켓 웰(Pocket Well)에 소거 전압이 인가될 것이다. 접지 선택 라인 지연 방식(GSL Delayed Scheme)을 사용하는 경우, 소거 전압이 인가된 시점으로부터 특정한 지연 시간 후에 접지 선택 라인들은 플로팅될 것이다.
- [0021] 어드레스 디코더(120)는 수신된 어드레스(ADDR) 중 열 어드레스를 디코딩하도록 구성될 수 있다. 어드레스 디코더(120)는 디코딩된 열 어드레스를 페이지 버퍼 회로(130)에 전달할 수 있다. 예시적으로, 어드레스 디코더(120)는 행 어드레스를 디코딩하는 행 디코더, 열 어드레스를 디코딩하는 열 디코더, 어드레스(ADDR)를 저장하는 어드레스 버퍼를 포함할 수 있다.
- [0022] 페이지 버퍼 회로(130)는 비트 라인(BL)들을 통해 메모리 셀 어레이(110)에 연결될 수 있다. 페이지 버퍼 회로(130)는 제어 로직(150)의 제어에 응답하여 동작할 수 있다. 페이지 버퍼 회로(130)는 어드레스 디코더(120)로부터 디코딩된 열 어드레스를 수신할 수 있다. 디코딩된 열 어드레스를 이용하여, 페이지 버퍼 회로(130)는 비트 라인(BL)들을 선택할 것이다.
- [0023] 예시적으로, 페이지 버퍼 회로(130)는 외부로부터 데이터(DATA)를 수신하고, 수신된 데이터(DATA)를 메모리 셀 어레이(110)에 기입한다. 페이지 버퍼 회로(130)는 메모리 셀 어레이(110)로부터 데이터(DATA)를 읽고, 읽어진 데이터(DATA)를 외부에 전달한다. 페이지 버퍼 회로(130)는 메모리 셀 어레이(110)의 제 1 저장 영역으로부터 데이터를 읽고, 읽어진 데이터를 메모리 셀 어레이(110)의 제 2 저장 영역에 기입할 수 있다. 예를 들면, 페이지 버퍼 회로(130)는 카피-백(copy-back) 동작을 수행하도록 구성될 수 있다.
- [0024] 페이지 버퍼 회로(130)는 복수의 페이지 버퍼 유닛들(131~134)을 포함할 수 있다. 예를 들면, 제 1 내지 제 4 페이지 버퍼 유닛들(131~134)은 각각 제 1 내지 제 4 플레인들과 연결될 수 있다. 제 1 내지 제 4 페이지 버퍼 유닛들(131~134) 각각은 제 1 내지 제 4 플레인들 각각의 페이지와 동일한 크기를 가질 수 있다.
- [0025] 입출력 회로(140)는 페이지 버퍼 회로(130)를 통해 메모리 셀 어레이(110)에 연결되고, 외부와 데이터(DATA)를 교환할 수 있다. 입출력 회로(140)는 제어 로직(150)의 제어에 응답하여 동작한다. 예를 들면, 입출력 회로(140)는 제 1 및 제 2 입출력 유닛들(141, 142)을 포함할 수 있다. 제 1 및 제 2 입출력 유닛들(141, 142)은 읽기 모드에 따라 단독으로 또는 함께 사용될 수 있다.
- [0026] 제어 로직(150)은 어드레스 디코더(120), 페이지 버퍼 회로(130) 및 입출력 회로(140)에 연결될 수 있다. 제어 로직(150)은 불휘발성 메모리 장치(100)의 제반 동작을 제어하도록 구성될 수 있다. 제어 로직(150)은 외부로부터 전달되는 명령 신호(CMD)에 응답하여 동작할 수 있다.
- [0027] 제어 로직(150)은 읽기 모드에 따라 페이지 버퍼 회로(130) 및 입출력 회로(140)를 제어할 수 있다. 예를 들면,

제어 로직(150)은 제 1 읽기 모드 시에 제 1 입출력 유닛(141)만 사용하도록 제어할 수 있다. 제어 로직(150)은 제 2 읽기 모드 시에 제 1 및 제 2 입출력 유닛들(141, 142)을 함께 사용하도록 제어할 수 있다. 따라서, 제 2 읽기 모드의 읽기 속도는 제 1 읽기 모드의 읽기 속도는 빠르다. 예시적으로, 제 1 및 제 2 입출력 유닛들(141, 142) 각각의 전송 능력이 8비트라고 가정하면, 제 1 읽기 모드는 8비트로 동작하고, 제 2 읽기 모드는 16비트로 동작할 수 있다.

[0028] 도 2는 본 발명의 실시 예에 따른 플레인들과 입출력 유닛들의 연결 관계를 보여주는 도면이다. 도 2를 참조하면, 불휘발성 메모리 장치(100)는 제 1 내지 제 4 플레인들(111~114), 제 1 내지 제 4 페이지 버퍼 유닛들(131~134) 및 제 1 및 제 2 입출력 유닛들(141, 142)을 포함할 수 있다. 제 1 내지 제 4 플레인들(111~114)은 각각 제 1 내지 제 4 페이지 버퍼 유닛들(131~134)과 일대일로 연결될 수 있다.

[0029] 예를 들면, 제 1 입출력 유닛(141)은 제 1 내지 제 4 페이지 버퍼 유닛들(131~134)과 모두 연결될 수 있다. 제 2 입출력 유닛(142)은 제 2 및 제 4 페이지 버퍼 유닛들(132, 134)과 연결될 수 있다. 제 1 및 제 2 입출력 유닛들(141, 142)은 읽기 모드에 따라 제 1 내지 제 4 페이지 버퍼 유닛들(131~134)과의 연결 상태를 변경할 수 있다.

[0030] 도 3은 도 2의 연결 관계에서 제 1 읽기 모드 시 데이터의 입출력을 예시적으로 보여주는 도면이다. 도 3을 참조하면, 제 1 읽기 모드 시, 불휘발성 메모리 장치(100)는 제 1 입출력 유닛(141)만 활성화시키고, 제 2 입출력 유닛(142)을 비활성화시킬 수 있다. 제 1 내지 제 4 페이지 버퍼 유닛들(131~134) 각각은 제 1 입출력 유닛(141)만을 통해 데이터(DATA)를 입출력할 수 있다. 예를 들면, 제 1 입출력 유닛(141)의 전송 능력이 8비트이면, 불휘발성 메모리 장치(100)는 8비트로 데이터(DATA)를 입출력할 수 있다. 호스트가 하나의 논리 플레인을 하나의 물리 플레인에 맵핑하는 경우, 불휘발성 메모리 장치(100)는 도 3과 같이 제 1 입출력 유닛(141)을 통해 각 페이지 버퍼 유닛에 데이터(DATA)를 입출력할 수 있다.

[0031] 도 4는 도 3의 제 1 읽기 모드에서 데이터 입출력을 보여주는 도면이다. 도 4를 참조하면, 불휘발성 메모리 장치(100)는 호스트로부터 제 1 내지 제 4 데이터(DATA1~DATA4)의 쓰기 요청을 수신할 수 있다. 예를 들면, 제 1 내지 제 4 데이터(DATA1~DATA4) 각각은 2KB의 크기를 가질 수 있다. 불휘발성 메모리 장치(100)는 제 1 내지 제 4 데이터(DATA1~DATA4) 각각을 제 1 내지 제 4 플레인들(111~114) 각각에 저장할 수 있다. 이 경우 제 1 내지 제 4 페이지 버퍼 유닛들(131~134) 각각의 크기가 2KB이다. 불휘발성 메모리 장치(100)는 호스트로부터 제 1 내지 제 4 데이터(DATA1~DATA4) 각각의 읽기 요청을 수신할 수 있다. 불휘발성 메모리 장치(100)는 제 1 내지 제 4 데이터(DATA1~DATA4) 각각을 읽어서 출력할 수 있다.

[0032] 도 5는 도 2의 연결 관계에서 제 2 읽기 모드 시 데이터의 입출력을 예시적으로 보여주는 도면이다. 도 5를 참조하면, 제 2 읽기 모드 시, 불휘발성 메모리 장치(100)는 제 1 및 제 2 입출력 유닛들(141, 142)을 모두 활성화시킬 수 있다. 제 1 및 제 3 페이지 버퍼 유닛들(131, 133)은 제 1 입출력 유닛(141)을 통해 데이터(DATA)를 입출력할 수 있다. 제 2 및 제 4 페이지 버퍼 유닛들(132, 134)은 제 2 입출력 유닛(142)을 통해 데이터(DATA)를 입출력할 수 있다. 불휘발성 메모리 장치(100)는 일부 데이터를 제 1 입출력 유닛(141)을 통해 입출력하고, 나머지 데이터를 제 2 입출력 유닛(142)을 통해 입출력할 수 있다. 예를 들면, 제 1 및 제 2 입출력 유닛들(141, 142) 각각의 전송 능력이 8비트이면, 불휘발성 메모리 장치(100)는 16비트로 데이터(DATA)를 입출력할 수 있다.

[0033] 한편, 호스트는 제 1 및 제 2 플레인들(111, 112)을 제 1 논리 플레인(Logical Plane 1)에 맵핑할 수 있다. 호스트는 제 3 및 제 4 플레인들(113, 114)을 제 2 논리 플레인(Logical Plane 2)에 맵핑할 수 있다. 이러한 맵핑을 정렬 맵핑으로 정의한다.

[0034] 도 6은 도 5의 제 2 읽기 모드에서 데이터 입출력을 보여주는 도면이다. 도 6을 참조하면, 불휘발성 메모리 장치(100)는 호스트로부터 제 1 및 제 2 데이터(DATA1, DATA2)의 쓰기 요청을 수신할 수 있다. 예를 들면, 제 1 및 제 2 데이터(DATA1, DATA2) 각각은 4KB의 크기를 가질 수 있다. 불휘발성 메모리 장치(100)는 제 1 및 제 2 데이터(DATA1, DATA2) 각각을 제 1 내지 제 4 플레인들(111~114) 각각에 나누어 저장할 수 있다. 이 경우 제 1 내지 제 4 페이지 버퍼 유닛들(131~134) 각각의 크기가 2KB이다. 따라서, 제 1 데이터(DATA1)는 제 1 및 제 2 플레인들(111, 112)에 분할되어 저장될 수 있다. 부분 데이터(DATA1_1)은 제 1 플레인(111)에 저장될 수 있다. 부분 데이터(DATA1_2)은 제 2 플레인(112)에 저장될 수 있다. 부분 데이터(DATA2_1)은 제 3 플레인(113)에 저장될 수 있다. 부분 데이터(DATA2_2)은 제 4 플레인(114)에 저장될 수 있다.

[0035] 한편, 불휘발성 메모리 장치(100)는 호스트로부터 제 1 및 제 2 데이터(DATA1, DATA2) 각각의 읽기 요청을 수신

할 수 있다. 불휘발성 메모리 장치(100)는 논리 플레인 별로 부분 데이터를 읽어서 출력할 수 있다. 예를 들면, 불휘발성 메모리 장치(100)는 제 1 및 제 2 플레인들(111, 112)로부터 데이터를 독출하여 제 1 데이터(DATA1)를 출력할 수 있다. 또한, 불휘발성 메모리 장치(100)는 제 3 및 제 4 플레인들(113, 114)로부터 데이터를 독출하여 제 2 데이터(DATA2)를 출력할 수 있다.

[0036] 도 7은 본 발명의 실시 예에 따른 비정렬 맵핑에 의한 데이터 입출력 방법을 보여주는 도면이다. 도 7을 참조하면, 호스트는 도 5의 방식과 다르게 논리 플레인과 물리 플레인을 맵핑할 수 있다. 예를 들면, 호스트는 제 2 및 제 3 플레인들(112, 113)을 하나의 논리 플레인으로 맵핑할 수 있다. 도 3에서 설명된 구조에 따르면, 제 2 플레인(112)은 제 2 입출력 유닛(142)을 통해 데이터(DATA)를 입출력할 수 있다. 또한, 제 3 플레인(113)은 제 1 입출력 유닛(141)을 통해 데이터(DATA)를 입출력할 수 있다. 따라서, 데이터(DATA)의 하위 비트([7:0])는 제 3 플레인(113)에 저장될 수 있다. 데이터(DATA)의 상위 비트([15:8])는 제 2 플레인(112)에 저장될 수 있다.

[0037] 도 8은 도 7의 제 2 읽기 모드에서 비정렬 맵핑에 의한 데이터 입출력을 보여주는 도면이다. 도 8을 참조하면, 제 1 및 제 2 데이터(DATA1, DATA2)는 도 6과 같이 정렬 맵핑에 의해 저장될 수 있다. 불휘발성 메모리 장치(100)는 호스트로부터 제 1 및 제 2 데이터(DATA1, DATA2)의 쓰기 요청을 수신할 수 있다. 예를 들면, 제 1 및 제 2 데이터(DATA1, DATA2) 각각은 4KB의 크기를 가질 수 있다. 불휘발성 메모리 장치(100)는 제 1 및 제 2 데이터(DATA1, DATA2) 각각을 제 1 내지 제 4 플레인들(111~114) 각각에 나누어 저장할 수 있다. 이 경우 제 1 내지 제 4 페이지 버퍼 유닛들(131~134) 각각의 크기가 2KB이다. 따라서, 제 1 데이터(DATA1)는 제 1 및 제 2 플레인들(111, 112)에 분할되어 저장될 수 있다. 부분 데이터(DATA1_1)은 제 1 플레인(111)에 저장될 수 있다. 부분 데이터(DATA1_2)은 제 2 플레인(112)에 저장될 수 있다. 부분 데이터(DATA2_1)은 제 3 플레인(113)에 저장될 수 있다. 부분 데이터(DATA2_2)은 제 4 플레인(114)에 저장될 수 있다.

[0038] 도 8에서, 호스트는 읽기 요청 시 논리 플레인과 물리 플레인의 맵핑을 변경할 수 있다. 예를 들면, 제 1 및 제 2 데이터(DATA1, DATA2)에서 부분 데이터(DATA1_2) 및 부분 데이터(DATA2_1)만 유효 데이터로 유지되고, 부분 데이터(DATA1_1) 및 부분 데이터(DATA2_2)는 무효 데이터로 변경될 수 있다. 이때 호스트는 논리 플레인과 물리 플레인의 맵핑을 변경하여 한번의 읽기 동작으로 유효 데이터를 독출할 수 있다. 따라서, 불휘발성 메모리 장치(100)는 변경된 맵핑에 따라 부분 데이터(DATA1_2) 및 부분 데이터(DATA2_1)를 출력할 수 있다.

[0039] 도 9는 본 발명의 실시 예에 따른 불휘발성 메모리 장치의 동작 방법을 보여주는 순서도이다. 도 9를 참조하면, 불휘발성 메모리 장치(100)는 제 1 내지 제 4 플레인들(111~114)에 저장된 데이터를 다양한 방법에 의해 독출할 수 있다. 예를 들면, 불휘발성 메모리 장치(100)는 하나의 입출력 유닛을 통해 데이터를 독출하는 제 1 읽기 모드 또는 두 개의 입출력 유닛들을 통해 데이터를 독출하는 제 2 읽기 모드를 사용할 수 있다.

[0040] S110 단계에서, 불휘발성 메모리 장치(100)는 제 1 데이터를 수신할 수 있다. S120 단계에서, 불휘발성 메모리 장치(100)는 수신된 제 1 데이터를 제 1 및 제 2 부분 데이터로 분할하여 저장할 수 있다. 예를 들면, 불휘발성 메모리 장치(100)는 제 1 입출력 유닛(141)을 통하여 제 1 부분 데이터를 제 1 플레인(111)에 저장할 수 있다. 불휘발성 메모리 장치(100)는 제 2 입출력 유닛(142)을 통하여 제 2 부분 데이터를 제 2 플레인(112)에 저장할 수 있다. 이때 제 1 및 제 2 플레인들은 하나의 논리 플레인으로 설정될 수 있다.

[0041] S130 단계에서, 불휘발성 메모리 장치(100)는 제 2 데이터를 수신할 수 있다. S140 단계에서, 불휘발성 메모리 장치(100)는 수신된 제 2 데이터를 제 3 및 제 4 부분 데이터로 분할하여 저장할 수 있다. 예를 들면, 불휘발성 메모리 장치(100)는 제 1 입출력 유닛(141)을 통하여 제 3 부분 데이터를 제 3 플레인(113)에 저장할 수 있다. 불휘발성 메모리 장치(100)는 제 2 입출력 유닛(142)을 통하여 제 4 부분 데이터를 제 4 플레인(114)에 저장할 수 있다. 이때 제 3 및 제 4 플레인들은 하나의 논리 플레인으로 설정될 수 있다.

[0042] S150 단계에서, 불휘발성 메모리 장치(100)는 제 1 읽기 모드 시 제 1 입출력 유닛(141)을 통하여 제 1 내지 제 4 부분 데이터 중 하나를 독출할 수 있다. 이때 불휘발성 메모리 장치(100)는 논리 플레인을 변경하여 제 1 내지 제 4 플레인들(111~114) 중 하나를 하나의 논리 플레인으로 설정할 수 있다.

[0043] S160 단계에서, 불휘발성 메모리 장치(100)는 제 2 읽기 모드 시 제 1 및 제 2 입출력 유닛들(141, 142)을 통하여 제 1 내지 제 4 부분 데이터 중 두 데이터를 독출할 수 있다. 이때 불휘발성 메모리 장치(100)는 제 1 내지 제 4 플레인들(111~114) 중 두 개를 하나의 논리 플레인으로 설정할 수 있다. 예를 들면, 불휘발성 메모리 장치(100)는 제 1 및 제 2 플레인들(111, 112)을 하나의 논리 플레인으로 설정할 수 있다. 또한, 불휘발성 메모리 장치(100)는 제 2 및 제 3 플레인들(112, 113)을 하나의 논리 플레인으로 설정할 수 있다. 즉, 불휘발성 메모리 장치(100)는 필요한 데이터에 따라 논리 플레인을 다양하게 설정할 수 있다.

- [0044] 도 10은 본 발명의 다른 실시 예에 따른 불휘발성 메모리 장치를 보여주는 블록도이다. 도 10을 참조하면, 불휘발성 메모리 장치(200)는 도 1의 불휘발성 메모리 장치(100)와 유사한 부분을 포함하고 있다. 따라서, 도 1에서 설명된 부분은 생략한다.
- [0045] 메모리 셀 어레이(210)는 제 1 내지 제 8 플레인들(211~218)을 포함할 수 있다. 예를 들면, 제 1 내지 제 8 플레인들(211~218)은 제 1 내지 제 8 비트 라인들(BL1~BL8)을 통해 각각 제 1 내지 제 8 페이지 버퍼 유닛들(231~238)에 연결될 수 있다. 제 1 내지 제 8 페이지 버퍼 유닛들(231~238) 각각은 예시적으로 2KB의 크기를 가질 수 있다. 제 1 내지 제 8 페이지 버퍼 유닛들(231~238)은 제 1 및 제 2 입출력 유닛들(241, 242)을 통해 데이터(DATA)를 입출력할 수 있다.
- [0046] 도 11은 도 10의 플레인들과 입출력 유닛들의 연결 관계를 보여주는 도면이다. 도 11을 참조하면, 제 1 내지 제 8 플레인들(211~218)은 각각 제 1 내지 제 8 페이지 버퍼 유닛들(231~ 238)과 일대일로 연결될 수 있다.
- [0047] 예를 들면, 제 1 입출력 유닛(241)은 제 1 내지 제 8 페이지 버퍼 유닛들(231~ 238)과 모두 연결될 수 있다. 제 2 입출력 유닛(242)은 제 2, 제 4, 제 6 및 제 8 페이지 버퍼 유닛들(232, 234, 236, 238)과 연결될 수 있다. 제 1 및 제 2 입출력 유닛들(241, 242)은 읽기 모드에 따라 제 1 내지 제 8 페이지 버퍼 유닛들(231~ 238)과의 연결 상태를 변경할 수 있다. 예시적으로, 제 1 입출력 유닛(241)은 데이터(DATA)의 하위 비트([7:0])를 입출력하고, 제 2 입출력 유닛(242)은 데이터(DATA)의 상위 비트([15:8])를 입출력할 수 있다.
- [0048] 도 12는 도 11의 연결 관계에서 제 1 읽기 모드 시 데이터의 입출력을 예시적으로 보여주는 도면이다. 도 12를 참조하면, 제 1 읽기 모드 시, 불휘발성 메모리 장치(100)는 제 1 입출력 유닛(241)만 활성화시키고, 제 2 입출력 유닛(242)을 비활성화시킬 수 있다. 제 1 내지 제 8 페이지 버퍼 유닛들(231~238) 각각은 제 1 입출력 유닛(241)만을 통해 데이터(DATA)를 입출력할 수 있다. 예를 들면, 제 1 입출력 유닛(241)의 전송 능력이 8비트이면, 불휘발성 메모리 장치(100)는 8비트로 데이터(DATA)를 입출력할 수 있다. 호스트가 하나의 논리 플레인을 하나의 물리 플레인에 맵핑하는 경우, 불휘발성 메모리 장치(100)는 도 11과 같이 제 1 입출력 유닛(241)을 통해 각 페이지 버퍼 유닛에 데이터(DATA)를 입출력할 수 있다.
- [0049] 도 13은 도 11의 연결 관계에서 제 2 읽기 모드 시 데이터의 입출력을 예시적으로 보여주는 도면이다. 도 13을 참조하면, 제 2 읽기 모드 시, 불휘발성 메모리 장치(100)는 제 1 및 제 2 입출력 유닛들(241, 242)을 모두 활성화시킬 수 있다. 제 1 페이지 버퍼 유닛(231)은 제 1 입출력 유닛(241)을 통해 데이터(DATA)를 입출력할 수 있다. 마찬가지로, 제 3, 제 5 및 제 7 페이지 버퍼 유닛들(233, 235, 237)은 제 1 입출력 유닛(241)을 통해 데이터(DATA)를 입출력할 수 있다. 제 2 페이지 버퍼 유닛(232)은 제 2 입출력 유닛(242)을 통해 데이터(DATA)를 입출력할 수 있다. 마찬가지로, 제 4, 제 6 및 제 8 페이지 버퍼 유닛들(234, 236, 238)은 제 2 입출력 유닛(242)을 통해 데이터(DATA)를 입출력할 수 있다. 불휘발성 메모리 장치(200)는 일부 데이터를 제 1 입출력 유닛(241)을 통해 입출력하고, 나머지 데이터를 제 2 입출력 유닛(242)을 통해 입출력할 수 있다. 예를 들면, 제 1 및 제 2 입출력 유닛들(241, 242) 각각의 전송 능력이 8비트이면, 불휘발성 메모리 장치(100)는 16비트로 데이터(DATA)를 입출력할 수 있다.
- [0050] 한편, 호스트는 제 1 및 제 2 플레인들(211, 212)을 하나의 논리 플레인으로 맵핑할 수 있다. 이러한 맵핑을 정렬 맵핑으로 정의한다. 마찬가지로, 호스트는 제 3 및 제 4 플레인들(213, 214)을 하나의 논리 플레인으로 맵핑할 수 있다. 호스트는 제 5 및 제 6 플레인들(215, 216)을 하나의 논리 플레인으로 맵핑할 수 있다. 호스트는 제 7 및 제 8 플레인들(217, 218)을 하나의 논리 플레인으로 맵핑할 수 있다.
- [0051] 도 14는 도 13의 제 2 읽기 모드에서 데이터 입출력을 보여주는 도면이다. 도 14를 참조하면, 불휘발성 메모리 장치(200)는 호스트로부터 제 1 내지 제 4 데이터(DATA1~DATA4)의 쓰기 요청을 수신할 수 있다. 예를 들면, 제 1 내지 제 4 데이터(DATA1~DATA4) 각각은 4KB의 크기를 가질 수 있다. 불휘발성 메모리 장치(200)는 제 1 내지 제 4 데이터(DATA1~DATA4) 각각을 제 1 내지 제 8 플레인들(211~218) 각각에 나누어 저장할 수 있다. 이 경우 제 1 내지 제 8 페이지 버퍼 유닛들(231~238) 각각의 크기가 2KB이다. 따라서, 제 1 데이터(DATA1)는 제 1 및 제 2 플레인들(211, 212)에 분할되어 저장될 수 있다. 부분 데이터(DATA1_1)은 제 1 플레인(211)에 저장될 수 있다. 부분 데이터(DATA1_2)은 제 2 플레인(212)에 저장될 수 있다. 제 2 내지 제 4 데이터(DATA2~DATA4)도 제 1 데이터(DATA1)와 동일한 방식으로 제 3 내지 제 8 플레인들(213, 218)에 저장될 수 있다.
- [0052] 한편, 불휘발성 메모리 장치(200)는 호스트로부터 제 1 및 제 3 데이터(DATA1, DATA3)의 연속 읽기 요청을 수신할 수 있다. 불휘발성 메모리 장치(200)는 논리 플레인 별로 부분 데이터를 읽어서 출력할 수 있다. 예를 들면, 불휘발성 메모리 장치(200)는 제 1 및 제 2 플레인들(211, 212)로부터 데이터를 독출하여 제 1 데이터(DATA1)를

출력할 수 있다. 또한, 불휘발성 메모리 장치(200)는 제 5 및 제 6 플레인들(215, 216)로부터 데이터를 독출하여 제 3 데이터(DATA3)를 출력할 수 있다.

[0053] 도 15는 본 발명의 다른 실시 예에 따른 비정렬 맵핑에 의한 데이터 입출력 방법을 보여주는 도면이다. 도 15를 참조하면, 호스트는 도 12의 방식과 다르게 논리 플레인과 물리 플레인을 맵핑할 수 있다. 예를 들면, 호스트는 제 2 및 제 3 플레인들(212, 213)을 하나의 논리 플레인으로 맵핑할 수 있다. 도 10에서 설명된 구조에 따르면, 제 2 플레인(212)은 제 2 입출력 유닛(242)을 통해 데이터(DATA)를 입출력할 수 있다. 또한, 제 3 플레인(213)은 제 1 입출력 유닛(241)을 통해 데이터(DATA)를 입출력할 수 있다. 따라서, 데이터(DATA)의 하위 비트([7:0])는 제 3 플레인(213)에 저장될 수 있다. 데이터(DATA)의 상위 비트([15:8])는 제 2 플레인(212)에 저장될 수 있다.

[0054] 도 16은 도 15의 제 2 읽기 모드에서 비정렬 맵핑에 의한 데이터 입출력을 보여주는 도면이다. 도 16을 참조하면, 제 1 내지 제 5 데이터(DATA1~DATA5)는 서로 다른 크기를 가질 수 있다. 불휘발성 메모리 장치(200)는 호스트로부터 제 1 내지 제 4 데이터(DATA1~DATA5)의 쓰기 요청을 수신할 수 있다. 예를 들면, 제 1 및 제 5 데이터(DATA1, DATA5) 각각은 2KB의 크기를 가질 수 있다. 제 2 내지 제 4 데이터(DATA2~DATA4) 각각은 4KB의 크기를 가질 수 있다. 불휘발성 메모리 장치(200)는 제 1 및 제 5 데이터(DATA1, DATA5) 각각을 제 1 및 제 8 플레인들(211, 218) 각각에 저장할 수 있다. 불휘발성 메모리 장치(200)는 제 2 내지 제 4 데이터(DATA2~DATA4) 각각을 제 2 내지 제 7 플레인들(212~217) 각각에 나누어 저장할 수 있다. 이 경우 제 1 내지 제 4 페이지 버퍼 유닛들(131~134) 각각의 크기가 2KB이다.

[0055] 도 17은 본 발명의 또 다른 실시 예에 따른 제 2 읽기 모드 시 비정렬 맵핑에 의한 데이터 입출력을 보여주는 도면이다. 도 17을 참조하면, 호스트는 제 4 플레인(214) 및 제 7 플레인(217)을 하나의 논리 플레인에 맵핑할 수 있다. 불휘발성 메모리 장치(200)는 호스트의 읽기 요청 시 제 1 입출력 유닛(241)을 통해 제 7 플레인(217)에 저장된 데이터를 출력하고, 제 2 입출력 유닛(242)을 통해 제 4 플레인(214)에 저장된 데이터를 출력할 수 있다.

[0056] 도 18은 도 17의 비정렬 맵핑에 의한 데이터 입출력을 보여주는 도면이다. 도 18을 참조하면, 제 1 내지 제 4 데이터(DATA1~DATA4)는 정렬 맵핑에 의해 저장될 수 있다. 이때 호스트는 제 4 및 제 7 플레인들(214, 217)을 하나의 논리 플레인으로 맵핑을 변경할 수 있다. 불휘발성 메모리 장치(200)는 호스트의 읽기 요청에 따라 제 4 및 제 7 플레인들(214, 217)에 저장된 부분 데이터(DATA4_1, DATA2_2)를 출력할 수 있다.

[0057] 도 19는 본 발명의 실시 예에 따른 메모리 시스템을 예시적으로 보여주는 블록도이다. 도 19를 참조하면, 메모리 시스템(1000)은 복수의 불 휘발성 메모리 장치들(1100) 및 메모리 제어기(1200)를 포함할 수 있다.

[0058] 불 휘발성 메모리 장치들(1100)은 선택적으로 외부 고전압(Vpp)을 제공받도록 구현될 수 있다. 불 휘발성 메모리 장치들(1100) 각각은 도 1 내지 도 18에서 설명된 바와 같이, 복수의 플레인들 및 복수의 입출력 유닛들을 포함할 수 있다. 불 휘발성 메모리 장치들(1100) 각각은 복수의 플레인들 중 적어도 2개의 플레인을 하나의 논리 플레인에 맵핑할 수 있다. 불 휘발성 메모리 장치들(1100) 각각은 복수의 플레인들과 복수의 입출력 유닛들을 조합하여 호스트가 요청하는 논리 플레인을 형성할 수 있다.

[0059] 메모리 제어기(1200)는 복수의 채널들(CH1 ~ CHi, i는 2 이상의 정수)을 통하여 불 휘발성 메모리 장치들(1100)에 연결된다. 메모리 제어기(1200)는 적어도 하나의 프로세서(1210), 버퍼 메모리(1220), 에러 정정 회로(1230), 호스트 인터페이스(1250) 및 불 휘발성 메모리 인터페이스(1260)를 포함할 수 있다.

[0060] 버퍼 메모리(1220)는 메모리 제어기(1200)의 구동에 필요한 데이터를 임시로 저장할 것이다. 버퍼 메모리(1220)는 데이터 혹은 명령을 저장하는 복수의 메모리 라인들을 포함할 수 있다.

[0061] 에러 정정 회로(1230)는 쓰기 동작에서 프로그램될 데이터의 에러 정정 코드 값을 계산하고, 읽기 동작에서 읽혀진 데이터를 에러 정정 코드 값에 근거로 하여 에러 정정하고, 데이터 복구 동작에서 불 휘발성 메모리 장치(1100)로부터 복구된 데이터의 에러를 정정할 수 있다. 도시되지 않았지만, 메모리 제어기(1200)를 구동하는 데 필요한 코드 데이터를 저장하는 코드 메모리가 더 포함될 수 있다. 코드 메모리는 불 휘발성 메모리 장치로 구현될 수 있다.

[0062] 호스트 인터페이스(1240)는 호스트와 인터페이스 기능을 제공할 수 있다. 여기서 호스트 인터페이스(1240)는 낸드 인터페이스일 수 있다. 불 휘발성 메모리 인터페이스(1250)는 불 휘발성 메모리 장치(1100)와 인터페이스 기능을 제공할 수 있다.

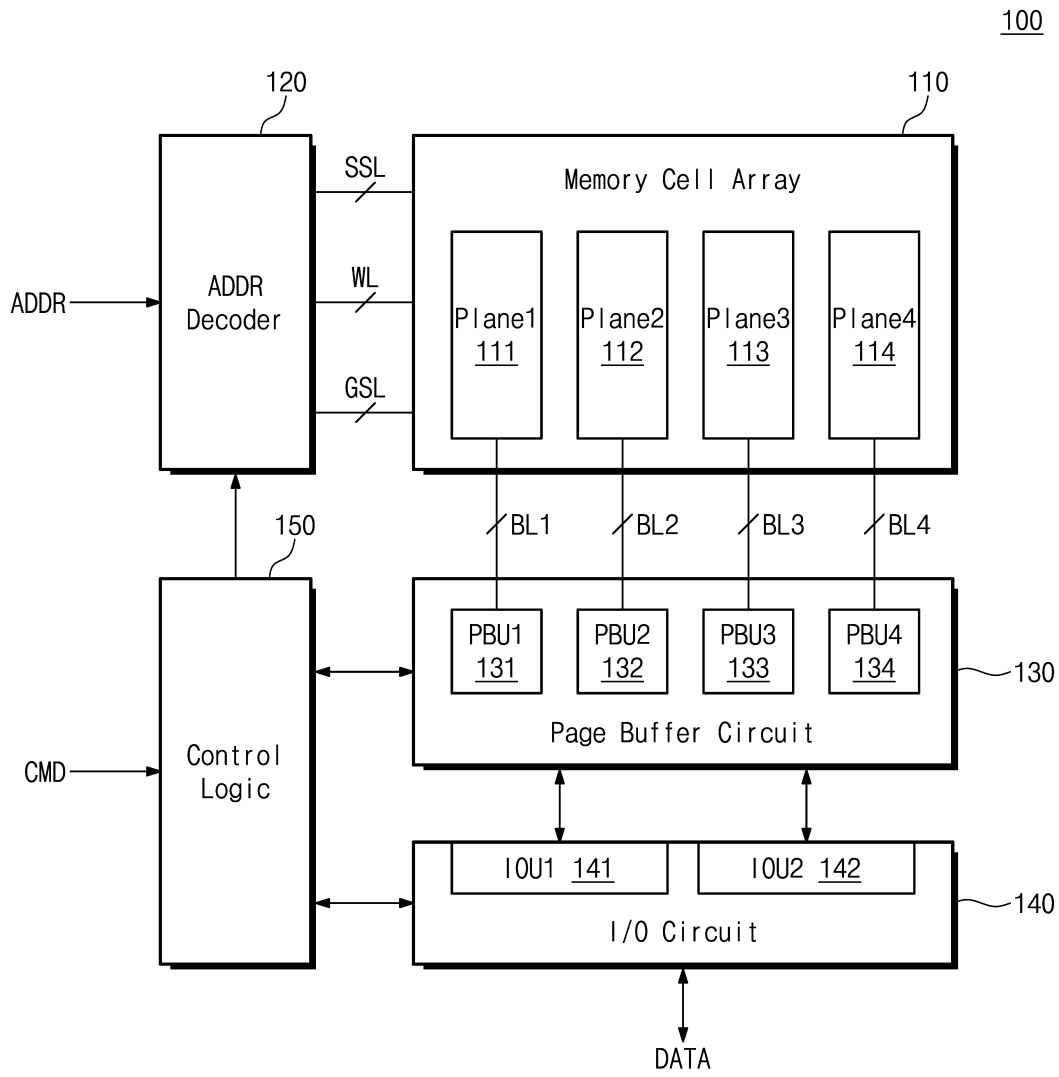
[0063] 위에서 설명한 내용은 본 발명을 실시하기 위한 구체적인 예들이다. 본 발명에는 위에서 설명한 실시 예들뿐만 아니라, 단순히 설계 변경하거나 용이하게 변경할 수 있는 실시 예들도 포함될 것이다. 또한, 본 발명에는 위에서 설명한 실시 예들을 이용하여 앞으로 용이하게 변형하여 실시할 수 있는 기술들도 포함될 것이다.

부호의 설명

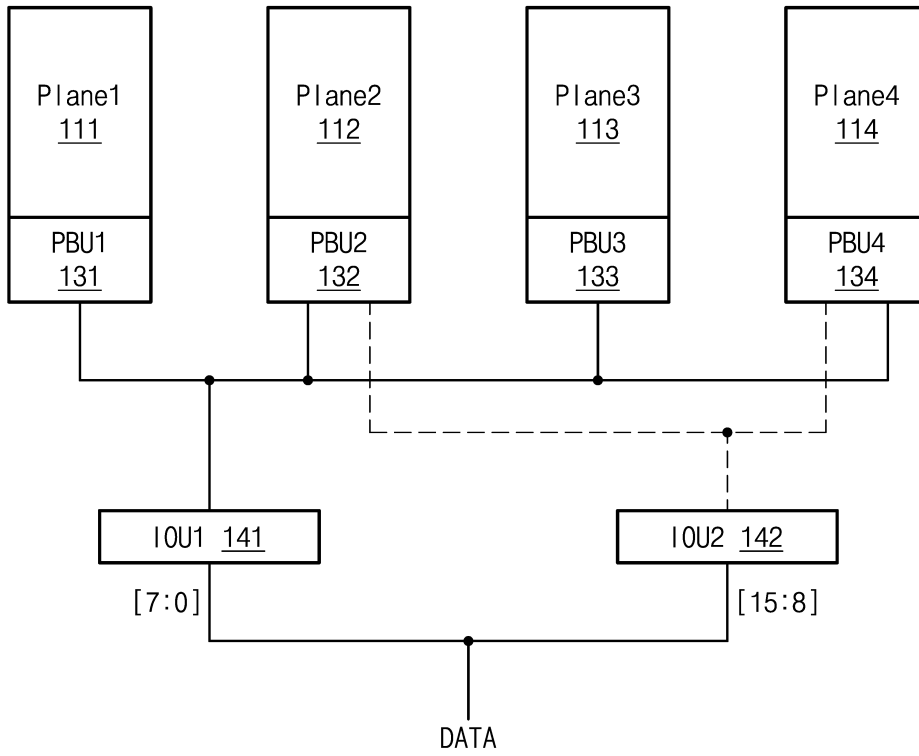
- [0064] 100, 200: 불휘발성 메모리 장치
 110, 210: 메모리 셀 어레이
 120, 220: 어드레스 디코더
 130, 230: 페이지 버퍼 회로
 140, 240: 입출력 회로
 150, 250: 제어 로직
 1000: 메모리 시스템
 1100: 불휘발성 메모리 장치들
 1200: 메모리 제어기
 1210: 프로세서
 1220: 버퍼 메모리
 1230: 에러정정회로
 1240: 호스트 인터페이스
 1250: NVM 인터페이스

도면

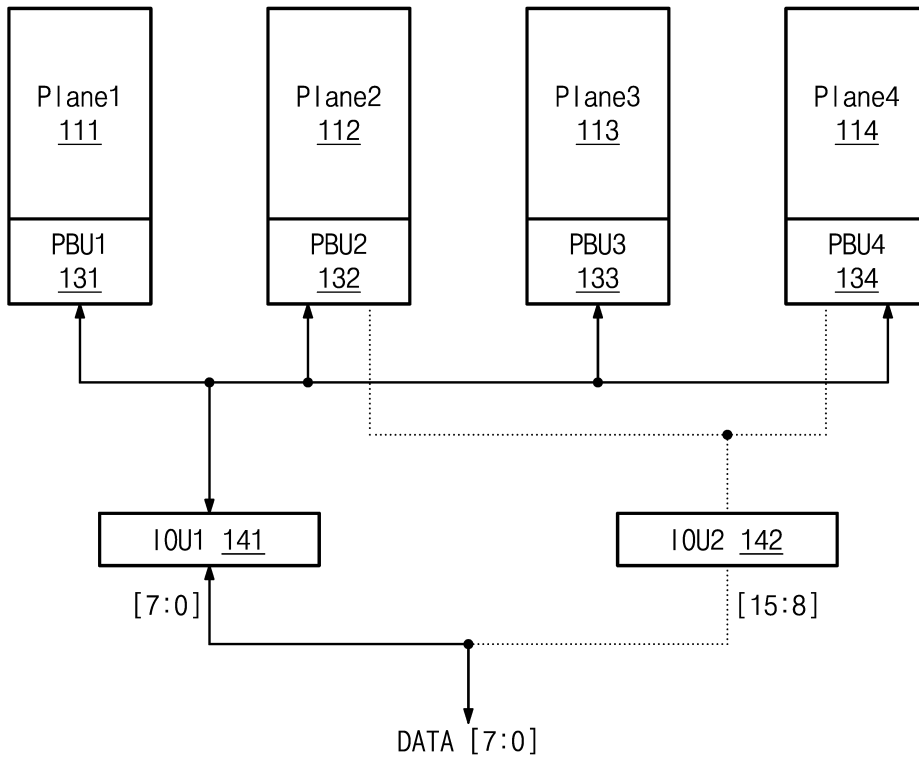
도면1



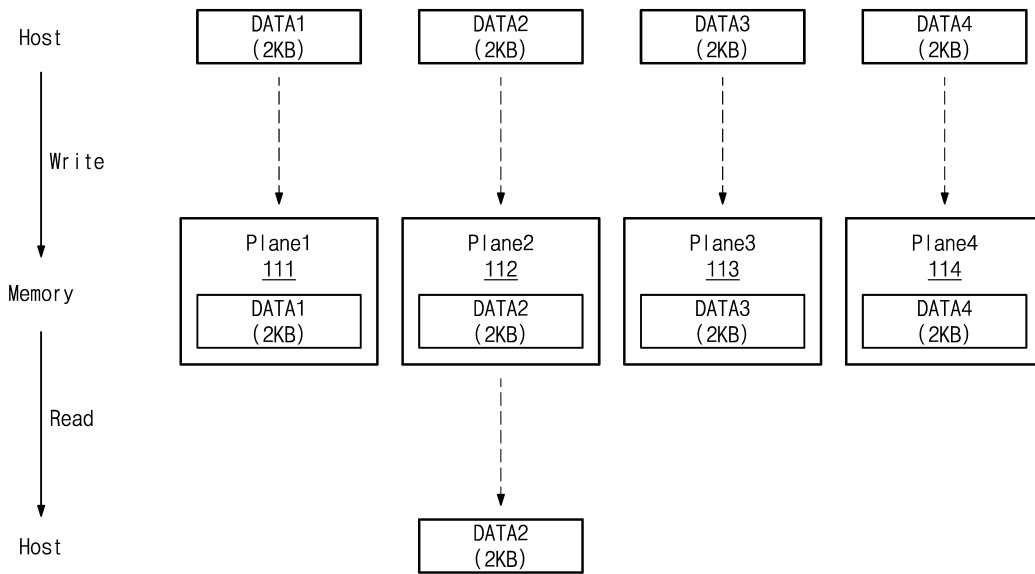
도면2



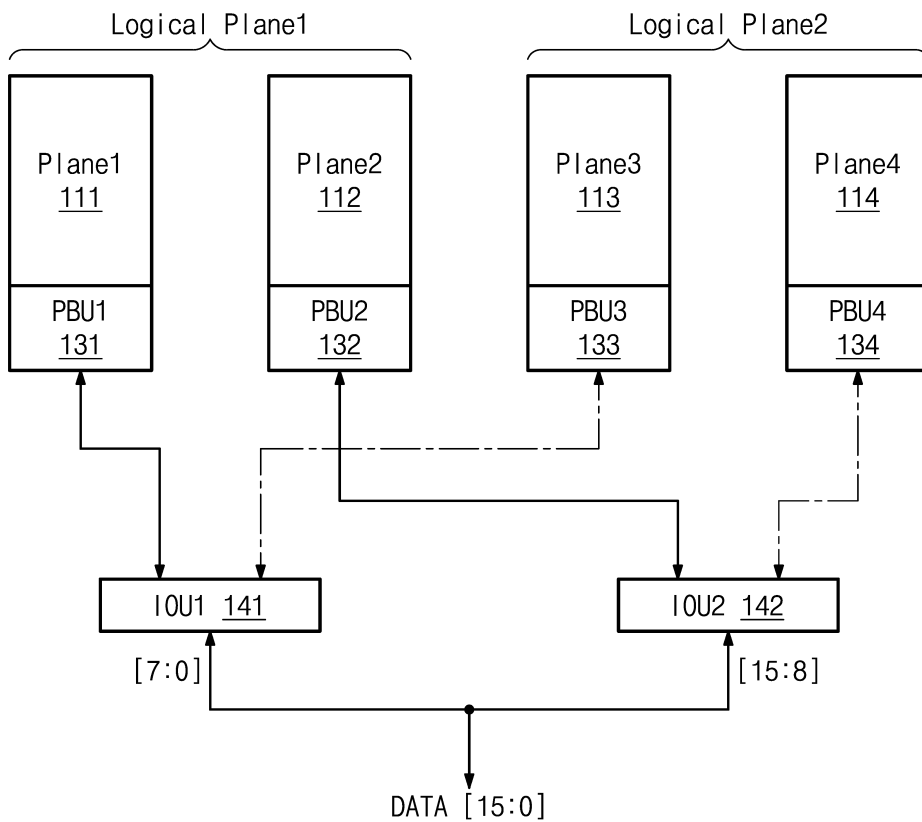
도면3



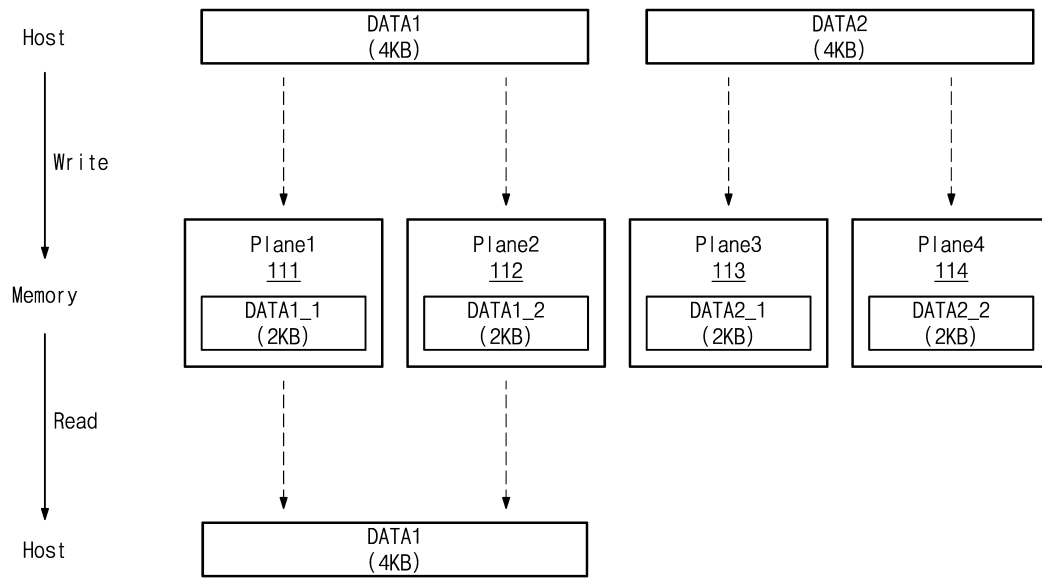
도면4



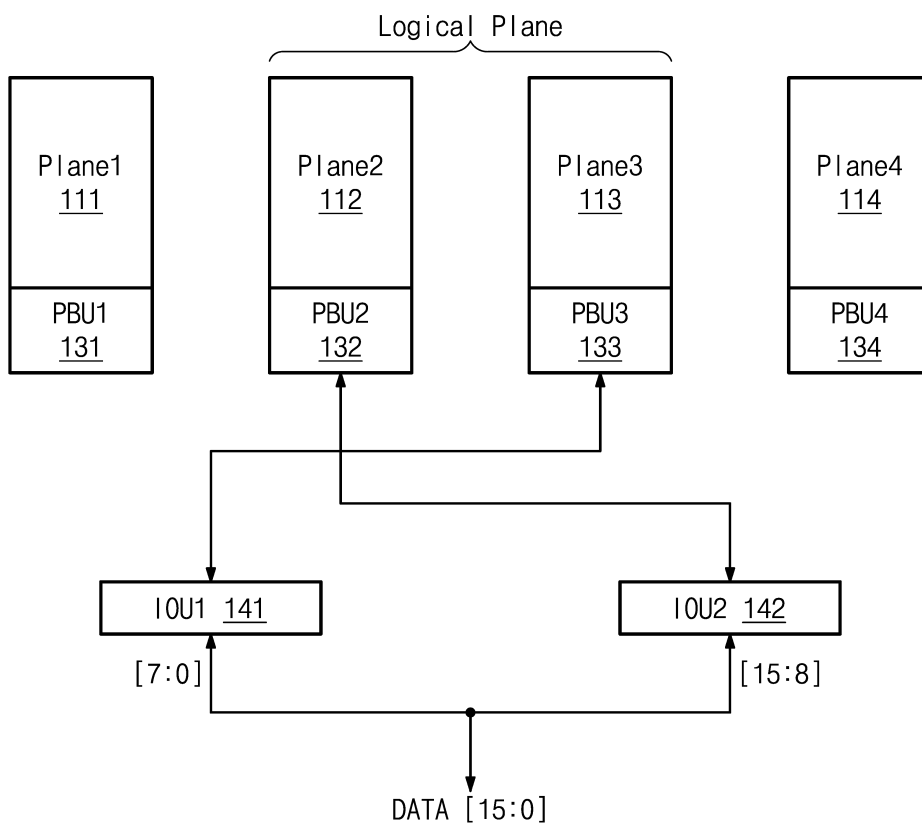
도면5



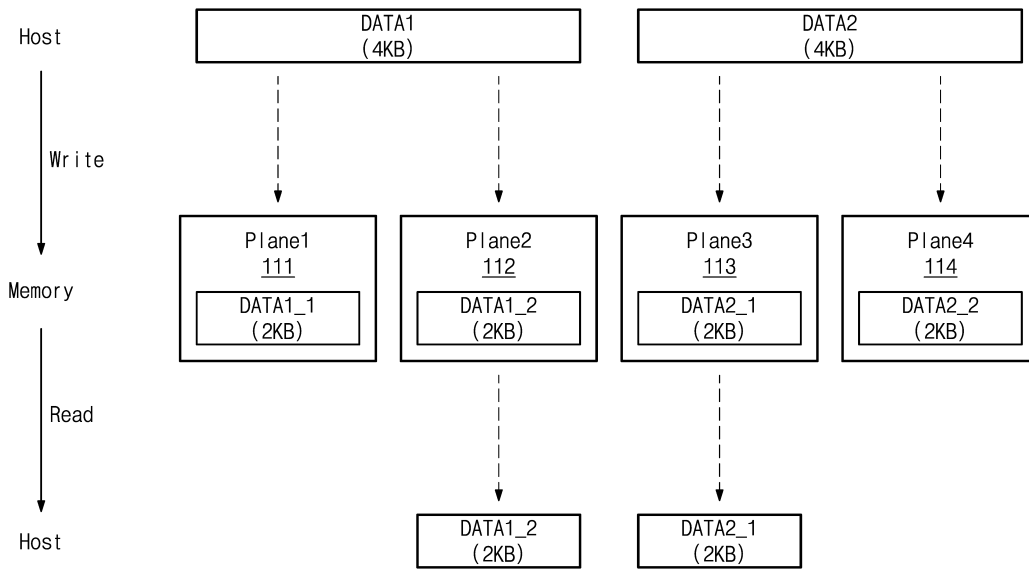
도면6



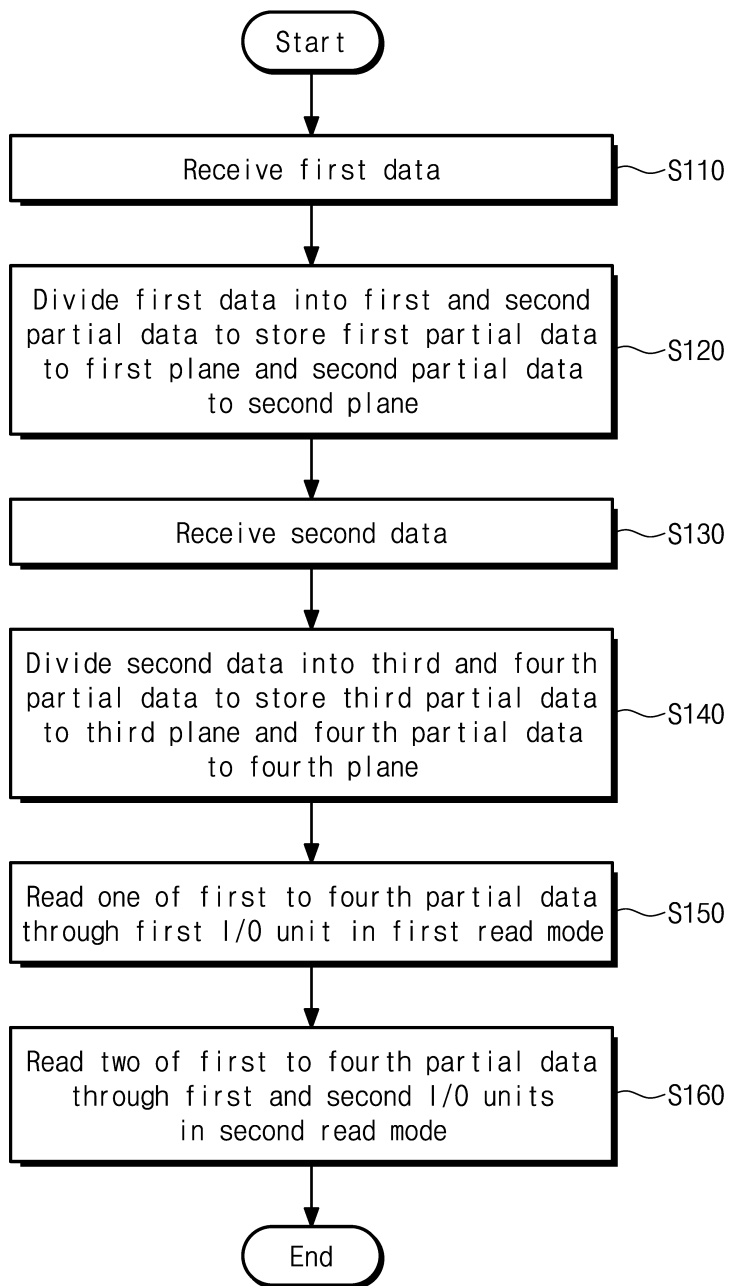
도면7



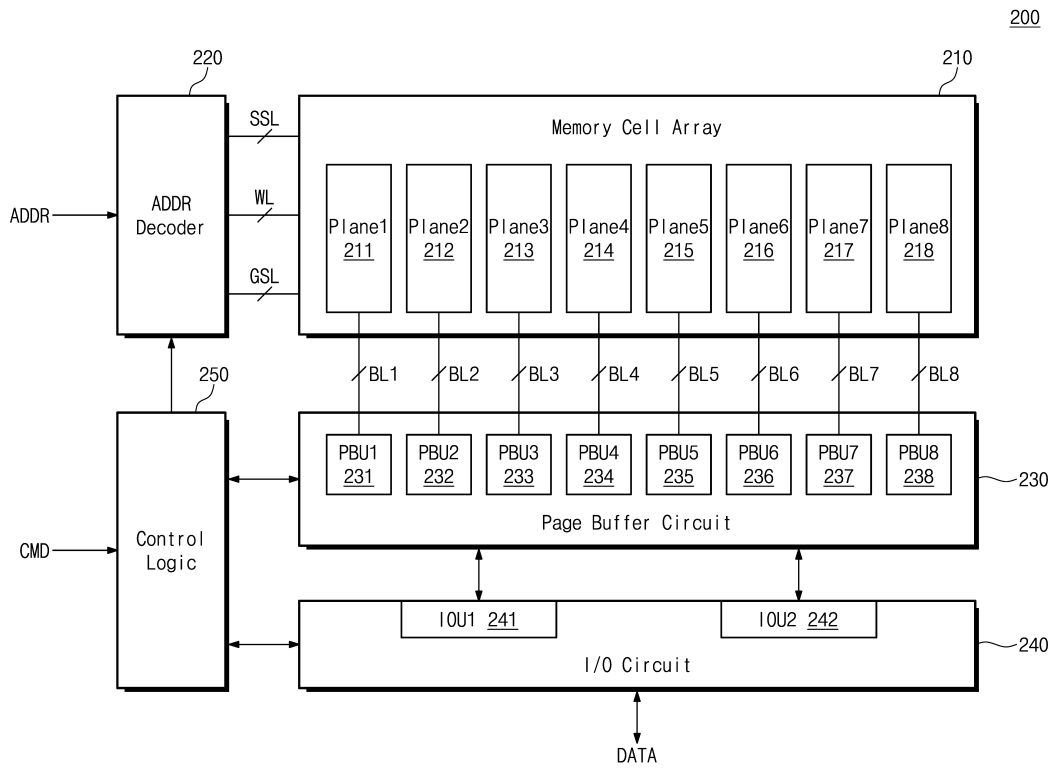
도면8



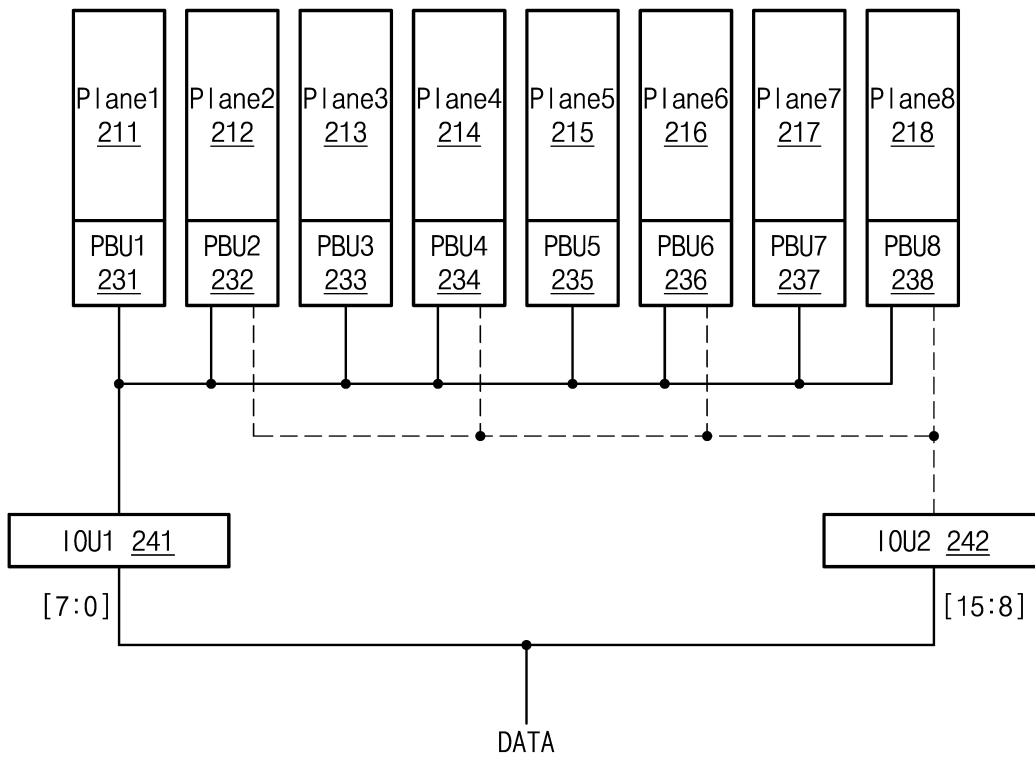
도면9



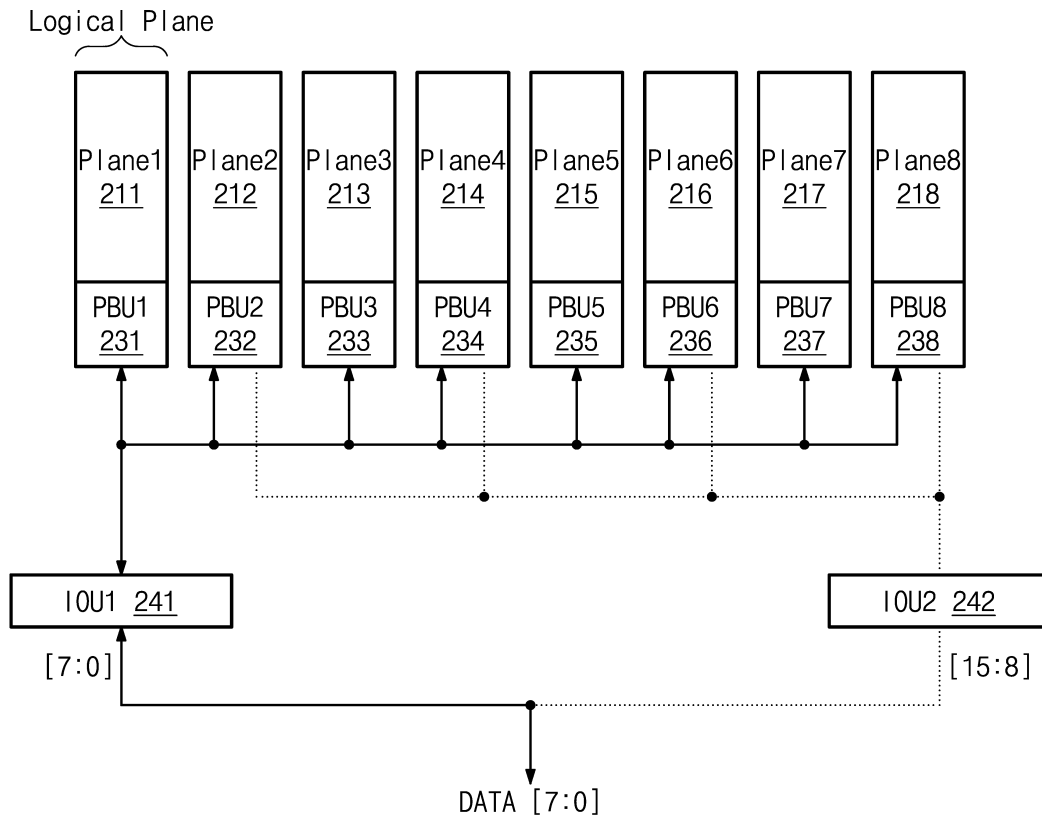
도면10



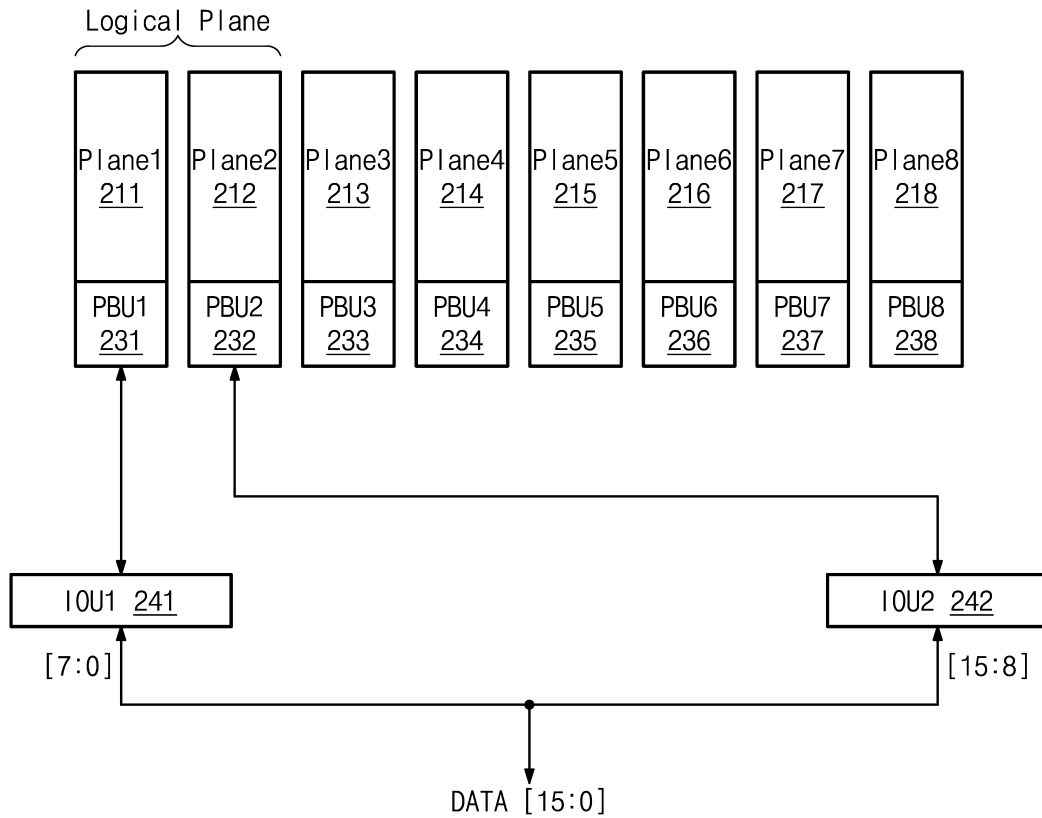
도면11



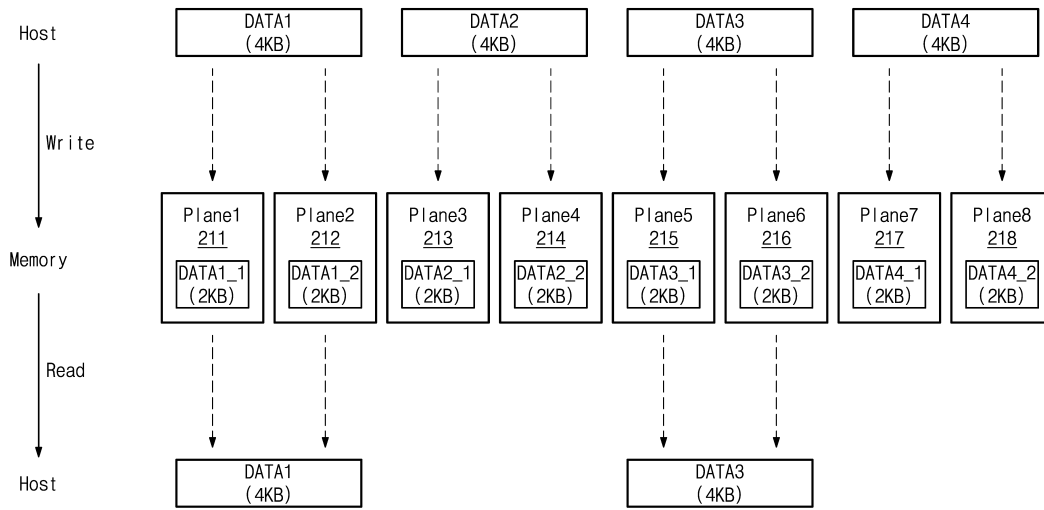
도면12



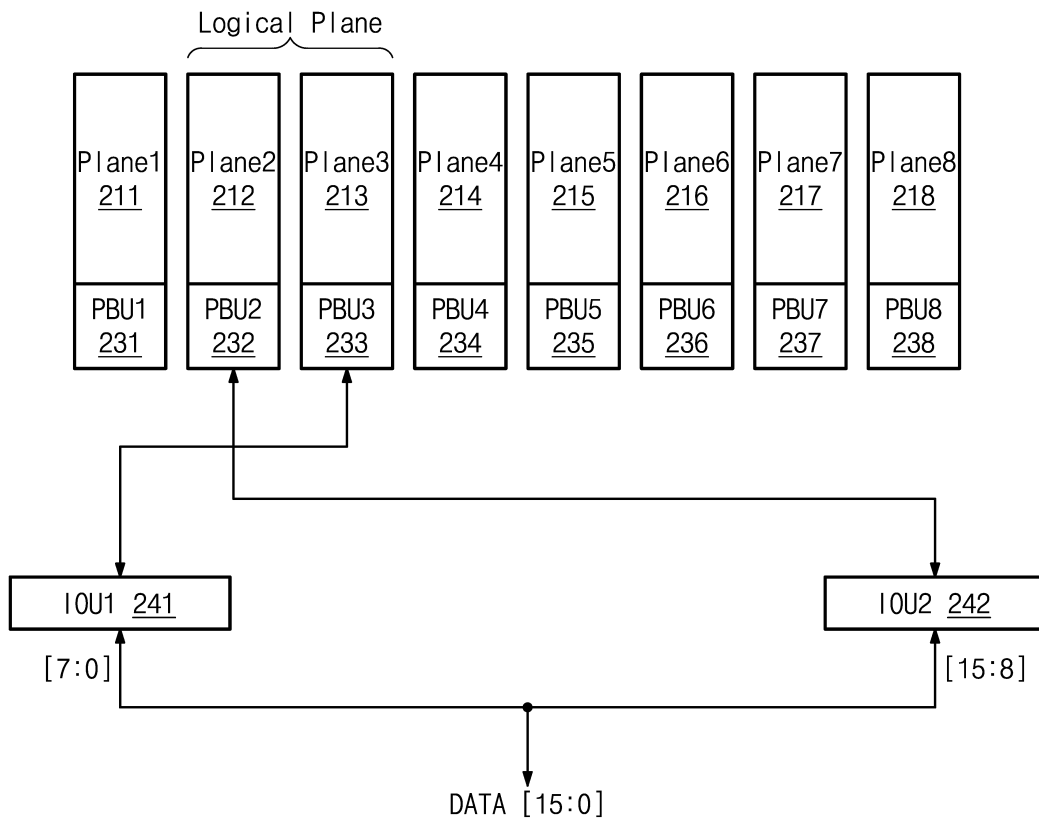
도면13



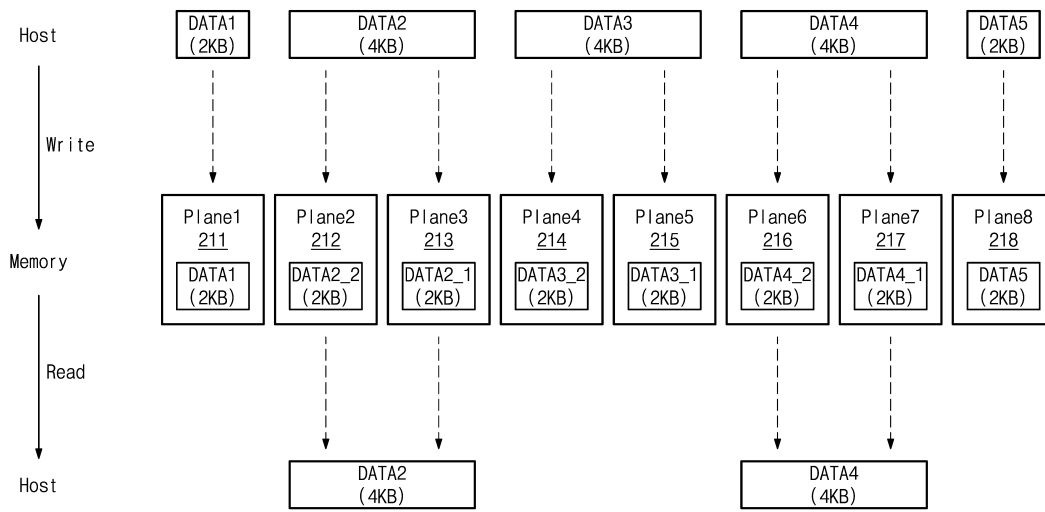
도면14



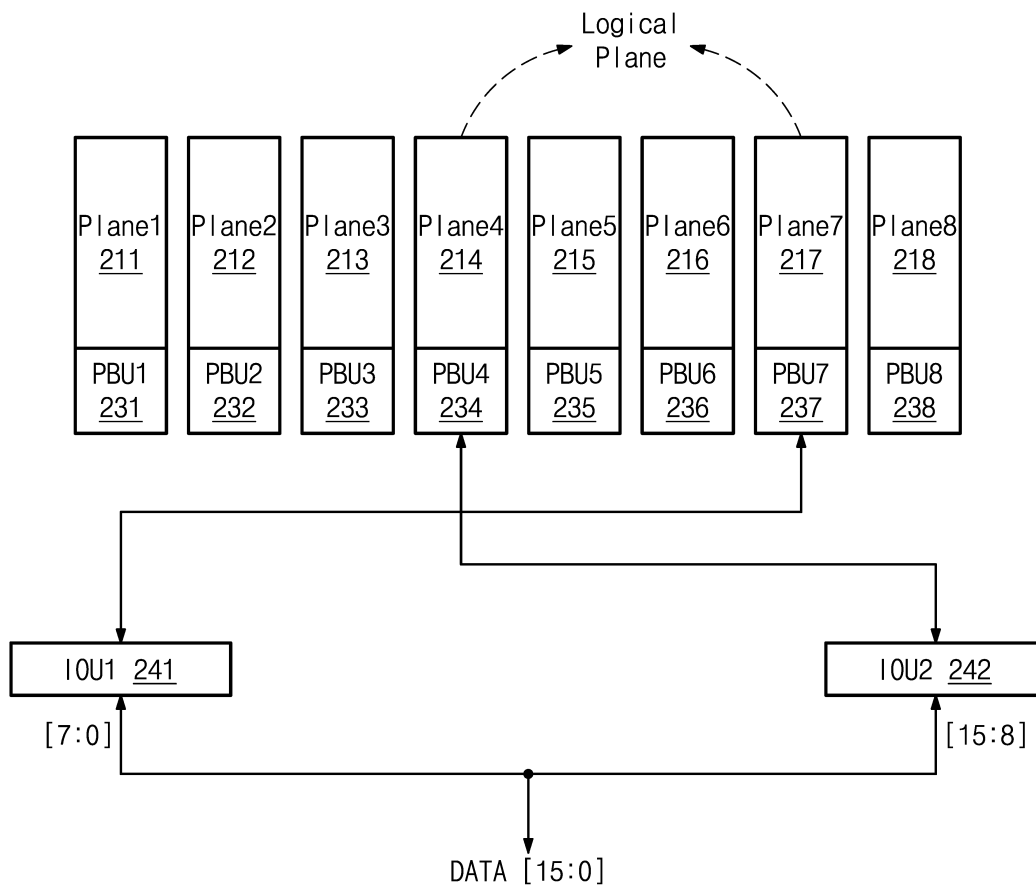
도면15



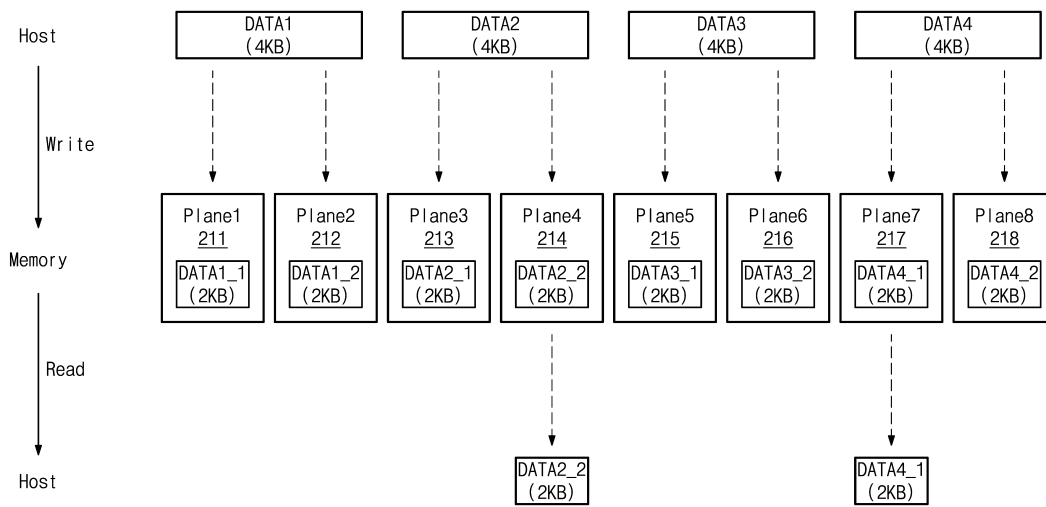
도면16



도면17



도면18



도면19

