

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7693100号
(P7693100)

(45)発行日 令和7年6月16日(2025.6.16)

(24)登録日 令和7年6月6日(2025.6.6)

(51)国際特許分類		F I	
H 1 0 D	30/67 (2025.01)	H 1 0 D	30/67 1 0 3 E
H 1 0 D	30/60 (2025.01)	H 1 0 D	30/60 X
H 1 0 D	30/01 (2025.01)	H 1 0 D	30/01 1 0 1 Z
H 0 1 L	21/3205(2006.01)	H 1 0 D	30/67 1 0 2 K
H 0 1 L	21/768(2006.01)	H 1 0 D	30/67 1 0 2 M
請求項の数 20 (全32頁) 最終頁に続く			
(21)出願番号	特願2024-512035(P2024-512035)	(73)特許権者	390040660
(86)(22)出願日	令和4年9月1日(2022.9.1)		アプライド マテリアルズ インコーポレ
(65)公表番号	特表2024-533064(P2024-533064 A)		イテッド
(43)公表日	令和6年9月12日(2024.9.12)		APPLIED MATERIALS,
(86)国際出願番号	PCT/US2022/042301		INCORPORATED
(87)国際公開番号	WO2023/034477		アメリカ合衆国 カリフォルニア 9 5 0
(87)国際公開日	令和5年3月9日(2023.3.9)		5 4, サンタ クララ, バウアーズ ア
審査請求日	令和6年4月17日(2024.4.17)		ヴェニュー 3 0 5 0
(31)優先権主張番号	63/240,178		3 0 5 0 Bowers Avenue
(32)優先日	令和3年9月2日(2021.9.2)		Santa Clara CA 9 5 0 5 4
(33)優先権主張国・地域又は機関	米国(US)	(74)代理人	U. S. A.
(31)優先権主張番号	63/240,183		110002077
(32)優先日	令和3年9月2日(2021.9.2)	(72)発明者	園田・小林弁理士法人
	最終頁に続く		パリーク, スケトゥ アルン
			アメリカ合衆国 カリフォルニア 9 5 0
			最終頁に続く

(54)【発明の名称】 複数のトランジスタソースへの自己整合型の幅広裏側電力レールコンタクト

(57)【特許請求の範囲】

【請求項1】

半導体デバイスを形成する方法であって、前記方法は、
基板の上面に超格子構造を形成することであって、前記超格子構造が、複数の積層されたペアになるように交互に並べられた、複数の水平チャネル層及び対応する複数の半導体材料層を含む、超格子構造を形成することと、
前記基板上的前記超格子構造に隣接して複数のソーストレンチ及び複数のドレイントレンチを形成することと、
ソースキャビティ及びドレインキャビティを形成するために、前記複数のソーストレンチの少なくとも1つ、及び前記複数のドレイントレンチの少なくとも1つを拡張することと、
前記ソースキャビティ内及び前記ドレインキャビティ内に犠牲材料を堆積させることと、ソース領域及びドレイン領域を形成することと、
前記ソース領域及び前記ドレイン領域と電氣的にコンタクトする、トランジスタへのコンタクト（CT）及びゲートへのコンタクト（CG）を形成することと、
前記基板の下面上に層間誘電体材料を堆積させることと、
前記層間誘電体材料内に裏側電力レールビアを形成することと、
前記裏側電力レールビアを拡張して、前記基板を貫通するダマシントレンチを形成することと、
前記ダマシントレンチまで延びる少なくとも1つの開口部を形成するために、前記犠牲

材料を少なくとも部分的に除去すること、

前記少なくとも1つの開口部内及び前記ダマシントレンチ内に金属を堆積させることとを含む、方法。

【請求項2】

前記複数のソーストレンチの少なくとも1つ、及び前記複数のドレイントレンチの少なくとも1つを拡張することが、前記複数のソーストレンチの少なくとも1つの上及び前記複数のドレイントレンチの少なくとも1つの上にハードマスクを堆積させ、且つ前記複数のソーストレンチの他のソーストレンチの上及び前記複数のドレイントレンチの他のドレイントレンチの上にはハードマスクを堆積させないことと、ソースキャビティ及びドレインキャビティを形成するために、マスクされていない前記ソーストレンチ及びマスクされていない前記ドレイントレンチをエッチングすることとを含む、請求項1に記載の方法。

10

【請求項3】

前記犠牲材料が完全に除去される、請求項1に記載の方法。

【請求項4】

前記犠牲材料がシリコンゲルマニウム（SiGe）を含む、請求項1に記載の方法。

【請求項5】

前記シリコンゲルマニウム（SiGe）が、30%から50%の範囲内のゲルマニウム（Ge）含有量を有する、請求項4に記載の方法。

【請求項6】

前記シリコンゲルマニウム（SiGe）には、ホウ素（B）、ガリウム（Ga）、リン（P）、ヒ素（As）、及びこれらの組み合わせからなる群から選択されるドーパントがドーピングされる、請求項4に記載の方法。

20

【請求項7】

前記ダマシントレンチを形成することが、前記基板の下面上に堆積された前記層間誘電体材料内の前記裏側電力レールビアをエッチングすることを更に含む、請求項1に記載の方法。

【請求項8】

前記複数の半導体材料層及び前記複数の水平チャネル層が、シリコンゲルマニウム（SiGe）及びケイ素（Si）のうちの1つ以上を独立して含む、請求項1に記載の方法。

30

【請求項9】

前記ソース領域及び前記ドレイン領域を形成することが、その上にエピタキシャル層を成長させることを含む、請求項1に記載の方法。

【請求項10】

前記ソース領域及び前記ドレイン領域には、リン（P）、ヒ素（As）、ホウ素（B）、及びガリウム（Ga）のうちの1つ以上が独立してドーピングされる、請求項1に記載の方法。

【請求項11】

前記超格子構造の上面にゲート構造を形成することを更に含む、請求項1に記載の方法。

【請求項12】

前記ゲート構造上及び前記超格子構造上に誘電体層を形成することを更に含む、請求項11に記載の方法。

40

【請求項13】

前記ゲート構造が、タングステン（W）、コバルト（Co）、モリブデン（Mo）、ルテニウム（Ru）、窒化チタン（TiN）、窒化タンタル（Ta₂N₅）、チタンアルミニウム（TiAl）、及びN型ドーピングされたポリシリコンのうちの1つ以上を含む、請求項12に記載の方法。

【請求項14】

前記金属が、チタン（Ti）、窒化チタン（TiN）、タンタル（Ta）、窒化タンタル（Ta₂N₅）、タングステン（W）、モリブデン（Mo）、コバルト（Co）、銅（Cu）

50

)、及びルテニウム (Ru) のうちの1つ以上を含む、請求項1に記載の方法。

【請求項15】

半導体デバイスを形成する方法であって、前記方法は、

基板の上面に超格子構造を形成することであって、前記超格子構造が、複数の積層されたペアになるように交互に並べられた、複数の水平チャネル層及び対応する複数の半導体材料層を含む、超格子構造を形成することと、

前記超格子構造の上面にゲート構造を形成することと、

前記基板上の前記超格子構造に隣接して複数のソーストレンチ及び複数のドレイントレンチを形成することと、

ソースキャビティ及びドレインキャビティを形成するために、前記複数のソーストレンチの少なくとも1つ、及び前記複数のドレイントレンチの少なくとも1つを拡張することと、

前記ソースキャビティ内及び前記ドレインキャビティ内に犠牲材料を堆積させることと、

前記複数の水平チャネル層の各々の上に内側スペーサ層を形成することと、

ソース領域及びドレイン領域を形成することと、

前記ソース領域、前記ドレイン領域及び前記ゲート構造を含む、前記基板の上面上に層間誘電体層を形成することと、

置換金属ゲートを形成することと、

前記ソース領域及び前記ドレイン領域と電氣的にコンタクトする、トランジスタへのコンタクト (CT) 及びゲートへのコンタクト (CG) を形成することと、

前記基板の前記上面が下向きに反転するように、形成物を180度回転させることと、反転された前記基板の下面を平坦化することと、

前記基板の下面上に層間誘電体材料を堆積させることと、

前記層間誘電体材料内に裏側電力レールピアを形成することと、

前記裏側電力レールピアを前記基板の前記上面に向かう方向である下方向に拡張して、ダマシントレンチを形成することと、

少なくとも1つの開口部を形成するために、前記犠牲材料を除去することと、

前記少なくとも1つの開口部内及び前記ダマシントレンチ内に金属を堆積させることとを含む、方法。

【請求項16】

前記複数のソーストレンチの少なくとも1つ、及び前記複数のドレイントレンチの少なくとも1つを拡張することが、前記複数のソーストレンチの少なくとも1つの上及び前記複数のドレイントレンチの少なくとも1つの上にハードマスクを堆積させ、且つ前記複数のソーストレンチの他のソーストレンチの上及び前記複数のドレイントレンチの他のドレイントレンチの上にはハードマスクを堆積させないことと、ソースキャビティ及びドレインキャビティを形成するために、マスクされていない前記ソーストレンチ及びマスクされていない前記ドレイントレンチをエッチングすることとを含む、請求項15に記載の方法。

【請求項17】

前記犠牲材料がシリコンゲルマニウム (SiGe) を含む、請求項15に記載の方法。

【請求項18】

前記シリコンゲルマニウム (SiGe) が、30%から50%の範囲内のゲルマニウム (Ge) 含有量を有する、請求項17に記載の方法。

【請求項19】

前記シリコンゲルマニウム (SiGe) には、ホウ素 (B)、ガリウム (Ga)、リン (P)、ヒ素 (As)、及びこれらの組み合わせからなる群から選択されるドーパントがドーピングされる、請求項17に記載の方法。

【請求項20】

前記ソース領域及び前記ドレイン領域を形成することが、その上にエピタキシャル層を成長させることを含む、請求項15に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

【0001】本開示の実施形態は、概して半導体デバイスに関する。より詳細には、本開示の実施形態は、電力レールアーキテクチャ（power rail architecture）、3Dパッケージング、及び半導体デバイスを製造する方法を対象とする。

【背景技術】

【0002】

【0002】半導体処理産業は、より大きな表面積を有する基板上に堆積される層の均一性を高めつつ、より大きな生産歩留りを目指して努力を続けている。これらと同じ要素が新しい材料と組み合わせられることで、基板の単位面積当たりの回路の集積化も向上する。回路の集積化が向上するにつれ、層厚さに関するより高い均一性と処理制御の必要性が高まる。その結果、層の特性の制御を維持しつつ、コスト効率の高い方法で基板上に層を堆積させるための様々な技術が開発されてきた。

【0003】

【0003】半導体デバイスは、通常、半導体基板上に材料の絶縁層又は誘電体層、導電層、及び半導体層を順次堆積させ、リソグラフィを使用して様々な材料層をパターンニングし、その上に回路部品及び素子を形成することによって製造される。導電層は、トランジスタ、アンプ、インバータ、制御ロジック、メモリ、電力管理回路、バッファ、フィルタ、共振器、キャパシタ、インダクタ、抵抗器などを含む様々な電気部品への電気配線を容易にする。

【0004】

【0004】トランジスタは、ほとんどの集積回路の重要な構成要素である。トランジスタの駆動電流、ひいては速度はトランジスタのゲート幅に比例するため、より高速なトランジスタには、概して、より大きなゲート幅が必要となる。そのため、トランジスタのサイズと速度との間にはトレードオフがあり、「フィン（fin）」電界効果トランジスタ（finFET）は、最大駆動電流と最小サイズという相反する目標に対処するために開発されてきた。finFETは、トランジスタの設置面積を大幅に増加させることなく、トランジスタのサイズを大幅に増加させるフィン形状のチャネル領域を特徴とし、現在多くの集積回路に適用されている。しかし、finFETには欠点もある。

【0005】

【0005】回路密度の向上と高性能化を達成するためにトランジスタデバイスの特徴サイズが縮小し続けているため、静電結合を改善し、寄生容量及びオフ状態リークなどの悪影響を低減するためにトランジスタデバイスの構造を改善する必要がある。トランジスタデバイス構造の例には、平面の構造、フィン電界効果トランジスタ（finFET）構造、水平ゲートオールアラウンド（hGAA）構造などが含まれる。hGAAデバイス構造には、積み重ねられた構成で吊り下げられ、ソース／ドレイン領域により接続された複数の格子整合チャネルが含まれる。hGAA構造は良好な静電制御を提供し、相補型金属酸化膜半導体（CMOS）ウエハ製造に広く採用されうる。

【0006】

【0006】半導体を電力レールに接続するのは、通常、セルの前面で行われるが、これには大きなセル面積が必要である。したがって、より少ないセル面積を使用して電力レールに接続される半導体デバイスが必要とされる。

【発明の概要】

【0007】

【0007】本開示の1つ以上の実施形態は、半導体デバイスを形成する方法を対象とする。1つ以上の実施形態では、半導体デバイスを形成する方法は、基板の上面に超格子構造を形成することであって、超格子構造が、複数の積層されたペアとなるように交互に並べられた、複数の水平チャネル層及び対応する複数の半導体材料層を含む、超格子構造を形成することと、基板上の超格子構造に隣接して複数のソーストレンチ及び複数のドレ

イントレンチを形成することと、ソースキャビティ及びドレインキャビティを形成するために、複数のソーストレンチの少なくとも1つ、及び複数のドレイントレンチの少なくとも1つを拡張することと、ソースキャビティ内及びドレインキャビティ内に犠牲材料を堆積させることと、ソース領域及びドレイン領域を形成することと、ソース領域及びドレイン領域との電気的コンタクトにおいて、CT及びCGを形成することと、基板を貫通するダマシントレンチを形成することと、ダマシントレンチまで延びる少なくとも1つの開口部を形成するために、犠牲材料を少なくとも部分的に除去することと、少なくとも1つの開口部内及びダマシントレンチ内に金属を堆積させることとを含む。

【0008】

【0008】本開示の追加的な実施形態は、半導体デバイスを形成する方法を対象とする。1つ以上の実施形態では、半導体デバイスを形成する方法は、基板の上面に超格子構造を形成することであって、超格子構造が、複数の積層されたペアとなるように交互に並べられた、複数の水平チャネル層及び対応する複数の半導体材料層を含む、超格子構造を形成することと、超格子構造の上面にゲート構造を形成することと、基板上の超格子構造に隣接して複数のソーストレンチ及び複数のドレイントレンチを形成することと、ソースキャビティ及びドレインキャビティを形成するために、複数のソーストレンチの少なくとも1つ、及び複数のドレイントレンチの少なくとも1つを拡張することと、ソースキャビティ内及びドレインキャビティ内に犠牲材料を堆積させることと、複数の水平チャネル層の各々の上に内側スペーサ層を形成することと、ソース領域及びドレイン領域を形成することと、基板上に層間誘電体層を形成することと、置換金属ゲートを形成することと、ソース領域及びドレイン領域との電気的コンタクトにおいて、CT及びCGを形成することと、第1の金属ラインを形成することと、半導体デバイスを180度回転させることと、基板を平坦化することと、基板上に層間誘電体材料を堆積させることと、基板内に裏側電力レールピアを形成することと、ダマシントレンチを形成するために、裏側電力レールピアを拡張することと、少なくとも1つの開口部を形成するために、犠牲材料を除去することと、少なくとも1つの開口部内及びダマシントレンチ内に金属を堆積させることとを含む。

【0009】

【0009】上記の本開示の特徴を詳細に理解しうるように、上記で簡単に要約された本開示のより具体的な説明が、実施形態を参照することによって得られ、一部の実施形態が添付図面に示されている。しかし、本開示は他の等しく有効な実施形態も許容しうることから、添付図面が本開示の典型的な実施形態を例示しているにすぎず、よって本開示の範囲を限定すると見なされるべきではないことに留意されたい。

【図面の簡単な説明】

【0010】

【図1A】 【0010】 1つ以上の実施形態による方法のプロセスフロー図である。

【図1B】 【0011】 1つ以上の実施形態による方法を示す、図1Aのプロセスフロー図の続きである。

【図2A】 【0012】 1つ以上の実施形態によるデバイスの断面図を示す。

【図2B】 【0013】 1つ以上の実施形態によるデバイスの断面図を示す。

【図2C】 【0014】 1つ以上の実施形態によるデバイスの断面図を示す。

【図2D】 【0015】 1つ以上の実施形態によるデバイスの断面図を示す。

【図2E】 【0016】 1つ以上の実施形態によるデバイスの断面図を示す。

【図2F】 【0017】 1つ以上の実施形態によるデバイスの断面図を示す。

【図2G】 【0018】 1つ以上の実施形態によるデバイスの断面図を示す。

【図2H】 【0019】 1つ以上の実施形態によるデバイスの断面図を示す。

【図2I】 【0020】 1つ以上の実施形態によるデバイスの断面図を示す。

【図2J】 【0021】 1つ以上の実施形態によるデバイスの断面図を示す。

【図2K】 【0022】 1つ以上の実施形態によるデバイスの断面図を示す。

【図2L】 【0023】 1つ以上の実施形態によるデバイスの断面図を示す。

【図 2 M】 [0024] 1つ以上の実施形態によるデバイスの断面図を示す。
【図 2 N】 [0025] 1つ以上の実施形態によるデバイスの断面図を示す。
【図 2 O】 [0026] 1つ以上の実施形態によるデバイスの断面図を示す。
【図 2 P】 [0027] 1つ以上の実施形態によるデバイスの断面図を示す。
【図 2 Q】 [0028] 1つ以上の実施形態によるデバイスの断面図を示す。
【図 2 R】 [0029] 1つ以上の実施形態によるデバイスの断面図を示す。
【図 2 S】 [0030] 1つ以上の実施形態によるデバイスの断面図を示す。
【図 2 T】 [0031] 1つ以上の実施形態によるデバイスの断面図を示す。
【図 2 U】 [0032] 1つ以上の実施形態によるデバイスの断面図を示す。
【図 3】 [0033] 1つ以上の実施形態による方法のプロセスフロー図を示す。
【図 4 A】 [0034] 1つ以上の実施形態によるデバイスの断面図を示す。
【図 4 B】 [0035] 1つ以上の実施形態によるデバイスの断面図を示す。
【図 4 C】 [0036] 1つ以上の実施形態によるデバイスの断面図を示す。
【図 4 D】 [0037] 1つ以上の実施形態によるデバイスの断面図を示す。
【図 4 E】 [0038] 1つ以上の実施形態によるデバイスの断面図を示す。
【図 5 A】 [0039] 1つ以上の実施形態によるデバイスの断面図を示す。
【図 5 B】 [0040] 1つ以上の実施形態によるデバイスの断面図を示す。
【図 5 C】 [0041] 1つ以上の実施形態によるデバイスの断面図を示す。
【図 5 D】 [0042] 1つ以上の実施形態によるデバイスの断面図を示す。
【図 6】 [0043] 1つ以上の実施形態による方法のプロセスフロー図を示す。
【図 7 A】 [0044] 1つ以上の実施形態によるデバイスの断面図を示す。
【図 7 B】 [0045] 1つ以上の実施形態によるデバイスの断面図を示す。
【図 7 C】 [0046] 1つ以上の実施形態によるデバイスの断面図を示す。
【図 7 D】 [0047] 1つ以上の実施形態によるデバイスの断面図を示す。
【図 8】 [0048] 1つ以上の実施形態によるクラスタツールを示す。
【発明を実施するための形態】

【0011】

【0049】 理解を容易にするため、可能な場合、図に共通する同一の要素を指し示すために同一の参照番号が使用された。図は縮尺どおりには描かれておらず、分かりやすくするために簡略化されることがある。1つの実施形態の要素及び特徴は、更なる記述がなくても、他の実施形態に有益に組み込まれることがある。

【0012】

【0050】 本開示のいくつかの例示的な実施形態を説明する前に、本開示は、以下の説明に記載される構成又はプロセスステップの詳細に限定されないことを理解されたい。本開示は、他の実施形態も可能であり、様々な方法で実施又は実行可能である。

【0013】

【0051】 本明細書及び添付の特許請求の範囲において使用される「基板」という用語は、処理が作用する表面又は表面の一部を表している。また、基板への言及は、文脈が特に明確に示さない限り、基板の一部のみを指すこともありうる。当業者には理解されよう。更に、基板への堆積に対する言及は、ベア基板と、1つ以上の膜又はフィーチャが表面上に堆積又は形成された基板との、両方を意味しうる。

【0014】

【0052】 本明細書で使用される「基板」は、製造プロセス中に膜処理が実行される基板上に形成された任意の基板又は材料表面を指す。例えば、処理が実施されうる基板表面には、用途に応じて、ケイ素、酸化ケイ素、ストレインドシリコン、シリコンオンインシュレータ (silicon on insulator: SOI)、炭素がドーブされた酸化ケイ素、窒化ケイ素、ドーブされたケイ素、ゲルマニウム、ヒ化ガリウム、ガラス、サファイアなどの材料、並びに、金属、金属窒化物、金属合金、及びその他の導電性材料といった、他の任意の材料が含まれる。基板は半導体ウエハを含むが、これに限定されるわけではない。基板は、基板表面を研磨し、エッチングし、還元し、酸化させ、ヒドロキ

10

20

30

40

50

シル化し（又は、化学官能性を付与するためにターゲットの化学部分（chemical moieties）を別様に生成若しくはグラフトし）、アニーリングし、かつ／又はベークするための、前処理プロセスに曝露されうる。基板自体の表面で直接膜処理することに加えて、本開示では、開示された任意の膜処理ステップは、以下でより詳細に開示されるように、基板に形成された下層においても実施することができる。そして、「基板表面」という用語は、文脈が示すように、このような下層を含むことが意図されている。ゆえに、例えば、膜／層又は部分的な膜／層が基板表面上に堆積されている場合、新たに堆積された膜／層の露出面が基板表面となる。所与の基板表面が何を含むかは、どのような膜が堆積されるか、及び使用される特定の化学的性質に左右される。

【0015】

【0053】本明細書及び添付の特許請求の範囲で使用される「前駆体」、「反応物質」、「反応性ガス」などの用語は、交換可能に使用され、基板表面と反応しうる任意のガス種を指す。

【0016】

【0054】トランジスタは、半導体デバイス上に形成されることが多い回路部品又は素子である。回路設計によっては、キャパシタ、インダクタ、抵抗器、ダイオード、導電線又はその他の要素に加えて、半導体デバイス上にトランジスタが形成される。概して、トランジスタはソース領域とドレイン領域との間に形成されたゲートを含む。1つ以上の実施形態では、ソース領域及びドレイン領域は、基板のドーパされた領域を含み、特定の用途に適したドーピングプロファイルを示す。ゲートはチャンネル領域上に位置し、基板内のゲート電極とチャンネル領域との間に介在するゲート誘電体を含む。

【0017】

【0055】本明細書で使用する場合、「電界効果トランジスタ」又は「FET」という用語は、デバイスの電氣的挙動を制御するために電界を使用するトランジスタを指す。エンハンスメントモード電界効果トランジスタは、概して、低温で非常に高い入力インピーダンスを示す。ドレイン端子とソース端子との間の導電性は、デバイス内の電界によって制御され、この電界は、デバイスの本体とゲートとの間の電圧差によって発生する。FETの3つの端子は、キャリアがチャンネルに入るソース（S）、キャリアがチャンネルから出るドレイン（D）、チャンネルの導電性を調節するゲート（G）である。従来、ソース（S）からチャンネルに入る電流はIS、ドレイン（D）からチャンネルに入る電流はIDと表示される。ドレインソース間の電圧は、VDSと表示される。ゲート（G）に電圧を印加することで、ドレイン（すなわちID）でチャンネルに入る電流が制御できる。

【0018】

【0056】金属酸化物半導体電界効果トランジスタ（MOSFET）は、電界効果トランジスタ（FET）の一種である。これは絶縁ゲートを有するものであり、絶縁ゲートの電圧が、デバイスの導電率を決定する。印加される電圧量に応じて導電率を変化させるこの能力は、電子信号を増幅させるか又は切り替えるために使用される。MOSFETは、本体電極と、本体の上方に位置し、ゲート誘電体層によって他のすべてのデバイス領域から絶縁されたゲート電極と、の間の金属酸化膜半導体（MOS）容量による電荷濃度の変調に基づいている。MOSキャパシタと比較して、MOSFETは、2つの追加端子（ソースとドレイン）を含み、各々が本体領域によって分離された個々の高い濃度でドーパされた領域に接続されている。これらの領域は、p型でもn型でもよいが、どちらも同じ型であり、本体領域とは反対の型である。ソースとドレインは（本体とは異なり）、高い濃度でドーパされており、ドーピングの型の後に「+」記号が付けられている。

【0019】

【0057】MOSFETがnチャンネル又はnMOSFETである場合、ソースとドレインはn+領域であり、本体はp領域である。MOSFETがpチャンネル又はpMOSFETの場合、ソースとドレインはp+領域で、本体はn領域である。ソースは、チャンネルを流れる電荷キャリア（nチャンネルの場合は電子、pチャンネルの場合は正孔）の供給源であり、同様に、ドレインは、電荷キャリアがチャンネルから出る場所であるため、そのよ

10

20

30

40

50

うに名付けられている。

【0020】

【0058】本明細書で使用する場合、「フィン電界効果トランジスタ（F i n F E T）」という用語は、ゲートがチャネルの2面又は3面に配置され、ダブルゲート構造又はトリプルゲート構造を形成する基板上に構築されたM O S F E Tトランジスタを指す。F i n F E Tデバイスは、チャネル領域が基板上で「フィン」を形成することから、F i n F E Tという総称が与えられている。F i n F E Tデバイスは、スイッチング時間が速く、電流密度が高い。

【0021】

【0059】本明細書で使用する「ゲートオールアラウンド（G A A）」という用語は、ゲート材料が全面でチャネル領域を取り囲む、例えばトランジスタなどの電子デバイスを指すために使用される。G A Aトランジスタのチャネル領域は、ナノワイヤ若しくはナノスラブ若しくはナノシート、棒状チャネル、又は当業者に知られている他の適切なチャネル構成を含む。1つ以上の実施形態では、G A Aデバイスのチャネル領域は、垂直に間隔を置いた複数の水平ナノワイヤ又は水平バーを有し、G A Aトランジスタを積層型水平ゲートオールアラウンド（h G A A）トランジスタにする。

【0022】

【0060】本明細書で使用する場合、「ナノワイヤ」という用語は、1ナノメートル（ 10^{-9} メートル）ほどの直径を有するナノ構造を指す。ナノワイヤはまた、長さ対幅の比が1000を超えるものとして定義することができる。代替的には、ナノワイヤは、厚さ又は直径が数十ナノメートル以下に制約され、長さが制約されない構造として定義することができる。ナノワイヤは、トランジスタ及びいくつかのレーザ用途に使用され、1つ以上の実施形態では、半導体材料、金属材料、絶縁材料、超伝導材料、又は分子材料で作られている。1つ以上の実施形態では、ナノワイヤは、ロジックC P U、G P U、M P U、及び揮発性（例えば、D R A M）及び不揮発性（例えば、N A N D）デバイス用のトランジスタに使用される。本明細書では、「ナノシート」という用語は、約0.1 nmから約1000 nmの範囲の厚さを有する2次元ナノ構造を指す。

【0023】

【0061】本開示の実施形態は、本開示の1つ以上の実施形態によるデバイス（例えば、トランジスタ）及びトランジスタを形成するためのプロセスを示す図によって説明される。図示されたプロセスは、開示されたプロセスの可能な用途を単に例示したものであり、当業者は、開示されたプロセスが図示された用途に限定されないことを認識しよう。

【0024】

【0062】図を参照して、本開示の1つ以上の実施形態を説明する。1つ以上の実施形態の方法では、トランジスタ、例えばゲートオールアラウンドトランジスタは、標準的なプロセスフローを用いて製造される。いくつかの実施形態では、シリコンウエハが提供され、埋設されたエッチング停止層がシリコンウエハ上に形成される。エピタキシャル層、例えばエピタキシャルシリコンが、堆積される。その後、ウエハは、デバイス及びフロントエンド処理を受ける。フロントエンド処理の後、ウエハはハイブリッド結合、例えば銅又は酸化物への結合が行われ、次いでウエハは、有利には、薄くされる。ウエハを薄くすることで、裏側電力レールを実現するために所望の平坦性及び結合が得られる。ウエハを薄くするために、開始時の第1の厚さを有するシリコン基板層は、第1の厚さより小さい第2の厚さまで研磨される。研磨後、いくつかの実施形態では、シリコンウエハは、化学機械平坦化（C M P）に供され、次いで、エッチング及びC M Pバフ研磨（b u f f i n g）が行われ、シリコンの厚さを、第2の厚さより小さい第3の厚さまで低減する。1つ以上の実施形態では、エッチングは埋設されたエッチング停止層で停止する。その後、コンタクトが金属で事前に充填され、メタライゼーションが行われる。

【0025】

【0063】代替的な実施形態では、トランジスタ、例えばゲートオールアラウンドトランジスタは、標準的なプロセスフローを使用して製造される。いくつかの実施形態では

10

20

30

40

50

、シリコンウエハが提供され、埋設されたエッチング停止層がシリコンウエハ上に形成される。エピタキシャル層、例えばエピタキシャルシリコンが、堆積される。その後、ウエハは、デバイス及びフロントエンド処理を受ける。フロントエンド処理の後、ウエハはハイブリッド結合、例えば銅又は酸化物への結合が行われ、次いでウエハは、有利には、薄くされる。ウエハを薄くすることで、裏側電力レールを実現するために所望の平坦性及び結合が得られる。ウエハを薄くするために、開始時の第1の厚さを有するシリコン基板層は、第1の厚さより小さい第2の厚さまで研磨される。研磨後、大きなマスクが堆積され、マスク内にビアが形成される。次いで、ウエハはビアを通して埋設型エッチング停止層までエッチングされ、その後、エッチング停止層が選択的に除去され、リフトオフ（*lift off*）が行われる。

10

【0026】

【0064】1つ以上の実施形態の方法では、トランジスタ、例えばゲートオールアラウンドトランジスタは、標準的なプロセスフローを使用して製造される。ソース／ドレインキャビティが陥凹された後に、ソース／ドレインキャビティの寸法が拡張され、犠牲充填材が堆積される。製造は、内部スペーサ形成、ソース／ドレインエピタキシ、層間誘電体形成、置換ゲート形成、CT及びCG形成、及びフロントサイド金属ライン形成と続く。その後、基板を反転させ、平坦化する。裏側に層間誘電体が堆積され、裏側電力レールビアがパターンニングされ、層間誘電体がエッチングされる。ダマシントレンチが形成され、犠牲充填が除去されて開口部が形成される。開口部に金属が堆積され、裏側メタルラインが形成される。1つ以上の実施形態では、犠牲充填材は、エッチング時に、自己整合トレンチ及び／又はビアが形成されるように、有利には選択的であり、したがって、位置ずれを回避する。

20

【0027】

【0065】1つ以上の実施形態の方法では、トランジスタ、例えばゲートオールアラウンドトランジスタは、標準的なプロセスフローを使用して製造される。深いビアは別のマスクでエッチングされるか、あるいは通常のコンタクト又はビアマスクでエッチングされる。通常のビアをエッチングした後に、マスクを載置し、裏側接続を容易にするために電力レールビアをデバイスの下の深さまでエッチングする。標準及び深いビア／コンタクトは、窒化チタン／タングステン（*TiN/W*）又は窒化チタン／ルテニウム（*TiN/Ru*）又はモリブデン（*Mo*）コンタクト充填で同時に充填され、その後平坦化される。ウエハは、オプションでより薄くてもよい。裏側には、深いビアに接続するために、ビアがエッチングされる。その後、メタライゼーションが行われる。

30

【0028】

【0066】図1Aは、本開示のいくつかの実施形態による半導体デバイスを形成するための方法6のためのプロセスフロー図を示す。図1Bは、1つ以上の実施形態による方法6を示す、図1Aのプロセスフロー図の続きである。図2A～2Uは、本開示のいくつかの実施形態による半導体構造の製造段階を示す。方法6は、図2A～2Uに関して以下に説明される。図2A～2Uは、1つ以上の実施形態による電子デバイス（例えば、GAA）の断面図である。方法6は、半導体デバイスのマルチステップ製造プロセスの一部でありうる。したがって、方法6は、クラスタツールに接続された任意の適切なプロセスチャンバで実行されうる。クラスタツールは、エッチング、堆積、物理的気相堆積（*PVD*）、化学気相堆積（*CVD*）、酸化のために構成されたチャンバ、又は半導体デバイスの製造に使用される他の任意の適切なチャンバといった、半導体デバイスを製造するためのプロセスチャンバを含みうる。

40

【0029】

【0067】図2A～2Uは、図1A～1Bの工程8～54の製造ステップである。図1Aを参照すると、デバイス100を形成する方法6は、工程8において、基板102を提供することによって開始する。いくつかの実施形態では、基板102はバルク半導体基板でありうる。本明細書では、「バルク半導体基板」という用語は、基板全体が半導体材料からなる基板を指す。バルク半導体基板は、半導体構造を形成するための任意の適切な

50

半導体材料及び／又は半導体材料の組み合わせを含みうる。例えば、半導体層は、結晶シリコン（例えば、 $\text{Si} \langle 100 \rangle$ 又は $\text{Si} \langle 111 \rangle$ ）、酸化ケイ素、ストレインドシリコン、シリコンゲルマニウム、ドーパされた若しくはドーパされていないポリシリコン、ドーパされた若しくはドーパされていないシリコンウエハ、パターンニングされた若しくはパターンニングされていないウエハ、ドーパされたケイ素、ゲルマニウム、ガリウムヒ素、又は他の適切な半導体材料といった、1つ以上の材料を含みうる。いくつかの実施形態では、半導体材料はケイ素（ Si ）である。1つ以上の実施形態では、半導体基板102は、半導体材料、例えば、ケイ素（ Si ）、炭素（ C ）、ゲルマニウム（ Ge ）、シリコンゲルマニウム（ SiGe ）、ゲルマニウムスズ（ GeSn ）、他の半導体材料、又はこれらの任意の組み合わせを含む。1つ以上の実施形態では、基板102は、ケイ素（ Si ）、ゲルマニウム（ Ge ）、ガリウム（ Ga ）、ヒ素（ As ）、又はリン（ P ）のうちの1つ以上を含む。基板を形成しうる材料のいくつかの例が記載されているが、パッシブ及びアクティブ電子デバイス（例えば、トランジスタ、メモリ、キャパシタ、インダクタ、抵抗器、スイッチ、集積回路、増幅器、光電子デバイス、又は任意の他の電子デバイス）を構築しうる基礎として機能しうる任意の材料が、本開示の精神及び範囲内に含まれる。

【0030】

【0068】いくつかの実施形態では、半導体材料は、 n 型ドーパされたケイ素（ $n\text{-Si}$ ）、又は p 型ドーパされたケイ素（ $p\text{-Si}$ ）などのドーパされた材料でありうる。いくつかの実施形態では、基板は、イオン注入プロセスなどの任意の適切なプロセスを使用してドーパされうる。本明細書では、「 n 型」という用語は、製造中に固有半導体に電子供与体元素（electron donor element）をドーピングすることによって作られる半導体を指す。 n 型という用語は、電子の負電荷に由来する。 n 型半導体では、電子が多数キャリアで、正孔が少数キャリアである。本明細書では、「 p 型」という用語は、ウェルの正電荷（又は正孔）を指す。 n 型半導体とは対照的に、 p 型半導体は電子濃度よりも大きい正孔濃度を有している。 p 型半導体では、正孔が多数キャリアであり、電子が少数キャリアである。1つ以上の実施形態では、ドーパントは、ホウ素（ B ）、ガリウム（ Ga ）、リン（ P ）、ヒ素（ As ）、その他の半導体ドーパント、又はこれらの組み合わせのうちの1つ以上から選択される。

【0031】

【0069】図1Aを参照すると、いくつかの図示しない実施形態では、工程10において、エッチング停止層が、基板の上面に形成されうる。エッチング停止層は、当業者に知られている任意の適切な材料を含みうる。1つ以上の実施形態では、エッチング停止層はシリコンゲルマニウム（ SiGe ）を含む。1つ以上の実施形態では、エッチング停止層は高いゲルマニウム（ Ge ）含有量を有する。1つ以上の実施形態では、ゲルマニウムの量は、35%から45%の範囲を含む、30%から50%の範囲内にある。理論に束縛されるつもりはないが、ゲルマニウム含有量が30%から50%の範囲内にあることで、エッチング停止層の選択性が高まり、応力欠陥が最小限に抑えられると考えられる。1つ以上の実施形態では、エッチング停止層は、5nmから30nmの範囲内の厚さを有する。エッチング停止層は、平坦化（例えば、CMP）、裏側処理中のドライ又は湿式エッチングのためのエッチング停止として機能しうる。

【0032】

【0070】1つ以上の図示しない実施形態では、工程12において、エピタキシャル層、例えばエピタキシャルシリコンが、エッチング停止層上に堆積されうる。エピタキシャル層は、20nmから100nmの範囲内の厚さを有しうる。

【0033】

【0071】図1A及び図2Aを参照すると、1つ以上の実施形態では、工程14において、少なくとも1つの超格子構造101が、基板102の上面、又はエッチング停止層及びエピタキシャル層の上面に形成される。超格子構造101は、複数の半導体材料層106と、対応する複数の水平チャネル層104とを含み、これらが交互に並べられて、複数の積層されたペアをなしている。いくつかの実施形態では、複数の積層群は、ケイ素（

10

20

30

40

50

Si) 及びシリコンゲルマニウム (SiGe) 群を含む。いくつかの実施形態では、複数の半導体材料層 106 はシリコンゲルマニウム (SiGe) を含み、複数の水平チャネル層 104 はケイ素 (Si) を含む。他の実施形態では、複数の水平チャネル層 104 はシリコンゲルマニウム (SiGe) を含み、複数の半導体材料層 106 はケイ素 (Si) を含む。

【0034】

【0072】いくつかの実施形態では、複数の半導体材料層 106 及び対応する複数の水平チャネル層 104 は、超格子構造 204 を形成するのに適した任意の数の格子整合材料のペアを含みうる。いくつかの実施形態では、複数の半導体材料層 106 及び対応する複数の水平チャネル層 104 は、約 2 ～ 約 50 対の格子整合材料を含む。

10

【0035】

【0073】1つ以上の実施形態では、複数の半導体材料層 106 及び複数の水平チャネル層 104 の厚さは、約 2 nm ～ 約 50 nm の範囲内、約 3 nm ～ 約 20 nm の範囲内、又は約 2 nm ～ 約 15 nm の範囲内である。

【0036】

【0001】図 1A 及び図 2B を参照すると、1つ以上の実施形態では、工程 16 において、超格子構造 101 は、隣接するスタック 105 間に開口部 108 を形成するためにパターニングされる。パターニングは、当業者に知られている任意の適切な手段によって行われうる。この点において使用される際に、「開口部」という用語は、任意の意図的な表面の不規則性を意味する。開口部の適切な例は、頂部、2つの側壁及び底部を有するトレンチを含むが、これらに限定されない。開口部は、任意の適切なアスペクト比（フィーチャの幅対フィーチャの深さの比）を有しうる。いくつかの実施形態では、アスペクト比は、約 5 : 1、約 10 : 1、約 15 : 1、約 20 : 1、約 25 : 1、約 30 : 1、約 35 : 1 又は約 40 : 1 以上である。

20

【0037】

【0074】図 1A 及び図 2C を参照すると、工程 18 において、シャロートレンチアイソレーション (STI) 110 が形成される。本明細書では、「シャロートレンチアイソレーション (STI)」という用語は、電流がリークすることを防止する集積回路特徴を指す。1つ以上の実施形態では、トレンチ又は開口部 108 を充填するために1つ以上の誘電体材料（二酸化ケイ素など）を堆積させ、化学機械平坦化などの技法を用いて余分な誘電体を除去することによって、STI が作成される。

30

【0038】

【0075】図 1A 及び図 2D を参照すると、いくつかの実施形態では、置換ゲート構造 113（例えば、ダミーゲート構造）が、超格子構造 101 の上に、かつ超格子構造 101 に隣接して形成される。ダミーゲート構造 113 は、トランジスタデバイスのチャネル領域を画定する。ダミーゲート構造 113 は、当技術分野で知られている任意の適切な従来の堆積及びパターニングプロセスを使用して、形成されうる。

【0039】

【0076】1つ以上の実施形態では、ダミーゲート構造は、ゲート 114 及びポリシリコン層 112 のうちの1つ以上を含む。1つ以上の実施形態では、ダミーゲート構造は、タングステン (W)、コバルト (Co)、モリブデン (Mo)、ルテニウム (Ru)、窒化チタン (TiN)、窒化タンタル (Ta₂N₅)、チタンアルミニウム (TiAl)、及び N 型ドーパされた (N doped) ポリシリコンのうちの1つ以上を含む。

40

【0040】

【0077】図 1A 及び図 2E を参照すると、いくつかの実施形態では、工程 22 において、超格子 101 上のダミーゲート構造 113 の外側側壁に沿って、側壁 116 が形成されている。側壁スペーサ 116 は、例えば、窒化ケイ素、酸化ケイ素、酸窒化ケイ素、炭化ケイ素など、当技術分野で知られている任意の適切な絶縁材料を含みうる。いくつかの実施形態では、側壁スペーサは、原子層堆積、プラズマ強化原子層堆積、プラズマ強化化学気相堆積、低圧化学気相堆積、又は等方性堆積など、当技術分野で知られている任意

50

の適切な従来の堆積及びパターニングプロセスを使用して形成される。

【0041】

【0078】図1A及び図2Fを参照すると、工程24において、1つ以上の実施形態では、ソース／ドレイントレンチ118が、超格子構造101に隣接して（すなわち両側に）形成される。

【0042】

【0079】図1A及び図2Gを参照すると、工程26において、1つ以上の実施形態では、ソース／ドレイントレンチ118は、超格子構造101の下にキャビティ119を形成するために深く拡張される。キャビティ119は、任意の適切な深さと幅を有しうる。1つ以上の実施形態では、キャビティ119は、シャロートレンチアイソレーション110を通して基板102内に延びる。1つ以上の実施形態では、キャビティ119のエッチングとダミー充填は、シャロートレンチアイソレーション110の下を通り、最大でシリコンゲルマニウム（SiGe）エッチング停止層まで延びるため、デバイスに触れることなく自己整合コンタクトが可能となる。

【0043】

【0080】キャビティ119は、当業者に知られている任意の適切な手段によって形成されうる。1つ以上の実施形態では、非Vss/Vddソース／ドレインをブロックするために、ハードマスク117が堆積される。1つ以上の実施形態では、ハードマスク117は、当業者に知られている任意の適切な材料を含みうる。いくつかの実施形態では、ハードマスク117はレジストである。ハードマスク117が形成されると、エッチングによりキャビティ119が形成される。

【0044】

【0081】工程26のエッチングプロセスは、ソースドレイントレンチ118に対して選択的である任意の適切なエッチングプロセスを含みうる。いくつかの実施形態では、工程26のエッチングプロセスは、湿式エッチングプロセス又はドライエッチングプロセスのうちの1つ以上を含む。エッチングプロセスは、方向性エッチングでありうる。

【0045】

【0082】いくつかの実施形態では、ドライエッチングプロセスは、従来のプラズマエッチング、又はカリフォルニア州サンタクララにあるアプライドマテリアルズ社から入手可能な、SiCoNi（登録商標）エッチングプロセスのような遠隔プラズマ支援ドライエッチングプロセスを含みうる。SiCoNi（登録商標）エッチングプロセスでは、デバイスは、H₂、NF₃、及び／又はNH₃プラズマ種、例えばプラズマ励起水素及びフッ素種に曝露される。例えば、いくつかの実施形態では、デバイスは、H₂、NF₃、NH₃プラズマへの同時曝露を受けうる。SiCoNi（登録商標）エッチングプロセスは、SiCoNi（登録商標）Precleanチャンバないで実行され、アプライドマテリアルズ（登録商標）から入手可能なCentura（登録商標）、Dual ACP、Producer（登録商標）GT、及びEndura（登録商標）プラットフォームを含む、様々なマルチ処理プラットフォームの1つに組み込まれうる。湿式エッチングプロセスは、フッ化水素（HF）酸ラストプロセス（last process）、すなわち、いわゆる「HFラスト」プロセスを含みうる。このプロセスでは、表面のHFエッチングが実行され、表面が水素終端されたままになる。代替的には、任意の他の液体ベースのプレエピタキシャル予洗浄プロセスが用いられうる。いくつかの実施形態では、プロセスは、自然酸化膜を除去するための昇華型エッチングを含む。エッチングプロセスは、プラズマベース又は熱ベースでありうる。プラズマプロセスは、任意の適切なプラズマ（例えば、導電結合プラズマ、誘導結合プラズマ、マイクロ波プラズマ）でありうる。

【0046】

【0083】図1A及び図2Hを参照すると、工程28において、犠牲材料120がキャビティ119内に堆積される。犠牲材料は、当業者に知られている任意の適切な材料を含みうる。いくつかの実施形態では、犠牲材料120はシリコンゲルマニウム（SiGe）を含む。1つ以上の実施形態では、犠牲材料120は、高いゲルマニウム（Ge）含有

量を有する。1つ以上の実施形態では、ゲルマニウムの量は、35%から45%の範囲を含む、30%から50%の範囲内にある。理論に束縛されるつもりはないが、ゲルマニウムの含有量が30%から50%の範囲内にあることで、犠牲材料の選択性が高まり、応力欠陥が最小限に抑えられると考えられる。

【0047】

【0084】1つ以上の実施形態では、犠牲材料120は、より低い接触抵抗のためにドーパントでドーピングされる。いくつかの実施形態では、ドーパントは、ホウ素(B)、ガリウム(Ga)、リン(P)、ヒ素(As)、他の半導体ドーパント、又はこれらの組み合わせのうちの1つ以上から選択される。具体的な実施形態では、犠牲材料120は、30%から50%の範囲内のゲルマニウム含有量を有し、ホウ素(B)、ガリウム(Ga)、リン(P)、及びヒ素(As)のうちの1つ以上から選択されるドーパントがドーピングされたシリコンゲルマニウムである。

10

【0048】

【0085】図1A及び図2Iを参照すると、工程30において、内側スペーサ層121が水平チャネル層104の各々の上に形成される。内側スペーサ層121は、当業者に知られている任意の適切な材料を含みうる。1つ以上の実施形態では、内側スペーサ層121は窒化物材料を含む。具体的な実施形態では、内側スペーサ層121は窒化ケイ素を含む。

【0049】

【0086】図2J及び図1Aを参照すると、工程32において、いくつかの実施形態では、埋め込まれたソース／ドレイン領域122は、ソース／ドレイントレンチ118内に形成される。いくつかの実施形態では、ソース領域122は超格子構造101の第1の端部に隣接して形成され、ドレイン領域122は超格子構造の反対側の第2の端部に隣接して形成される。いくつかの実施形態では、ソース領域及び／又はドレイン領域122は、ケイ素(Si)、ゲルマニウム(Ge)、シリコンゲルマニウム(SiGe)、シリコンリン(SiP)、シリコンヒ素(SiAs)などの任意の適切な半導体材料から形成される。いくつかの実施形態では、ソース／ドレイン領域122は、エピタキシャル堆積プロセスなどの任意の適切な堆積プロセスを用いて形成されうる。いくつかの実施形態では、ソース／ドレイン領域122は、リン(P)、ヒ素(As)、ホウ素(B)、及びガリウム(Ga)のうちの1つ以上で独立してドーピングされる。

20

30

【0050】

【0087】いくつかの実施形態では、図1A及び図2Kを参照すると、工程34において、層間誘電体(ILD)層124が、ソース／ドレイン領域122、ダミーゲート構造113、及び側壁スペーサ116を含む基板102上にブランケット堆積される。従来の化学気相堆積法(例えば、プラズマ強化化学気相堆積及び低圧化学気相堆積)を用いて、ILD層124が堆積されうる。1つ以上の実施形態では、ILD層124は、ドーピングされていない酸化ケイ素、ドーピングされた酸化ケイ素(例えば、BPSG、PSG)、窒化ケイ素、及び酸窒化ケイ素などの任意の適切な誘電体材料から形成されるが、これらに限定されない。1つ以上の実施形態では、その後、従来の化学機械平坦化法を用いてILD層124を再び研磨し、ダミーゲート構造113の上面を露出させる。いくつかの実施形態では、ILD層124を研磨してダミーゲート構造113の上面と側壁スペーサ116の上面を露出させる。

40

【0051】

【0088】超格子構造101のチャネル領域108を露出させるために、ダミーゲート構造101が除去されうる。ILD層124は、ダミーゲート構造113を除去する間、ソース／ドレイン領域122を保護する。ダミーゲート構造113は、プラズマドライエッチング又は湿式エッチングなどの従来のエッチング方法を用いて除去されうる。いくつかの実施形態では、ダミーゲート構造113はポリシリコンを含み、ダミーゲート構造113は選択的エッチングプロセスによって除去される。いくつかの実施形態では、ダミーゲート構造113はポリシリコンを含み、超格子構造101はケイ素(Si)とシリコ

50

ンゲルマニウム（SiGe）の交互層を含む。

【0052】

【0089】図1B及び図2Lを参照すると、工程38において、半導体デバイス、例えばGAAの形成は、ナノシート放出及び置換金属ゲート形成を伴う従来の手順に従って継続する。具体的には、1つ以上の図示しない実施形態において、複数の半導体材料層106は、超格子構造101内の複数の水平チャンネル層104の間で選択的にエッチングされる。例えば、超格子構造101がケイ素（Si）層とシリコンゲルマニウム（SiGe）層からなる場合、シリコンゲルマニウム（SiGe）が選択的にエッチングされ、チャンネルナノワイヤを形成する。複数の半導体材料層106、例えばシリコンゲルマニウム（SiGe）は、エッチャントが複数の水平チャンネル層104よりも著しく高速で複数の半導体材料層106をエッチングする、複数の水平チャンネル層104に対して選択的である任意のよく知られたエッチャントを用いて除去されうる。いくつかの実施形態では、選択的ドライエッチング又は湿式エッチングプロセスが使用されうる。いくつかの実施形態では、複数の水平チャンネル層104がケイ素（Si）であり、複数の半導体材料層106がシリコンゲルマニウム（SiGe）である場合、シリコンゲルマニウムの層は、カルボン酸／硝酸／HF水溶液、及びクエン酸／硝酸／HF水溶液など（これらに限定されない）の湿式エッチャントを用いて選択的に除去されうる。複数の半導体材料層106を除去することにより、複数の水平チャンネル層104の間にボイドが残る。複数の水平チャンネル層104間のボイドは、約3nm～約20nmの厚さを有している。残りの水平チャンネル層104は、ソース／ドレイン領域122に接続されるチャンネルナノワイヤの垂直アレイを形成する。チャンネルナノワイヤは、基板102の上面と平行に走り、互いに位置合わせされて、チャンネルナノワイヤの単一系列を形成する。

【0053】

【0090】1つ以上の実施形態では、高誘電率誘電体が形成される。高誘電率の誘電体は、当業者に知られている任意の適切な堆積技法によって堆積された任意の適切な高誘電率の誘電体材料でありうる。いくつかの実施形態の高誘電率の誘電体は、酸化ハフニウムを含む。いくつかの実施形態では、窒化チタン（TiN）、タングステン（W）、コバルト（Co）、アルミニウム（Al）などの導電性材料が高誘電率誘電体上に堆積され、置換金属ゲート128を形成する。複数のチャンネル層の各々の周囲に均一な厚さを有する層を確実に形成するために、導電性材料は、原子層堆積（ALD）など（限定されるものではない）の任意の適切な堆積プロセスを用いて形成されうる。

【0054】

【0091】図1B及び図2Mを参照すると、工程38において、トランジスタへのコンタクト（contact to transistor: CT）132及びゲートへのコンタクト（contact to gate: CG）134が形成される。

【0055】

【0092】図1B及び図2Nを参照すると、工程40において、金属（M0）ライン142が形成され、ビア（V1）144に電氣的に接続される。これは従来の処理と同様だが、M0ラインには電力レールがないため、信号ラインのために十分なスペースが確保されている。

【0056】

【0093】図2Oを参照すると、工程42において、デバイス100は、基板102がここで図の上部に来るように、180度回転又は反転される。更に、1つ以上の実施形態では、基板102は平坦化される。平坦化は、化学機械平坦化（CMP）を含むがこれらに限定されない、当業者に知られた任意の適切な平坦化プロセスでありうる。1つ以上の実施形態では、回転する前に、ハイブリッド結合（酸化物対酸化物及びCu対Cu）、又は静電ダミーウエハ結合により、前面が最後の層で銅（Cu）メタライゼーションに結合される。

【0057】

【0094】図1B及び図2Pを参照すると、工程44において、層間誘電体146／

148が裏側に堆積される。層間誘電体材料146／148は、当業者に知られている任意の適切な手段によって堆積されうる。層間誘電体材料146／148は、当業者に知られている任意の適切な材料を含みうる。1つ以上の実施形態では、層間誘電体材料146／148は、窒化ケイ素（SiN）、炭化物、又は炭化ホウ素のうちの1つ以上を含み、高アスペクト比エッチング及びメタライゼーションを可能にする。

【0058】

【0095】図2Qに示されるように、工程46において、1つ以上の実施形態では、裏側電力レーンビア152が形成される。ビア152は、当業者に知られている任意の適切な手段によって形成されうる。1つ以上の実施形態では、ビア152は、層間誘電体材料146／148をパターニング及びエッチングすることによって形成されうる。

10

【0059】

【0096】図1B及び図2Rを参照すると、工程48において、ビア152をコンタクト120、122まで拡張することによって、ダマシントレンチ154が形成される。トレンチ154を形成するためにビア152を拡張すると、開口部のサイズが少なくとも2倍になり、自己整合が可能になる。1つ以上の実施形態では、ビア152は、約16nm×約26nmの開始サイズを有し、約90nm×約74nmのサイズを有するトレンチ154を形成するように拡張される。

【0060】

【0097】ダマシントレンチ154は、コンタクト120、122で停止する。ダマシントレンチ154は、当業者に知られた任意の適切なアスペクト比を有しうる。いくつかの実施形態では、アスペクト比は、約5：1、約10：1、約15：1、約20：1、約25：1、約30：1、約35：1又は約40：1以上である。1つ以上の実施形態では、ダマシントレンチ154の限界寸法は、約16nm×約26nm、又は約10nm×約30nm、又は約15nm×約30nmである。1つ以上の実施形態では、裏側ビアの高さは、エッチング停止層上に堆積された元のエピタキシャル層の厚さに依存する。

20

【0061】

【0098】図2Sに示されるように、工程50において、犠牲層120が選択的に除去され、ソース／ドレイン122上に開口部156が形成される。1つ以上の実施形態では、犠牲層120がGa、B、Pのうちの1つ以上でドーピングされている場合、犠牲層120は一部を残して部分的に除去されうる。犠牲層120の部分的な除去により、残りの犠牲層120（例えばSiGe）に対する低抵抗コンタクトの形成が可能になる。

30

【0062】

【0099】工程52では、図2Tに示されるように、犠牲層120の除去によって形成された開口部156に金属充填物156が堆積される。金属充填物156は、当業者に知られている任意の適切な材料を含みうる。1つ以上の実施形態では、金属充填156は、チタン（Ti）、窒化チタン（TiN）、タンタル（Ta）、窒化タンタル（Ta₂N₅）、タングステン（W）、モリブデン（Mo）、コバルト（Co）、銅（Cu）、ルテニウム（Ru）等のうちの1つ以上から選択される。

【0063】

【00100】図1B及び図2Uを参照すると、工程54において、裏側金属ライン（M0）160が形成される。理論に縛られるつもりはないが、電力レーンを裏側に配置することで、セルの面積を20%から30%の範囲で拡大できると考えられる。

40

【0064】

【00101】図3は、本開示のいくつかの実施形態による、半導体ウエハを薄くするための方法60のプロセスフロー図を示す。図4A～4Eは、本開示のいくつかの実施形態によるウエハ薄型化の段階を示す。方法60は、図4A～4Eに関して以下で説明される。図4A～4Eは、1つ以上の実施形態による電子デバイス（例えばGAA）の断面図である。方法60は、半導体デバイスのマルチステップ製造プロセスの一部でありうる。したがって、方法60は、クラスタツールに接続された任意の適切なプロセスチャンバで実行されうる。クラスタツールは、エッチング、堆積、物理的气相堆積（PVD）、化学

50

気相堆積（CVD）、酸化のために構成されたチャンバ、又は半導体デバイスの製造に使用される他の任意の適切なチャンバといった、半導体デバイスを製造するためのプロセスチャンバを含みうる。

【0065】

【00102】図4A～4Eは、図3の工程62～76の製造ステップである。図3を参照すると、デバイス400を薄くする方法60は工程62から開始する。図3及び図4A～4Eを参照すると、1つ以上の実施形態の方法では、トランジスタ、例えばゲートオールアラウンドトランジスタが、標準的なプロセスフローを用いて製造される。

【0066】

【00103】いくつかの実施形態では、シリコンウエハ402が提供され、工程62において、埋設されたエッチング停止層404がシリコンウエハ上に形成される。埋設されたエッチング停止層404は、当業者に知られている任意の適切な材料を含みうる。1つ以上の実施形態では、埋設されたエッチング停止層404は、シリコンゲルマニウム（SiGe）を含む。1つ以上の実施形態では、埋設されたエッチング停止層404は、高いゲルマニウム（Ge）含有量を有している。1つ以上の実施形態では、ゲルマニウムの量は、35%から45%の範囲を含む、30%から50%の範囲内にある。理論に束縛されるつもりはないが、ゲルマニウムの含有量が30%から50%の範囲内にあることにより、埋設されたエッチング停止層404の選択性が高まり、応力欠陥が最小限に抑えられると考えられる。

【0067】

【00104】1つ以上の図示しない実施形態では、工程64において、エピタキシャル層、例えばエピタキシャルシリコンが堆積される。工程66で、ウエハは次いで、デバイス及びフロントエンド処理を受ける。フロントエンド処理は、図1A～1Bに示され、かつ図2A～2Uの断面図に示されるような方法6に関して上で説明したプロセスでありうる。

【0068】

【00105】図3及び図4Bを参照すると、工程68において、1つ以上の実施形態では、フロントエンド処理の後に、ウエハ400は、例えば銅又は酸化物へのハイブリッド結合を受け、次いで、ウエハが有利には薄型化される。理論に縛られるつもりはないが、ウエハを薄くすることで、有利には、裏側電力レールを可能にするための所望の平坦性と結合性が得られると考えられる。

【0069】

【00106】1つ以上の実施形態では、図3及び図4Cを参照すると、ウエハを薄くするために、工程70において、開始時の第1の厚さ t_1 を有するシリコン基板層402が、第1の厚さよりも小さい第2の厚さ t_2 まで研磨される。シリコン基板層402は、当業者に知られている任意の適切な手段によって研磨されうる。いくつかの実施形態では、シリコン基板層402は、化学機械平坦化（CMP）に供され、次いでエッチング及びCMPバフ研磨（buffing）が行われ、シリコン基板層402の厚さを、第2の厚さより小さい第3の厚さ t_3 まで減少させる。1つ以上の実施形態では、第1の厚さは500 μm から1000 μm の範囲内にある。1つ以上の実施形態では、第2の厚さは20 μm から100 μm の範囲内にある。1つ以上の実施形態では、第3の厚さは1 μm から20 μm の範囲内にある。

【0070】

【00107】図3及び図4Dを参照すると、工程72において、埋設されたエッチング停止層404が選択的に除去され、ソース／ドレイン408が露出される。次いで、工程74では、コンタクト410に金属が事前充填され、図4Eに示されるようにメタライゼーションが行われる。1つ以上の実施形態では、コンタクト410は、チタン（Ti）、窒化チタン（TiN）、タンタル（Ta）、窒化タンタル（Ta₂N₅）、タングステン（W）、モリブデン（Mo）、コバルト（Co）、銅（Cu）、ルテニウム（Ru）などのうちの1つ以上から選択される金属で事前充填される。

【0071】

【00108】図5A～5Eは、図3の工程78～80の代替的な製造ステップを示す。図3を参照すると、デバイス400を薄くする方法60は、図4A～4Cに詳細に図示されているように、工程62から始まり、工程70に進む。

【0072】

【00109】工程70でシリコン基板402がシリコン研磨によって薄くされた後に、方法は工程78に進み、埋設されたエッチング停止層404上に大型マスク502が形成される。マスク502は、当業者に知られている任意の適切な材料を含みうる。1つ以上の実施形態では、マスク502は、炭化物、炭化ホウ素、及び窒化ケイ素のうちの1つ以上から選択される。

10

【0073】

【00110】工程80では、複数のスルーシリコンビア(TSV)508を形成するために、マスク502がエッチングされ、このTSV508は、埋設されたエッチング停止層404まで延びる。ビア508は、当業者に知られている任意の適切な手段によって形成されうる。1つ以上の実施形態では、ビア508はエッチングによって形成される。ナノメートルサイズのTSVによって、通常の3Dパッケージングでコスト及びスペースを追加する従来の大型TSVを必要とせず、形成されたこのデバイス又はこのデバイスに接続される他のチップの高密度パッケージングが可能になる。

【0074】

【00111】工程82において、図3及び図5Cを参照すると、埋設されたエッチング停止層404が選択的に除去され、開口部510が形成される。埋設されたエッチング停止層404は、当業者に知られている任意の適切な手段によって選択的に除去されうる。1つ以上の実施形態では、埋設されたエッチング停止層404は、デバイスの側面をエッチングすることによって選択的に除去される。

20

【0075】

【00112】図3及び図5Dを参照すると、工程84において、ビア508を有するマスク502がデバイスからリフトオフされる(持ち上げられる(lifted off))。リフトオフは、当業者に知られた任意の適切な手段によって行われうる。1つ以上の実施形態では、リフトオフにより、ウエハを50nmから100nmの範囲の厚さまで薄くすることができる。1つ以上の実施形態では、リフトオフの結果、デバイス500に欠陥及び傷が実質的にない薄くされたウエハが得られる。1つ以上の実施形態では、リフトオフは、Selectra(登録商標)エッチングによって実現される、ウエハ全体にわたって犠牲層120の側方部のエッチング(等方性エッチング)を必要とする。

30

【0076】

【00113】図6は、本開示のいくつかの実施形態による半導体デバイスを製造する方法600のためのプロセスフロー図を示す。図7A～7Dは、本開示のいくつかの実施形態に従って、深いビア及び裏側コンタクトを形成する段階を示す。方法600は、図7A～7Dに関して以下で説明される。図7A～7Dは、1つ以上の実施形態による電子デバイス(例えば、GAA)700の断面図である。方法600は、半導体デバイスのマルチステップ製造プロセスの一部でありうる。したがって、方法600は、クラスタツールに接続された任意の適切なプロセスチャンバで実行されうる。クラスタツールは、エッチング、堆積、物理的気相堆積(PVD)、化学気相堆積(CVD)、酸化のために構成されたチャンバ、又は半導体デバイスの製造に使用される他の任意の適切なチャンバといった、半導体デバイスを製造するためのプロセスチャンバを含みうる。

40

【0077】

【00114】図7A～7Dは、図6の工程602～614の製造ステップである。図6を参照すると、深いビアと裏側コンタクトを形成する方法600は、工程602から始まる。図6及び図7A～7Dを参照すると、1つ以上の実施形態の方法600では、工程602において、標準的なプロセスフローを使用して、トランジスタ、例えばゲートオールアラウンドトランジスタが製造される。デバイス700は、図1A～1B及び図2A～

50

2 Q に関して説明した方法に従って形成されうる。

【0078】

【00115】図7Aに示されるように、工程604において、少なくとも1つの深いビア702がフロントサイドに形成される。深いビア702は、任意の適切なサイズ又は形状を有しうる。深いビア702は、任意の適切なアスペクト比（フィーチャの深さ対フィーチャの幅の比）を有しうる。いくつかの実施形態では、アスペクト比は、約5:1、約10:1、約15:1、約20:1、約25:1、約30:1、約35:1又は約40:1以上である。1つ以上の実施形態では、深いビア702の限界寸法は、約16nm×約16nm、又は約10nm×約10nm、又は約15nm×約15nm、又は約20nm×約20nmである。

10

【0079】

【00116】図6及び図7Bを参照すると、工程606において、深いビア702は、金属704で充填されうる。金属704は、当業者に知られている任意の適切な金属でありうる。1つ以上の実施形態では、金属704は、チタン（Ti）、窒化チタン（TiN）、タンタル（Ta）、窒化タンタル（Ta₂N₅）、タングステン（W）、モリブデン（Mo）、コバルト（Co）、銅（Cu）、ルテニウム（Ru）等のうちの1つ以上から選択される。

【0080】

【00117】図6及び図7Cを参照すると、工程608において、結合ウエハ706がフロントサイドに結合される。工程610において、基板708は、オプションで、図3に関して上述した1つ以上の方法に従って、薄くされうる。図7Dに示されるように、工程612において、次にコンタクト710が形成され、深いビア702内の金属704に電氣的に接続される。コンタクト710は、当業者に知られている任意の適切な材料を含みうる。1つ以上の実施形態では、コンタクト710は、チタン（Ti）、窒化チタン（TiN）、タンタル（Ta）、窒化タンタル（Ta₂N₅）、タングステン（W）、モリブデン（Mo）、コバルト（Co）、銅（Cu）、ルテニウム（Ru）などのうちの1つ以上から選択される金属を含む。図7Dに示されるように、工程614で、メタライゼーションが行われる。

20

【0081】

【00118】いくつかの実施形態では、方法は、真空破壊がないように統合される。1つ以上の実施形態では、方法60は、ビアエッチング（工程80）、埋設された犠牲層の除去（工程82）、及び基板リリースリフトオフ（工程84）であり、工程間に真空破壊がないように統合することができる。

30

【0082】

【00119】本開示の追加的な実施形態は、図8に示される、GAAデバイス形成のための処理ツール300及び説明される方法を対象とする。アブライドマテリアルズ（登録商標）のReflexion（登録商標）CMP、Selectra（登録商標）Etch、Centura（登録商標）、Dual ACP、Producer（登録商標）GT、及びEndura（登録商標）プラットフォーム、並びに他の処理システムを含む、様々なマルチ処理プラットフォームが利用されうる。クラスタツール300は、複数の側面を有する少なくとも1つの中央移送ステーション314を含む。ロボット316は、中央移送ステーション314内に位置付けられ、ロボットブレード及びウエハを複数の側面の各々まで移動させるように構成される。

40

【0083】

【00120】クラスタツール300は、中央移送ステーションに接続された、プロセスステーションとも称される複数の処理チャンバ308、310、312を備える。様々な処理チャンバは、隣接する処理ステーションから分離した別個の処理領域を提供する。処理チャンバは、前洗浄チャンバ、堆積チャンバ、アニーリングチャンバ、エッチングチャンバなどの任意の適切なチャンバでありうるが、これらに限定されない。処理チャンバ及び構成要素の特定の配置は、クラスタツールに応じて変更することができ、本開示の範

50

図を限定するものとして解釈すべきではない。

【0084】

【00121】図8に示す実施形態では、ファクトリインターフェース318がクラスツール300の前面に接続されている。ファクトリインターフェース318は、ファクトリインターフェース318の前面319にローディング及び案ローディング用のチャンバ302を含む。

【0085】

【00122】ローディングチャンバ及びアンローディングチャンバ302のサイズ及び形状は、例えば、クラスツール300で処理される基板に応じて変化しうる。図示された実施形態では、ローディングチャンバ及びアンローディングチャンバ302は、複数のウエハがカセット内に位置付けられたウエハカセットを保持するようにサイズ決定される。

10

【0086】

【00123】ロボット304は、ファクトリインターフェース318内にあり、ローディングチャンバ302とアンローディングチャンバ302との間を移動することができる。ロボット304は、ローディングチャンバ302内のカセットからファクトリインターフェース318を通してロードロックチャンバ320までウエハを移送することができる。また、ロボット304は、ロードロックチャンバ320からファクトリインターフェース318を通してアンローディングチャンバ302内のカセットまでウエハを移送することができる。

20

【0087】

【00124】いくつかの実施形態のロボット316は、一度に複数のウエハを独立して移動させることができるマルチアームロボットである。ロボット316は、移送チャンバ314の周囲のチャンバ間でウエハを移動させるように構成される。個々のウエハは、第1のロボット式機構の遠位端に位置するウエハ搬送ブレード上に担持される。

【0088】

【00125】システムコントローラ357は、ロボット316、及び複数の処理チャンバ308、310、312と通信している。システムコントローラ357は、処理チャンバ及びロボットを制御することができる任意の適切な構成要素でありうる。例えば、システムコントローラ357は、中央処理装置（CPU）392、メモリ394、入力／出力396、適切な回路398、及びストレージを含むコンピュータでありうる。

30

【0089】

【00126】プロセスは、概して、プロセッサによって実行されると、処理チャンバに本開示のプロセスを実行させるソフトウェアルーチンとして、システムコントローラ357のメモリに記憶されうる。当該ソフトウェアルーチンは、プロセッサによって制御されるハードウェアから遠隔に位置する第2のプロセッサ（図示せず）によって記憶及び／又は実行されうる。本開示の方法のいくつか又はすべてはまた、ハードウェアで実行されうる。したがって、本プロセスは、ソフトウェアに実装され、コンピュータシステムを使用して、例えば、特定用途向け集積回路又は他のタイプのハードウェア実装としてのハードウェアで、又はソフトウェアとハードウェアの組合せとして実行されうる。ソフトウェアルーチンは、プロセッサによって実行されると、汎用コンピュータを、プロセスが実行されるようにチャンバ動作を制御する特定用途コンピュータ（コントローラ）に変換する。

40

【0090】

【00127】いくつかの実施形態では、システムコントローラ357は、テンプレート材料を結晶化させるために急速熱処理チャンバを制御する構成を有する。

【0091】

【00128】1つ以上の実施形態では、処理ツールは、ウエハを移動させるように構成されたロボットを備える中央移送ステーションと、複数のプロセスステーションであって、各プロセスステーションが中央移送ステーションに接続され、隣接するプロセスステーションの処理領域から分離された処理領域を提供し、テンプレート堆積チャンバ及びテ

50

ンプレート結晶化チャンバを含む、複数のプロセスステーションと、中央移送ステーション及び複数のプロセスステーションに接続されたコントローラであって、ロボットを起動して、プロセスステーションの間でウエハを移動させ、かつプロセスステーションの各々で行うプロセスを制御するように構成された、コントローラとを備える。

【0092】

【00129】本明細書で論じられる材料及び方法を説明する文脈における（特に、以下の特許請求の範囲の文脈における）、「1つの（「a」及び「an」）」、「その（the）」並びに類似の指示対象の使用は、本明細書で別段の指示がない限り、又は文脈によって明らかに矛盾しない限り、単数と複数の両方を包含すると解釈されるべきである。本明細書中の数値範囲の列挙は、本明細書中で特に指摘しない限り、単にその範囲内に該当する各別個の値を個々に言及する略記法としての役割を果たすことを単に意図しているにすぎず、各別個の値は、本明細書中で個々に列挙されるかのように、明細書に組み込まれる。本明細書に記載のすべての方法は、本明細書に別段の指示がない限り、又は明らかに文脈に矛盾しない限り、任意の適切な順序で実行されうる。本明細書で提供された任意の及びすべての例、又は例示的な文言（例えば、「～など（such as）」）の使用は、単に材料及び方法をより良好に説明することを意図したものであり、特に主張しない限り、範囲を限定するものではない。本明細書中のいかなる文言も、開示された材料及び方法の実施に不可欠なものとして特許請求されていない要素を示すものと解釈すべきではない。

10

【0093】

【00130】本明細書全体を通して、「1つの実施形態」、「特定の実施形態」、「1つ以上の実施形態」又は「実施形態」への言及は、実施形態に関連して説明された特定の特徴、構造、材料、又は特性が、本開示の少なくとも1つの実施形態に含まれることを意味する。したがって、本明細書を通じて様々な箇所「1つ以上の実施形態では」、「特定の実施形態では」、「1つの実施形態では」、又は「実施形態では」といった表現が現れるが、必ずしも本開示の同じ実施形態を指すものではない。更に、特定の特徴、構造、材料、又は特性は、1つ以上の実施形態において、任意の適切な方法で組み合わせることができる。

20

【0094】

【00131】本明細書における開示は、特定の実施形態を参照して説明されてきたが、当業者であれば、説明された実施形態が、本開示の原理及び適用を単に例示しているに過ぎないことを理解しよう。本開示の主旨及び範囲から逸脱することなく、本開示の方法及び装置に対して様々な修正及び変更を行うことができることが、当業者には明らかになる。したがって、本開示は、添付の特許請求の範囲及びその均等物の範囲内にある修正例及び変形例を含むことができる。

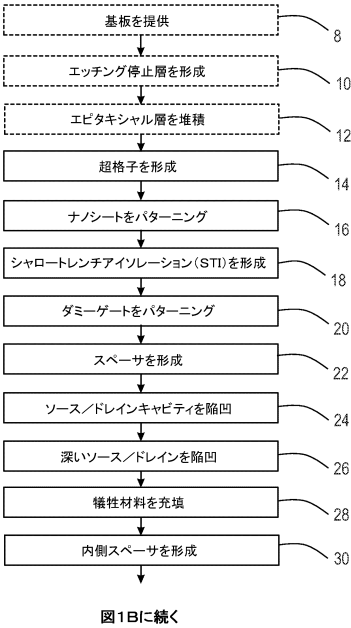
30

40

50

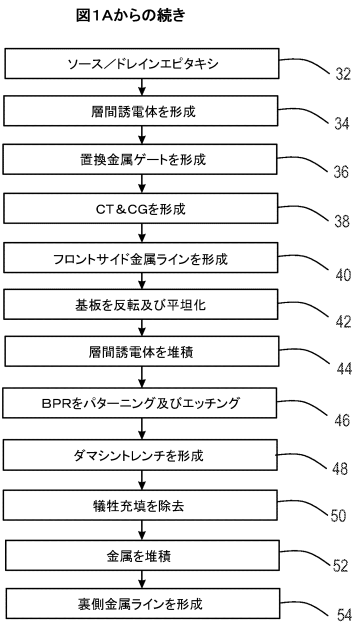
【図面】
【図 1 A】

6



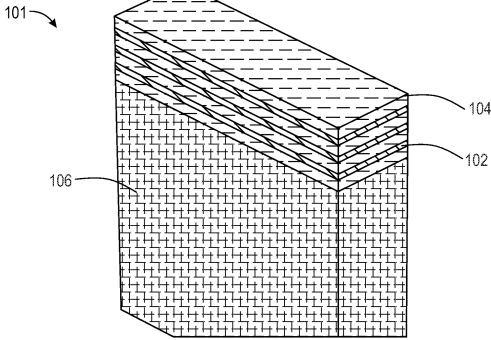
【図 1 B】

6



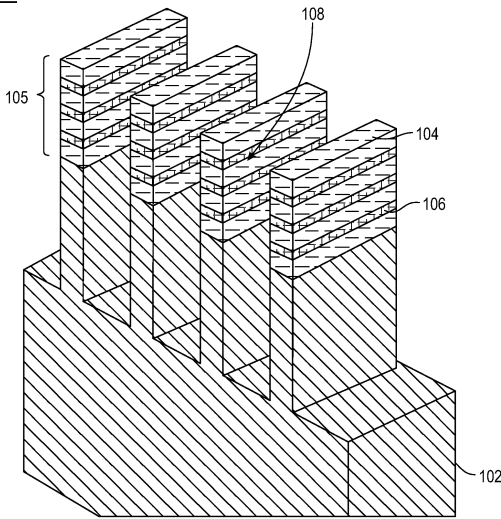
【図 2 A】

100



【図 2 B】

100



10

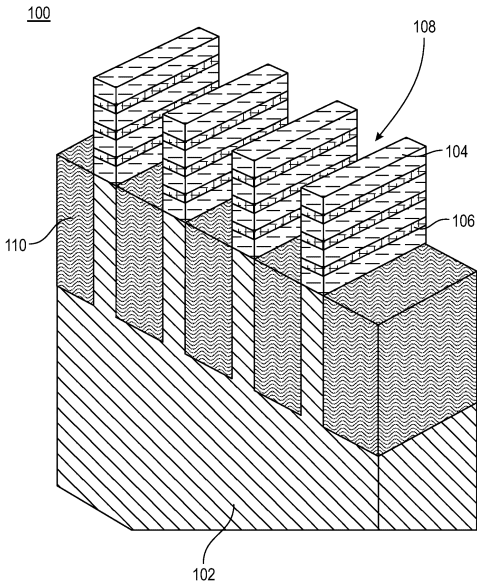
20

30

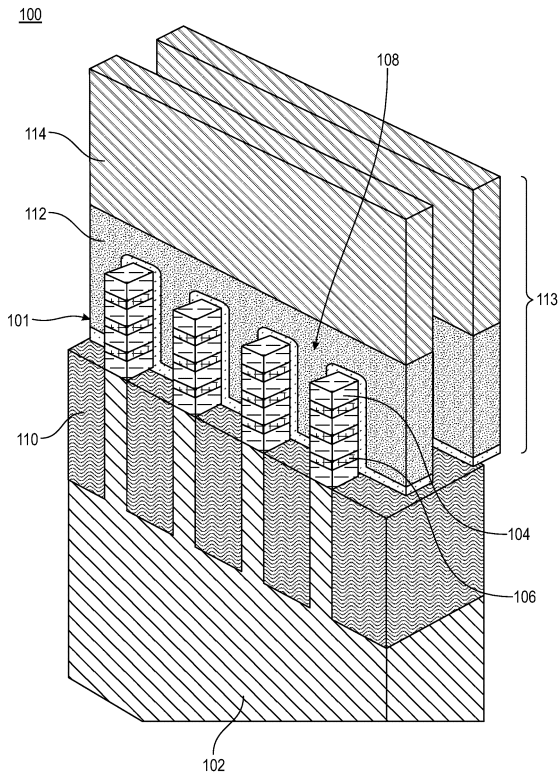
40

50

【図 2 C】



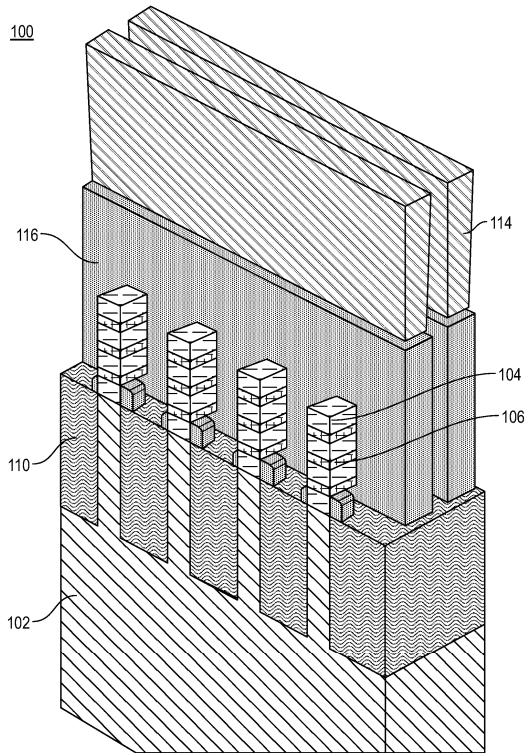
【図 2 D】



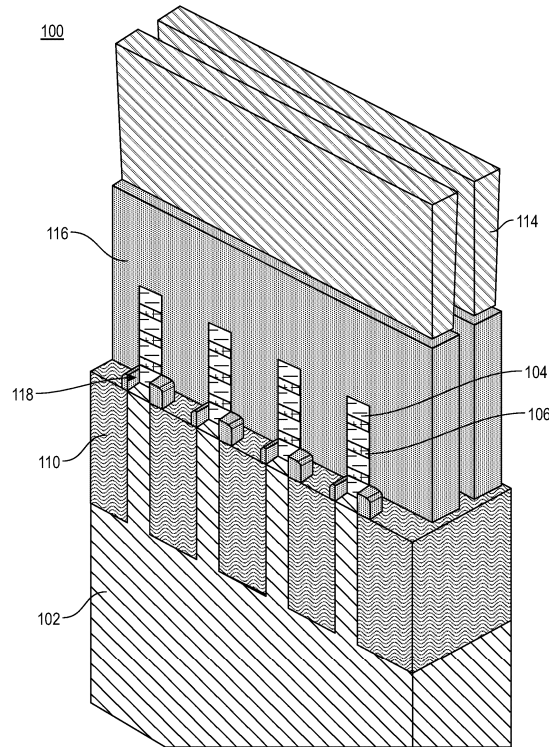
10

20

【図 2 E】



【図 2 F】

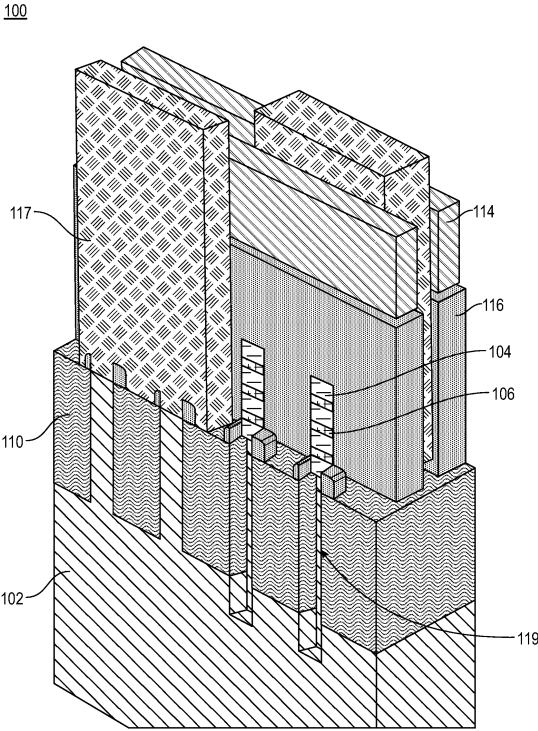


30

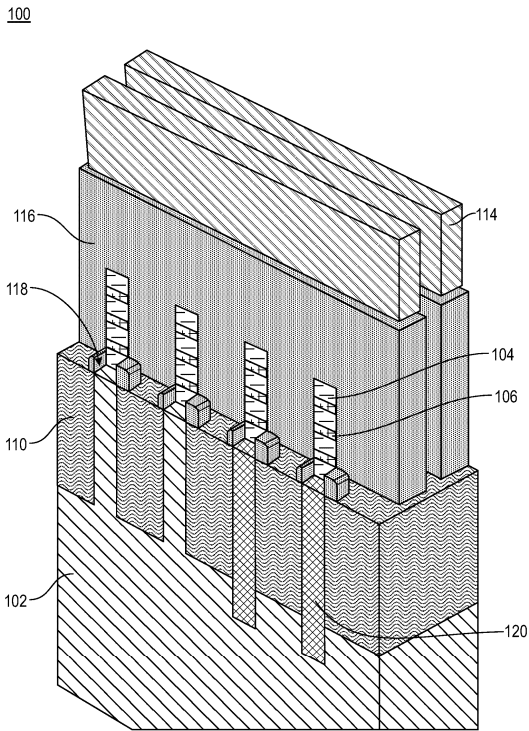
40

50

【図 2 G】



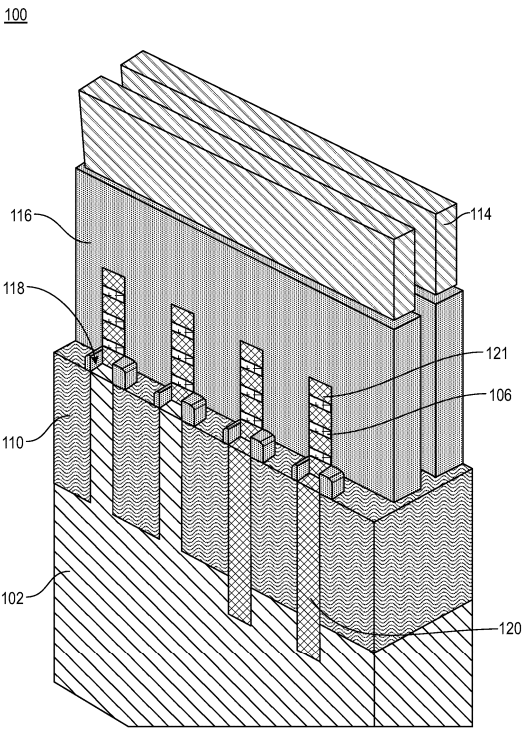
【図 2 H】



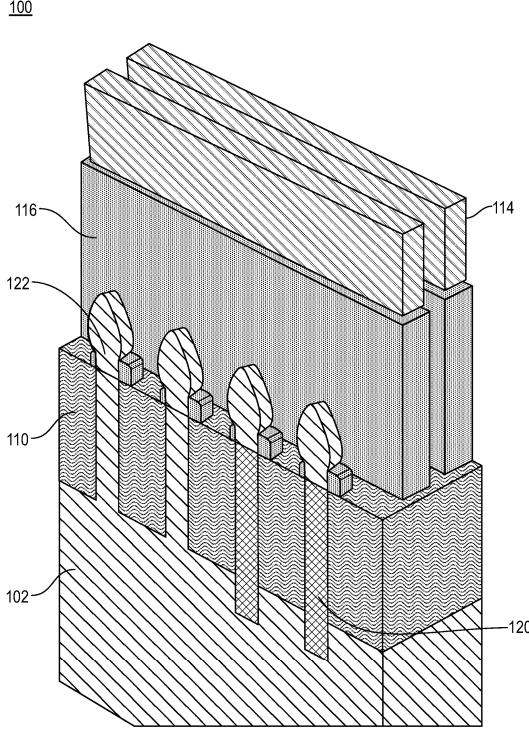
10

20

【図 2 I】



【図 2 J】

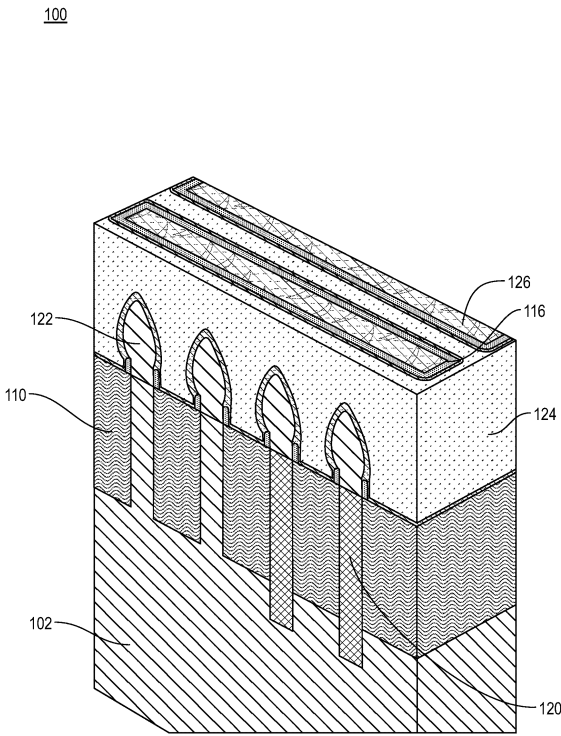


30

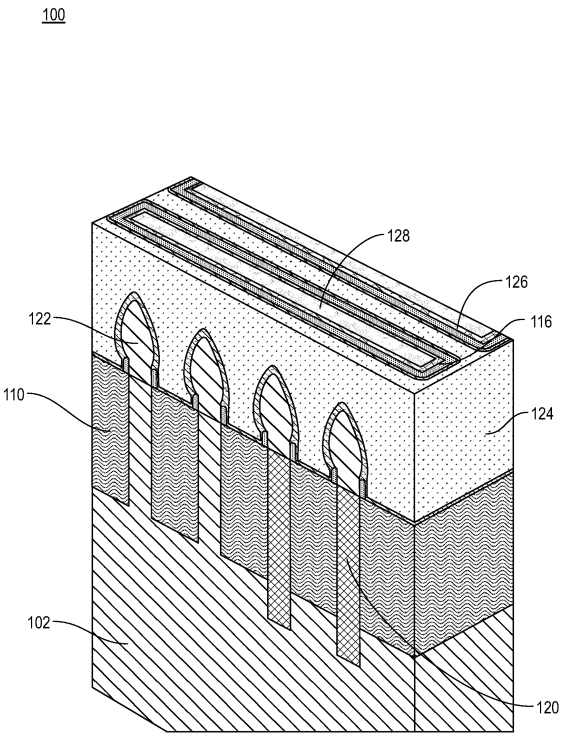
40

50

【図 2 K】



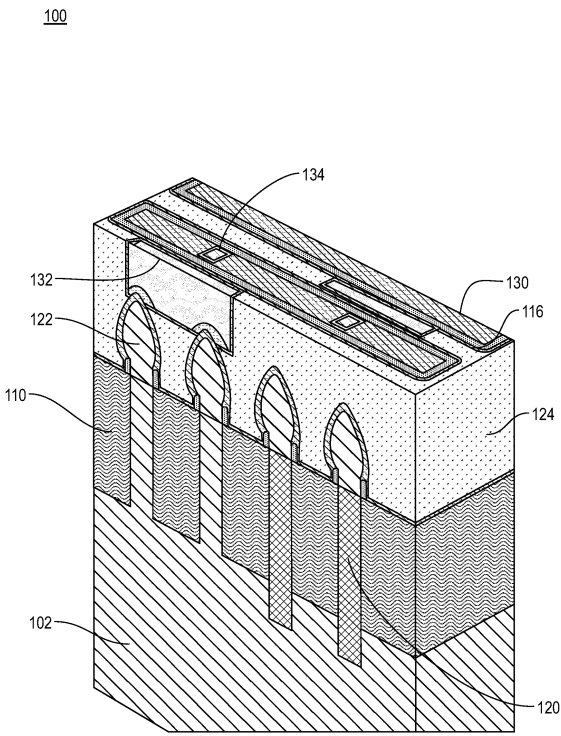
【図 2 L】



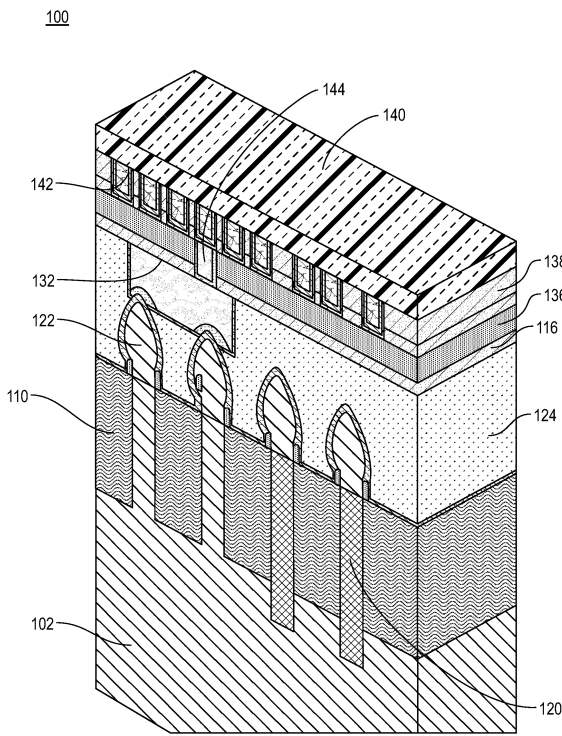
10

20

【図 2 M】



【図 2 N】



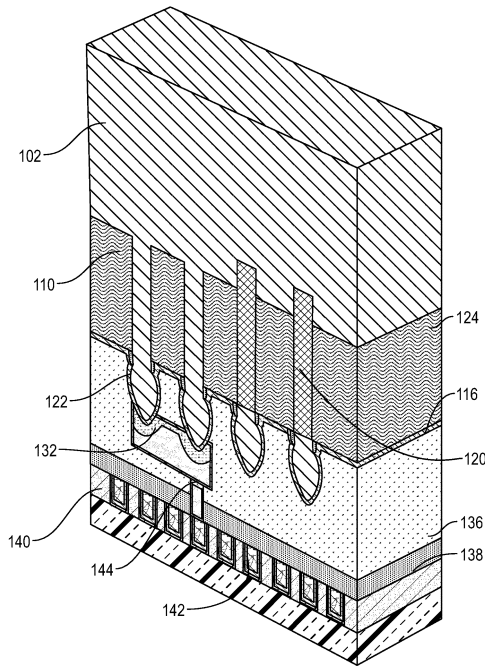
30

40

50

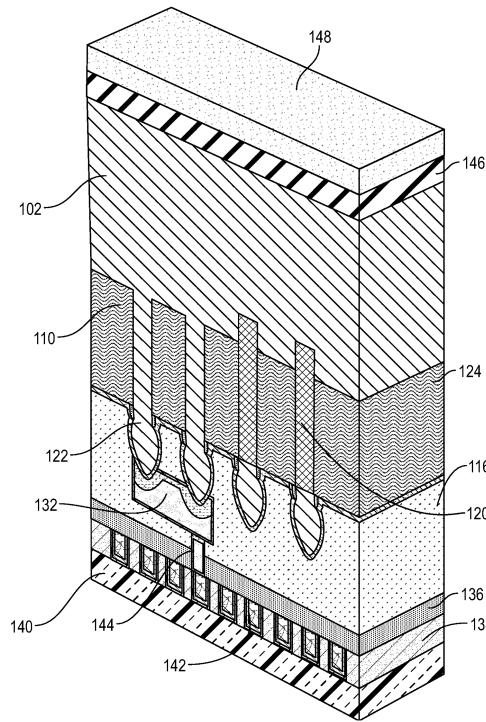
【図 2 O】

100



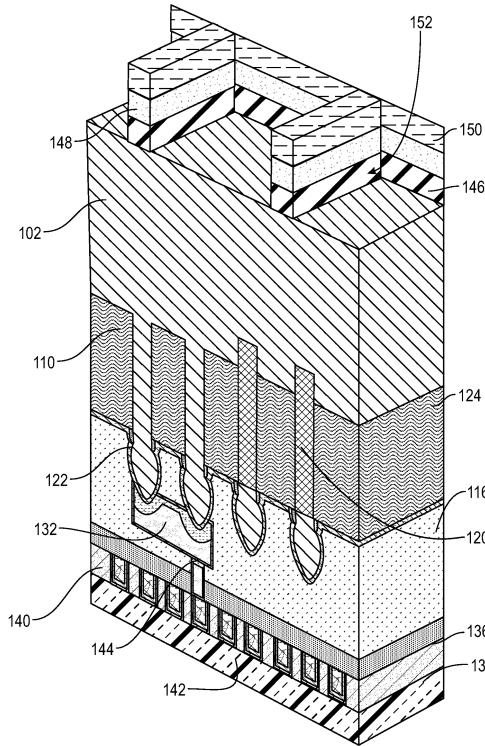
【図 2 P】

100



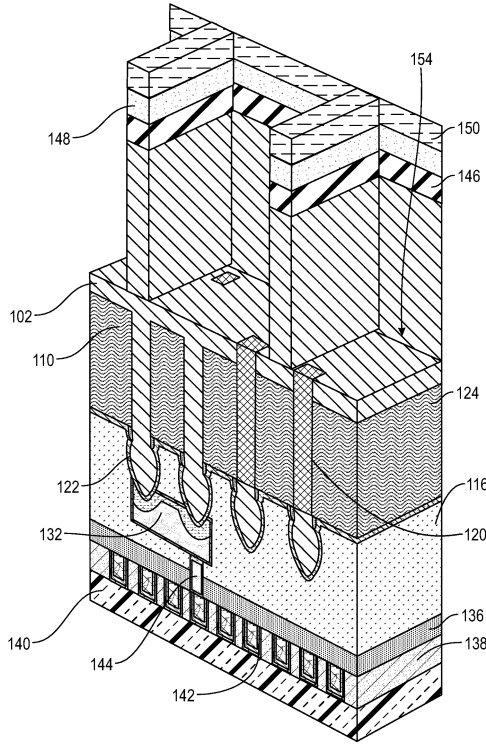
【図 2 Q】

100



【図 2 R】

100



10

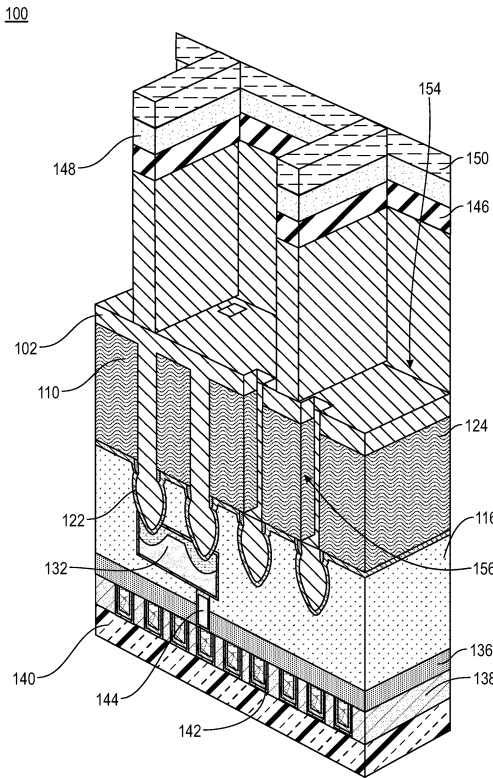
20

30

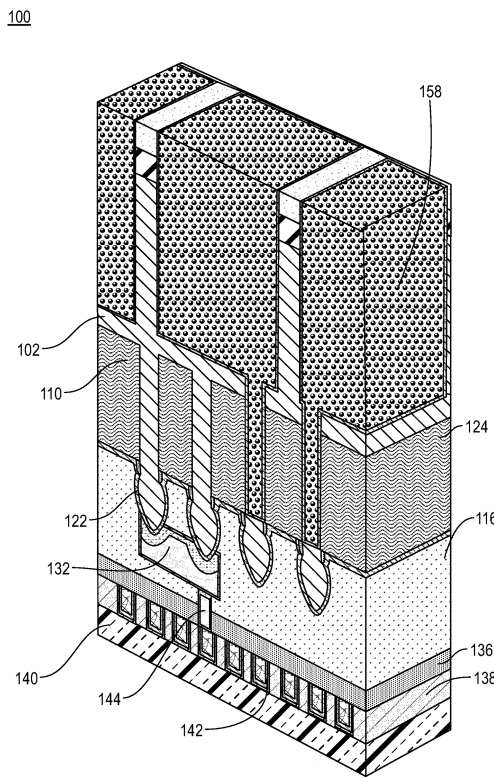
40

50

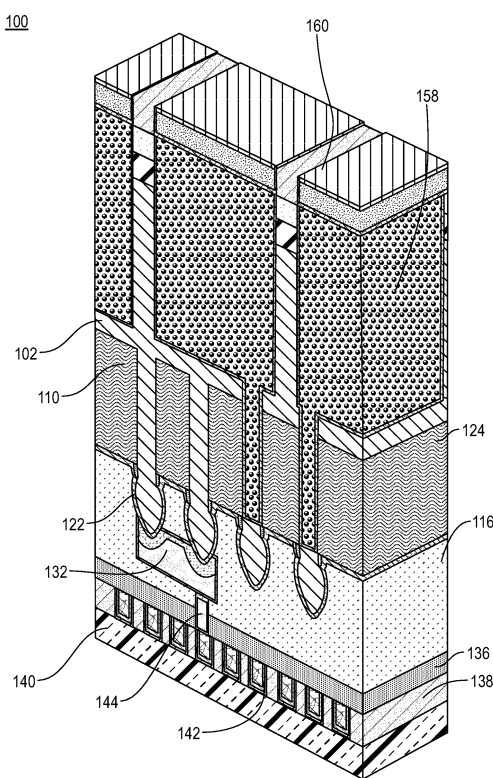
【図 2 S】



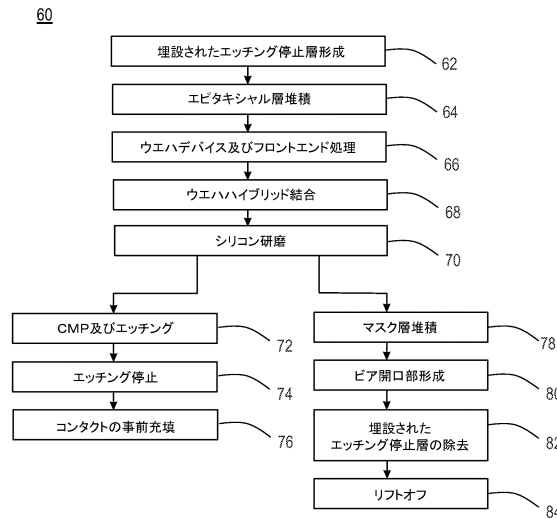
【図 2 T】



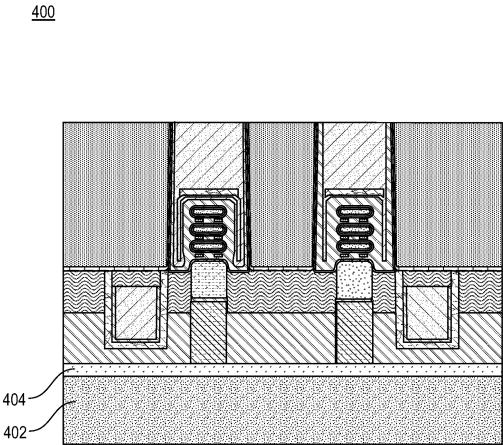
【図 2 U】



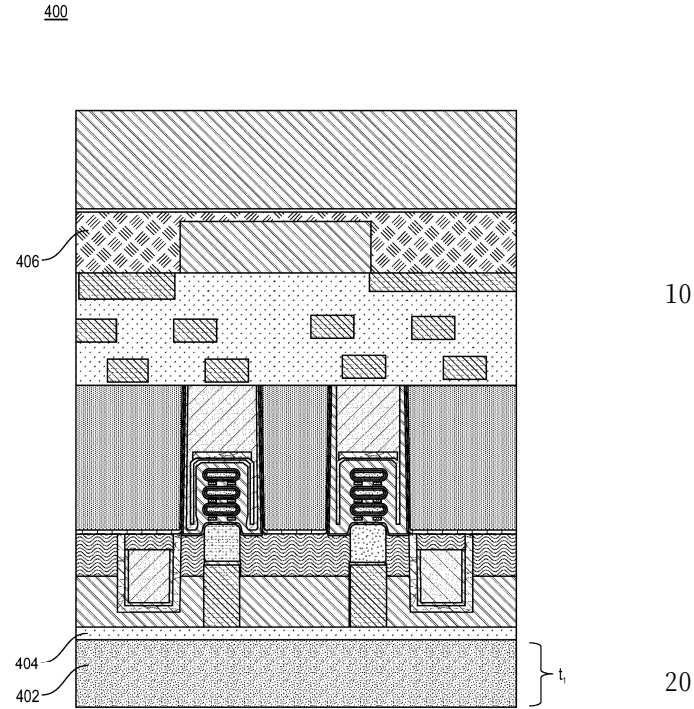
【図 3】



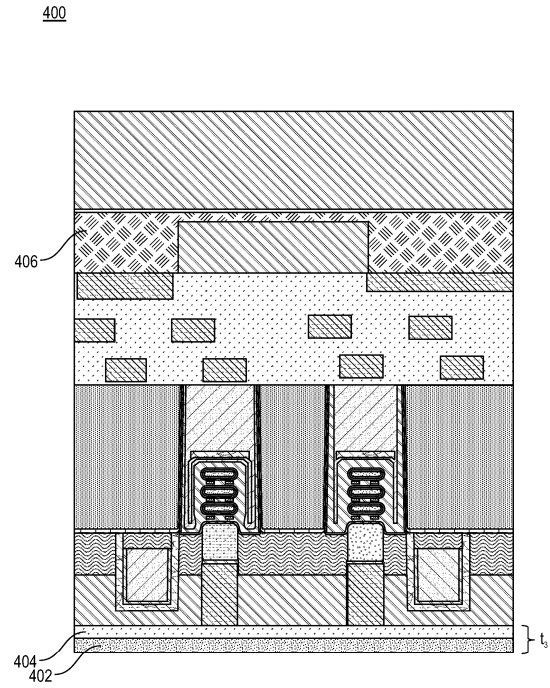
【図 4 A】



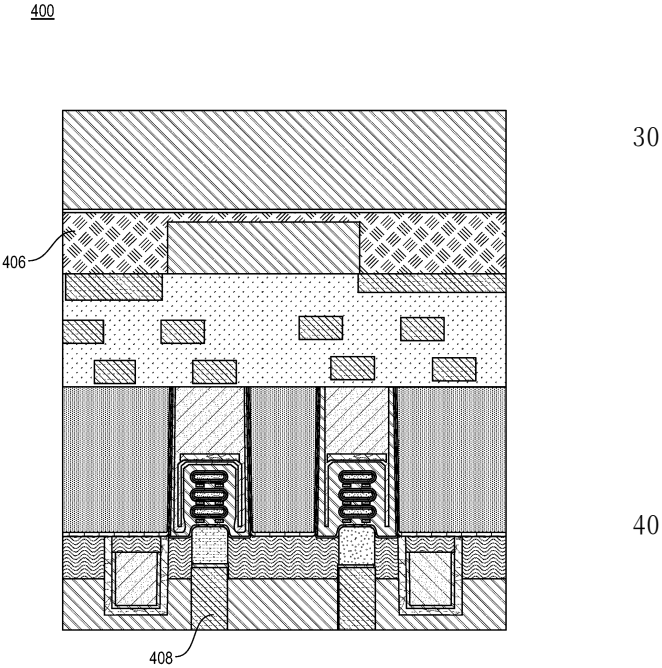
【図 4 B】



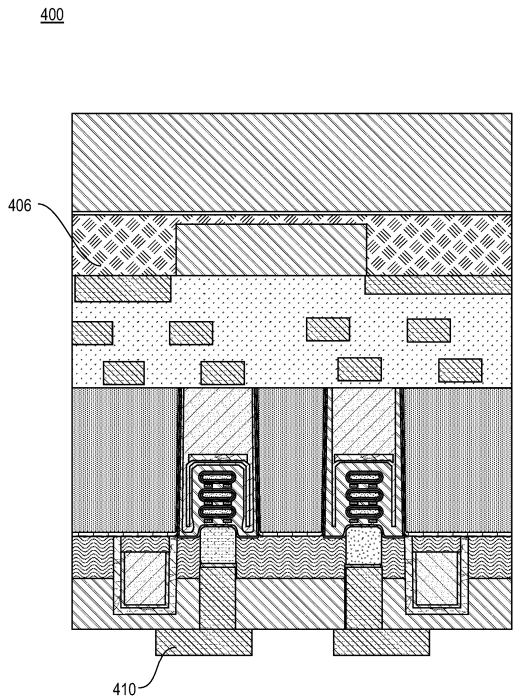
【図 4 C】



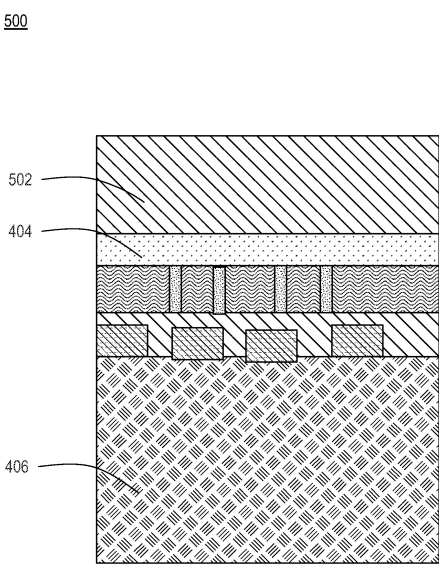
【図 4 D】



【図 4 E】



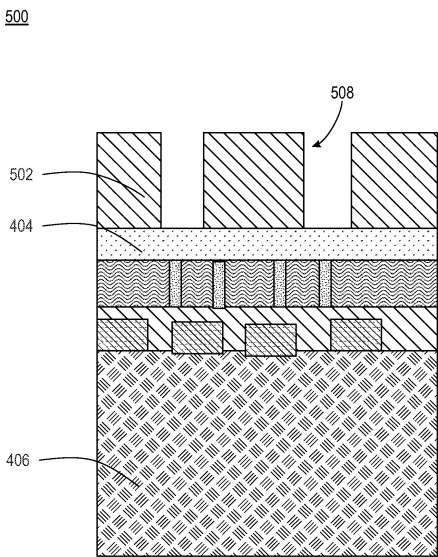
【図 5 A】



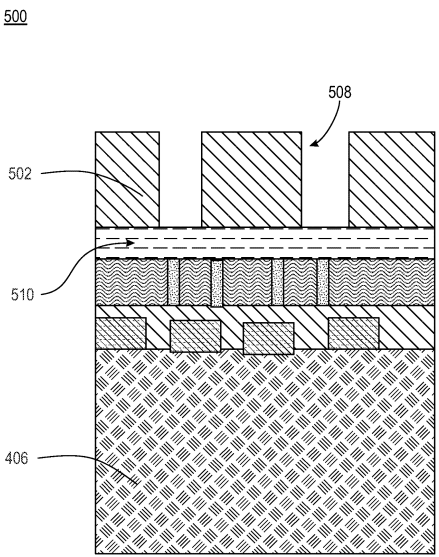
10

20

【図 5 B】



【図 5 C】

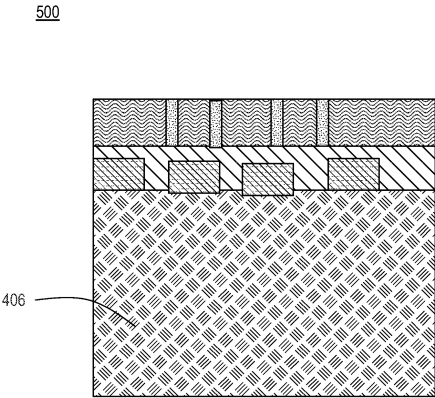


30

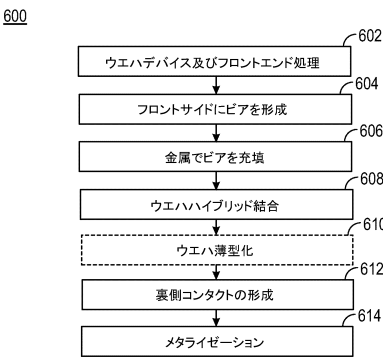
40

50

【図 5 D】

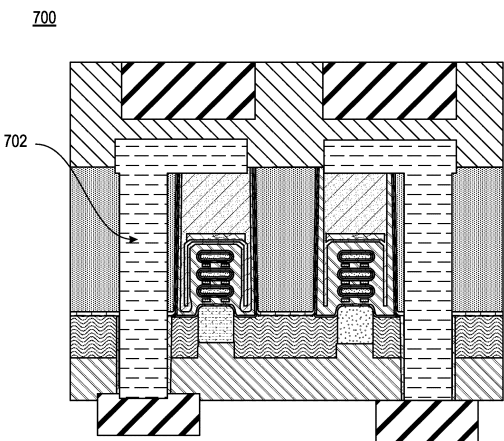


【図 6】

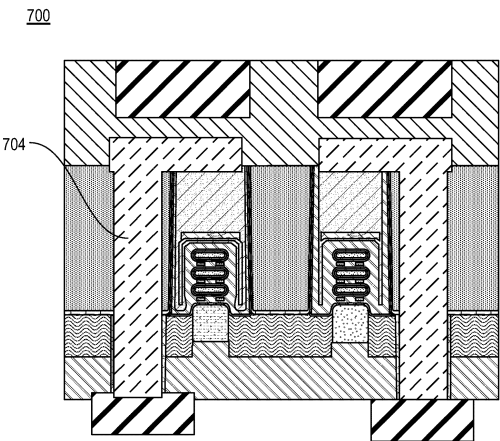


10

【図 7 A】



【図 7 B】



20

30

40

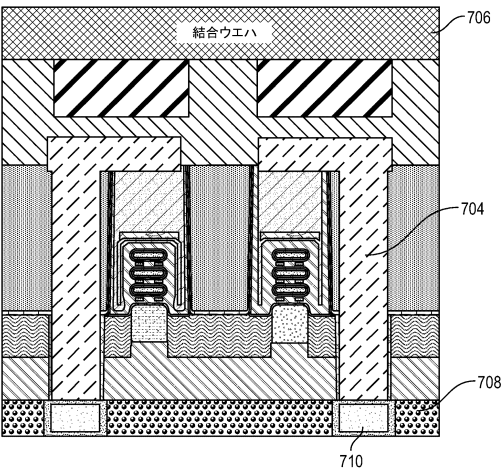
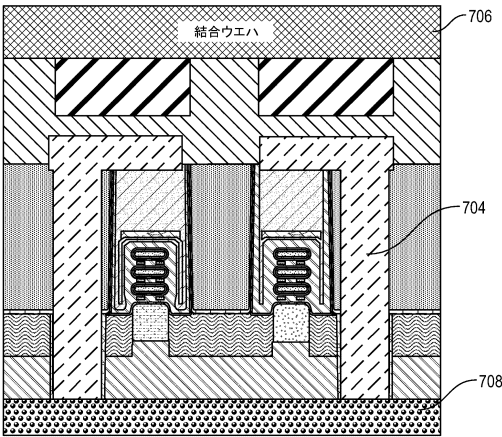
50

【図 7 C】

【図 7 D】

700

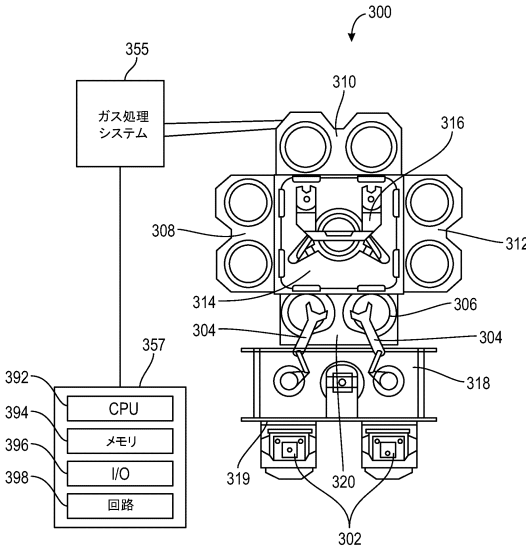
700



10

20

【図 8】



30

40

50

フロントページの続き

(51)国際特許分類 F I
H 0 1 L 23/522 (2006.01) H 0 1 L 21/88 J
H 1 0 D 30/67 2 0 6 C

(33)優先権主張国・地域又は機関

米国(US)

(31)優先権主張番号 63/240,187

(32)優先日 令和3年9月2日(2021.9.2)

(33)優先権主張国・地域又は機関

米国(US)

(31)優先権主張番号 17/897,375

(32)優先日 令和4年8月29日(2022.8.29)

(33)優先権主張国・地域又は機関

米国(US)

54, サンタ クララ, バウアーズ アヴェニュー 3050

(72)発明者 パル, アシシュ

アメリカ合衆国 カリフォルニア 95054, サンタ クララ, バウアーズ アヴェニュー 3050

(72)発明者 バジージ, エル メディー

アメリカ合衆国 カリフォルニア 95054, サンタ クララ, バウアーズ アヴェニュー 3050

(72)発明者 ヨー, アンドリュー

アメリカ合衆国 カリフォルニア 95054, サンタ クララ, バウアーズ アヴェニュー 3050

(72)発明者 イングル, ニティン ケー.

アメリカ合衆国 カリフォルニア 95054, サンタ クララ, バウアーズ アヴェニュー 3050

(72)発明者 スンダラジャン, アービン

シンガポール国 シンガポール 117684, ジ アルファ サイエンス パーク ツー, サイエ
ンス パーク ロード 10, 02-03番, アプライド マテリアルズ シンガポール テクノロ
ジー ピーティーイー リミテッド

(72)発明者 シー, グァン ファイ

シンガポール国 シンガポール 117684, ジ アルファ サイエンス パーク ツー, サイエ
ンス パーク ロード 10, 02-03番, アプライド マテリアルズ シンガポール テクノロ
ジー ピーティーイー リミテッド

(72)発明者 ベルケンス, マルチヌス マリア

オランダ国 イーエー エイントホーフエン 5613, トルーレンブルグストラート 5

(72)発明者 デシュパンデ, サミール エー.

アメリカ合衆国 カリフォルニア 95054, サンタ クララ, バウアーズ アヴェニュー 3050

(72)発明者 ブラナタルティハラン, バラスブラマニアン

アメリカ合衆国 カリフォルニア 95054, サンタ クララ, バウアーズ アヴェニュー 3050

(72)発明者 ヤン, イエン-チュー

アメリカ合衆国 カリフォルニア 95054, サンタ クララ, バウアーズ アヴェニュー 3050

審査官 脇水 佳弘

(56)参考文献 中国特許出願公開第113299646 (CN, A)

国際公開第2020/171992 (WO, A1)

米国特許出願公開第2021/0193829 (US, A1)

中国特許出願公開第113206062 (CN, A)

米国特許出願公開第2012/0280395 (US, A1)

中国特許出願公開第113140565 (CN, A)

中国特許出願公開第113140545 (CN, A)

(58)調査した分野 (Int.Cl., DB名)

H10D 30/67

H10D 30/60

H10D 30/01
H10D 86/00
H01L 21/3205