

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】令和 2 年 6 月 18 日 (2020.6.18)

【公表番号】特表 2019-518282 (P2019-518282A)
 【公表日】令和 1 年 6 月 27 日 (2019.6.27)
 【年通号数】公開・登録公報 2019-025
 【出願番号】特願 2018-560981 (P2018-560981)
 【国際特許分類】

G 0 5 F 1/56 (2006.01)

【 F I 】

G 0 5 F 1/56 3 1 0 C

G 0 5 F 1/56 3 2 0 C

【手続補正書】

【提出日】令和 2 年 4 月 27 日 (2020.4.27)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

低ドロップアウト (LDO) 電圧調整器であって、

基準電圧と差動増幅器の出力によって決定された電圧との差分を増幅するように構成された差動増幅器と、

正電源電圧および前記差動増幅器に結合され、前記差動増幅器の出力によって駆動される PMOS パストランジスタと、

前記差動増幅器の出力ノードに結合された補償キャパシタと、

低電流閉ループ差動増幅器を含む補助増幅器であって、前記補助増幅器の出力ノードが前記補償キャパシタに結合され、前記補助増幅器の入力ノードが前記 PMOS パストランジスタのエミッタに結合される、補助増幅器とを備える LDO 電圧調整器。

【請求項 2】

前記差動増幅器の前記出力ノードおよび前記 PMOS パストランジスタに結合されたアクティブクランプをさらに備える、請求項 1 に記載の LDO 電圧調整器。

【請求項 3】

低ドロップアウト (LDO) 電圧調整器を補償するための方法であって、

基準電圧と差動増幅器の出力によって決定された電圧との差分を差動増幅器によって増幅するステップと、

前記差動増幅器に結合された PMOS パストランジスタにおいて、前記差動増幅器の出力を受け取るステップと、

補償キャパシタにおいて補助増幅器からの出力信号を受け取るステップであって、前記補助増幅器が低電流閉ループ差動増幅器を含み、前記補償キャパシタが、前記差動増幅器の出力ノードに結合され、前記補助増幅器の出力ノードが、前記補償キャパシタに結合され、前記補助増幅器の入力ノードが、前記 PMOS パストランジスタのエミッタに結合される、ステップを含む方法。

【請求項 4】

前記補助増幅器からの前記出力信号が、前記補助増幅器からの入力信号によって与えられる利得の量に基づいて前記補償キャパシタの補償を増強させる、請求項 3 に記載の方法。

【請求項 5】

前記補償キャパシタの前記補償は、前記LDO電圧調整器を含む回路を安定化させる、請求項4に記載の方法。

【請求項 6】

前記LDO電圧調整器を含む回路の電源電圧変動除去比(PSRR)が、前記補助増幅器によって与えられる利得の量に基づいて向上する、請求項1に記載のLDO電圧調整器または請求項3に記載の方法。

【請求項 7】

前記LDO電圧調整器はミラー補償を利用する、請求項1に記載のLDO電圧調整器または請求項3に記載の方法。

【請求項 8】

前記低電流は、25ナノアンペアの電流を含む、請求項1に記載のLDO電圧調整器または請求項3に記載の方法。

【請求項 9】

前記補助増幅器は、前記補助増幅器の利得の量を制限する抵抗性負荷を含む、請求項1に記載のLDO電圧調整器または請求項3に記載の方法。

【請求項 10】

前記LDO電圧調整器は閉ループ演算増幅器を備える、請求項1に記載のLDO電圧調整器または請求項3に記載の方法。

【請求項 11】

アクティブクランプを前記差動増幅器の前記出力ノードおよび前記PMOSパストランジスタに結合するステップをさらに含む、請求項3に記載の方法。

【請求項 12】

前記アクティブクランプは、前記PMOSパストランジスタからの短絡電流サージを制限する、請求項1に記載のLDO電圧調整器または請求項11に記載の方法。

【請求項 13】

前記PMOSパストランジスタは、バッテリーからの2V～3.6Vの電圧を受け取り、前記LDO電圧調整器は、1.8Vの電圧をオフチップ負荷キャパシタに供給する、請求項1に記載のLDO電圧調整器または請求項11に記載の方法。

【請求項 14】

請求項3～13のいずれか一項に記載の方法をコンピュータに実行させるコンピュータ実行可能な命令を記憶した非一時的コンピュータ可読記憶媒体。